



연층 상에 배치되고, 상기 소스전극 및 드레인전극 중 하나와 연결되는 화소전극; 상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선; 상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는 제2배선; 상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층; 상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층; 상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및 상기 중간층 상에 배치된 대향전극;을 포함하는 유기발광표시장치를 제공한다.

(72) 발명자

**최재범**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**이준우**

경기도 용인시 기흥구 삼성2로 95 (농서동)

(56) 선행기술조사문헌

KR1020070053902 A\*

KR1020100088269 A\*

US20070090421 A1

KR1020070043070 A

KR1020010107088 A

KR1020040062195 A

KR1020060060257 A

KR1020070038193 A

KR100844005 B1\*

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

기관 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되며, 일부분이 상기 소스전극과 상기 드레인전극 중 어느 하나에 의해 덮이는, 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제2절연층 상에 배치되어 상기 제1배선으로부터 이격되며, 상기 기관 상으로의 정사영 이미지가 상기 제1배선의 상기 기관 상으로의 정사영 이미지와 적어도 일부 중첩되고, 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는 제2배선;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부배선층을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 포함하는 유기발광표시장치.

#### 청구항 2

제1항에 있어서,

상기 제1절연층은 상기 활성층 상부 및 상기 제1배선 하부에 공통으로 배치되는 유기발광표시장치.

#### 청구항 3

기관 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치되며, 상기 화소전극과 중첩되는 부분은 상기 화소전극과 동일한 시각면을 갖는, 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부배선층을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 구비하는, 유기발광표시장치.

#### 청구항 4

기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치되며, 상기 제2배선과 중첩되는 부분은 상기 제2배선과 동일한 식각면을 갖는, 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부배선층을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 구비하는, 유기발광표시장치

#### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제3절연층은  $\text{SiNx}$ ,  $\text{SiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$  또는  $\text{Al}_2\text{O}_3$  중 선택된 적어도 하나를 포함하는 유기발광표시장치.

#### 청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제3절연층은 상기 제2절연층과 식각율이 다른 물질을 포함하는 유기발광표시장치.

#### 청구항 7

기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부배선층을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 구비하며, 상기 소스전극, 드레인전극, 및 상부배선층은 상기 화소전극 및 하부배선층과 식각율이 다른 재료를 포함하는, 유기발광표시장치.

#### 청구항 8

제1항 내지 제4항 및 제7항 중 어느 한 항에 있어서,

상기 화소전극은 상기 소스전극 또는 드레인전극 중 하나와 접속부를 통해 전기적으로 연결되며, 상기 접속부는 상기 화소전극보다 위에 배치되는 유기발광표시장치.

**청구항 9**

제1항 내지 제4항 및 제7항 중 어느 한 항에 있어서,

상기 게이트전극과 동일층에 배치된 하부전극, 및 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 구비하는 상부전극을 포함하는 커패시터;

를 더 포함하고,

상기 제3절연층은 상기 하부전극과 상기 상부전극 사이에도 직접 배치된 유기발광표시장치.

**청구항 10**

제9항에 있어서,

상기 제1절연층은 상기 활성층 상부 및 상기 하부전극 하부에 공통으로 배치되는 유기발광표시장치.

**청구항 11**

제9항에 있어서,

상기 제2절연층은 상기 상부전극 및 하부전극 사이에 배치되지 않는 유기발광표시장치.

**청구항 12**

기관 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 하부전극, 및 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 갖는 상부전극을 포함하는, 커패시터;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치되며, 상기 상부전극과 중첩되는 부분은 상기 상부전극과 동일한 식각면을 갖는, 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 구비하는, 유기발광표시장치.

**청구항 13**

기관 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 하부전극, 및 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 갖는 상부전극을 포함하는, 커패시터;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 구비하며, 상기 제3절연층의 두께는 상기 제2절연층의 두께보다 얇은 유기발광표시장치.

#### 청구항 14

기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 하부전극, 및 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 갖는 상부전극을 포함하는, 커패시터;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향전극;

을 구비하며, 상기 제3절연층의 유전율은 상기 제1절연층의 유전율보다 큰 유기발광표시장치.

#### 청구항 15

기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되는 화소전극;

상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;

상기 소스전극 및 드레인전극 및 상기 상부배선층을 덮고 상기 화소전극을 노출하는 제4절연층;  
 상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및  
 상기 중간층 상에 배치된 대향전극;  
 을 구비하고,  
 상기 제1배선은 상기 게이트전극과 전기적으로 연결되는 스캔배선이며,  
 상기 제2배선은 상기 소스전극 또는 드레인전극 중 하나와 전기적으로 연결되는 데이터배선인 유기발광표시장치.

**청구항 16**

기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;  
 상기 제2절연층 상에 배치되는 화소전극;  
 상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;  
 상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;  
 상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 하부전극, 및 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 갖는 상부전극을 포함하는, 커패시터;  
 상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;  
 상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층;  
 상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및  
 상기 중간층 상에 배치된 대향전극;  
 을 구비하고,  
 상기 제1배선은 상기 하부전극과 전기적으로 연결되는 전원배선이며,  
 상기 제2배선은 상기 소스전극 또는 드레인전극 중 하나와 전기적으로 연결되는 데이터배선인 유기발광표시장치.

**청구항 17**

기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;  
 상기 제2절연층 상에 배치되는 화소전극;  
 상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선;  
 상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며, 상기 화소전극과 동일한 재료의 하부 배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는, 제2배선;  
 상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 하부전극, 및 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 갖는 상부전극을 포함하는, 커패시터;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층;  
 상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층;  
 상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및  
 상기 중간층 상에 배치된 대향전극;  
 을 구비하고,

상기 제1배선은 상기 게이트전극과 전기적으로 연결되는 스캔배선이며,  
 상기 제2배선은 상기 상부전극과 전기적으로 연결되는 전원배선인 유기발광표시장치.

**청구항 18**

제1항 내지 제4항, 제7항 및 제12항 내지 제17항 중 어느 한 항에 있어서,  
 상기 화소전극은 광투과전극이며, 상기 대향전극은 광반사전극인 유기발광표시장치.

**청구항 19**

제18항에 있어서,  
 상기 화소전극 및 상기 제2배선의 상기 하부배선층은 투명도전성산화물(TCO)을 포함하고,  
 상기 투명도전성산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 선택된 적어도 하나를 포함하는 유기발광표시장치.

**청구항 20**

제1항 내지 제4항, 제7항 및 제12항 내지 제17항 중 어느 한 항에 있어서,  
 상기 화소전극은 광반사전극이며, 상기 대향전극은 광투과전극인 유기발광표시장치.

**청구항 21**

제20항에 있어서,  
 상기 화소전극 및 상기 제2배선의 하부배선층은 반투과금속층 및 투명도전성산화물층을 포함하고,  
 상기 반투과금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택된 적어도 하나를 포함하는 유기발광표시장치.

**청구항 22**

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1마스크 공정;  
 제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 적층하고, 상기 제1도전층을 패터닝하여 박막트랜지스터의 게이트전극, 및 제1배선을 형성하는 제2마스크 공정;  
 제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역을 노출시키도록 개구를 형성하는 제3마스크 공정;  
 상기 제3마스크 공정의 결과물 상에 제3절연층 및 상기 제3절연층 상의 제2도전층을 형성하고, 상기 제3절연층 및 상기 제2도전층을 패터닝하여, 화소전극과, 상기 제2절연층과 상기 제3절연층에 의해 상기 제1배선으로부터 이격되며 상기 기판 상으로의 정사영 이미지가 상기 제1배선의 상기 기판 상으로의 정사영 이미지와 적어도 일부가 중첩되도록 배치되는 제2배선의 하부배선층을 형성하는, 제4마스크 공정;  
 상기 제4마스크 공정 결과물 상에 제3도전층을 형성하고, 상기 제3도전층을 패터닝하여, 어느 하나가 상기 화소전극의 일부를 덮는 소스전극 및 드레인전극과, 상기 제2배선의 일부로서 상기 하부배선층 상의 상부배선층을

형성하는, 제5마스크 공정; 및

제4절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;

을 포함하는 유기발광표시장치의 제조방법.

**청구항 23**

제22항에 있어서,

상기 제2마스크 공정 후, 상기 소스 영역 및 드레인 영역에 이온 불순물을 도핑하는 유기발광표시장치의 제조방법.

**청구항 24**

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1마스크 공정;

제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 적층하고, 상기 제1도전층을 패터닝하여 박막트랜지스터의 게이트전극, 및 제1배선을 형성하는 제2마스크 공정;

제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역을 노출시키도록 개구를 형성하는 제3마스크 공정;

상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층을 식각하는 제1식각 공정과, 상기 제2도전층을 식각하는 제2식각 공정을 거쳐 상기 제3절연층과 상기 제2도전층을 패터닝하여, 화소전극 및 상기 제1배선과 적어도 일부가 중첩되도록 배치되는 제2배선의 하부배선층을 형성하는 제4마스크공정;

상기 제4마스크 공정 결과물 상에 제3도전층을 형성하고, 상기 제3도전층을 패터닝하여 소스전극, 드레인전극 및 상기 제2배선의 상부배선층을 형성하는 제5마스크 공정; 및

제4절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;

을 포함하는, 유기발광표시장치의 제조방법.

**청구항 25**

제22항 내지 제24항 중 어느 한 항에 있어서,

상기 제3절연층은 상기 제2절연층과 식각율이 다른 물질을 포함하는 유기발광표시장치의 제조방법.

**청구항 26**

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1마스크 공정;

제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 적층하고, 상기 제1도전층을 패터닝하여 박막트랜지스터의 게이트전극, 및 제1배선을 형성하는 제2마스크 공정;

제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역을 노출시키도록 개구를 형성하는 제3마스크 공정;

상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 화소전극 및 상기 제1배선과 적어도 일부가 중첩되도록 배치되는 제2배선의 하부배선층을 형성하는 제4마스크 공정;

상기 제4마스크 공정 결과물 상에 상기 제2도전층과 식각율이 다른 재료로 제3도전층을 형성하고, 상기 제3도전층을 패터닝하여 소스전극, 드레인전극 및 상기 제2배선의 상부배선층을 형성하는 제5마스크 공정; 및

제4절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;

을 포함하는, 유기발광표시장치의 제조방법.

**청구항 27**

제22항 내지 제24항 및 제26항 중 어느 한 항에 있어서,  
 상기 제2마스크 공정에서, 상기 제1도전층을 패터닝하여 커패시터의 하부전극을 함께 형성하고,  
 상기 제4마스크 공정에서, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 상기 하부전극상에 직접 배치되는 유전막 및 상부전극의 하부도전층을 형성하고  
 상기 제5마스크 공정에서, 상기 제3도전층을 패터닝하여 상기 상부전극의 상부도전층을 형성하는 유기발광표시장치의 제조방법.

**청구항 28**

제22항 내지 제24항 및 제26항 중 어느 한 항에 있어서,  
 상기 제6마스크 공정 후, 노출된 상기 화소전극 상에 유기발광층을 포함하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계;  
 를 더 포함하는 유기발광표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 배선영역의 기생 커패시턴스(parasitic capacitance)를 줄이는 유기발광표시장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 유기발광표시장치, 액정표시장치 등과 같은 평판표시장치는 박막트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판표시장치가 제작되는 기관은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기관의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기관 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기관 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다. 따라서, 마스크를 이용하여 패턴을 전사하는 공정의 수를 되도록 줄여 평판표시장치를 제조하는 것이 필요하다.

[0006] 한편, 서로 다른 레이어에 배치되는 배선들은 소정의 영역에서 서로 중첩될 수 있다. 이렇게 배선이 중첩되는 영역에서는 상, 하부 배선에 의해 기생 커패시턴스가 형성될 수 있으며, 상, 하부 배선 사이에 쇼트(short)가 일어나 불량이 발생하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명의 일 측면은 제조 공정이 단순하고, 신호 전달이 우수한 유기발광표시장치 및 그 제조 방법을 제공하는 것을 목적으로 하며, 다른 일 측면은 배선영역에서 기생 커패시턴스를 줄일 수 있는 유기발광표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0008] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 제1절연층 및 상기 제2절연층 상에 배치되는 화소전극; 상기 제1절연층 상에 배치되고 상기 게이트전극과 동일한 재료의 제1배선; 상기 제1배선과 적어도 일부가 중첩되고, 상기 제2절연층 상에 배치되며 상기 화소전극과 동일한 재료의 하부배선층과 상기 하부배선층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부배선층을 구비하는 제2배선; 상기 제2절연층과 상기 화소전극 사이, 및 상기 제2절연층과 상기 제2배선의 사이에 배치된 제3절연층; 상기 소스전극 및 드레인전극 및 상기 상부전극을 덮고 상기 화소전극을 노출하는 제4절연층; 상기 화소전극 상에 배치되며, 유기발광층을 포함하는 중간층; 및 상기 중간층 상에 배치된 대향전극; 을 포함하는 유기발광표시장치.
- [0009] 본 발명의 다른 특징에 따르면, 상기 제1절연층은 상기 활성층 상부 및 상기 제1배선 하부에 공통으로 배치된다.
- [0010] 본 발명의 다른 특징에 따르면, 상기 화소전극과 상기 제3절연층은 동일한 식각면을 갖는다.
- [0011] 본 발명의 다른 특징에 따르면, 상기 제2배선과 상기 제3절연층은 동일한 식각면을 갖는다.
- [0012] 본 발명의 다른 특징에 따르면, 상기 제3절연층은 상기 제2절연층과 식각율이 다른 물질을 포함한다.
- [0013] 본 발명의 다른 특징에 따르면, 상기 제3절연층은 SiNx, SiO<sub>2</sub>, ZrO<sub>2</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub> 또는 Al<sub>2</sub>O<sub>3</sub> 중 선택된 적어도 하나를 포함한다.
- [0014] 본 발명의 다른 특징에 따르면, 상기 소스전극, 드레인전극, 및 상부배선층은 상기 화소전극 및 하부배선층과 식각율이 다른 재료를 포함한다.
- [0015] 본 발명의 다른 특징에 따르면, 상기 화소전극은 상기 소스전극 또는 드레인전극 중 하나와 전기적으로 접속부를 통해 전기적으로 연결되며, 상기 접속부는 상기 화소전극보다 위에 배치된다.
- [0016] 본 발명의 다른 특징에 따르면, 상기 게이트전극과 동일층에 배치된 하부전극, 및 상기 화소전극과 동일한 재료의 하부도전층과 상기 하부도전층 상에 배치되며 상기 소스전극 및 드레인전극과 동일한 재료의 상부도전층을 구비하는 상부전극을 포함하는 커패시터; 를 더 포함하고, 상기 제3절연층은 상기 하부전극과 상기 상부전극 사이에도 직접 배치된다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 제1절연층은 상기 활성층 상부 및 상기 하부전극 하부에 공통으로 배치된다.
- [0018] 본 발명의 다른 특징에 따르면, 상기 제2절연층은 상기 상부전극 및 하부전극 사이에 배치되지 않는다.
- [0019] 본 발명의 다른 특징에 따르면, 상기 상부전극과 상기 제3절연층은 동일한 식각면을 갖는다.
- [0020] 본 발명의 다른 특징에 따르면, 상기 제3절연층의 두께는 상기 제2절연층의 두께보다 얇다.
- [0021] 본 발명의 다른 특징에 따르면, 상기 제3절연층의 유전율은 상기 제1절연층의 유전율보다 크다.
- [0022] 본 발명의 다른 특징에 따르면, 상기 제1배선은 상기 게이트전극과 전기적으로 연결되는 스캔배선이며, 상기 제2배선은 상기 소스전극 또는 드레인전극 중 하나와 전기적으로 연결되는 데이터배선이다.
- [0023] 본 발명의 다른 특징에 따르면, 상기 제1배선은 상기 하부전극과 전기적으로 연결되는 전원배선이며, 상기 제2배선은 상기 소스전극 또는 드레인전극 중 하나와 전기적으로 연결되는 데이터배선이다.
- [0024] 본 발명의 다른 특징에 따르면, 상기 제1배선은 상기 게이트전극과 전기적으로 연결되는 스캔배선이며, 상기 제2배선은 상기 상부전극과 전기적으로 연결되는 전원배선이다.
- [0025] 본 발명의 다른 특징에 따르면, 상기 화소전극은 광투과전극이며, 상기 대향전극은 광반사전극이다.
- [0026] 본 발명의 다른 특징에 따르면, 상기 화소전극 및 상기 제2배선의 상기 하부도전층은 투명 도전성 산화물(TCO)을 포함하고, 투명 도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 선택된 적어도 하나를

포함한다.

- [0027] 본 발명의 다른 특징에 따르면, 상기 화소전극은 광반사전극이며, 상기 대향전극은 광투과전극이다.
- [0028] 본 발명의 다른 특징에 따르면, 상기 화소전극 및 상기 제2배선의 하부도전층은 반투과금속층 및 투명도전성산화물층을 포함하고, 상기 반투과금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택된 적어도 하나를 포함한다.
- [0029] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1마스크 공정; 제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 적층하고, 상기 제1도전층을 패터닝하여 박막트랜지스터의 게이트전극, 및 제1배선을 형성하는 제2마스크 공정; 제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역 및 상기 상부전극을 노출시키도록 개구를 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 화소전극 및 상기 제1배선과 적어도 일부가 중첩되도록 배치되는 제2배선의 하부배선층을 형성하는 제4마스크 공정; 상기 제4마스크 공정 결과물 상에 제3도전층을 형성하고, 상기 제3도전층을 패터닝하여 소스전극, 드레인전극 및 상기 제2배선의 상부배선층을 형성하는 제5마스크 공정; 및 제4절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정; 을 포함하는 유기발광표시장치의 제조방법을 개시한다.
- [0030] 본 발명의 다른 특징에 따르면, 상기 제2마스크 공정 후, 상기 소스 영역 및 드레인 영역에 이온 불순물을 도핑한다.
- [0031] 본 발명의 다른 특징에 따르면, 항에 있어서, 상기 제4마스크 공정은 상기 제3절연층을 식각하는 제1식각 공정, 상기 제2도전층을 식각하는 제2식각 공정을 포함한다.
- [0032] 본 발명의 다른 특징에 따르면, 상기 제3절연층은 상기 제2절연층과 식각율이 다른 물질을 포함한다.
- [0033] 본 발명의 다른 특징에 따르면, 상기 제5마스크 공정에서, 상기 제3도전층은 상기 제2도전층과 식각율이 다른 재료로 형성된다.
- [0034] 본 발명의 다른 특징에 따르면, 상기 제2마스크 공정에서, 상기 제1도전층을 패터닝하여 커패시터의 하부전극을 함께 형성하고, 상기 제4마스크 공정에서, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 상기 하부전극상에 직접 배치되는 유전막 및 상부전극의 하부도전층을 형성하고 상기 제5마스크 공정에서, 상기 제3도전층을 패터닝하여 상기 상부전극의 상부도전층을 형성한다.
- [0035] 본 발명의 다른 특징에 따르면, 상기 제6마스크 공정 후, 노출된 상기 화소전극 상에 유기발광층을 포함하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계;를 더 포함한다.

**발명의 효과**

- [0036] 상기와 같은 본 발명의 일 실시예에 따르면, 6번의 마스크 공정으로 상기와 같은 유기발광표시장치를 제조할 수 있고, 배선영역에서 하부배선과 상부배선 사이에 절연층이 추가로 배치되어, 상, 하부 배선에 의한 기생 커패시턴스의 감소 및 이에 따른 패널의 RC 딜레이 (RC delay)를 줄이며, 하부 배선 사이의 쇼트 불량을 개선할 수 있다.

**도면의 간단한 설명**

- [0037] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 도시한 평면도이다.
- 도 2는 도 1의 회로도이다.
- 도 3은 도 1의 I-I` 및 II-II` 절단선을 따라 절단한 개략적인 단면도이다.
- 도 4은 본 실시예에 따른 유기발광표시장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- 도 5a 및 5b는 본 실시예에 따른 유기발광표시장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.
- 도 6는 본 실시예에 따른 유기발광표시장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
- 도 7a 및 도 7b는 본 실시예에 따른 유기발광표시장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.

도 8은 본 실시예에 따른 유기발광표시장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.

도 9은 본 실시예에 따른 유기발광표시장치(1)의 제6마스크 공정을 개략적으로 도시한 단면도이다.

도 10a 및 도 10b는 본 실시예에 따른 유기발광표시장치(1)의 배선영역의 RC 딜레이가 기존에 비해 개선된 효과를 나타낸 것이다.

**발명을 실시하기 위한 구체적인 내용**

- [0038] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0039] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0040] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0041] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0042] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)를 개략적으로 도시한 평면도이다. 도 2는 도 1의 회로 도이며, 도 3은 도 1의 I-I` 및 II-II` 절단선을 따라 절단한 개략적인 단면도이다.
- [0043] 도 1을 참조하면, 유기발광표시장치(1)에 포함된 화소(P1) 내부에는 스캔배선(S), 데이터배선(D) 및 전원배선(E)과 같은 복수의 도전배선들, 유기발광소자(EL), 스위칭박막트랜지스터(sTFT) 및 구동박막트랜지스터(dTFT)와 같은 박막트랜지스터들 및 커패시터(Cst)가 구비된다.
- [0044] 도 1은 본 발명을 설명하기 위한 일 예이며, 본 발명은 이에 한정되는 것은 아니다. 즉, 도 1에 도시된 도전 라인들 외에 다른 도전 라인들이 더 구비될 수 있다. 또한, 박막트랜지스터 및 커패시터의 개수도 반드시 도시된 실시예에 한정되는 것은 아니며, 화소회로부에 따라 3 이상의 박막 트랜지스터, 2 이상의 커패시터가 조합될 수 있다.
- [0045] 도 2를 참조하면, 스위칭박막트랜지스터(sTFT)의 게이트전극은 스캔배선(S)에 전기적으로 연결되고, 스위칭박막 트랜지스터(sTFT)의 제1전극은 데이터배선(D)에 전기적으로 연결되고, 제2전극은 제1노드(N1)에 접속된다. 구동 박막트랜지스터(dTFT)의 게이트전극은 제1노드(N1)에 접속되어 스위칭박막트랜지스터(sTFT)의 제2전극과 전기적으로 연결된다. 커패시터(Cst)는 전원배선(E)과 제1노드(N1) 사이에 연결된다. 구동박막트랜지스터(dTFT)의 제1 전극은 전원배선(E)에 연결되어 제1전원전압(ELVDD)을 공급받는다. 구동박막트랜지스터(dTFT)의 제2전극은 유기 발광소자(EL)의 애노드에 연결된다. 한편, 유기발광소자(EL)의 캐소드는 제2전원전압(ELVSS)을 공급받는다. 한편, 도 2에서 스위칭박막트랜지스터(sTFT), 구동박막트랜지스터(dTFT)는 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다. 또한, 도 2는 P형 박막트랜지스터이므로 제1전극은 소스전극이고, 제2전극은 드레인전극일 수 있다.
- [0046] 도 2의 구동방법을 간략히 살펴본다. 먼저, 스캔배선(S)에 주사신호가 공급되면, 스위칭박막트랜지스터(sTFT)가 턴온되고, 제1노드(N1)로 데이터신호가 전달된다. 즉, 커패시터(Cst) 및 구동박막트랜지스터(dTFT)의 게이트전극으로 데이터신호가 인가된다. 데이터신호가 인가되는 동안, 커패시터(Cst) 양단에 데이터신호에 대응하는 전압 레벨이 충전된다. 한편, 구동박막트랜지스터(dTFT)는 데이터신호의 크기에 따라 구동전류를 생성하여 유기발광소자(EL)의 애노드로 출력한다. 유기발광소자(EL)는 인가받은 구동전류에 따라 소정 휘도의 빛을 방출한다.
- [0047] 도 3을 참조하면, 도 1에 도시된 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 기판(10) 상에는 적어도 하나의 유기발광소자(EL)가 구비된 발광영역(100), 적어도 하나의 박막트랜지스터(TFT)가 구비된 박막트랜지스터영역(200), 적어도 하나의 커패시터(Cst)가 구비된 저장영역(300) 및 적어도 하나의 배선들(Line)이 배치된 배선영역(400)이 구비된다.

- [0048] 박막트랜지스터영역(200)에는 구동박막트랜지스터(dTFT) 또는 스위칭박막트랜지스터(sTFT)(TFT)와 같이 적어도 하나의 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 활성층(212), 게이트전극(214), 소스전극 및 드레인전극(218a,b)으로 구성된다. 활성층(212)과 게이트전극(214) 사이에는 게이트절연막인 제1절연층(13)이 개재된다. 게이트전극(214)과 소스전극 및 드레인전극(218a,b) 사이에는 층간절연막인 제2절연층(15)이 개재된다. 활성층(212)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스영역 및 드레인영역(212a,b)이 형성되며, 각각은 제1절연층(13) 및 제2절연층(15)을 관통하는 컨택홀(C1,2)을 통해 소스전극 및 드레인전극(218a,b)과 전기적으로 연결된다. 한편, 도 3의 단면도 상에서는 설명의 편의를 위하여 유기발광소자(EL)와 전기적으로 연결되어 전류를 공급하는 구동 박막트랜지스터(dTFT)만 도시되었다. 그러나, 스위칭박막트랜지스터(sTFT)도 구동박막트랜지스터(dTFT)와 동일한 구조를 가진다.
- [0049] 저장영역(300)에는 적어도 하나의 커패시터(Cst)가 구비된다. 커패시터(Cst)는 스위칭박막트랜지스터(sTFT)가 오프(off)된 뒤에도 구동박막트랜지스터(dTFT)로 인가되는 신호를 충전한다. 커패시터(Cst)는 하부전극(314) 및 상부전극(310)을 양 전극으로 하고, 그 사이에 유전막으로써 제3절연층(316)이 개재된다. 하부전극(314)은 게이트전극(214)과 동일한 층인 제1절연층(13) 상에 배치된다. 상부전극(310)은 하부도전층(317) 및 상부도전층(318)으로 이루어지는데, 하부도전층(317)은 후술할 화소전극(117)과 동일한 재료로 구비되며, 상부도전층(318)은 소스전극 및 드레인전극(218a,b)과 동일한 재료로 구비된다. 하부전극(314)과 상부전극(310) 사이에는 제2절연층(15)이 배치되지 않으며, 대신 유전막으로써 제3절연층(316)이 하부전극(314)과 상부전극(310) 사이에 직접 배치된다. 후술하겠으나, 제3절연층(316)의 두께는 제2절연층(15)의 두께보다 얇고, 제3절연층(316)의 유전율은 제1절연층(13)의 유전율보다 커서 커패시터(Cst)의 정전용량을 개선한다. 도 1을 참조하면, 상부전극(310)은 전원배선(E)과 전기적으로 연결되며, 하부전극(314)은 게이트전극(214)과 전기적으로 연결되나, 본 발명에 이에 한정되는 것은 아니다.
- [0050] 발광영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 구동 박막트랜지스터(TFT)의 소스전극 또는 드레인전극(218a,b) 중 하나와 전기적으로 연결된 화소전극(117), 화소전극(117)과 대향 배치된 대향전극(119) 및 화소전극(117)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다. 화소전극(117)은 기관(10)으로부터 순차적으로 구비된 제1절연층(13), 제2절연층(15) 및 제3절연층(116) 상에 형성된다. 그리고 화소전극(117)은 도시된 것과 같이 소스전극 또는 드레인전극(218a,b) 중 하나에 의해 그 일부가 덮일 수 있다. 유기발광표시장치(1)가 기관(10)의 방향으로 광을 방출하는 배면발광타입(bottom emission type)인 경우, 화소전극(117)은 광투과전극으로 구비되고 대향전극(119)은 광반사전극으로 구비될 수 있다. 그러나, 이에 한정하지 않고 유기발광표시장치(1)가 기관(10)의 반대 방향으로 광을 방출하는 전면발광타입(top emission type)인 경우 화소전극(117)은 반투과금속층을 포함하는 광반사전극으로 구비되고, 대향전극(119)은 광투과전극으로 구비될 수 있다. 물론 유기발광표시장치(1)는 두가지 타입을 조합하여 양방향으로 광을 방출하는 양면발광타입(dual emission type)이 될 수도 있다.
- [0051] 배선영역(400)에는 적어도 하나의 배선이 구비된다. 여기서 배선은 유기발광표시장치(1)에 포함된 박막트랜지스터(TFT), 커패시터(Cst), 유기발광소자(EL), 드라이버IC(미도시) 등을 전기적으로 커플링(electrically coupled)함으로써, 전류, 전압 또는 신호(signal)를 전달하는 구조물을 총칭한다. 따라서, 배선에는 스캔배선(S), 데이터배선(D) 및 전원배선(E) 외에도, 각종 드라이버IC의 구동에 필요한 신호(예를 들어, CLK, CLKB, SP 등)를 전달하는 클럭라인, 초기신호입력라인 등의 각종 신호라인 등을 포함한다. 한편, 배선은 화소 어레이가 구비되어 화상을 표시하는 표시영역에 위치할 수도 있고, 외부의 IC와 연결을 위한 각종 패드들이 배치되는 비표시영역에 위치할 수도 있다. 예를 들어 비표시영역에 위치하는 배선들은 표시영역과 패드들 사이의 팬아웃(Fan-out)영역에 집중적으로 위치할 수 있다. 이러한 배선들은 소자 및 드라이버IC의 연결관계에 따라 서로 다른 레이어에 배치될 수 있다.
- [0052] 본 발명의 일 실시예에 의하면, 서로 다른 레이어에 배치되며, 적어도 일부가 중첩되는 배선들에 대하여 상, 하부 배선 사이에 형성될 수 있는 기생 커패시턴스(parasitic capacitance)를 줄이고 상, 하부 배선 사이에 발생할 수 있는 쇼트(Short) 불량을 개선하는 것을 목적으로 한다. 이러한 목적을 달성하기 위해, 상부배선인 제2배선(410)과 하부배선인 제1배선(414) 사이에 배선절연막으로써 제3절연층(416)이 구비되는 것을 특징으로 한다.
- [0053] 도 3을 참조하면, 제1배선(414)은 게이트전극(214) 및 하부전극(314)과 동일한 층인 제1절연층(13) 상에 배치된다. 제2배선(410)은 화소전극(117) 및 상부전극(310)과 동일한 층인 제2절연층(15) 및 배선절연막인 제3절연층(416) 상에 배치된다. 제2배선(410)은 하부배선층(417) 및 상부배선층(418)으로 이루어지는데, 하부배선층(417)은 화소전극(117)과 동일한 재료를 구비하며, 상부배선층(418)은 소스전극 및 드레인전극(218a,b)과 동일한 재료를 구비한다. 제1배선(414)과 제2배선(410)은 적어도 일부가 중첩될 수 있으며, 배선절연막(416)은 상, 하

부 배선이 중첩될 때 나타날 수 있는 문제를 개선한다. 여기서 제1배선(414)과 제2배선(410)이 적어도 일부가 중첩된다는 것은, 도면에 도시된 것과 같이 제2배선(410)의 기관(10) 상으로의 정사영 이미지가 제1배선(414)의 기관(10) 상으로의 정사영 이미지와 적어도 일부 중첩된다는 것을 의미한다.

[0054] 다시 도 1의 a부분을 참조하면, 제2배선(410)은 데이터배선(D)이고, 제1배선(414)은 전원배선(E)일 수 있다. 제2배선(410)은 횡방향으로 연장되며, 제1배선(414)은 열방향으로 연장되어 양 배선은 적어도 일부가 중첩된다.

[0055] 다른 실시예에 의하면, 제2배선(410)은 데이터배선(D)이고, 제1배선(414)은 스캔배선(S)일 수 있다. 도 1의 b부분을 참조하면, 제2배선(410)은 스위칭박막트랜지스터(sTFT)의 소스전극 또는 드레인전극(218s)과 콘택홀(CT1)을 통해 전기적으로 연결되는 데이터배선(D)이며, 제1배선(414)은 스위칭박막트랜지스터(sTFT)의 게이트전극(214s)과 전기적으로 연결되는 스캔배선(S)일 수 있다. 데이터배선(D)과 스캔배선(S)은 서로 직교하는 방향으로 연장되므로 적어도 일부가 중첩된다.

[0056] 또 다른 실시예에 의하면, 제2배선(410)은 전원배선(E)이고, 제1배선(414)은 스캔배선(S)일 수 있다. 도 1의 c부분을 참조하면, 제2배선(410)은 커패시터(Cst)의 상부전극(310)과 전기적으로 연결되는 전원배선(E)이며, 제1배선(414)은 스위칭박막트랜지스터(sTFT)의 게이트전극(214s)과 전기적으로 연결된 스캔배선(S)일 수 있다. 도 1에 도시된 바와 같이 전원배선(E)과 스캔배선(S)은 일부 중첩된다.

[0057] 데이터신호를 전달하는 데이터배선(D), 주사신호를 전달하는 스캔배선(S) 및 제1전원전압(ELVDD)을 전달하는 전원배선(E)은 이렇게 서로 다른 층에 상, 하부 배선으로 존재하여 적어도 일부가 중첩되게 배열될 수 있다. 각 배선은 도전성 물질로 형성되고, 상, 하부 배선 사이에는 절연층이 개재된다. 따라서, 상, 하부 배선을 각각 상부전극 및 하부전극으로 하고 양 배선 사이에 개재된 절연층을 유전막으로 하는 기생커패시터가 형성된다. 이러한 기생커패시터에 의한 기생커패시턴스는 패널 전체의 RC 딜레이를 초래하는 문제가 있다. 한편, 기생커패시턴스는 하기 수학식에 의해 결정된다. 여기서, C는 기생커패시턴스, ε은 절연층의 유전상수, A는 중첩되는 배선의 면적, d는 상, 하부 배선 사이의 거리를 나타낸다.

수학식 1

$$C = \epsilon \frac{A}{d}$$

[0058]

[0059] 그러나, 본 발명의 일 실시예에 의하면, 상부배선과 하부배선 사이에 배선절연층이 더 존재함으로써, 상, 하부 배선 사이의 거리d가 증가하게 되어 기생커패시턴스가 감소하게 된다. 이로써 패널의 RC 딜레이가 감소한다. 한편, 제2배선(410)이 상부배선층(418) 및 하부배선층(417)의 이중 배선으로 구성되어 저항이 감소되므로, IR 드롭(IR drop)이 개선되는 효과가 있다.

[0060] 한편, 도 1을 참조하면, 제2배선(410)과 스위칭박막트랜지스터(sTFT)의 활성층(212s)이 콘택하는 콘택홀(CT1), 및 제1배선(414)과 제2배선(410)이 콘택하는 콘택홀(CT2) 등에는 배선절연층(416)이 형성되지 않는다. 또한, 콘택홀(CT1, CT2)에서 상부배선인 제2배선(410)은 상부배선층(418)만 존재하며, 하부배선층(417)은 존재하지 않는다. 후술하겠으나, 콘택홀(CT1, CT2)에서는 전기적 접속이 핵심이므로 절연물질을 포함하는 배선절연층(416)이 형성되지 않아야 한다. 배선절연층(416)은 하부배선층(417)과 동시에 한번의 공정으로 형성되기 때문에 콘택홀(CT1, CT2)에 배선절연층(416)을 배치하지 않으려면 하부배선층(417)도 형성되지 않아야 한다. 따라서, 콘택홀(CT1, CT2) 부분에는 상부배선층(418)만 형성되는 것이다.

[0061] 이하에서는 도 4 내지 도 10을 참조하여 도 1의 유기발광표시장치(1)의 제조방법을 알아본다.

[0062] 먼저 도 4에 도시된 바와 같이, 기관(10) 상부에 보조층(11)을 형성한다.

[0063] 기관(10)은 유리 기관뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관 등 투명 기관으로 구비될 수 있다.

[0064] 한편, 기관(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO<sub>2</sub> 또는 SiN<sub>x</sub> 등으로 단층 또는 복수층으로 형성할 수 있으며, PECVD(plasma enhanced chemical vapor

deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.

- [0065] 다음으로 보조층(11) 상의 박막트랜지스터영역(200)에 활성층(212)을 형성한다. 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(212)으로 패터닝된다.
- [0066] 다음으로 도 5a와 같이, 활성층(212)이 형성된 기판(10)의 전면에 제1절연층(13) 및 제1도전층(14)을 순차로 형성한다.
- [0067] 제1절연층(13)은 SiO<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, 또는 PZT 등과 같은 무기 절연층을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(13)은, 박막트랜지스터(TFT)의 활성층(212)과 게이트전극(214) 사이에 개재되어 박막트랜지스터(TFT)의 게이트절연막 역할을 한다.
- [0068] 본 실시예에서 게이트절연막으로 사용되는 제1절연층(13)은 후술할 커패시터(Cst)의 유전막으로는 사용되지 않기 때문에, 커패시터(Cst)의 유전율 특성을 고려할 필요 없이 박막트랜지스터(TFT)의 게이트절연막으로서의 특성에만 맞추어 설계될 수 있다. 예를 들어, 커패시터(Cst)의 정전 용량을 증가시키기 위해 커패시터(Cst)의 유전막으로 종종 사용되는 실리콘 나이트라이드(SiNx)를 박막트랜지스터(TFT)의 게이트절연막으로 동시에 사용하게 되면, 박막트랜지스터(TFT)에 누설 전류가 발생할 수 있다. 그러나, 본 실시예에 따르면, 커패시터(Cst)의 유전막과 박막트랜지스터(TFT)의 게이트절연막은 별도로 형성될 수 있기 때문에, 커패시터(Cst)의 특성 및 박막트랜지스터(TFT)의 특성만을 고려하여 유전막 및 게이트절연막을 선택할 수 있다.
- [0069] 제2금속층은 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0070] 다음으로, 도 5b와 같이, 박막트랜지스터영역(200)에 게이트전극(214)을 형성하고, 저장영역(300)에 하부전극(314)을 형성하며, 배선영역(400)에 제1배선(414)을 형성한다.
- [0071] 상세히, 기판(10) 전면에 적층된 제1도전층(14)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0072] 하부전극(314)은 저장영역(300)에 형성되며, 제1배선(414)은 배선영역(400)에 형성되며 도 4b에 도시된 바와 같이 하부전극(314)과 게이트전극(214)은 이격되어 형성될 수도 있으나, 이에 한정되지 않고 도 1에 도시된 바와 같이 하부전극(314)과 게이트전극(214)이 일체로 형성될 수도 있다.
- [0073] 게이트전극(214)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트전극(214)을 셀프 얼라인(self align) 마스크로 하여 n형 또는 p형의 불순물을 도핑하여 게이트전극(214)의 양측에 대응하는 활성층(212)의 가장자리에 소스영역 및 드레인영역(212a,b)과 이들 사이의 채널영역(212c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0074] 다음으로, 도 6와 같이 도 5b의 결과물 상에 제2절연층(15)을 증착한 후 제1절연층(13) 및/또는 제2절연층(15)을 패터닝하여, 콘택홀(C1,2) 및 개구부(H1)를 형성한다.
- [0075] 제2절연층(15)은 SiO<sub>x</sub>, SiNx, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, 및 PZT에서 선택된 무기 절연층으로 형성될 수 있으나, 전술한 제1절연층(13)으로 형성된 재료와 굴절률이 다른 재료로 형성되는 것이 바람직하다. 제2절연층(15)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(13)보다 두껍게 형성되어, 게이트전극(214)과 소스전극 및 드레인전극(218a,b) 사이의 층간절연막 역할을 수행한다. 한편, 제2절연층(15)은 상기와 같은 무기절연층뿐만 아니라, 유기절연층으로도 형성될 수 있으며, 유기절연층과 무기절연층을 교번하여 형성할 수도 있다.
- [0076] 상세히, 제1절연층(13) 및/또는 제2절연층(15)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 콘택홀(C1,2)과 개구부(H1)를 형성한다.
- [0077] 여기서 콘택홀(C1,2)은 활성층(212)의 소스영역 및 드레인영역(212a,b)의 일부를 노출시키도록 형성한다. 제1개

구부(H1)는 커패시터(Cst)의 하부전극(314)을 노출시키도록 형성한다.

- [0078] 본 발명의 일 실시예에 의하면, 제1개구부(H1)로 인하여 제2절연층(15)은 커패시터(Cst)의 상부전극(310)과 하부전극(314) 사이에는 배치되지 않는다. 다만, 박막트랜지스터(TFT)의 게이트전극(214)과 소스전극(218a) 및 드레인전극(218b) 사이에는 제2절연층(15)이 층간절연막으로써 위치한다. 여기서, 제2절연층(15)이 커패시터(Cst)의 상부전극(310)과 하부전극(314) 사이에 배치되지 않는다는 것은, 제2절연층(15)이 커패시터(Cst)의 유전막으로서의 역할을 하지 않는다는 의미이다. 예를 들어, 도 1에 도시된 바와 같이, 제2절연층(15)은 하부전극(314) 외곽에 약간 오버랩되어 배치될 수 있다. 이것은 제2절연층(15)을 패터닝하여 하부전극(314)을 노출시키는 제1개구부(H1) 형성 시, 일부 남아 있는 부분이다. 만약 제2절연층(15)의 패터닝 시 커패시터(Cst)의 하부전극(314)을 전부 노출시킨다면, 하부전극(314)과, 제3절연층(316) 상에 형성되는 상부전극(310) 사이에 누설 전류가 발생할 수 있다. 따라서, 제2절연층(15)이 하부전극(314)을 전부 노출시키지 않고 그 외곽을 일부 덮고 있기 때문에, 상부전극(310)과 하부전극(314) 사이의 누설 전류 발생을 방지할 수 있다.
- [0079] 한편, 박막트랜지스터(TFT)의 층간절연막으로 기능하는 제2절연층(15)은 박막트랜지스터(TFT)의 특성을 고려하여 소정 두께 이상으로 설계되지만, 커패시터(Cst)는 유전막의 두께가 두꺼울수록 정전 용량이 감소하기 때문에 층간절연막과 동일한 두께로 유전막을 형성할 경우 정전 용량이 감소할 수 있다.
- [0080] 그러나, 본 실시예에 따르면, 제2절연층(15)이 커패시터(Cst)의 유전막으로 사용되지 않으며, 후술하겠지만 본 실시예의 유전막으로 사용되는 제3절연층(316)은 제2절연층(15)보다 두께를 얇게 형성할 수 있기 때문에 정전 용량이 감소하는 것을 방지할 수 있다.
- [0081] 다음으로 도 7a, 도 7b와 같이, 발광영역(100)에 화소전극(117)을 형성하고, 저장영역(300)에 상부전극(310)을 형성하기 위한 하부도전층(317)을 형성하며, 배선영역(400)에 제2배선(410)을 형성하기 위한 하부배선층(417)을 형성한다.
- [0082] 상세히, 도 7a와 같이 도 6의 제3마스크 공정의 결과물 상에 제3절연층(16) 및 제2도전층(17)을 차례로 형성한 후, 도 7b와 같이 제3절연층(16) 및 제2도전층(17)은 제4마스크(미도시)를 사용한 마스크 공정에 의해 동시에 패터닝됨으로써 화소전극(117), 상부전극(310)의 하부도전층(317)과 유전막(316), 제2배선(410)의 하부배선층(417)과 배선절연막(416)을 형성한다.
- [0083] 제3절연층(16)은 SiO<sub>2</sub>, SiNx, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST 및 PZT에서 선택된 무기 절연층으로 형성될 수 있으나, 보조층(11), 제1절연층(13) 및 제2절연층(15)으로 형성된 재료와 굴절률이 다른 재료로 형성되는 것이 바람직하다. 그래야만 굴절률이 서로 다른 절연층이 교대로 구비되어 DBR(Distributed Bragg Reflector)로 기능함으로써 유기발광층에서 방출되는 빛의 광효율을 높일 수 있다.
- [0084] 유전막으로 사용되는 제3절연층(316)의 두께는 제2절연층(15)의 두께보다 얇다. 그래야만, 커패시터(Cst)의 유전막으로써 작용할 때 커패시터(Cst)의 정전용량을 저하시키지 않기 때문이다. 예를 들어, 제3절연층(316)의 두께는 약 500 옴스트롱(angstrom) 이상 2000 옴스트롱 이하로 형성하여 적절한 정전 용량을 유지할 수 있다.
- [0085] 유전막으로 사용되는 제3절연층(316)은 유전율이 큰 절연 재료로 형성될 수 있다. 전술한 바와 같이, 제3절연층(316)은 게이트절연막을 형성하는 제1절연층(13)과 별개의 층으로 형성되기 때문에, 제1절연층(13)보다 유전율은 큰 재료로 형성됨으로써 정전 용량을 증가시킬 수 있다. 따라서, 커패시터(Cst)의 면적을 증가시키지 않고도 정전 용량을 증가시킬 수 있기 때문에, 상대적으로 화소전극(117)의 면적을 크게 만들 수 있어서 유기발광표시장치(1)의 개구율을 증가시킬 수 있다.
- [0086] 한편, 제3절연층(16)은 제2절연층(15)과 식각액이 다른 재료를 사용하는 것이 바람직하다. 왜냐하면, 제3절연층(16)을 패터닝하는 공정에서, 제2절연층(15)도 식각액에 노출되기 때문에, 제2절연층(15)이 손상을 받지 않게 하기 위함이다. 한편, 제3절연층(16)을 패터닝하는 공정에서 제2절연층(15)이 식각되지 않음으로써 상, 하부 배선 사이의 거리를 유지하게 되고 결국 기생커패시턴스가 증가하지 않게 된다.
- [0087] 제2도전층(17)은 유기발광표시장치(1)가 배면발광타입인 경우, 투명 도전성 산화물로 형성될 수 있다. 예를 들어 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium galium oxide: IGO), 또는 알루미늄징크옥사이드(aluminium zink oxide: AZO)중에서 선택된 재료로 형성 될 수 있다.
- [0088] 하지만, 제2도전층(17)은 유기발광표시장치(1)가 전면발광타입인 경우 투명도전성산화물뿐만 아니라 투명도전성산화물층 위에 반투과금속층을 더 포함하여 복수 층으로 형성된다. 이와 같은 반투과금속층으로

은(Ag), 은(Ag) 합금, 알루미늄(Al), 및 알루미늄(Al) 합금에서 선택된 적어도 하나 이상의 재료가 선택될 수 있다.

- [0089] 제4마스크 공정에 의해, 발광영역(100)의 제3절연층(16) 및 제2도전층(17)은 화소전극(117) 하부의 제3절연층(116)과 화소전극(117)으로 패터닝된다. 저장영역(300)의 제3절연층 및 제2도전층은 커패시터(Cst)의 유전막(316) 및 상부전극(310)의 일부인 하부도전층(317)으로 패터닝된다. 또한, 배선영역(400)의 제3절연층 및 제2도전층은 배선절연막(416) 및 제2배선(410)의 일부인 하부배선층(417)으로 패터닝된다.
- [0090] 상술한 바와 같이 제3절연층과 제2도전층이 동일 마스크 공정에서 동시에 패터닝되기 때문에, 제3절연층과 제2도전층 중 일부만 남기거나 제거할 수는 없다. 따라서, 콘택홀들(C1,2, 도 1의 CT1, CT2)에는 전기적 접속을 위해 제3절연층 및 제2도전층은 제거되며, 이 후 설명할 제3도전층만 매립된다.
- [0091] 한편, 제3절연층(16)과 제2도전층(17)은 동일 마스크 공정에서 패터닝되지만, 두 층은 서로 다른 물질로 이루어지기 때문에 식각 공정은 2회 실시될 수 있다. 즉 제3절연층(16)을 식각하는 공정과 제2도전층(17)을 식각하는 공정은 나누어 실시될 수 있다.
- [0092] 그러나, 제3절연층(16)과 제2도전층(17)은 동일 마스크 공정에서 식각되기 때문에 제3절연층(16)과 제2도전층(17)의 식각면, 즉, 화소전극(117) 하부의 제3절연층(116)과 화소전극(117)이 동일하게 형성되고, 유전막(316)과 하부도전층(317)의 식각면은 동일하게 형성되며, 배선절연막(416)과 하부배선층(417)의 식각면은 동일하게 형성된다. 여기서 식각면이 동일하게 형성된다는 것은 화소전극(117), 하부도전층(317) 또는 하부배선층(417)이 화소전극 하부의 제3절연층(116), 유전막(316) 또는 배선절연막(416)의 식각 시, 식각 마스크로서 기능하여, 그 식각면이 대략 동일한 것을 포함한다.
- [0093] 한편, 제3절연층(16)은 커패시터(Cst)의 상부전극(310)과 하부전극(314) 사이에 직접 배치됨으로써 커패시터(Cst)의 유전막(316)으로 기능하지만, 박막트랜지스터(TFT)에는 위치하지 않기 때문에 게이트절연막으로는 기능하지 않는다. 따라서, 제3절연층(16)은 박막트랜지스터(TFT)의 특성을 고려할 필요 없이 커패시터(Cst)의 특성만 고려하여 재료 또는 두께 등을 선택할 수 있기 때문에, 공정의 설계 자유도가 높아진다.
- [0094] 한편, 제3절연층(16)은 적어도 일부가 서로 중첩되는 제1배선(414)과 제2배선(410) 사이에 배치됨으로써 배선절연막(416)으로 기능한다. 따라서, 제1배선(414)과 제2배선(410) 사이의 유전막 역할을 하여 기생 커패시턴스를 감소시킨다. 이렇게 기생 커패시턴스가 감소되면 RC 딜레이가 개선되어 유기발광표시장치(1)의 구동 마진이 확보되는 효과가 있다. 한편, 제1배선(414)과 제2배선(410) 사이에 절연층이 하나 더 구비되므로, 제1배선(414)과 제2배선(410)의 전기적 단락(short) 불량을 개선할 수 있다. 이로부터 보다 신뢰성 높은 유기발광표시장치(1)를 제조할 수 있는 특징이 있다.
- [0095] 다음으로 도 8과 같이, 박막트랜지스터(TFT)의 소스전극 및 드레인전극(218a,b), 상부전극(310)의 상부도전층(318), 및 제2배선(410)의 상부배선층(418)을 형성한다.
- [0096] 상세히, 도 7의 결과물을 덮도록 기판 전면에 제3도전층(미도시)을 형성한 후, 제3도전층을 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스전극 및 드레인전극(218a,b), 상부전극(310)의 상부도전층(318), 및 제2배선(410)의 상부배선층(418)을 형성한다.
- [0097] 제3도전층은 저저항 도전물질로 형성된다. 예를 들어, 제3도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 제3도전층은 소스영역 및 드레인 영역(212a,b)을 노출하는 콘택홀(C1,2)을 메울 정도의 두께로 형성된다.
- [0098] 제5마스크 공정에 의해 제3도전층은 콘택홀(C1,2)을 통하여 활성층(212)의 소스영역 및 드레인 영역(212a,b)과 연결되는 소스전극 및 드레인전극(218a,b)으로 패터닝 된다. 소스전극 또는 드레인전극(218a,b) 중 하나는 화소전극(117)의 가장자리 일부를 덮어 화소전극(117)과 전기적으로 연결된다. 본 실시예에서 소스전극 및 드레인전극(218a,b)은 화소전극(117) 형성 후 패터닝되기 때문에, 화소전극(117)과 연결되는 소스전극 또는 드레인전극(218a,b)의 접속부는 화소전극(117)보다 위에 형성된다. 또한 제3도전층은 저장영역(300)의 상부도전층(318) 및 배선영역(400)의 상부배선층(418)으로 패터닝된다.
- [0099] 제3도전층을 식각하는 공정에서, 제2도전층(17)으로 이루어지는 화소전극(117), 하부도전층(317) 및 하부배선층(417)도 식각액에 노출되기 때문에, 제2도전층(17)이 손상을 받지 않기 위해서 제3도전층은 제2도전층(17)과 식각율이 다른 재료로 형성하는 것이 바람직하다. 즉, 소스전극, 드레인전극(218a,b), 상부도전층(318) 및 상부배선층(418)은 제2도전층(17)과 식각율이 다른 재료로 형성하는 것이 바람직하다. 즉, 소스전극, 드레인전극(218a,b), 상부도전층(318) 및 상부배선층(418)은 제2도전층(17)과 식각율이 다른 재료로 형성하는 것이 바람직하다.

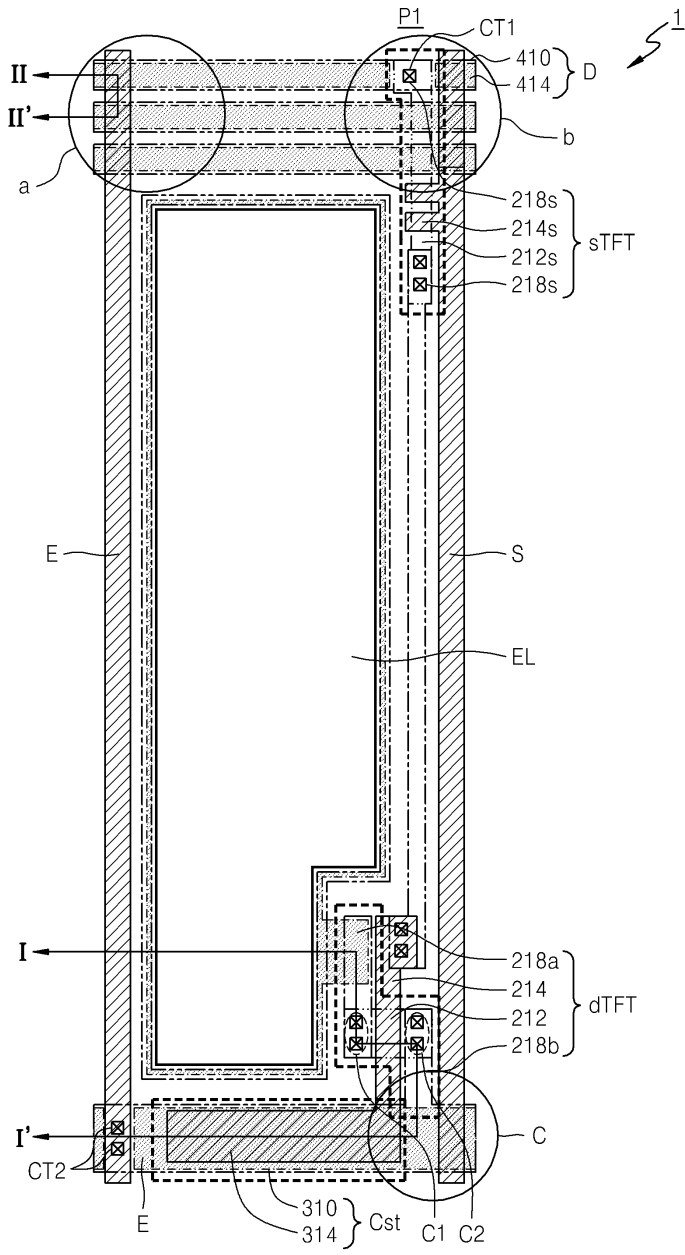
선층(418)은, 화소전극(117), 하부도전층(317) 및 하부배선층(417)과 식각율이 다른 재료를 포함한다.

- [0100] 다음으로, 도 9과 같이, 화소전극(117)을 노출하는 화소정의막으로써의 제4절연층(19)을 형성한다.
- [0101] 상세히, 도 8의 결과물이 형성된 기판 전면에서 제4절연층(19)을 증착한 후, 제6마스크(미도시)를 사용한 마스크 공정에 의해 제4절연층(19)을 패터닝하여 화소전극(117)의 중앙부가 노출되도록 제2개구부(H2)를 형성함으로써, 픽셀을 정의하게 된다.
- [0102] 여기서 제4절연층(19)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다. 한편, 상기 제4절연층(19)은 상기와 같은 유기 절연 물질뿐만 아니라, 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제4절연층(19)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0103] 제3개구부(H3)는 화소전극(117)의 중앙부를 노출하도록 형성한다. 제2개구부(H2)는 발광되는 부분을 정의해주는 역할 외에, 화소전극(117)의 가장자리와 대향전극(119) 사이의 간격을 넓혀, 화소전극(117)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소전극(117)과 대향전극(119)의 단락을 방지하는 역할을 한다.
- [0104] 이후 도 3에서 도시된 바와 같이 제6마스크 공정 이후 제2개구부(H2)에 의해 노출된 화소전극(117) 상에 유기발광층을 포함하는 중간층(118)을 형성한다.
- [0105] 중간층(118)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0106] 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0107] 유기 발광층이 저분자 유기물로 형성되는 경우, 중간층(118)은 유기 발광층을 중심으로 화소전극(117)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향전극(119) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0108] 한편, 유기 발광층이 고분자 유기물로 형성되는 경우에는, 중간층(118)은 유기 발광층을 중심으로 화소전극(117) 방향으로 정공 수송층이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 형성할 수 있다.
- [0109] 중간층(118) 상에는 공통 전극인 대향전극(119)을 형성한다. 본 실시예에 따른 유기발광표시장치(1)의 경우, 화소전극(117)은 애노드로 사용되고, 대향전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0110] 유기발광표시장치(1)가 배면발광타입인 경우, 대향전극(119)은 반사물질을 포함하는 반사 전극으로 구성될 수 있다. 이 때 대향전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함하여 두 겹께 형성할 수 있다.
- [0111] 유기발광표시장치(1)가 전면발광타입인 경우, 대향전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 박막으로 형성할 수 있다. 이 때 대향전극(119)은 투과율이 높도록 약 100 내지 300 옴스트롱(angstrom) 두께의 박막으로 형성하는 것이 바람직하다.
- [0112] 한편, 도 3에는 도시되어 있지 않으나, 본 실시예에 따른 유기발광표시장치(1)는 발광영역(100), 박막트랜지스터영역(200), 저장영역(300) 및 배선영역(400)의 일부를 포함하는 표시 영역을 방지하는 방지 부재(미도시)를 더 포함할 수 있다. 방지 부재는 글라스재를 포함하는 기판, 금속 필름, 또는 유기 절연층 및 무기 절연층이 교번하여 배치된 방지 박막 등으로 형성될 수 있다.
- [0113] 도 10a 및 도 10b는 본 실시예에 따른 유기발광표시장치(1)의 배선영역(400)의 RC 딜레이가 기존에 비해 개선된 효과를 나타낸 것이다.

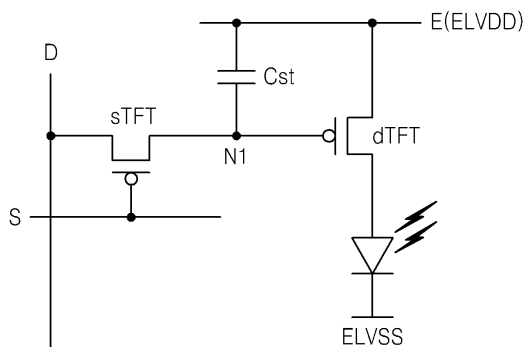


도면

도면1

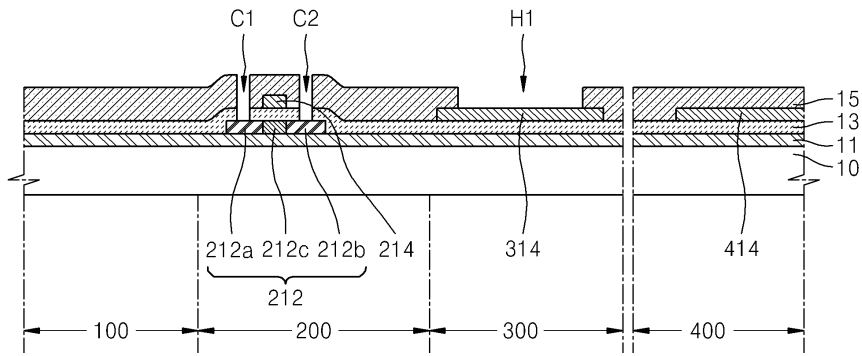


도면2

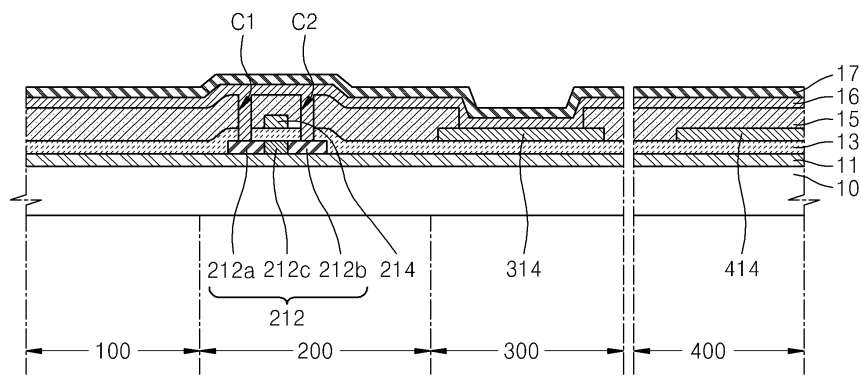




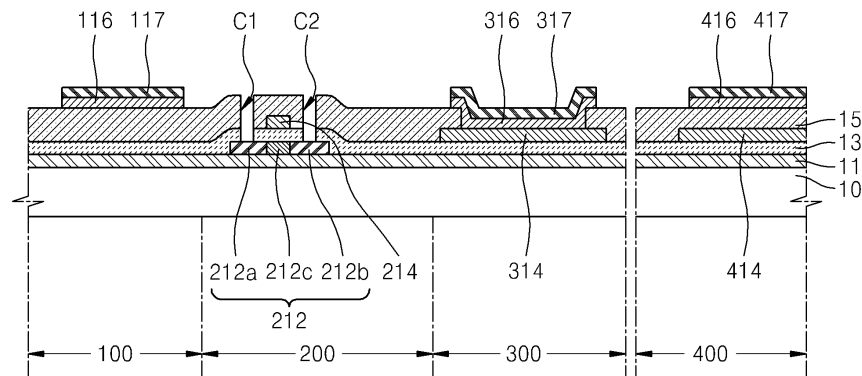
도면6



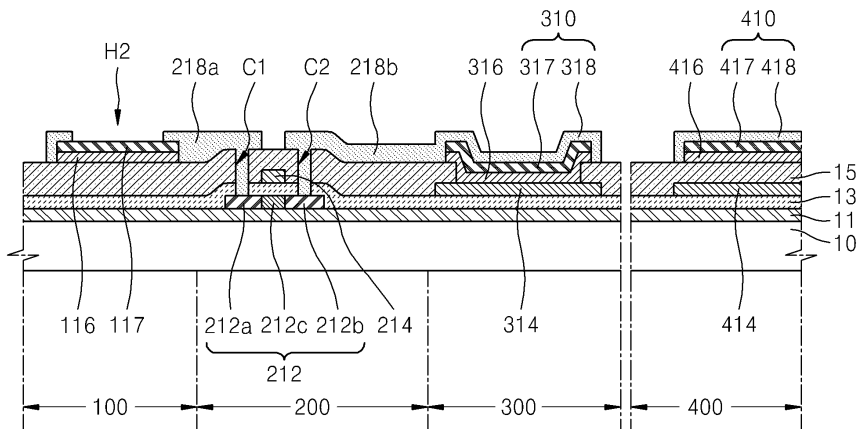
도면7a



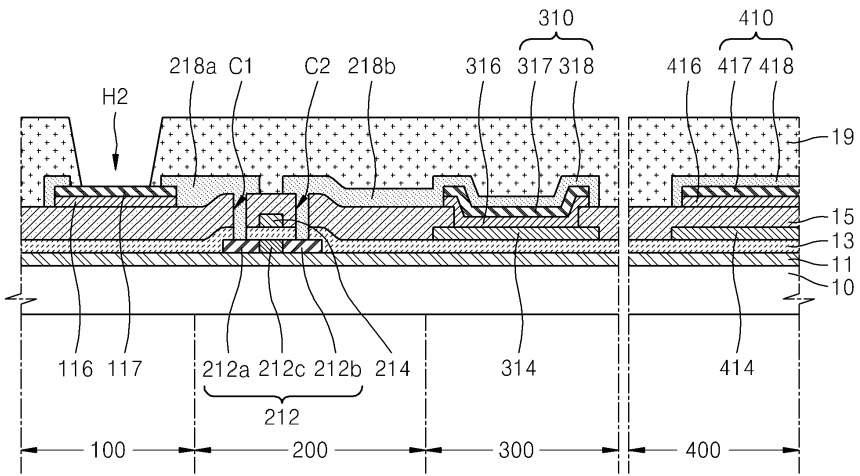
도면7b



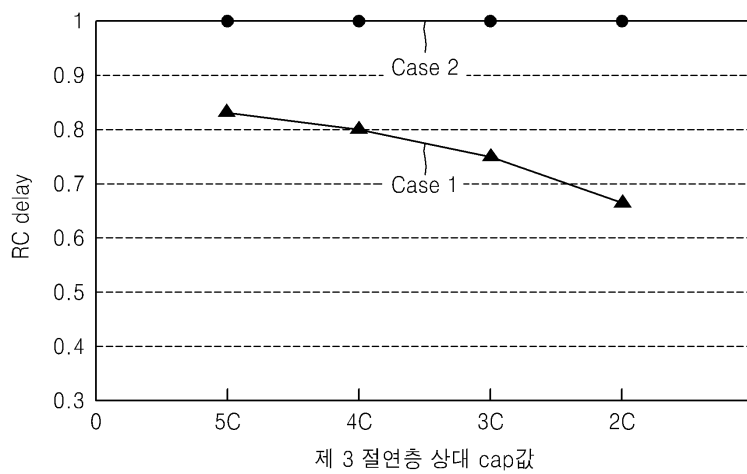
도면8



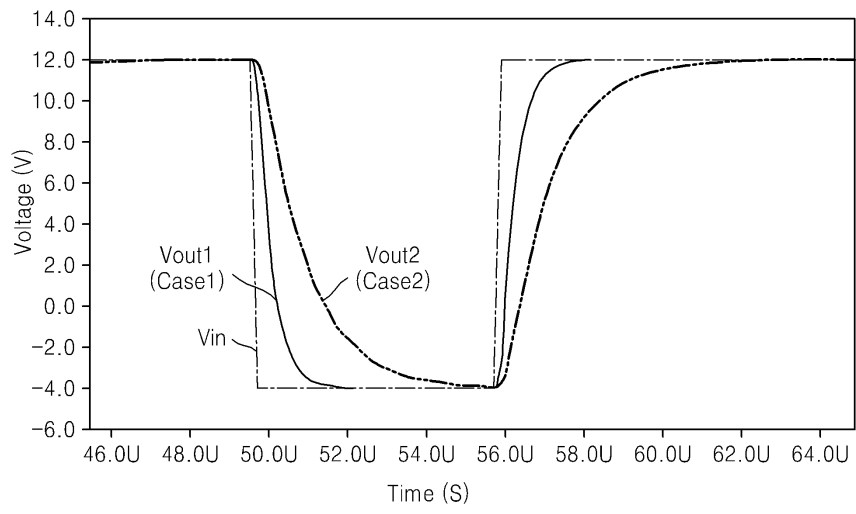
도면9



도면10a



도면10b



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR101875774B1</a>	公开(公告)日	2018-07-09
申请号	KR1020110079716	申请日	2011-08-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE HAE YEON 이해연 OH JIN GON 오진곤 CHOI JAE BEOM 최재범 LEE JUNE WOO 이준우		
发明人	이해연 오진곤 최재범 이준우		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L27/1288 H01L27/3258 H01L27/3276 H01L27/3246 H01L27/3248 H01L27/3265 H05B33/10 H01L2227/323 H01L2251/50		
其他公开文献	KR1020130017342A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明是为了减少工艺步骤，并降低布线区域的寄生电容，和设置在衬底，设置在所述有源层，栅极电极，源极电极和漏极电极，所述有源层和所述栅极电极之间的第一绝缘层上，并一种薄膜晶体管，包括栅极电极和设置在源电极和漏电极之间的第二绝缘层；第一绝缘层和第二绝缘层 像素电极设置在多层上并连接到源电极和漏电极中的一个；第一布线设置在第一绝缘层上并由与栅极电极相同的材料制成；其中，所述重叠至少一部分的第一配线，所述第二布置设置在像素电极上的绝缘层和所述下层布线层和作为作为源电极和漏电极相同的材料构成的上布线层相同的材料的下布线层上在基板上提供第二布线；第三绝缘层，设置在第二绝缘层和像素电极之间，以及第二绝缘层和第二布线之间；第四绝缘层，覆盖源电极和漏电极以及上电极并暴露像素电极；中间层，设置在像素电极上并包括有机发光层；并且反电极设置在中间层上。

