



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년07월02일  
 (11) 등록번호 10-1860860  
 (24) 등록일자 2018년05월17일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/3233 (2016.01)  
 (21) 출원번호 10-2011-0023427  
 (22) 출원일자 2011년03월16일  
 심사청구일자 2016년03월14일  
 (65) 공개번호 10-2012-0105781  
 (43) 공개일자 2012년09월26일  
 (56) 선행기술조사문헌  
 KR1020110013693 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 유명환  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 (74) 대리인  
 리엔목특허법인

전체 청구항 수 : 총 18 항

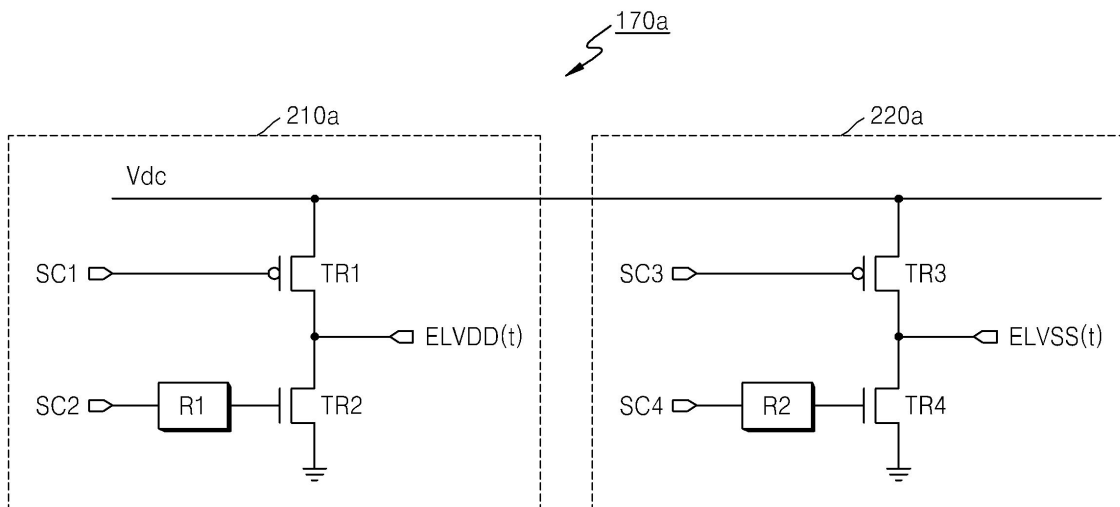
심사관 : 조세형

(54) 발명의 명칭 **유기 전계발광 표시장치 및 그의 구동방법**

**(57) 요약**

본 발명의 실시예에 따르면, 유기발광소자를 구비하는 복수의 화소들; 및 시간에 따라 그 전압레벨이 변화하는 제1 및 제2 전원을 생성하여 상기 복수의 화소들에 공급하는 전원 구동부를 포함하고, 상기 전원 구동부는, 상기 제1 전원을 풀-다운시키는 제2 트랜지스터의 게이트 전극에 연결된 제1 저항; 및 상기 제2 전원을 풀-다운시키는 제4 트랜지스터의 게이트 전극에 연결된 제2 저항을 포함하는, 유기 전계발광 표시장치가 제공된다.

**대표도**



**명세서**

**청구범위**

**청구항 1**

유기발광소자를 구비하는 복수의 화소들; 및

시간에 따라 그 전압레벨이 변화하는 제1 및 제2 전원을 생성하여 상기 복수의 화소들에 공급하는 전원 구동부를 포함하고, 상기 전원 구동부는,

상기 제1 전원을 풀-다운시키는 제2 트랜지스터의 게이트 전극에 연결된 제1 저항; 및

상기 제2 전원을 풀-다운시키는 제4 트랜지스터의 게이트 전극에 연결된 제2 저항을 포함하고,

상기 전원 구동부는,

상기 제1 전원을 생성하여 출력하는 제1 전원 생성부; 및

상기 제2 전원을 생성하여 출력하는 제2 전원 생성부를 포함하고, 상기 제1 전원 생성부는,

제1 전원 제어신호에 접속된 게이트 전극, DC(direct current) 전원에 연결된 제1 전극, 및 상기 제1 전원의 출력선에 연결된 제2 전극을 구비하는 제1 트랜지스터; 및

상기 제1 저항에 연결된 게이트 전극, 상기 제1 전원의 출력선에 연결된 제1 전극, 및 접지선에 연결된 제2 전극을 구비하는 상기 제2 트랜지스터를 포함하고, 상기 제2 전원 생성부는,

제3 전원 제어신호에 접속된 게이트 전극, 상기 DC 전원에 연결된 제1 전극, 및 상기 제2 전원의 출력선에 연결된 제2 전극을 구비하는 제3 트랜지스터; 및

상기 제2 저항에 연결된 게이트 전극, 상기 제2 전원의 출력선에 연결된 제1 전극, 및 상기 접지선에 연결된 제2 전극을 구비하는 상기 제4 트랜지스터를 포함하며,

상기 제1 저항은 제2 전원 제어신호의 입력선과 상기 제2 트랜지스터의 게이트 전극 사이에 연결되고, 상기 제2 저항은 제4 전원 제어신호의 입력선과 상기 제4 트랜지스터의 게이트 전극 사이에 연결되고,

상기 제1 저항 및 상기 제2 저항은 가변저항이고, 상기 제1 및 제3 트랜지스터는 p형 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 n형 트랜지스터이며,

상기 제1 전원 생성부는,

상기 제2 트랜지스터의 게이트 전극의 전압 값을 검출하는 제1 검출부; 및

상기 제2 전원 제어신호의 레벨이 로우레벨에서 하이레벨로 변동 시, 상기 제2 트랜지스터의 게이트 전극의 전압 값이 제1 기준전압레벨을 초과하면 상기 제1 저항의 저항값을 감소시키는 제1 저항 제어부를 포함하고, 상기 제2 전원 생성부는,

상기 제4 트랜지스터의 게이트 전극의 전압 값을 검출하는 제2 검출부; 및

상기 제4 전원 제어신호의 레벨이 로우레벨에서 하이레벨로 변동 시, 상기 제4 트랜지스터의 게이트 전극의 전압 값이 제2 기준전압레벨을 초과하면 상기 제2 저항의 저항값을 감소시키는 제2 저항 제어부를 포함하는, 유기전계발광 표시장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제1항에 있어서, 상기 제1 기준전압레벨은 상기 제2 전원 제어신호가 상기 로우레벨에서 상기 하이레벨로 변동 시, 상기 제2 트랜지스터의 게이트 전극에서 밀러 효과가 발생하는 전압 값이고, 상기 제2 기준전압레벨은 상기 제4 전원 제어신호가 상기 로우레벨에서 상기 하이레벨로 변동 시, 상기 제4 트랜지스터의 게이트 전극에서 밀러 효과가 발생하는 전압 값인, 유기 전계발광 표시장치.

**청구항 5**

제1항에 있어서, 상기 복수의 화소들은 각각,

주사선에 연결된 게이트 전극, 데이터선에 연결된 제1 전극, 및 제1 노드에 연결된 제2 전극을 구비하는 제1 화소 트랜지스터;

제2 노드에 연결된 게이트 전극, 상기 제1 전원에 접속된 제1 전극, 및 상기 유기발광소자의 애노드에 연결된 제2 전극을 구비하는 제2 화소 트랜지스터;

제어선에 연결된 게이트 전극, 상기 제2 화소 트랜지스터의 게이트 전극에 연결된 제1 전극, 및 상기 제2 화소 트랜지스터의 제2 전극에 연결된 제2 전극을 구비하는 제3 화소 트랜지스터;

상기 제1 전원과 상기 제1 노드 사이에 연결된 제1 커패시터;

상기 제1 노드와 상기 제2 노드 사이에 연결된 제2 커패시터; 및

상기 제2 화소 트랜지스터의 제2 전극에 연결된 애노드와 상기 제2 전원에 접속된 캐소드를 구비하는 상기 유기 발광소자를 포함하고, 상기 제1 내지 제3 화소 트랜지스터는 p형 트랜지스터인, 유기 전계발광 표시장치.

**청구항 6**

제5항에 있어서, 상기 제1 전원은 상기 유기발광소자의 애노드 전압 값을 초기화시키기 위해 상기 제2 화소 트랜지스터가 턴 온되는 구간에, 고전압레벨로부터 저전압레벨로 하강하는, 유기 전계발광 표시장치.

**청구항 7**

제5항에 있어서, 상기 제2 전원은 상기 유기발광소자를 발광시키기 위해 상기 제2 화소 트랜지스터가 턴 온되는 구간에, 고전압레벨로부터 저전압레벨로 하강하는, 유기 전계발광 표시장치.

**청구항 8**

제5항에 있어서, 상기 제1 전원 및 상기 제2 전원은 상기 복수의 화소들에 공통으로 공급되는, 유기 전계발광 표시장치.

**청구항 9**

제1항에 있어서, 상기 복수의 화소들 각각은,

주사선에 연결된 게이트 전극, 데이터선에 연결된 제1 전극, 및 제1 노드에 연결된 제2 전극을 구비하는 제1 화소 트랜지스터;

제2 노드에 연결된 게이트 전극, 상기 유기발광소자의 캐소드에 연결된 제1 전극, 및 상기 제2 전원에 접속된 제2 전극을 구비하는 제2 화소 트랜지스터;

제어선에 연결된 게이트 전극, 상기 제2 화소 트랜지스터의 제1 전극에 연결된 제1 전극, 및 상기 제2 화소 트랜지스터의 게이트 전극에 연결된 제2 전극을 구비하는 제3 화소 트랜지스터;

상기 제1 노드와 상기 제2 전원 사이에 연결된 제1 커패시터;

상기 제1 노드와 상기 제2 노드 사이에 연결된 제2 커패시터; 및

상기 제1 전원에 접속된 애노드와 상기 제2 화소 트랜지스터의 제1 전극에 연결된 캐소드를 구비하는 상기 유기 발광소자를 포함하고, 상기 제1 내지 제3 화소 트랜지스터는 n형 트랜지스터인, 유기 전계발광 표시장치.

**청구항 10**

제5항 또는 제9항에 있어서,

주사신호를 생성하여 상기 주사선을 통해 상기 복수의 화소들에 공급하는 주사 구동부;

데이터 전압을 생성하여 상기 데이터선을 통해 상기 복수의 화소들에 공급하는 데이터 구동부;

상기 제2 커패시터에 상기 제2 화소 트랜지스터의 문턱전압에 대응하는 전압을 저장하기 위해, 문턱전압 보상구간에 상기 제3 화소 트랜지스터를 턴 온시키기 위한 제어신호를 생성하여 상기 제어선을 통해 상기 복수의 화소들에 공급하는 제어선 구동부; 및

상기 주사 구동부, 상기 데이터 구동부, 상기 전원 구동부, 및 상기 제어선 구동부를 제어하는 타이밍 구동부를 더 포함하는, 유기 전계발광 표시장치.

**청구항 11**

제1항에 있어서, 상기 제1 저항 및 상기 제2 저항의 저항값은 상기 복수의 화소들에서 상기 제1 전원과 상기 제2 전원 사이에 접속된 축전 성분의 크기에 따라 결정되는, 유기 전계발광 표시장치.

**청구항 12**

복수의 화소들을 구비하는 유기 전계발광 표시장치의 구동방법에 있어서, 상기 복수의 화소들에 공급되는 제1 전원은 그 전압레벨이 시간에 따라 변화하고, 상기 제1 전원을 생성하는 회로단은, 상기 제1 전원을 풀-업시키는 제1 트랜지스터, 상기 제1 전원을 풀-다운시키는 제2 트랜지스터, 및 상기 제2 트랜지스터의 게이트 전극에 연결되고 저항값이 가변적인 제1 저항을 포함하며, 상기 유기 전계발광 표시장치 구동방법은, 상기 제1 저항을 통해 상기 제2 트랜지스터의 게이트 전극에 공급되는 제1 전원 제어신호가 상기 제1 전원을 고전압레벨에서 저전압레벨로 변화시키기 위하여 그 전압레벨이 변경될 때,

상기 제2 트랜지스터의 게이트 전극의 전압을 검출하는 단계; 및

상기 제2 트랜지스터의 게이트 전극 전압이 제1 기준전압레벨을 초과하면 상기 제1 저항의 저항값을 감소시키는 단계를 포함하는, 유기 전계발광 표시장치 구동방법.

**청구항 13**

제12항에 있어서, 상기 제1 기준전압레벨은 상기 제1 전원을 상기 고전압레벨에서 상기 저전압레벨로 변화시키기 위하여 상기 제1 전원 제어신호의 레벨이 변경될 때, 상기 제2 트랜지스터의 게이트 전극에서 밀러 효과가 발생하는 전압 값인, 유기 전계발광 표시장치 구동방법.

**청구항 14**

제12항에 있어서, 상기 복수의 화소들에 공급되는 제2 전원은 그 전압레벨이 시간에 따라 변화하고, 상기 제2 전원을 생성하는 회로단은, 상기 제2 전원을 풀-업시키는 제3 트랜지스터, 상기 제2 전원을 풀-다운시키는 제4 트랜지스터, 및 상기 제4 트랜지스터의 게이트 전극에 연결되고 저항값이 가변적인 제2 저항을 포함하며, 상기 유기 전계발광 표시장치 구동방법은, 상기 제2 저항을 통해 상기 제4 트랜지스터의 게이트 전극에 공급되는 제2 전원 제어신호가 상기 제2 전원을 고전압레벨에서 저전압레벨로 변화시키기 위하여 그 전압레벨이 변경될 때,

상기 제4 트랜지스터의 게이트 전극의 전압을 검출하는 단계; 및

상기 제4 트랜지스터의 게이트 전극 전압이 상기 제1 기준전압레벨을 초과하면 상기 제2 저항의 저항값을 감소시키는 단계를 더 포함하는, 유기 전계발광 표시장치 구동방법.

**청구항 15**

제14항에 있어서, 상기 제1 및 제3 트랜지스터는 p형 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 n형 트랜지스터인, 유기 전계발광 표시장치 구동방법.

**청구항 16**

제14항에 있어서, 상기 복수의 화소들은 제1 커패시터를 통해 상기 제1 전원에 커플링되고 제1 화소 트랜지스터를 통해 데이터 전압을 인가받는 제1 노드와, 제2 커패시터를 통해 상기 제1 노드에 커플링되고 제2 화소 트랜지스터의 게이트 전극에 연결된 제2 노드를 구비하고, 상기 제2 화소 트랜지스터는 상기 제1 전원과 유기발광소자의 애노드 사이에 연결되고, 제3 화소 트랜지스터는 상기 제2 화소 트랜지스터의 게이트 전극과 상기 제2 화

소 트랜지스터의 제2 전극 사이에 연결되어 제어신호에 따라 상기 제2 화소 트랜지스터를 다이오드 연결시킬 수 있고, 상기 제2 전원은 상기 유기발광소자의 캐소드에 연결되며, 상기 유기 전계발광 표시장치 구동방법은, 상기 고전압레벨의 상기 제1 및 제2 전원을 상기 복수의 화소들에 공급하고, 상기 제1 노드의 전압 값을 초기화시키는 리셋 단계;

상기 제1 전원을 상기 고전압레벨로부터 상기 저전압레벨로 하강시켜, 상기 유기발광소자의 애노드 전압 값을 상기 저전압레벨로 초기화시킨 후, 상기 제1 전원을 상기 고전압레벨로 상승시키는 초기화 단계;

상기 제3 화소 트랜지스터를 턴 온시켜 상기 제2 화소 트랜지스터를 다이오드 연결시키고, 상기 제2 커패시터에 상기 제2 화소 트랜지스터의 문턱전압에 대응되는 전압 값을 저장하는 문턱전압 보상 단계;

복수의 화소들의 상기 제1 화소 트랜지스터들을 순차적으로 턴 온시켜 상기 복수의 화소들의 상기 제1 커패시터에 상기 데이터 전압을 저장하는, 주사/데이터 입력 단계; 및

상기 제2 전원을 상기 저전압레벨로 하강시켜, 상기 유기발광소자를 발광시키는 발광 단계를 더 포함하는, 유기 전계발광 표시장치 구동방법.

**청구항 17**

제16항에 있어서, 상기 제1 내지 제3 화소 트랜지스터는 p형 트랜지스터인, 유기 전계발광 표시장치 구동방법.

**청구항 18**

제16항에 있어서, 상기 발광 단계 이후에,

상기 제2 전원을 상기 고전압레벨로 상승시켜, 상기 유기발광소자를 소광시키는 발광 오프 단계를 더 포함하는, 유기 전계발광 표시장치 구동방법.

**청구항 19**

제14항에 있어서, 상기 제1 전원 및 상기 제2 전원은 상기 복수의 화소들에 공통으로 공급되는, 유기 전계발광 표시장치 구동방법.

**청구항 20**

제14항에 있어서, 상기 제1 저항 및 상기 제2 저항의 저항값은 상기 복수의 화소들에서 상기 제1 전원과 상기 제2 전원 사이에 접속된 축전 성분의 크기에 따라 결정되는, 유기 전계발광 표시장치 구동방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 유기 전계발광 표시장치 및 그 구동방법에 관한 것이다.

**배경 기술**

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계방출 표시장치(Field Emission Display: FED), 플라즈마 표시패널(Plasma Display Panel: PDP) 및 유기 전계발광 표시장치 등이 있다.

[0003] 평판 표시장치 중, 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 유기 전계발광 표시장치는 각 화소에 인가되는 전원을 이용하여 구동된다. 최근 다양한 유기 전계발광 표시장치의 구동방법이 등장하면서, 상기 전원의 전압레벨을 시간에 따라 변화시켜 유기 전계발광 표시장치를 구동하는 경우가 있다. 그런데, 상기 전원 전압 변화 시, 유기 전계발광 표시장치에서 과도한 서어지 전류(surge current)가 발생하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예들은, 유기 전계발광 표시장치의 전원 전압 변화 시, 과도한 서어지 전류가 발생하는 것을 방지하기 위한 것이다. 또한 본 발명의 실시예들은 과도한 서어지 전류를 방지하여, 유기 전계발광 표시장치의 소자들이 파괴되지 않도록 하고, 유기 전계발광 표시장치의 수명을 연장시키기 위한 것이다.

**과제의 해결 수단**

[0005] 본 발명의 실시예의 일 측면에 따르면, 유기발광소자를 구비하는 복수의 화소들; 및 시간에 따라 그 전압레벨이 변화하는 제1 및 제2 전원을 생성하여 상기 복수의 화소들에 공급하는 전원 구동부를 포함하고, 상기 전원 구동부는, 상기 제1 전원을 풀-다운시키는 제2 트랜지스터의 게이트 전극에 연결된 제1 저항; 및 상기 제2 전원을 풀-다운시키는 제4 트랜지스터의 게이트 전극에 연결된 제2 저항을 포함하는, 유기 전계발광 표시장치가 제공된다.

[0006] 상기 전원 구동부는, 상기 제1 전원을 생성하여 출력하는 제1 전원 생성부; 및 상기 제2 전원을 생성하여 출력하는 제2 전원 생성부를 포함하고, 상기 제1 전원 생성부는, 제1 전원 제어신호에 접속된 게이트 전극, DC(direct current) 전원에 연결된 제1 전극, 및 상기 제1 전원의 출력선에 연결된 제2 전극을 구비하는 제1 트랜지스터; 및 상기 제1 저항에 연결된 게이트 전극, 상기 제1 전원의 출력선에 연결된 제1 전극, 및 접지선에 연결된 제2 전극을 구비하는 상기 제2 트랜지스터를 포함하고, 상기 제2 전원 생성부는, 제3 전원 제어신호에 접속된 게이트 전극, 상기 DC 전원에 연결된 제1 전극, 및 상기 제2 전원의 출력선에 연결된 제2 전극을 구비하는 제3 트랜지스터; 및 상기 제2 저항에 연결된 게이트 전극, 상기 제2 전원의 출력선에 연결된 제1 전극, 및 상기 접지선에 연결된 제2 전극을 구비하는 상기 제4 트랜지스터를 포함하며, 상기 제1 저항은 상기 제2 전원 제어신호의 입력선과 상기 제2 트랜지스터의 게이트 전극 사이에 연결되고, 상기 제2 저항은 상기 제3 전원 제어신호의 입력선과 상기 제4 트랜지스터의 게이트 전극 사이에 연결될 수 있다.

[0007] 또한 상기 제1 저항 및 상기 제2 저항은 가변저항이고, 상기 제1 및 제3 트랜지스터는 p형 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 n형 트랜지스터이며, 상기 제1 전원 생성부는, 상기 제2 트랜지스터의 게이트 전극의 전압 값을 검출하는 제1 검출부; 및 상기 제2 전원 제어신호의 레벨이 로우레벨에서 하이레벨로 변동 시, 상기 제2 트랜지스터의 게이트 전극의 전압 값이 제1 기준전압레벨을 초과하면 상기 제1 저항의 저항값을 감소시키는 제1 저항 제어부를 포함하고, 상기 제2 전원 생성부는, 상기 제4 트랜지스터의 게이트 전극의 전압 값을 검출하는 제2 검출부; 및 상기 제4 전원 제어신호의 레벨이 로우레벨에서 하이레벨로 변동 시, 상기 제4 트랜지스터의 게이트 전극의 전압 값이 제2 기준전압레벨을 초과하면 상기 제2 저항의 저항값을 감소시키는 제2 저항 제어부를 포함할 수 있다.

[0008] 상기 제1 기준전압레벨은 상기 제2 전원 제어신호가 상기 로우레벨에서 상기 하이레벨로 변동 시, 상기 제2 트랜지스터의 게이트 전극에서 밀러 효과가 발생하는 전압 값이고, 상기 제2 기준전압레벨은 상기 제4 전원 제어신호가 상기 로우레벨에서 상기 하이레벨로 변동 시, 상기 제4 트랜지스터의 게이트 전극에서 밀러 효과가 발생하는 전압 값일 수 있다.

[0009] 상기 복수의 화소들은 각각, 주사선에 연결된 게이트 전극, 데이터선에 연결된 제1 전극, 및 제1 노드에 연결된 제2 전극을 구비하는 제1 화소 트랜지스터; 제2 노드에 연결된 게이트 전극, 상기 제1 전원에 접속된 제1 전극, 및 상기 유기발광소자의 애노드에 연결된 제2 전극을 구비하는 제2 화소 트랜지스터; 제어선에 연결된 게이트 전극, 상기 제2 화소 트랜지스터의 게이트 전극에 연결된 제1 전극, 및 상기 제2 화소 트랜지스터의 제2 전극에 연결된 제2 전극을 구비하는 제3 화소 트랜지스터; 상기 제1 전원과 상기 제1 노드 사이에 연결된 제1 커패시터; 상기 제1 노드와 상기 제2 노드 사이에 연결된 제2 커패시터; 및 상기 제2 화소 트랜지스터의 제2 전극에 연결된 애노드와 상기 제2 전원에 접속된 캐소드를 구비하는 상기 유기발광소자를 포함하고, 상기 제1 내지 제3 화소 트랜지스터는 p형 트랜지스터일 수 있다.

[0010] 상기 제1 전원은 상기 유기발광소자의 애노드 전압 값을 초기화시키기 위해 상기 제2 화소 트랜지스터가 턴 온되는 구간에, 고전압레벨로부터 저전압레벨로 하강할 수 있다.

[0011] 상기 제2 전원은 상기 유기발광소자를 발광시키기 위해 상기 제2 화소 트랜지스터가 턴 온되는 구간에, 고전압레벨로부터 저전압레벨로 하강할 수 있다.

[0012] 상기 제1 전원 및 상기 제2 전원은 상기 복수의 화소들에 공통으로 공급될 수 있다.

- [0013] 상기 복수의 화소들 각각은, 주사선에 연결된 게이트 전극, 데이터선에 연결된 제1 전극, 및 제1 노드에 연결된 제2 전극을 구비하는 제1 화소 트랜지스터; 제2 노드에 연결된 게이트 전극, 상기 유기발광소자의 캐소드에 연결된 제1 전극, 및 상기 제2 전원에 접속된 제2 전극을 구비하는 제2 화소 트랜지스터; 제어선에 연결된 게이트 전극, 상기 제2 화소 트랜지스터의 제1 전극에 연결된 제1 전극, 및 상기 제2 화소 트랜지스터의 게이트 전극에 연결된 제2 전극을 구비하는 제3 화소 트랜지스터; 상기 제1 노드와 상기 제2 전원 사이에 연결된 제1 커패시터; 상기 제1 노드와 상기 제2 노드 사이에 연결된 제2 커패시터; 및 상기 제1 전원에 접속된 애노드와 상기 제2 화소 트랜지스터의 제1 전극에 연결된 캐소드를 구비하는 상기 유기발광소자를 포함하고, 상기 제1 내지 제3 화소 트랜지스터는 n형 트랜지스터일 수 있다.
- [0014] 또한, 상기 유기 전계발광 표시장치는, 주사신호를 생성하여 상기 주사선을 통해 상기 복수의 화소들에 공급하는 주사 구동부; 데이터 전압을 생성하여 상기 데이터선을 통해 상기 복수의 화소들에 공급하는 데이터 구동부; 상기 제2 커패시터에 상기 제2 화소 트랜지스터의 문턱전압에 대응하는 전압을 저장하기 위해, 문턱전압 보상구간에 상기 제3 화소 트랜지스터를 턴 온시키기 위한 제어신호를 생성하여 상기 제어선을 통해 상기 복수의 화소들에 공급하는 제어선 구동부; 및 상기 주사 구동부, 상기 데이터 구동부, 상기 전원 구동부, 및 상기 제어선 구동부를 제어하는 타이밍 구동부를 더 포함할 수 있다.
- [0015] 상기 제1 저항 및 상기 제2 저항의 저항값은 상기 복수의 화소들에서 상기 제1 전원과 상기 제2 전원 사이에 접속된 축전 성분의 크기에 따라 결정될 수 있다.
- [0016] 본 발명의 실시예의 다른 측면에 따르면, 복수의 화소들을 구비하는 유기 전계발광 표시장치의 구동방법에 있어서, 상기 복수의 화소들에 공급되는 제1 전원은 그 전압레벨이 시간에 따라 변화하고, 상기 제1 전원을 생성하는 회로단은, 상기 제1 전원을 풀-업시키는 제1 트랜지스터, 상기 제1 전원을 풀-다운시키는 제2 트랜지스터, 및 상기 제2 트랜지스터의 게이트 전극에 연결되고 저항값이 가변적인 제1 저항을 포함하며, 상기 유기 전계발광 표시장치 구동방법은, 상기 제1 저항을 통해 상기 제2 트랜지스터의 게이트 전극에 공급되는 제1 전원 제어신호가 상기 제1 전원을 고전압레벨에서 저전압레벨로 변화시키기 위하여 그 전압레벨이 변경될 때, 상기 제2 트랜지스터의 게이트 전극의 전압을 검출하는 단계; 및 상기 제2 트랜지스터의 게이트 전극 전압이 제1 기준전압레벨을 초과하면 상기 제1 저항의 저항값을 감소시키는 단계를 포함하는, 유기 전계발광 표시장치 구동방법이 제공된다.
- [0017] 상기 제1 기준전압레벨은 상기 제1 전원을 상기 고전압레벨에서 상기 저전압레벨로 변화시키기 위하여 상기 제1 전원 제어신호의 레벨이 변경될 때, 상기 제2 트랜지스터의 게이트 전극에서 밀러 효과가 발생하는 전압 값일 수 있다.
- [0018] 상기 유기 전계발광 표시장치 구동방법은, 상기 복수의 화소들에 공급되는 제2 전원은 그 전압레벨이 시간에 따라 변화하고, 상기 제2 전원을 생성하는 회로단은, 상기 제2 전원을 풀-업시키는 제3 트랜지스터, 상기 제2 전원을 풀-다운시키는 제4 트랜지스터, 및 상기 제4 트랜지스터의 게이트 전극에 연결되고 저항값이 가변적인 제2 저항을 포함하며, 상기 유기 전계발광 표시장치 구동방법은, 상기 제2 저항을 통해 상기 제4 트랜지스터의 게이트 전극에 공급되는 제2 전원 제어신호가 상기 제2 전원을 고전압레벨에서 저전압레벨로 변화시키기 위하여 그 전압레벨이 변경될 때, 상기 제4 트랜지스터의 게이트 전극의 전압을 검출하는 단계; 및 상기 제4 트랜지스터의 게이트 전극 전압이 상기 제1 기준전압레벨을 초과하면 상기 제2 저항의 저항값을 감소시키는 단계를 더 포함할 수 있다.
- [0019] 상기 제1 및 제3 트랜지스터는 p형 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 n형 트랜지스터일 수 있다.
- [0020] 상기 복수의 화소들은 제1 커패시터를 통해 상기 제1 전원에 커플링되고 제1 화소 트랜지스터를 통해 데이터 전압을 인가받는 제1 노드와, 제2 커패시터를 통해 상기 제1 노드에 커플링되고 제2 화소 트랜지스터의 게이트 전극에 연결된 제2 노드를 구비하고, 상기 제2 화소 트랜지스터는 상기 제1 전원과 유기발광소자의 애노드 사이에 연결되고, 제3 화소 트랜지스터는 상기 제2 화소 트랜지스터의 게이트 전극과 상기 제2 화소 트랜지스터의 제2 전극 사이에 연결되어 제어신호에 따라 상기 제2 화소 트랜지스터를 다이오드 연결시킬 수 있고, 상기 제2 전원은 상기 유기발광소자의 캐소드에 연결되며, 상기 유기 전계발광 표시장치 구동방법은, 상기 고전압레벨의 상기 제1 및 제2 전원을 상기 복수의 화소들에 공급하고, 상기 제1 노드의 전압 값을 초기화시키는 리셋 단계; 상기 제1 전원을 상기 고전압레벨로부터 상기 저전압레벨로 하강시켜, 상기 유기발광소자의 애노드 전압 값을 상기 저전압레벨로 초기화시킨 후, 상기 제1 전원을 상기 고전압레벨로 상승시키는 초기화 단계; 상기 제3 화소 트랜지스터를 턴 온시켜 상기 제2 화소 트랜지스터를 다이오드 연결시키고, 상기 제2 커패시터에 상기 제2 화소 트랜지스터의 문턱전압에 대응되는 전압 값을 저장하는 문턱전압 보상 단계; 복수의 화소들의 상기 제1 화소 트

랜지스터들을 순차적으로 턴 온시켜 상기 복수의 화소들의 상기 제1 커패시터에 상기 데이터 전압을 저장하는, 주사/데이터 입력 단계; 및 상기 제2 전원을 상기 저전압레벨로 하강시켜, 상기 유기발광소자를 발광시키는 발광 단계를 더 포함할 수 있다.

- [0021] 상기 제1 내지 제3 화소 트랜지스터는 p형 트랜지스터일 수 있다.
- [0022] 상기 유기 전계발광 표시장치 제어방법은, 상기 발광 단계 이후에, 상기 제2 전원을 상기 고전압레벨로 상승시켜, 상기 유기발광소자를 소광시키는 발광 오프 단계를 더 포함할 수 있다.
- [0023] 상기 제1 전원 및 상기 제2 전원은 상기 복수의 화소들에 공통으로 공급될 수 있다.
- [0024] 상기 제1 저항 및 상기 제2 저항의 저항값은 상기 복수의 화소들에서 상기 제1 전원과 상기 제2 전원 사이에 접속된 축전 성분 크기에 따라 결정될 수 있다.

**발명의 효과**

- [0025] 본 발명의 실시예들에 따르면, 유기 전계발광 표시장치의 전원 전압 변화 시, 과도한 서어지 전류가 발생하는 것을 방지하는 효과가 있다. 또한 본 발명의 실시예들은 과도한 서어지 전류를 방지하여, 유기 전계발광 표시장치의 소자들이 파괴되지 않도록 하고, 유기 전계발광 표시장치의 수명을 연장시키는 효과가 있다.

**도면의 간단한 설명**

- [0026] 도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치(100)의 블록도이다.
- 도 2는 본 발명의 제1 실시예에 따른 전원 구동부(170a)의 구조를 나타낸 블록도이다.
- 도 3은 도 2의 전원 구동부(170a)의 동작을 나타내는 타이밍도이다.
- 도 4 및 도 5는 본 발명의 실시예의 효과를 설명하기 위한 도면이다.
- 도 6은 본 발명의 제2 실시예에 따른 전원 구동부(170b)의 구조를 나타낸 블록도이다.
- 도 7은 밀러 효과에 의한 제2 또는 제4 트랜지스터(TR2 또는 TR4)의 게이트 전극의 전압레벨 변화를 설명하기 위한 도면이다.
- 도 8은 본 발명의 제2 실시예에 따른 유기 전계발광 표시장치의 구동방법을 나타낸 흐름도이다.
- 도 9는 본 발명의 제3 실시예에 따른 유기 전계발광 표시장치 구동방법을 설명하기 위한 도면이다.
- 도 10은 도 1에 도시된 유기 전계발광 표시장치(100)의 제3 실시예에 의한 화소(140a) 구성을 나타내는 회로도이고, 도 11a 내지 도 11c는 도 10에 도시된 화소(140a)의 구동 타이밍도이다.
- 도 12a 내지 도 12j는 본 발명의 제3 실시예에 따른 유기 전계발광 표시장치(100)의 구동 방식을 설명하는 도면이다.
- 도 13은 본 발명의 실시예들을 적용하지 않고 제2 전원(ELVSS(t))을 하강시킨 경우, 서어지 전류를 나타낸 도면이고, 도 14는 본 발명의 제3 실시예에 따른 서어지 전류 감소 효과를 나타내는 도면이다.
- 도 15는 본 발명의 제4 실시예에 따른 화소부(140b)의 구조를 나타낸 회로도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 하기의 설명 및 첨부된 도면은 본 발명에 따른 동작을 이해하기 위한 것이며, 본 기술분야의 통상의 기술자가 용이하게 구현할 수 있는 부분은 생략될 수 있다.
- [0028] 또한 본 명세서 및 도면은 본 발명을 제한하기 위한 목적으로 제공된 것은 아니고, 본 발명의 범위는 청구의 범위에 의하여 정해져야 한다. 본 명세서에서 사용된 용어들은 본 발명을 가장 적절하게 표현할 수 있도록 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 한다.
- [0029] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0030] 도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치(100)의 블록도이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예에 의한 유기 전계발광 표시장치(100)는 주사선들(S1 내지 Sn), 제어선들

(GC1 내지 GCn), 데이터선들(D1 내지 Dm), 및 제1 및 제2 전원선(ELVDD 및 ELVSS)과 접속되는 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 통해 각 화소(140)에 주사신호를 제공하는 주사 구동부(110)와, 제어선들(GC1 내지 GCn)을 통해 각 화소(140)에 제어신호를 제공하는 제어선 구동부(160)와, 데이터선들(D1 내지 Dm)을 통해 각 화소에 데이터 전압을 제공하는 데이터 구동부(120)와, 주사 구동부(110), 데이터 구동부(120) 및 제어선 구동부(160)를 제어하기 위한 타이밍 제어부(150)를 포함한다. 또한, 본 발명의 실시예에 의한 유기 전계발광 표시장치(100)는 제1 전원선(ELVDD)을 통해 각 화소(140)에 제1 전원(ELVDD(t))을 제공하고, 제2 전원선(ELVSS)을 통해 각 화소(140)에 제2 전원(ELVSS(t))을 제공하는 전원 구동부(170)를 포함한다.

- [0032] 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(140)을 구비한다. 이와 같은 화소들(140)은 데이터 전압에 대응하여 제1 전원선(ELVDD)으로부터 유기발광소자를 경유하여 제2 전원선(ELVSS)으로 공급되는 전류량을 제어한다. 그러면, 유기발광소자에서 소정 휘도의 빛이 생성된다.
- [0033] 단, 본 발명의 실시예의 경우 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t)) 중 적어도 하나가 한 프레임의 기간 동안 서로 다른 레벨의 전압 값으로 상기 화소부(130)의 각 화소들(140)에 인가된다.
- [0034] 전원 구동부(170)는 제1 및 제2 전원(ELVDD(t) 및 ELVSS(t))을 구동하기 위한 제어신호들을 입력받을 수 있는데, 전원 구동부(170)에 입력되는 제어신호들은 타이밍 제어부(150) 또는 주사 구동부(110)로부터 생성되어 전원 구동부(170)로 입력될 수 있다.
- [0035] 이를 위해, 전원 구동부(170)는 타이밍 제어부(150)에 의해 제어되어, 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))을 생성한다. 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))은 하기된 3가지 방식으로 구동될 수 있다.
- [0036] 첫 번째 방식은 상기 제1 전원(ELVDD(t))이 서로 다른 3가지 레벨의 전압 값으로 인가되고, 제2 전원(ELVSS(t))은 고정된 로우레벨(일 예로 Ground)로 인가된다.
- [0037] 이러한 경우 전원 구동부(170)는 항상 일정한 레벨(일 예로 GND)의 제2 전원(ELVSS(t)) 전압 값을 출력하므로 제2 전원(ELVSS(t))을 구동하기 위한 회로단을 구비할 필요가 없으며, 이에 대한 회로적 비용은 절감할 수 있다. 단, 제1 전원(ELVDD(t))은 3가지 레벨 중 네거티브 전압 값(일 예로 -3V)이 필요하기 때문에 제1 전원(ELVDD(t))을 생성하는 회로 구성이 복잡해 질 수 있다.
- [0038] 두 번째 방식은 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))을 모두 각각 2가지 레벨의 전압 값으로 인가하도록 구현하는 것이다. 이러한 경우, 전원 구동부(170)는 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))을 구동하기 위한 회로단을 각각 구비한다.
- [0039] 세 번째 방식은 상기 첫 번째 방식과 반대로서, 상기 제1 전원(ELVDD(t))은 고정된 하이레벨의 전압 값으로 인가되고, 제2 전원(ELVSS(t))은 서로 다른 3가지 레벨의 전압 값으로 인가된다.
- [0040] 이러한 경우 전원 구동부(170)는 일정한 레벨의 제1 전원(ELVDD(t)) 전압 값을 출력하므로, 제1 전원(ELVDD(t))을 구동하기 위한 별도의 회로단을 구비할 필요가 없고, 이에 대한 회로적 비용은 절감할 수 있다. 단, 제2 전원(ELVSS(t))은 3가지 레벨 중 포지티브 전압 값이 필요하기 때문에 제2 전원(ELVSS(t))을 구동하기 위한 회로단의 구성이 복잡해질 수 있다.
- [0041] 이외에도, 본 발명의 실시예들은 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))이 시간에 따라 변화하는 다양한 구동 방법들에 적용될 수 있다.
- [0042] 도 2는 본 발명의 제1 실시예에 따른 전원 구동부(170a)의 구조를 나타낸 블록도이다.
- [0043] 본 발명의 제1 실시예에 따른 전원 구동부(170a)는 제1 내지 4 전원 제어신호들(SC1, SC2, SC3, 및 SC4)을 입력받아, 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))을 생성하여 출력한다. 본 실시예에 따른 전원 구동부(170a)는 제1 전원 생성부(210a)와 제2 전원 생성부(220a)를 포함한다.
- [0044] 제1 전원 생성부(210a)는 제1 및 제2 전원 제어신호들(SC1 및 SC2)을 입력받아 제1 전원(ELVDD(t))을 생성한다. 제1 전원 생성부(210a)는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 제2 트랜지스터(TR2)의 게이트 전극에 연결된 제1 저항(R1)을 포함한다. 제1 저항(R1)은 제2 전원 제어신호(SC2)의 입력선과 제2 트랜지스터(TR2)의 게이트 전극 사이에 연결된다. 제1 저항(R1)은 고정 저항 또는 가변 저항일 수 있다. 바람직하게는, 제1 트랜지스터(TR1)는 p형 트랜지스터이고, 제2 트랜지스터(TR2)는 n형 트랜지스터이다. 제1 트랜지스터(TR1)는 제1 전원 제어신호(SC1)를 입력받는 게이트 전극, DC(direct current) 전원(Vdc)에 연결된 제1 전극, 및 제1 전원

(ELVDD(t)) 출력선에 연결된 제2 전극을 구비한다. 제2 트랜지스터(TR2)는 제1 저항(R1)에 연결된 게이트 전극, 제1 전원(ELVDD(t)) 출력선에 연결된 제1 전극, 및 접지선에 연결된 제2 전극을 구비한다.

[0045] 제2 전원 생성부(220a)는 제3 및 제4 전원 제어신호들(SC3 및 SC4)을 입력받아 제2 전원(ELVSS(t))을 생성한다. 제2 전원 생성부(220a)는 제3 트랜지스터(TR3), 제4 트랜지스터(TR4), 및 제4 트랜지스터(TR4)의 게이트 전극에 연결된 제2 저항(R2)을 포함한다. 제2 저항(R2)은 제4 전원 제어신호(SC4)의 입력선과 제4 트랜지스터(TR4)의 게이트 전극 사이에 연결된다. 제2 저항(R2)은 고정 저항 또는 가변 저항일 수 있다. 바람직하게는, 제3 트랜지스터(TR3)는 p형 트랜지스터이고, 제4 트랜지스터(TR4)는 n형 트랜지스터이다. 제3 트랜지스터(TR3)는 제3 전원 제어신호(SC3)를 입력받는 게이트 전극, DC 전원(Vdc)에 연결된 제1 전극, 및 제2 전원(ELVSS(t)) 출력선에 연결된 제2 전극을 구비한다. 제4 트랜지스터(TR4)는 제2 저항(R2)에 연결된 게이트 전극, 제2 전원(ELVSS(t)) 출력선에 연결된 제1 전극, 및 접지선에 연결된 제2 전극을 구비한다.

[0046] 제1 저항(R1)의 저항값은, 제1 전원(ELVDD(t))의 출력선에 걸리는 화소들(140)의 축전 성분의 합에 의해 결정될 수 있고, 제2 저항(R2)의 저항값은 제2 전원(ELVSS(t))의 출력선에 걸리는 화소들(140)의 축전 성분의 합에 의해 결정될 수 있다. 화소들(140)의 축전 성분의 합이 커질수록 제1 및 제2 저항(R1 및 R2)의 저항값이 커지고, 축전 성분의 합이 작아질수록 제1 및 제2 저항(R1 및 R2)의 저항값이 작아진다.

[0047] 도 3은 도 2의 전원 구동부(170a)의 동작을 나타내는 타이밍도이다.

[0048] 본 발명의 실시예들에 따른 유기 전계발광 표시장치(100)는 도 3에 도시된 바와 같이 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))의 전압값을 시간에 따라 변화시키는 구동 방식을 이용할 수 있다. 도 3에 도시된 실시예에서는 P2 및 P3 구간 동안 제1 전원(ELVDD(t))이 변화되고, P5 및 P6 구간 동안 제2 전원(ELVSS(t))이 변화된다.

[0049] P1 구간동안 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))은 고전압레벨, 즉 DC 전원(Vdc)의 전압레벨을 갖는다. P1 구간동안 제1 및 제3 전원 제어신호(SC1 및 SC3)는 로우레벨(L)을 가져, 제1 및 제3 트랜지스터(TR1 및 TR3)가 턴 온되고, 제2 및 제4 전원 제어신호(SC2 및 SC4)가 로우레벨(L)을 가져, 제2 및 제4 트랜지스터(TR2 및 TR4)가 턴 오프된다. 이로 인해, P1 구간동안 제1 전원(ELVDD(t)) 출력선과 DC 전원(Vdc) 사이에 전류 경로가 형성되어, 고전압레벨의 제1 전원(ELVDD(t))이 출력되고, 제2 전원(ELVSS(t)) 출력선과 DC 전원(Vdc) 상에 전류 경로가 형성되어, 고전압레벨의 제2 전원(ELVSS(t))이 출력된다.

[0050] P2 구간이 되면, 제1 전원(ELVDD(t))을 저전압레벨, 즉 접지 전압레벨로 하강시키기 위하여, 제1 및 제2 전원 제어신호(SC1 및 SC2)가 하이레벨(H)로 변화한다. 본 발명의 실시예는 제2 전원 제어신호(SC2)의 입력선과 제2 트랜지스터(TR2)의 게이트 전극 사이에, 제1 저항(R1)을 배치하여, 제1 전원(ELVDD(t))이 고전압레벨에서 저전압레벨로 하강할 때, 기울기(slope)를 가지고 서서히 하강하도록 한다. 즉, 본 발명의 실시예에 따르면, 제2 전원 제어신호(SC2)가 로우레벨(L)에서 하이레벨(H)로 변화할 때, 제2 전원 제어신호(SC2)가 제1 저항(R1)을 통해 제2 트랜지스터(TR2)의 게이트 전극으로 인가되게 함으로써, 제2 트랜지스터(TR2)의 게이트 전극에서의 제어신호 레벨의 변화 속도를 늦추고, 이로 인해 제1 전원(ELVDD(t))의 변화 속도가 늦춰지게 된다. 따라서 본 발명의 실시예에 따르면, P2 구간이 되면서 제1 및 제2 전원 제어신호(SC1 및 SC2)의 레벨이 로우레벨(L)에서 하이레벨(H)로 변화되면, P2 구간동안 제1 전원(ELVDD(t))의 전압레벨이 서서히 고전압레벨에서 저전압레벨로 변화되고, P3 구간에 저전압레벨로 유지되게 된다.

[0051] P4 구간이 되면, 제1 및 제2 전원 제어신호(SC1 및 SC2)가 하이레벨(H)에서 로우레벨(L)로 변화된다. 따라서 P4 구간동안 P1 구간과 유사하게 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))은 고전압레벨을 갖는다.

[0052] P5 구간이 되면, 제2 전원(ELVSS(t))을 저전압레벨로 하강시키기 위하여, 제3 및 제4 전원 제어신호(SC3 및 SC4)가 하이레벨(H)로 변화한다. 본 발명의 실시예는 제4 전원 제어신호(SC4)의 입력선과 제4 트랜지스터(TR4)의 게이트 전극 사이에, 제2 저항(R2)을 배치하여, 제2 전원(ELVSS(t))이 고전압레벨에서 저전압레벨로 하강할 때, 기울기(slope)를 가지고 서서히 하강하도록 한다. 즉, 본 발명의 실시예에 따르면, 제4 전원 제어신호(SC4)가 로우레벨(L)에서 하이레벨(H)로 변화할 때, 제4 전원 제어신호(SC4)가 제2 저항(R2)을 통해 제4 트랜지스터(TR4)의 게이트 전극으로 인가되게 함으로써, 제4 트랜지스터(TR4)의 게이트 전극에서의 제어신호 레벨의 변화 속도를 늦추고, 이로 인해 제2 전원(ELVSS(t))의 변화 속도가 늦춰지게 된다. 따라서 본 발명의 실시예에 따르면, P5 구간이 되면서 제3 및 제4 전원 제어신호(SC3 및 SC4)의 레벨이 로우레벨(L)에서 하이레벨(H)로 변화되면, P5 구간동안 제2 전원(ELVSS(t))의 전압레벨이 서서히 고전압레벨에서 저전압레벨로 변화되고, P6 구간에 저전압레벨로 유지되게 된다.

- [0053] P7 구간이 되면, 제3 및 제4 전원 제어신호(SC3 및 SC4)가 하이레벨(H)에서 로우레벨(L)로 변화된다. 따라서 P7 구간동안 P1 구간과 유사하게 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))은 고전압레벨을 갖는다.
- [0054] 도 4 및 도 5는 본 발명의 실시예의 효과를 설명하기 위한 도면이다.
- [0055] 본 발명의 실시예는 이와 같은 구성에 의하여 제1 또는 제2 전원(ELVDD(t)) 또는 ELVSS(t))의 하강 시 발생하는 서어지 전류를 감소시킬 수 있는 효과가 있다. 도 4와 같이 제1 전원(ELVDD(t))이 하강하는 경우, 제1 트랜지스터(TR1)는 턴 오프되고, 제2 트랜지스터(TR2)는 턴 온되어, 제1 전원(ELVDD(t))의 출력선으로부터 접지선으로 전류가 흐르게 된다. 그런데 제1 전원(ELVDD(t))이 낮아지면서 화소부(130)의 화소들(140)에 존재하는 축전 성분, 예를 들면, 유기발광소자의 축전 성분으로부터 제1 전원선(ELVDD)을 통해 전하가 빠져나가, 이를 충전하기 위해 제2 전원선(ELVSS)으로부터 상기 축전 성분으로 전류가 유입되게 된다. 이로 인해 도 4에 도시된 바와 같이, DC 전원(Vdc)으로부터 제3 트랜지스터(TR3)를 통해 제2 전원(ELVSS(t))의 출력선으로 전류가 빠져나가게 된다. 그런데 각 화소(140)에 존재하는 축전 성분의 합이 매우 크기 때문에, 제1 전원(ELVDD(t)) 하강 시, DC 전원(Vdc)으로부터 제2 전원(ELVSS(t)) 출력선으로 빠져나가는 서어지 전류가 발생한다.
- [0056] 반대로 도 5에 도시된 바와 같이 제2 전원(ELVSS(t))이 하강하는 경우, 화소들(140)에 존재하는 축전 성분으로부터 제2 전원선(ELVSS)을 통해 전하가 빠져나가, 이를 충전하기 위해 제1 전원선(ELVDD)으로부터 상기 축전 성분으로 전류가 유입된다. 이로 인해 도 5에 도시된 바와 같이, DC 전원(Vdc)으로부터 제1 트랜지스터(TR1)를 통해 제1 전원(ELVDD(t))의 출력선으로 서어지 전류가 빠져나가게 된다.
- [0057] 이러한 서어지 전류는 수십 암페어(A) 수준이기 때문에 DC 전원(Vdc)을 공급하는 전원에 부담을 주고, 화소부(130)의 소자들의 수명을 단축시키거나 파괴시킬 수 있다.
- [0058] 본 발명의 실시예는 앞서 설명한 바와 같이 제1 또는 제2 전원(ELVDD(t) 또는 ELVSS(t)) 하강 시, 이들의 전압레벨의 변화속도를 감소시켜, 다른 쪽 전원, 즉 제2 또는 제1 전원(ELVSS(t) 또는 ELVDD(t))의 출력선의 전류가 로드(load) 전류 수준으로 유지되도록 하고, 서어지 전류의 발생을 방지한다. 이로 인해, DC 전원(Vdc)을 공급하는 전원을 보호하고, 화소부(130)의 소자들을 보호할 수 있다. 특히 유기발광소자의 특성 저하를 방지하여, 유기발광소자의 손상으로 인한 화질 저하를 방지할 수 있다. 나아가 서어지 전류로 인한 부품 스펙 증가를 방지하여, 유기 전계발광 표시장치의 제조 원가를 절감하는 효과가 있다.
- [0059] 도 6은 본 발명의 제2 실시예에 따른 전원 구동부(170b)의 구조를 나타낸 블록도이다. 도 6을 참조하여 제1 실시예와의 차이점을 위주로 제2 실시예에 따른 전원 구동부(170b)의 구조 및 동작을 설명한다.
- [0060] 본 발명의 제2 실시예에 따른 전원 구동부(170b)는 제2 및 제4 트랜지스터(TR2 및 TR4)의 게이트 전극의 전압레벨을 검출하여, 이에 따라 각각 제1 및 제2 저항(R1 및 R2)의 저항값을 조절한다. 본 실시예에 따른 전원 구동부(170b)는 제1 전원 생성부(210b)와 제2 전원 생성부(220b)를 포함한다.
- [0061] 제1 전원 생성부(210b)는 제1 및 제2 전원 제어신호들(SC1 및 SC2)을 입력받아 제1 전원(ELVDD(t))을 생성한다. 제1 전원 생성부(210a)는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 제2 트랜지스터(TR2)의 게이트 전극에 연결된 제1 저항(R1), 제1 검출부(610), 및 제1 저항 제어부(620)를 포함한다.
- [0062] 제1 저항(R1)은 제어신호에 따라 그 저항값이 변화하는 가변 저항이다. 제1 저항(R1)의 저항값은 제1 저항 제어부(620)에 의해 제공되는 제1 저항 제어신호에 따라 변화한다.
- [0063] 제1 검출부(610)는 제2 트랜지스터(TR2)의 게이트 전극의 전압레벨을 검출하여, 제1 저항 제어부(620)로 제공한다. 제1 저항 제어부(620)는 제2 트랜지스터(TR2)의 게이트 전극의 전압레벨에 따라 제1 저항(R1)의 저항값을 제어한다. 제1 저항 제어부(620)는 제2 트랜지스터(TR2)의 게이트 전극에서 밀러 효과(Miller effect)가 나타나기 전까지는 제1 저항(R1)의 저항값을 높게 유지하다가, 밀러 효과가 나타나면, 제1 저항(R1)의 저항값을 낮출 수 있다. 이를 위해, 제1 저항 제어부(620)는 제2 트랜지스터(TR2)의 게이트 전극의 전압레벨이 제1 기준전압레벨(Vref1)을 초과하면, 제1 저항(R1)의 저항값을 제1 저항값에서 제2 저항값으로 조절할 수 있다. 여기서 제1 저항값은 제2 저항값보다 큰 저항값이다.
- [0064] 제2 전원 생성부(220b)는 제3 및 제4 전원 제어신호들(SC3 및 SC4)을 입력받아 제2 전원(ELVSS(t))을 생성한다. 제2 전원 생성부(220a)는 제3 트랜지스터(TR3), 제4 트랜지스터(TR4), 제4 트랜지스터(TR4)의 게이트 전극에 연결된 제2 저항(R2), 제2 검출부(630), 및 제2 저항 제어부(640)를 포함한다.
- [0065] 제2 저항(R2)은 제어신호에 따라 그 저항값이 변화하는 가변 저항이다. 제2 저항(R2)의 저항값은 제2 저항 제

어부(640)에 의해 제공되는 제2 저항 제어신호에 따라 변화한다.

- [0066] 제2 검출부(610)는 제4 트랜지스터(TR4)의 게이트 전극의 전압레벨을 검출하여, 제2 저항 제어부(640)로 제공한다. 제2 저항 제어부(640)는 제4 트랜지스터(TR4)의 게이트 전극의 전압레벨에 따라 제2 저항(R2)의 저항값을 제어한다. 제2 저항 제어부(640)는 제4 트랜지스터(TR4)의 게이트 전극에서 밀러 효과가 나타나기 전까지는 제2 저항(R2)의 저항값을 높게 유지하다가, 밀러 효과가 나타나면, 제2 저항(R2)의 저항값을 낮출 수 있다. 이를 위해, 제2 저항 제어부(640)는 제4 트랜지스터(TR4)의 게이트 전극의 전압레벨이 제2 기준전압레벨(Vref2)을 초과하면, 제2 저항(R2)의 저항값을 제3 저항값에서 제4 저항값으로 조절할 수 있다. 일례로, 제1 기준전압레벨(Vref1)과 제2 기준전압레벨(Vref2)은 같을 수 있다. 여기서 상기 제3 저항값은 상기 제4 저항값보다 큰 저항값이다. 상기 제3 저항값은 상기 제1 저항값과 같은 값일 수 있고, 상기 제4 저항값은 상기 제2 저항값과 같은 값일 수 있다.
- [0067] 본 명세서에서는 상기 제3 저항값은 상기 제1 저항값과 같은 값이고, 상기 제4 저항값은 상기 제2 저항값과 같은 값인 실시예를 중심으로 설명한다. 또한, 제1 기준전압레벨(Vref1)과 제2 기준전압레벨(Vref2)이 같은 실시예를 중심으로 설명한다. 그러나 본 발명의 범위는 이러한 실시예로 제한되지 않는다.
- [0068] 도 7은 밀러 효과에 의한 제2 또는 제4 트랜지스터(TR2 또는 TR4)의 게이트 전극의 전압레벨 변화를 설명하기 위한 도면이다.
- [0069] 제2 또는 제4 전원 제어신호(SC2 또는 SC4)가 로우레벨(L)에서 하이레벨(H)로 변화되는 경우, 제2 및 제4 트랜지스터(TR2 및 TR4)의 게이트 전극의 전압(이하 'Vg(t)'라 한다)은 도 7에 도시된 바와 같이 변화된다. P2 구간 또는 P5 구간은 PP1, PP2, 및 PP3 구간을 포함할 수 있다. 제2 또는 제4 전원 제어신호(SC2 또는 SC4)가 로우레벨(L)에서 하이레벨(H)로 변하면, Vg(t)는 PP1 구간동안, 로우레벨(L)로부터 제1 기준전압레벨(Vref1)까지 서서히 상승한다. 그런데 Vg(t)가 제1 기준전압레벨(Vref1)에 도달하면, 밀러 효과 때문에 PP2 구간에서 Vg(t)가 거의 상승하지 않게 되고, 소정의 시간이 경과된 후에, PP3 구간동안 다시 Vg(t)가 제1 기준전압레벨(Vref1)로부터 하이레벨(H)까지 상승하게 된다. Vg(t)가 제1 기준전압레벨(Vref1)에 도달하고 밀러 효과 구간이 끝나면, 제2 또는 제4 트랜지스터(TR2 또는 TR4)를 통해 흐르는 전류가 Vg(t)와 거의 관련이 없다. 따라서 본 발명의 제2 실시예에 따르면, 밀러 효과 구간이 끝나면, 즉, PP2 구간이 끝나고 PP3 구간으로 넘어가면 제1 또는 제2 저항(R1 또는 R2)의 저항값을 낮춘다. PP2 구간이 끝난 것은, Vg(t)가 제1 기준전압레벨(Vref1)을 초과하는 것을 검출하여 알 수 있다.
- [0070] 도 8은 본 발명의 제2 실시예에 따른 유기 전계발광 표시장치의 구동방법을 나타낸 흐름도이다.
- [0071] 우선 제1 또는 제2 전원(ELVDD(t) 또는 ELVSS(t))의 전압레벨을 상기 고전압레벨에서 저전압레벨로 변화시키기 위하여, 제1 또는 제3 전원 제어신호(SC1 또는 SC3) 및 제2 또는 제4 전원 제어신호(SC2 또는 SC4)를 하이레벨(H)에서 로우레벨(L)로 변경하고(S802), 제1 또는 제2 저항(R1 또는 R2)을 제1 저항값으로 설정한다(S804). 제2 또는 제4 전원 제어신호(SC2 또는 SC4)가 로우레벨(L)로 변경된 이후에 계속해서 Vg(t)를 검출하다가(S806), Vg(t)가 제1 기준전압레벨(Vref1)에 도달한 후 제1 기준전압레벨(Vref1)을 초과하면(S808), 제1 또는 제2 저항(R1 또는 R2)을 상기 제2 저항값(R2)으로 설정한다(S810).
- [0072] 도 9는 본 발명의 제3 실시예에 따른 유기 전계발광 표시장치 구동방법을 설명하기 위한 도면이다.
- [0073] 본 발명의 제3 실시예에 따르면, 제1 또는 제2 실시예가 동시발광(Simultaneous Emission) 방식의 유기 전계발광 표시장치 구동방법에 적용될 수 있다. 동시발광 방식은 한 프레임의 기간 중에 데이터가 순차적으로 입력되고, 상기 데이터 입력이 완료된 이후 상기 화소부(130) 전체 즉, 상기 화소부(130) 내의 모든 화소들(140)을 일괄적으로 발광시키는 방식이다.
- [0074] 보다 구체적으로 도 9를 참조하면, 본 발명의 제3 실시예에 의한 구동 단계는 크게 (a) 초기화 단계 (b) 리셋 단계 (c) 문턱전압 보상 단계 (d) 주사/데이터 입력 단계 (e) 발광 단계 (f) 발광 오프 단계로 나뉜다. 상기 (d) 주사 단계(데이터 입력 단계)는 각 주사 라인 별로 순차적으로 수행되나, 이를 제외한 나머지 (a) 초기화 단계 (b) 리셋 단계 (c) 문턱전압 보상 단계 (e) 발광 단계 (f) 발광 오프 단계는 도시된 바와 같이 화소부(130) 전체에서 동시에 일괄적으로 수행된다.
- [0075] 여기서, 상기 (a) 초기화 단계는 각 화소(140)에 구비되는 화소회로의 각 노드 전압을 구동 트랜지스터의 문턱전압 입력 때와 동일하게 초기화하는 구간이고, (b) 리셋 단계는 화소부(130)의 각 화소(140)에 인가된 데이터 전압이 리셋되는 단계로서 유기발광소자가 발광되지 않도록 유기발광소자의 애노드의 전압을 캐소드의 전압 이

하로 떨어뜨리는 구간이다.

- [0076] 또한, 상기 (c) 문턱전압 보상 단계는 상기 각 화소(140)에 구비된 구동 트랜지스터의 문턱전압을 보상하는 구간이며, (e) 발광 오프 단계는 각 화소(140)에서 발광이 수행된 이후 블랙 삽입(black insertion) 또는 디밍(dimming)을 위해 발광을 꺼주는 구간이다.
- [0077] 이에 따라 상기 (a) 초기화 단계 (b) 리셋 단계 (c) 문턱전압 보상 단계 (e) 발광 단계 (f) 발광 오프 단계에 인가되는 신호 즉, 각 주사선(S1 내지 Sn)에 인가되는 주사신호, 각 화소들(140)에 인가되는 제1 전원(ELVDD(t)) 및/또는 제2 전원(ELVSS(t)), 각 제어선(GC1 내지 GCn)에 인가되는 제어신호는 상기 화소부(130)에 구비된 각 화소들(140)에 대하여 동시에 일괄적으로 각각 정해진 소정의 전압레벨로 인가된다.
- [0078] 이와 같은 본 발명의 실시예에 의한 동시발광 방식에 의한 경우 각각의 동작 단계((a) 내지 (f) 단계)이 시간적으로 명확히 분리되므로, 각 화소(140)에 구비되는 보상회로의 트랜지스터 및 이를 제어하는 신호선의 수를 줄일 수 있을 뿐 아니라, 셔터(Shutter) 안경식 3D 디스플레이 구현이 용이하다는 장점을 갖게 된다.
- [0079] 상기 셔터 안경식 3D 디스플레이는 사용자가 좌안/우안의 투과율이 0% 및 100%로 스위치되는 셔터 안경을 착용하고 화면을 볼 때, 영상표시장치 즉, 유기 전계발광 표시장치(100)의 화소부(130)에서 표시되는 화면이 각 프레임 별로 좌안 영상과, 우안 영상을 번갈아 출력됨으로써, 사용자는 상기 좌안 영상은 좌안으로만 보이고, 상기 우안 영상은 우안으로만 보이게 되어 입체감이 구현되는 방식을 말한다.
- [0080] 도 10은 도 1에 도시된 유기 전계발광 표시장치(100)의 제3 실시예에 의한 화소(140a) 구성을 나타내는 회로도이고, 도 11a 내지 도 11c는 도 10에 도시된 화소(140a)의 구동 타이밍도이다.
- [0081] 도 10을 참조하면, 본 발명의 제3 실시예에 의한 화소(140a)는 유기발광소자(Organic Light Emitting Diode, OLED)와, 유기발광소자(OLED)로 전류를 공급하기 위한 화소회로(142a)를 구비한다.
- [0082] 유기발광소자(OLED)의 애노드전극은 화소회로(142a)에 접속되고, 캐소드전극은 제2 전원(ELVSS(t))에 접속된다. 이와 같은 유기발광소자(OLED)는 화소회로(142a)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.
- [0083] 단, 본 실시예의 경우 화소부(130)를 구성하는 각 화소(140a)는, 한 프레임의 일부 기간(앞에 언급한 (d) 단계)에 대하여 주사선(S1 내지 Sn)에 순차적으로 주사신호가 공급될 때, 데이터선(D1 내지 Dm)으로 공급되는 입력 데이터에 대응되는 데이터 전압을 공급받으나, 한 프레임의 나머지 기간((a), (b), (c), (e), (f) 단계)에 대해서는 각 주사선(S1 내지 Sn)에 인가되는 주사신호, 각 화소들(140)에 인가되는 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 각 제어선(GC1 내지 GCn)에 인가되는 제어신호가 동시에 일괄적으로 각각 정해진 소정의 전압레벨로 상기 각 화소(140)에 인가된다.
- [0084] 이에 상기 각 화소(140)에 구비되는 화소회로(142a)는 3개의 트랜지스터(M1 내지 M3) 및 2개의 커패시터(C1, C2)를 구비한다.
- [0085] 또한, 본 발명의 실시예의 경우 상기 유기발광소자(OLED)의 애노드 및 캐소드에 의해 생성되는 기생 커패시터(Coled)의 용량을 고려하여, 상기 제2 커패시터(C2)와 기생 커패시터(Coled)에 의한 커플링 효과를 활용함을 특징으로 한다. 이에 대해서는 이하 도 12a 내지 도 12j를 통해 보다 상세히 설명하도록 한다.
- [0086] 여기서, 제1 화소 트랜지스터(M1)의 게이트 전극은 주사선(Si)에 접속되어 주사신호(Scan(i))를 입력받고, 제1 전극은 데이터선(Dj)에 접속되어 데이터 전압(Data(j))을 입력받는다. 그리고 제1 화소 트랜지스터(M1)의 제2 전극은 제1 노드(N1)에 접속된다. 여기서 Si는 i번째 행의 주사선을 의미하고, Scan(i)은 i번째 행의 주사신호를 의미하며, Dj는 j번째 열의 데이터선을 의미하고, Data(j)는 j번째 열의 데이터 전압을 의미한다.
- [0087] 제2 화소 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속되고, 제1 전극은 제1 전원(ELVDD(t))에 접속되며, 제2 전극은 유기발광소자(OLED)의 애노드에 접속된다. 여기서, 상기 제2 화소 트랜지스터(M2)는 구동 트랜지스터로서의 역할을 수행한다.
- [0088] 상기 제1 노드(N1) 및 제2 화소 트랜지스터(M2)의 제1 전극 즉, 제1 전원(ELVDD(t)) 사이에 제1 커패시터(C1)가 접속되고, 상기 제1 노드(N1) 및 제2 노드(N2) 사이에는 제2 커패시터(C2)가 접속된다.
- [0089] 제3 화소 트랜지스터(M3)의 게이트 전극은 제어선(GCi)에 접속되어 제어신호(GC(t))를 입력받고, 제1 전극은 상기 제2 화소 트랜지스터(M2)의 게이트 전극과 접속되며, 제2 전극은 상기 유기발광소자(OLED)의 애노드 즉, 제2 화소 트랜지스터(M2)의 제2 전극과 접속된다. 상기 제3 화소 트랜지스터(M3)가 제어신호(GC(t))에 의해 턴 온

되는 경우, 상기 제2 화소 트랜지스터(M2)는 다이오드 연결된다.

- [0090] 또한, 상기 유기발광소자(OLED)의 캐소드는 제2 전원(ELVSS(t))과 연결된다.
- [0091] 도 10에 도시된 실시예의 경우, 상기 제1 내지 제3 화소 트랜지스터(M1 내지 M3)는 모두 PMOS로 구현된다.
- [0092] 앞서 설명한 바와 같이 본 발명의 실시예에 의한 상기 각 화소(140a)는 동시발광 방식으로 구동됨을 특징으로 하며, 이는 구체적으로 도 11a 내지 도 11c에 도시된 바와 같이 각 프레임 별로 초기화 단계(Int), 리셋 단계(Reset), 문턱전압 보상 단계(Vth), 주사/데이터 입력 단계(Scan), 발광 단계(Emission) 및 발광 오프 단계(Off)로 구분된다.
- [0093] 이 때, 상기 주사/데이터 입력 단계에 대해서는 주사신호(Scan(i))가 각 주사선에 대해 순차적으로 입력되고, 이에 대응하여 각 화소(140a)에 데이터 전압(Data(j))이 순차적으로 입력되나, 이외의 단계에 대해서는 기 설정된 레벨의 전압 값을 갖는 신호 즉, 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 주사신호(Scan(i)), 제어신호(GC(t)), 데이터 전압(Data(j))이 화소부(130)를 구성하는 전체 각 화소(140a)에 일괄적으로 인가된다.
- [0094] 즉, 각 화소(140a)에 구비된 구동 트랜지스터, 즉 제2 화소 트랜지스터(M2)의 문턱전압 보상 및 각 화소의 발광 동작은 프레임 별로 화소부(130) 내의 모든 화소(140a)에서 동시에 구현됨을 특징으로 한다.
- [0095] 도 11a 내지 도 11c는 본 발명의 제3 실시예에 따른 구동 방식들을 나타낸 타이밍도이다. 본 실시예는 상기 제1 전원(ELVDD(t)) 및 제2 전원(ELVSS(t))이 제공됨에 있어서 각각 도 11a 내지 도 11c에 도시된 바와 같이 3가지 방식으로 구현될 수 있다.
- [0096] 먼저 도 11a를 참조하면, 이는 상기 제1 전원(ELVDD(t))이 서로 다른 3가지 레벨(일 예로 12V, 2V, -3V)의 전압 값으로 인가되고, 제2 전원(ELVSS(t))은 고정된 로우레벨(일 예로 0V)로 인가되며, 데이터 전압(Data(j))의 전압 범위는 0 ~ 6V가 된다.
- [0097] 이 경우 제2 전원(ELVSS(t))은 항상 일정한 레벨의 전압 값(예를 들면 접지 전압레벨)을 가지므로, 제2 전원 생성부(220a 또는 220b)가 별도로 구현될 필요는 없으며, 이에 대한 회로적 비용은 절감할 수 있으나, 이에 반해 상기 제1 전원(ELVDD(t))은 3가지 레벨 중 네거티브 전압 값(일 예로 -3V)을 가져야하기 때문에 제1 전원 생성부(210a 또는 210b)의 회로 구성이 복잡해 질 수 있다. 이러한 경우, 제1 저항(R1)은 제1 전원(ELVDD(t))을 풀 다운시키는 트랜지스터의 게이트 전극과 상기 트랜지스터의 게이트 전극으로 입력되는 전원 제어신호 입력선 사이에 연결될 수 있다.
- [0098] 또한, 상기 도 11a에 도시된 신호 파형으로 구동할 경우 도시된 바와 같이 리셋 단계에서는 주사신호(Scan(i))가 각각 "하이레벨(H), 하이레벨(H), 하이레벨(H)", "하이레벨(H), 로우레벨(L), 하이레벨(H)", 또는 "로우레벨(L), 로우레벨(L), 로우레벨(L)"로 인가될 수 있으며, 이는 하기된 도 12b 내지 도 12d를 통해 보다 상세히 설명하도록 한다.
- [0099] 다음으로 도 11b를 참조하면, 상기 제1 전원(ELVDD(t))이 2가지 레벨(일 예로 12V, 0V)의 전압 값으로 인가되고, 상기 제2 전원(ELVSS(t)) 또한 2가지 레벨(일 예로 0V, 12V)의 전압 값으로 각각 인가되며, 데이터 전압(Data(j))의 전압 범위는 6 ~ 12V가 된다.
- [0100] 다음으로 도 11c를 참조하면, 이는 도 11a와 반대의 실시예로서 상기 제1 전원(ELVDD(t))은 고정된 전압 값, 예를 들면 상기 고전원전압(일 예로 12V)으로 인가되고, 제2 전원(ELVSS(t))은 서로 다른 3가지 레벨(일 예로 0V, 10V, 15V)의 전압 값으로 인가된다.
- [0101] 이 경우 제1 전원(ELVDD(t))은 항상 일정한 레벨의 전압 값(예를 들면 12V)을 가지므로, 제1 전원 생성부(210a 또는 210b)가 별도로 구현될 필요는 없으며, 이에 대한 회로적 비용은 절감할 수 있으나, 이에 반해 상기 제2 전원(ELVSS(t))은 3가지 레벨의 전압 값을 가져야하기 때문에, 제2 전원 생성부(220a 또는 220b)의 회로 구성이 복잡해 질 수 있다. 이러한 경우, 제2 저항(R2)은 제2 전원(ELVSS(t))을 풀 다운시키는 트랜지스터의 게이트 전극과 상기 트랜지스터의 게이트 전극으로 입력되는 전원 제어신호 입력선 사이에 연결될 수 있다.
- [0102] 도 12a 내지 도 12j는 본 발명의 제3 실시예에 따른 유기 전계발광 표시장치(100)의 구동 방식을 설명하는 도면이다. 이하, 도 12a 내지 도 12j를 통해 본 실시예에 의한 동시발광 방식의 구동을 보다 구체적으로 설명하도록 한다.
- [0103] 단, 도 12a 내지 도 12j에서는 앞서 설명한 도 11b의 구동 방식 중 (b) 리셋 단계에서 주사신호(Scan(i))가 각각 "하이레벨(H), 로우레벨(L), 하이레벨(H)"로 인가되는 것을 그 예로 설명하도록 한다.

- [0104] 단, 설명의 편의를 위해 입력되는 신호의 전압레벨을 구체적인 수치로 설명하나, 이는 이해를 돕기 위한 임의의 값들이며 실제 설계치에 해당하는 것은 아니고, 본 발명의 범위가 전압레벨의 수치에 의하여 제한되는 것은 아니다.
- [0105] 또한, 본 실시예에서 제1 커패시터(C1), 제2 커패시터(C2), 및 유기발광소자(OLED)의 기생 커패시터(Coled)의 용량 비는 1:1:4임을 가정하여 설명하도록 한다.
- [0106] 먼저 도 12a는 화소부(130)의 각 화소(140) 즉, 도 10에 도시된 화소(140a)에 대하여 각 노드의 전압을 이후 진행되는 (c) 문턱전압 보상 단계에서와 동일하게 초기화하는 단계이다.
- [0107] 즉, 상기 초기화 단계에서는 제1 전원(ELVDD(t))이 상기 고전압레벨(일 예로 12V)로 인가되고, 주사신호(Scan(i))가 로우레벨(일 예로 -5V)로 인가되며, 제어신호(GC(t))는 하이레벨(일 예로 12V)로 인가된다.
- [0108] 또한, 상기 단계에서 인가되는 데이터 전압(Data(j))은 초기화 전압(Vsus)으로서 본 발명의 실시예의 경우 12V가 인가됨을 그 예로 설명한다. 초기화 단계에서 제2 노드(N2)의 전압은 이전 프레임의 데이터 전압(Data(j))에 의해 결정되며, 본 명세서에서는 초기화 단계의 제2 노드(N2)의 전압을 Vinit이라 가정한다. 이로 인해, 제2 커패시터(C2) 양단에 (Vsus-Vinit)의 전압차가 걸리게 된다. 이후에서 도 12j를 참조하여 설명되었지만, Vinit는 이전 프레임의 입력 영상에 대응하는 데이터 전압에서 제2 화소 트랜지스터(M2)의 문턱전압만큼 뺀 소정의 양의 전압레벨을 갖는다.
- [0109] 또한, 상기 초기화 단계는 화소부(130)를 구성하는 각 화소(140a)에 일괄적으로 적용되는 것이므로, 초기화 단계에서 인가되는 신호들 즉, 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 주사신호(Scan(i)), 제어신호(GC(t)), 및 데이터 전압(Data(j))은 각각 설정된 레벨의 전압 값으로 상기 모든 화소(140a)에 동시에 인가된다.
- [0110] 상기와 같은 신호의 인가에 따라 제1 화소 트랜지스터(M1) 및 제2 화소 트랜지스터(M2)는 턴 온되고, 제3 화소 트랜지스터(M3)는 턴 오프된다.
- [0111] 따라서 제1 노드(N1)에는 데이터 라인(Dj)을 통해 초기화 신호로 인가된 12V가 인가되고, 제2 노드(N2)는 Vinit의 전압레벨을 가지며, 제2 커패시터(C2) 양단에 (Vsus-Vinit)의 전압차가 저장된다.
- [0112] 다음으로 도 12b 내지 도 12d를 참조하여 리셋 단계(Reset)의 동작을 설명한다. 리셋 단계(Reset)는 화소부(130)의 각 화소(140a) 즉, 도 10에 도시된 화소(140a)의 유기발광소자(OLED)가 리셋되는 구간으로서, 유기발광소자(OLED)가 발광되지 않도록 유기발광소자의 애노드의 전압을 캐소드의 전압 이하로 떨어뜨리는 단계이다.
- [0113] 본 실시예에서는 리셋 단계(Reset)가 도 12b 내지 도 12d의 3단계로 구분되어 진행된다.
- [0114] 먼저 도 12b를 참조하면, 제1 리셋 구간에서는 제1 전원(ELVDD(t))이 상기 저전압레벨(일 예로 0V)을 갖고, 주사신호(Scan(i))가 하이레벨(일 예로 12V)을 가지며, 제어신호(GC(t))는 하이레벨(일 예로 12V)을 갖는다.
- [0115] 즉, 상기 주사신호(Scan(i))가 하이레벨로 인가됨에 따라 PMOS인 제1 화소 트랜지스터(M1)는 턴 오프되며, 이에 따라 상기 데이터 전압(Data(j))은 상기 구간에 대해 상기 주사신호(Scan(i))의 전압 값 보다 낮은 레벨의 전압 값으로만 인가되면 된다.
- [0116] 이와 같이 상기 제1 전원(ELVDD(t))이 0V로 인가되면, 도 12a의 초기화 단계(Init)에서 제공된 제1 전원(ELVDD(t))의 전압 값 즉, 12V보다 12V 낮은 전압이 인가되는 것이므로, 제1 커패시터(C1) 및 제2 커패시터(C2)의 커플링 효과에 의해 상기 제1 노드(N1)의 전압 또한 초기화 단계(Init)에서의 전압, 즉 12V보다 12V 낮아지므로 0V가 되고, 제2 노드(N2)의 전압은 초기화 단계(Init)에서의 전압, 즉 Vinit보다 12V 낮아진 (Vinit-12V)가 된다.
- [0117] 단, 앞서 도 11b를 통해 간략히 언급한 바와 같이 이 때, 상기 주사신호(Scan(i))는 로우레벨(일 예로 -5V)로 인가될 수도 있는데, 이 경우에는 상기 제1 화소 트랜지스터(M1)가 턴 온되므로, 상기 제1 노드(N1)의 전압이 0V가 되도록 데이터 전압(Data(j))에 0V가 인가된다.
- [0118] 즉, 설계적 제약 조건 상 기생 커플링에 의해 상기 제1 노드(N1) 및 제2 노드(N2)의 전압이 원하는 만큼 충분히 낮아지지 않을 경우를 고려하면 위와 같이 상기 주사신호(Scan(i))를 로우레벨로 하고, 이에 대응한 데이터 전압(Data(j))을 0V로 인가할 수 있는 것이다.
- [0119] 이와 같이 상기 제2 노드(N2)가 (Vinit-12V)가 되면, 이에 연결된 제2 화소 트랜지스터(M2)의 게이트 전극에 인가되는 전압이 (Vinit-12V)가 되어 PMOS로 구현된 상기 제2 화소 트랜지스터(M2)는 턴 온된다.

- [0120] 즉, 제2 화소 트랜지스터(M2)의 제1 및 제2 전극 간 전류 통로가 형성됨에 따라 제2 화소 트랜지스터(M2)의 제2 전극에 접속된 유기발광소자(OLED)의 애노드의 기생 커패시터(Coled)에 충전된 전압은 상기 제1 전원(ELVDD(t))의 전압 값 즉, 0V까지 점차적으로 떨어지게 된다.
- [0121] 그런데 이때 Coled로부터 제1 전원선(ELVDD) 및 제1 전원 생성부(210a, 210b)를 통해 접지선 쪽으로 전류가 빠져나가면, Coled를 충전하기 위해 제2 전원 생성부(220a, 220b) 및 제2 전원선(ELVSS)을 통해 DC 전원(Vdc)으로부터 서어지 전류가 발생할 수 있다. 상기 서어지 전류는 화소부(130a)에 구비된 모든 화소들(140a)의 Coled의 충전 성분의 합에 거의 비례하므로, 그 크기가 매우 크다. 본 발명의 제3 실시예는 제1 리셋 구간에서 제1 전원(ELVDD(t))의 하강 속도를 감소시켜 이러한 서어지 전류를 방지한다.
- [0122] 그 다음 도 12c를 참조하면, 상기 제2 리셋 구간에서는 제1 전원(ELVDD(t))이 저전압레벨(일 예로 0V)로 인가되고, 주사신호(Scan(i))가 로우레벨(일 예로 -5V)로 인가되고, 제어신호(GC(t))는 로우레벨(일 예로 -8V)로 인가된다. 이 경우 상기 제1 화소 트랜지스터(M1)가 턴 온되므로, 리셋 단계(Reset)의 데이터 전압(Data(j))인 0V가 제1 노드(N1)에 인가된다. 또한 제2 및 제3 화소 트랜지스터(M2 및 M3)가 턴 온됨으로 인해, 제2 노드(N2) 및 유기발광소자(OLED)의 애노드에 제1 전원(ELVDD(t))의 전압인 0V가 인가된다. 이로 인해 유기발광소자(OLED)의 애노드의 전압값이 캐소드의 전압값보다 작게 유지된다.
- [0123] 즉, 상기 제2 리셋 구간은 제1 리셋 구간과 비교할 때, 주사신호(Scan(i))가 로우레벨(일 예로 -5V)로, 이에 대응되는 데이터 전압(Data(j))이 0V로 인가되는 것으로서, 이는 앞서 설명한 바와 같이 설계적 제약 조건 상기 생 커패시터에 의해 상기 제1 노드(N1) 및 제2 노드(N2)의 전압이 원하는 만큼 충분히 못 내려갈 경우를 고려하여 수행하는 것이다.
- [0124] 또한, 제2 리셋 구간동안 하이레벨의 주사신호(Scan(i))가 인가되는 실시예도 가능한데, 이러한 경우 상기 제2 리셋 구간은 제1 리셋 구간과 동일한 파형을 유지하여도 된다. 즉, 제2 리셋 구간에 인가되는 주사신호(Scan(i))는 하이레벨로 인가되고 데이터 전압(Data(j))이 초기화 단계(Vinit)의 전압레벨, 즉 V<sub>sus</sub> 전압레벨로 유지되어도 무방하다.
- [0125] 다음 도 12d를 참조하면, 상기 제3 리셋 구간에 제1 전원(ELVDD(t))이 상기 고전압레벨(일 예로 12V)로 인가되고, 주사신호(Scan(i))가 하이레벨(일 예로 12V)로 인가되며, 제어신호(GC(t))는 하이레벨(일 예로 12V)로 인가된다.
- [0126] 즉, 상기 제3 리셋 구간에 상기 제1 전원(ELVDD(t))이 도 12a에서 설명한 초기화 단계(Init)에서와 동일한 전압값이 인가되도록 복귀하며, 이에 따라 제1 전원(ELVDD(t))의 전압 값이 이전 제2 리셋 구간에 비해 12V 상승하므로, 제1 커패시터(C1) 및 제2 커패시터(C2)의 커패시터 효과에 의해 상기 제1 노드(N1) 및 제2 노드(N2)의 전압은 각각 12V, 12V로 상승한다.
- [0127] 즉, 상기 각 노드의 전압 및 제1 전원(ELVDD(t))의 전압 값은 도 12a의 초기화 단계(Init)과 동일하게 된다.
- [0128] 다만, 상기 제1 내지 제3 리셋 구간을 통해 유기발광소자(OLED)의 애노드의 전압은 최종적으로 캐소드의 전압 값, 즉 12V 보다 낮은 전압 값인 0V가 인가된 상태가 되는 것이다.
- [0129] 또한, 상기 제3 리셋 구간의 경우에도 상기 주사신호(Scan(i))는 로우레벨(일 예로 -5V)로 인가될 수 있는데, 단, 이에 대응되는 데이터 전압(Data(j))은 12V로 인가되어야 하며, 이를 통해 상기 제1 노드(N1)의 전압을 12V로 유지할 수 있다.
- [0130] 이와 같은 도 12b 내지 도 12d를 통해 리셋 단계(Reset)는 화소부(130)를 구성하는 각 화소(140a)에 일괄적으로 적용되는 것이므로, 상기 제1 내지 제3 리셋 단계에서 인가되는 신호들 즉, 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 주사신호(Scan(i)), 제어신호(GC(t)) 및 데이터 전압(Data(j))은 각각의 구간에서 설정된 레벨의 전압 값으로 모든 화소(140a)에 동시에 인가되어야 한다.
- [0131] 다음으로 도 12e 내지 도 12g를 참조하면, 이는 화소부(130)의 각 화소(140a)에 구비된 구동 트랜지스터, 즉 제2 화소 트랜지스터(M2)의 문턱전압이 제2 커패시터(C2)에 저장되는 구간으로서 이는 이후 각 화소(140a)에 데이터 전압(Data(j))이 충전될 때 구동 트랜지스터의 문턱전압 편차에 의한 불량을 제거하는 역할을 한다.
- [0132] 본 발명의 제3 실시예의 경우 상기 문턱전압 보상 단계는 도 12e 내지 도 12g의 3단계로 구분되어 진행된다.
- [0133] 먼저 도 12e를 참조하면, 제1 문턱전압 보상 구간은 구동 트랜지스터 즉, 제2 화소 트랜지스터(M)의 문턱전압을 저장하기 위한 구간으로서, 이전 도 12d 구간과 비교할 때, 주사신호(Scan(i))를 로우레벨(-5V)로 인가하는 점

에서 그 차이가 있다. 이 경우 제1 화소 트랜지스터(M1)가 턴 온되므로 제1 화소 트랜지스터(M1)의 제1 전극으로 인가되는 데이터 전압(Data(j))은 이전 도 12d의 제1 노드(N1)의 전압과 동일한 12V로 인가된다.

- [0134] 여기서, 상기 제1 문턱전압 보상 구간의 경우 상기 제3 리셋 구간과 같이 상기 주사신호(Scan(i))를 하이레벨로 인가하여도 무방하나, 기생 커플링에 의해 각 노드(N1, N2)의 전압이 설정된 값에서 벗어날 위험을 방지하기 위해 구현되는 것이다.
- [0135] 다음으로 도 12f를 참조하면, 이는 제2 문턱전압 보상 구간으로서 제2 노드(N2)의 전압레벨을 풀-다운(pull-down)시키는 단계이다.
- [0136] 이를 위해 상기 제1 전원(ELVDD(t)) 및 주사신호(Scan(i))는 이전 단계와 동일하게 각각 상기 고전압레벨(12V), 로우레벨(-5V)로 인가되고, 상기 제어신호(GC(t))가 로우레벨(일 예로 -8V)로 인가된다.
- [0137] 즉, 상기와 같은 신호의 인가에 따라 제3 화소 트랜지스터(M3)가 턴 온되고, 상기 제3 화소 트랜지스터(M3)가 턴 온됨에 의해 제2 화소 트랜지스터(M2)의 게이트 전극 및 제2 전극이 전기적으로 연결되어 결과적으로 상기 제2 화소 트랜지스터(M2)는 다이오드로서 동작하게 된다.
- [0138] 이에 따라 상기 제2 노드(N2) 즉, 제2 화소 트랜지스터(M2)의 게이트 전극에 걸리는 전압은 상기 제2 커패시터(C2)와 유기발광소자(OLED)의 기생 커패시터(Coled)의 커플링 효과에 의해  $C_{oled}/(C2+C_{oled})$  만큼 떨어지게 되는 것이다.
- [0139] 앞서 언급한 바와 같이 상기 제2 커패시터(C2)와 Coled의 용량비가 1:4인 것으로 가정하면, 제2 노드(N2)의 전압과 유기발광소자(OLED)의 애노드 전압의 차이는 12V이고, 제2 노드(N2)는 제2 커패시터(C2)와 Coled의 커플링 효과에 의해 이 전압차이의 4/5만큼 감소하므로, 제2 노드(N2)의 전압레벨은  $12V \cdot (1/5) = 2.4V$ 가 된다. 또한 제3 화소 트랜지스터(M3)에 의해 제2 노드(N2)와 전기적으로 연결된 유기발광소자(OLED)의 애노드 전압 또한 2.4V가 된다.
- [0140] 이 후, 도 12g를 참조하면, 이는 제3 문턱전압 보상 구간으로서, 인가되는 신호의 파형은 이전 제2 문턱전압 보상 구간과 동일하다.
- [0141] 앞서 제2 문턱전압 보상 구간에서 설명한 바와 같이 제2 노드(N2)의 전압 값이 2.4V가 되면 제2 화소 트랜지스터(M2)의  $V_{gs}$ , 즉 (2.4V-12V)이  $V_{th}$ 보다 작아져, 제2 화소 트랜지스터(M2)가 턴 온되고, 상기 제1 전원(ELVDD(t))과 상기 유기발광소자(OLED)의 애노드 간의 전압차가 제2 화소 트랜지스터(M2)의 문턱전압의 크기에 대응될 때까지 턴 온되어 전류가 흐르며, 그 이후에는 턴 오프된다. 유기 전계발광 표시장치(100)에서는 각 화소(140a)의 제2 화소 트랜지스터(M2)의 문턱전압 편차가 발생할 수 있는데, 제3 문턱전압 보상 구간에서 각 화소(140a)의 문턱전압 편차가 제2 노드(N2)의 전압에 반영된다.
- [0142] 일례로서, 상기 제1 전원(ELVDD(t))이 12V로 인가되고, 제2 화소 트랜지스터(M2)의 문턱전압이 -2V라면, 상기 유기발광소자(OLED)의 애노드가 10V가 될 때까지 전류가 흐른다. 또한, 상기 제2 노드(N2)와 상기 유기발광소자(OLED) 사이에 제3 화소 트랜지스터(M3)에 의해 전류 패스가 형성되어 있으므로, 제2 노드(N2)도 10V가 된다.
- [0143] 또한, 상기 제1 내지 제3 문턱전압 보상 단계 역시 화소부(130)를 구성하는 각 화소(140a)에 일괄적으로 적용되는 것이므로, 문턱전압 보상 단계에서 인가되는 신호들 즉, 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 주사신호(Scan(i)), 제어신호(GC(t)) 및 데이터 전압(Data(j))은 각각 설정된 레벨의 전압 값으로 상기 모든 화소(140a)에 동시에 인가된다.
- [0144] 다음으로 도 12h를 참고하면, 이는 화소부(130)의 각 주사선(S1 내지 Sn)에 연결된 각각의 화소(140a)에 대해 순차적으로 주사신호(Scan(i))가 인가되고, 이에 따라 각각의 화소(140a)에 각 데이터선(D1 내지 Dm)을 통해 데이터 전압(Data(j))이 인가되는 단계이다.
- [0145] 즉, 도 12h에 도시된 주사/데이터 입력 단계에 대해서는 주사신호(Scan(i))가 각 주사선(S1 내지 Sn)에 대해 순차적으로 입력되고, 이에 대응하여 각 주사선(S1 내지 Sn)별로 연결된 화소(140a)에 데이터 전압(Data(j))이 순차적으로 입력되며, 상기 단계 동안에 제어신호(GC(t))는 하이레벨(일 예로 12V)로 인가된다.
- [0146] 일례로서, 도 12h에 도시된 바와 같이 상기 순차적으로 인가되는 주사신호(Scan(i))의 폭을 2 수평시간(2H)으로 인가할 수 있다. 즉, (i-1)번째 주사신호(Scan(i-1))의 폭과 이어 순차적으로 인가되는 i번째 주사신호(Scan(i))의 폭은 1H만큼 중첩되도록 인가된다. 이는 화소부(130)의 대면적화에 의한 신호선의 RC 지연(delay)에 따른 충전 부족 현상을 극복하기 위함이다.

- [0147] 또한, 상기 제어신호(GC(t))가 하이레벨로 인가됨에 따라 PMOS인 제3 화소 트랜지스터(M3)는 턴 오프된다.
- [0148] 도 12h에 도시된 화소의 경우 로우레벨의 주사신호(Scan(i))가 인가되어 제1 화소 트랜지스터(M1)가 턴 온되면, 이에 대해 소정의 전압 값을 갖는 데이터 전압(Data(j))이 제1 화소 트랜지스터(M1)의 제1, 제2 전극을 경유하여 제1 노드(N1)에 인가된다.
- [0149] 이 때, 상기 인가되는 데이터 전압(Data(i))의 전압 값은 일예로 6V ~ 12V의 범위로 인가되며, 이 경우 상기 6V는 화이트를 나타내는 전압 값이고, 상기 12V는 블랙을 나타내는 전압 값이다.
- [0150] 제1 노드(N1)에 데이터 전압(Data(j))이 인가되면, 제2 노드(N2)의 전압은 제2 커패시터(C2)를 통한 커플링 효과에 의하여 제1 노드(N1)의 전압 값의 변화만큼 전압레벨이 하강하게 된다. 제1 노드(N1)의 전압 값의 변화는 다음과 같다.
- [0151] 제1 노드(N1)의 전압 값의 변화 = 12V - Vdata
- [0152] 여기서 Vdata는 주사/데이터 기입단계동안 각 화소(140a)에 입력되는 데이터 전압(Data(j))의 전압레벨로서, 입력 영상에 대응되는 데이터 전압(Data(j))을 의미한다. 제1 노드(N1)의 전압 값 변화로 인한 제2 노드(N2)의 전압 값은 다음과 같다.
- [0153] 제2 노드(N2)의 전압 값 = (12V - |Vth|) - (Vsus - Vdata)
- [0154] 앞서 설명한 실시예에서와 같이 Vsus를 12V로 가정하면, 제2 노드(N2)의 전압 값은 (Vdata - |Vth|)이 된다.
- [0155] 또한 Vdata가 6V~12V 범위의 값을 갖는다고 하면, 상기 주사/데이터 입력단계에서의 제2 노드(N2)의 전압 값은 (6V-|Vth|)~(12V-|Vth|) 범위의 값을 가지므로, 제2 화소 트랜지스터(M2)의 Vgs는 Vth보다 작은 전압 값을 갖는다. 따라서 제2 화소 트랜지스터(M2)는 상기 주사/데이터 입력단계동안 턴 온상태로 유지된다.
- [0156] 다음으로 도 12i를 참조하면, 이는 화소부(130)의 각 화소(140a)에 저장된 데이터 전압(Vdata)에 대응되는 전류(Ioled)가 각 화소(140a)에 구비된 유기발광소자(OLED)로 제공되어 발광이 수행되는 구간이다.
- [0157] 즉, 상기 발광 단계에서는 제1 전원(ELVDD(t))이 상기 고전압레벨(일 예로 12V)로 인가되고, 제2 전원(ELVSS(t))이 상기 저전압레벨(일 예로 0V)로 인가되며, 주사신호(Scan(i)) 및 제어신호(GC(t))는 각각 하이레벨(일 예로 12V)로 인가된다.
- [0158] 이에 따라, 상기 주사신호(Scan(i))가 하이레벨로 인가됨에 따라 PMOS인 제1 화소 트랜지스터(M1)는 턴 오프되도록 데이터 전압(Data(j))은 주사신호(Scan(i)) 전압레벨보다 낮은 레벨로 인가된다.
- [0159] 또한, 상기 발광 단계 역시 화소부(130)를 구성하는 각 화소(140a)에 일괄적으로 적용되는 것이므로, 발광 단계에서 인가되는 신호들 즉, 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 주사신호(Scan(i)), 제어신호(GC(t)) 및 데이터 전압(Data(j))은 각각 설정된 레벨의 전압 값으로 상기 모든 화소(140a)에 동시에 인가된다.
- [0160] 또한, 상기 제어신호(GC(t))가 하이레벨로 인가됨에 따라 PMOS인 제3 화소 트랜지스터(M3)는 턴 오프되므로 다이오드 연결되었던 제2 화소 트랜지스터(M2)는 구동 트랜지스터의 역할을 수행하게 된다.
- [0161] 이에 상기 제2 화소 트랜지스터(M2)의 게이트 전극 즉, 제2 노드(N2)에 인가된 전압이 (Vdata-|Vth|)이고, 제2 화소 트랜지스터(M2)의 제1 전극에 인가되는 제1 전원(ELVDD(t))은 고전압레벨(일 예로 12V)을 갖는다.
- [0162] 제2 전원(ELVSS(t))이 상기 저전압레벨을 가짐에 의해 상기 제1 전원(ELVDD(t))과 유기발광소자(OLED)의 캐소드까지의 전류 경로가 형성되며, 이에 따라 상기 제2 화소 트랜지스터(M2)의 Vsg 전압 값 즉, 제2 화소 트랜지스터(M2)의 제1 전극과 게이트 전극의 전압차에 해당하는 전압에 대응되는 전류가 상기 유기발광소자(OLED)에 인가되며, 이에 대응되는 밝기로 유기발광소자(OLED)가 발광하는 것이다.
- [0163] 즉, 상기 유기발광소자(OLED)에 흐르는 전류는 다음과 같다.
- [0164] 
$$I_{oled} = \beta/2(V_{sg}-|V_{th}|)^2 = \beta/2(12V - (V_{data}-|V_{th}|) - |V_{th}|)^2 = \beta/2(12V - V_{data})^2$$
- [0165] 따라서 본 발명의 제3 실시예에 의할 경우 유기발광소자(OLED)에 흐르는 전류는 제2 화소 트랜지스터(M2)의 문턱전압 편차에 의해 발생하는 문제점을 극복할 수 있다.
- [0166] 그런데 이때 Coled에서 제2 전원선(ELVSS) 및 제2 전원 생성부(220a, 220b)를 통해 접지선 쪽으로 전류가 빠져 나가면, Coled를 충전하기 위해 제1 전원 생성부(210a, 210b) 및 제1 전원선(ELVDD)을 통해 DC 전원(Vdc)으로

부터 화소부(130)쪽으로 서어지 전류가 발생할 수 있다. 상기 서어지 전류는 화소부(130a)에 구비된 모든 화소들(140a)의 Coled의 축전 성분의 함에 거의 비례하므로, 그 크기가 매우 크다. 본 발명의 제3 실시예는 발광 구간에서 제2 전원(ELVSS(t))의 하강 속도를 감소시켜 이러한 서어지 전류를 방지한다.

- [0167] 도 13은 본 발명의 실시예들을 적용하지 않고 제2 전원(ELVSS(t))을 하강시킨 경우, 서어지 전류를 나타낸 도면이고, 도 14는 본 발명의 제3 실시예에 따른 서어지 전류 감소 효과를 나타내는 도면이다.
- [0168] 도 13과 같이 제2 전원(ELVSS(t))을 하강시킬 때, 제2 전원(ELVSS(t))의 슬롭을 감소시키지 않은 경우, 제2 전원(ELVSS(t)) 하강 시 제1 전원 생성부(210a, 210b)의 DC 전원(Vdc)으로부터 서어지 전류  $I_{ELVDD}$ 가 발생하고, 소정 시간이 경과되어야  $I_{ELVDD}$ 가 로드 전류 수준으로 돌아간다. 그러나 본 발명의 실시예를 적용하여 제2 전원(ELVSS(t))의 슬롭을 감소시킨 경우, 제1 전원 생성부(210a, 210b)로부터 서어지 전류가 거의 발생하지 않고, 로드 전류 수준으로 유지되는 것을 볼 수 있다.
- [0169] 이와 같이 화소부(140) 전체의 발광이 수행된 이후에는 도 12j에 도시된 바와 같이 발광 오프 단계를 수행한다.
- [0170] 즉, 도 12j를 참조하면, 상기 발광 오프 단계에서는 제1 전원(ELVDD(t))이 상기 고전압레벨(일예로 12V)로 인가되고, 주사신호(Scan(i))는 하이레벨(일예로 12V)이 인가되고, 제어신호(GC(t))는 하이레벨(일예로 12V)로 인가된다.
- [0171] 이는 발광 동작 이후 블랙 삽입(black insertion) 또는 디밍(dimming)을 위해 발광을 꺼주는 기간으로서, 유기발광소자(OLED)의 애노드의 전압 값은 이전에 유기발광소자(OLED)가 발광하고 있었으면 수십 us 이내로 발광이 오프되는 전압까지 떨어지게 된다.
- [0172] 이와 같이 도 12a 내지 도 12j 구간을 통해 하나의 프레임이 구현되며, 이는 계속 순환되어 그 다음 프레임을 구현한다. 즉, 도 12j의 발광 오프 단계 이후에는 다시 도 12a의 초기화 단계가 진행되는 되는 것이다.
- [0173] 도 15는 본 발명의 제4 실시예에 따른 화소부(140b)의 구조를 나타낸 회로도이다.
- [0174] 도 15를 참조하면, 이는 도 10에 도시된 실시예와 비교할 때 화소회로를 구성하는 트랜지스터가 NMOS로 구현되는 점에서 그 차이가 있다.
- [0175] 이 경우 구동 파형은, 도 7a 내지 도 7c의 구동 타이밍도와 비교할 때, 주사신호(Scan(i)), 제어신호(GC(n)), 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 및 데이터 기입 구간 이외에 공급되는 데이터 전압(Data(j))의 구동 파형의 극성이 반전된 형태로 제공된다.
- [0176] 결과적으로 도 15에 도시된 제4 실시예는 도 10에 도시된 제3 실시예와 비교할 때 트랜지스터가 PMOS가 아닌 NMOS로 구현되는 것으로, 그 구동 동작 및 원리는 제3 실시예와 동일하므로 그 구체적인 설명은 생략하도록 한다.
- [0177] 도 15를 참조하면, 본 발명의 제4 실시예에 의한 화소(140b)는 유기발광소자(OLED)와, 유기발광소자(OLED)로 전류를 공급하기 위한 화소회로(142b)를 구비한다.
- [0178] 유기발광소자(OLED)의 캐소드는 화소회로(142b)에 접속되고, 애노드는 제1 전원(ELVDD(t))에 접속된다. 이와 같은 유기발광소자(OLED)는 화소회로(142b)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.
- [0179] 단, 본 발명의 실시예의 경우 화소부(130)를 구성하는 각 화소(140b)는, 한 프레임의 일부 기간(앞에 언급한 (d) 단계)에 대하여 주사선(S1 내지 Sn)에 순차적으로 주사신호(Scan(i))가 공급될 때, 데이터선(D1 내지 Dm)으로 공급되는 데이터 전압(Data(j))을 공급받으나, 한 프레임의 나머지 기간((a), (b), (c), (e), (f) 단계)에 대해서는 각 주사선(S1 내지 Sn)에 인가되는 주사신호(Scan(i)), 각 화소들(140b)에 인가되는 제1 전원(ELVDD(t)), 제2 전원(ELVSS(t)), 각 제어선(GC1 내지 GCn)에 인가되는 제어신호들이 동시에 일괄적으로 각각 정해진 소정의 전압레벨로 상기 각 화소(140b)에 인가된다.
- [0180] 이에 상기 각 화소(140b)에 구비되는 화소회로(142b)는 3개의 트랜지스터(NM1 내지 NM3) 및 2개의 커패시터(C1, C2)를 구비한다.
- [0181] 여기서, 제1 화소 트랜지스터(NM1)의 게이트 전극은 주사선(Si)에 접속되고, 제1 전극은 데이터선(Dj)에 접속된다. 그리고 제1 화소 트랜지스터(NM1)의 제2 전극은 제1 노드(N1)에 접속된다.
- [0182] 즉, 상기 제1 화소 트랜지스터(NM1)의 게이트 전극에는 주사신호(Scan(i))가 입력되고, 제1 전극으로는 데이터

전압(Data(j))이 입력된다.

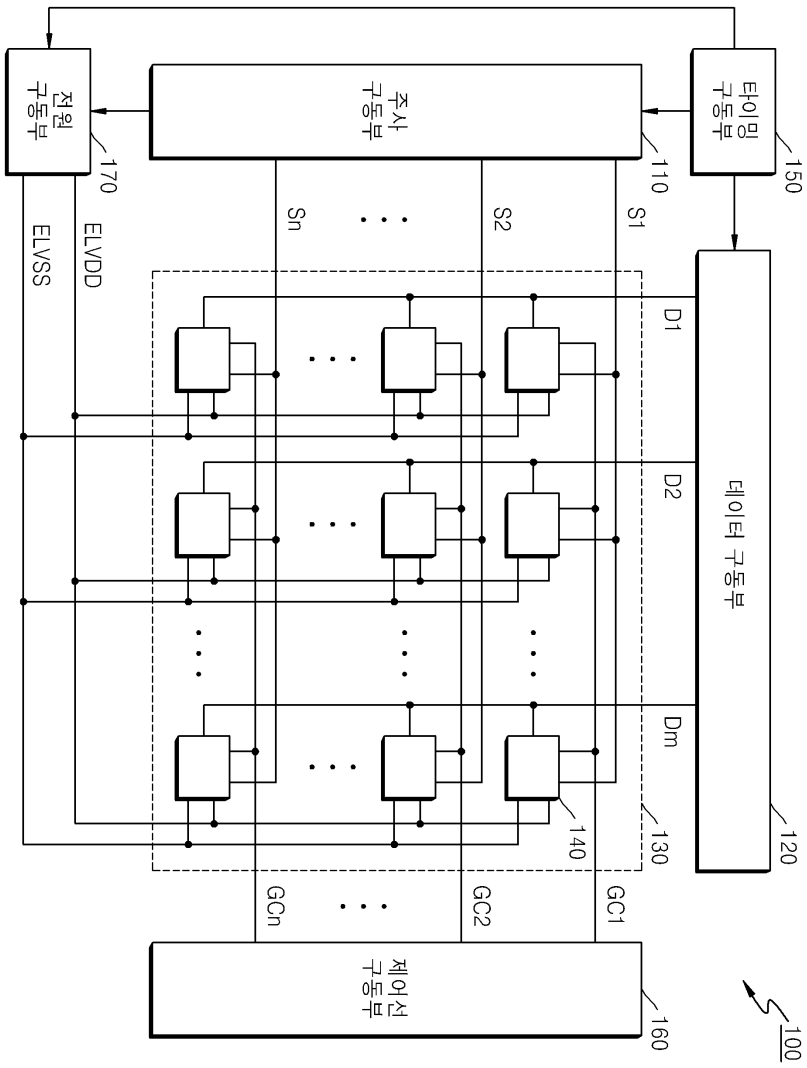
- [0183] 또한, 제2 화소 트랜지스터(NM2)의 게이트 전극은 제2 노드(N2)에 접속되고, 제2 전극은 제2 전원(ELVSS(t))에 접속되며, 제1 전극은 유기발광소자의 캐소드에 접속된다. 여기서, 상기 제2 화소 트랜지스터(NM2)는 구동 트랜지스터로서의 역할을 수행한다.
- [0184] 또한, 상기 제1 노드(N1) 및 제2 화소 트랜지스터(NM2)의 제2 전극 즉, 제2 전원(ELVSS(t)) 사이에 제1 커패시터(C1)가 접속되고, 상기 제1 노드(N1) 및 제2 노드(N2) 사이에는 제2 커패시터(C2)가 접속된다.
- [0185] 또한, 제3 화소 트랜지스터(NM3)의 게이트 전극은 제어선(GC)에 접속되고, 제1 전극은 상기 유기발광소자(OLED)의 캐소드 즉, 제2 화소 트랜지스터(NM2)의 제1 전극과 접속되며, 제2 전극은 상기 제2 화소 트랜지스터(NM2)의 게이트 전극과 접속된다.
- [0186] 이에 따라 상기 제3 화소 트랜지스터(NM3)의 게이트 전극으로는 제어신호(GC(t))가 입력되며, 상기 제3 화소 트랜지스터(NM3)가 턴 온되는 경우 상기 제2 화소 트랜지스터(NM2)는 다이오드 연결된다.
- [0187] 또한, 상기 유기발광소자(OLED)의 애노드는 제1 전원(ELVDD(t))과 연결된다.
- [0188] 도 15에 도시된 실시예의 경우 상기 제1 내지 제3 화소 트랜지스터(NM1 내지 NM3)는 모두 NMOS로 구현된다.
- [0189] 이제까지 본 발명에 대하여 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명을 구현할 수 있음을 이해할 것이다. 그러므로 상기 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 특허청구범위에 의해 청구된 발명 및 청구된 발명과 균등한 발명들은 본 발명에 포함된 것으로 해석되어야 한다.

**부호의 설명**

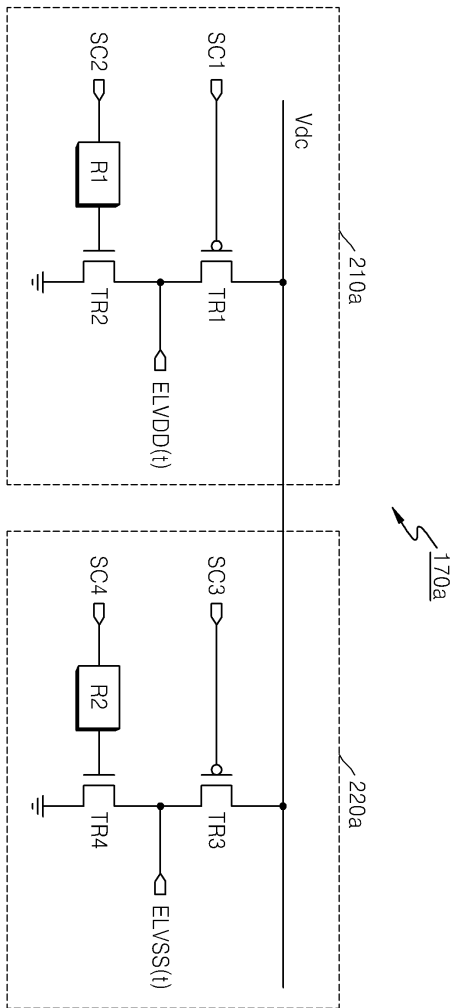
- [0190] 100 유기 전계발광 표시장치            110 주사 구동부
- 120 데이터 구동부                            130 화소부
- 140, 140a, 140b 화소                        150 타이밍 구동부
- 160 제어선 구동부                            170, 170a, 170b 전원 구동부
- D1~Dm 데이터선                            S1~Sn 주사선
- GC1~GCn 제어선                            ELVDD 제1 전원선
- ELVSS 제2 전원선                            210a, 210b 제1 전원 생성부
- 220a, 220b 제2 전원 생성부
- R1 제1 저항                                    R2 제2 저항
- TR1~TR4 제1 내지 제4 트랜지스터
- Vdc DC 전원                                    ELVDD(t) 제1 전원
- ELVSS(t) 제2 전원
- SC1~SC4 제1 내지 제4 전원 제어신호
- 610 제1 검출부                                620 제1 저항 제어부
- 630 제2 검출부                                640 제2 저항 제어부

도면

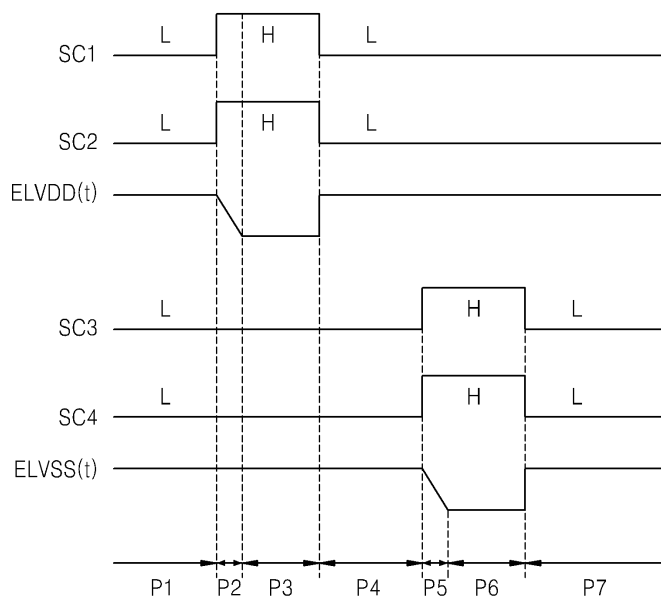
도면1



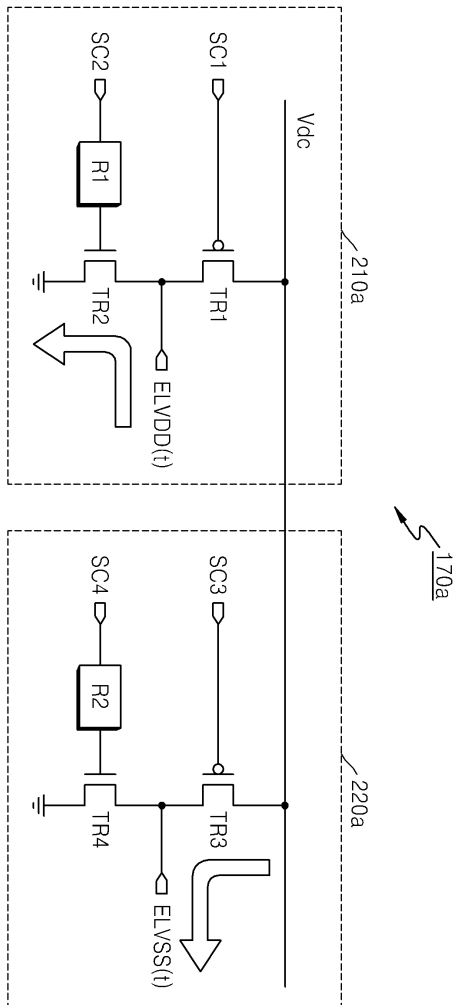
도면2



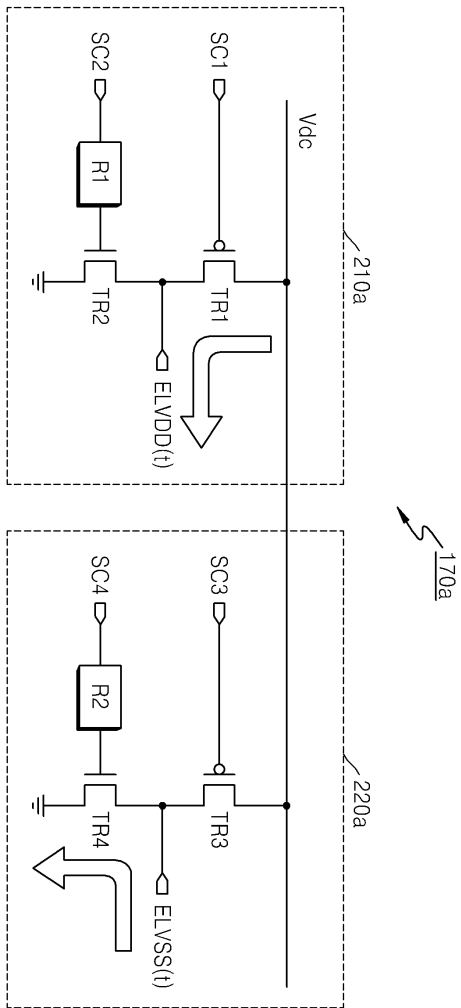
도면3



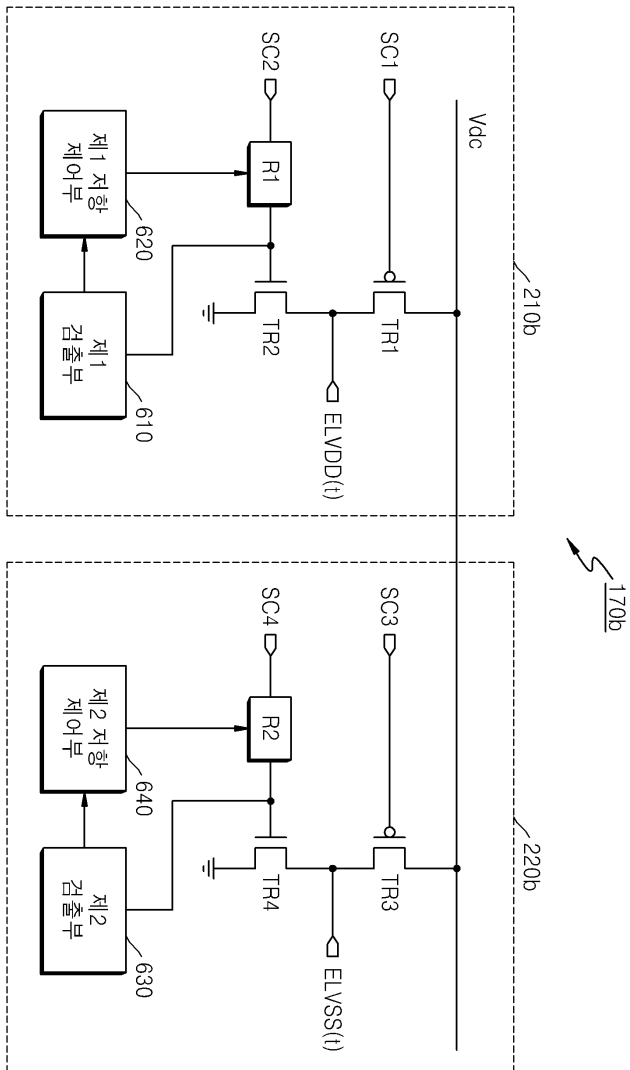
도면4



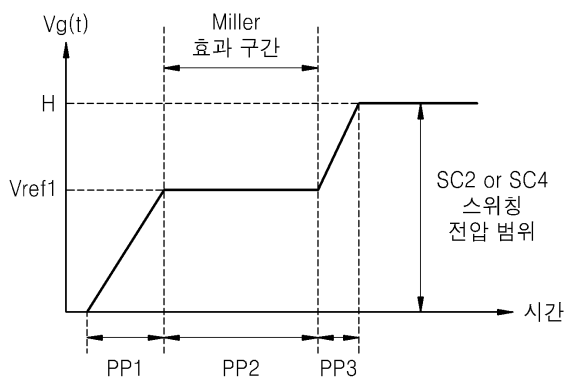
도면5



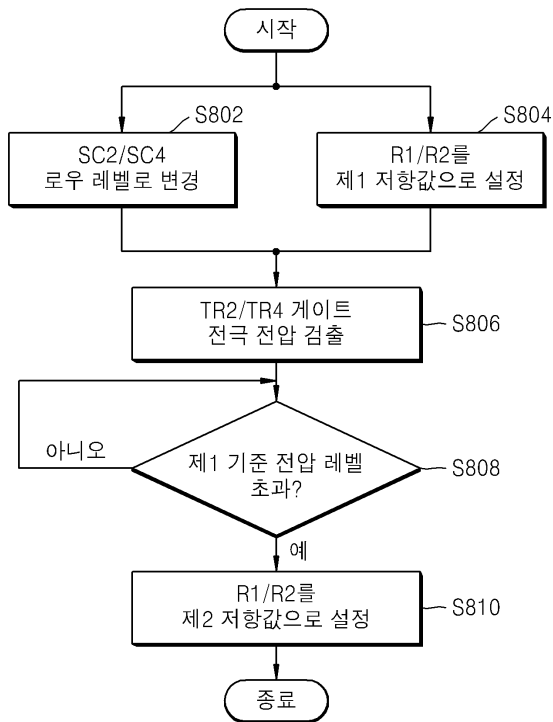
도면6



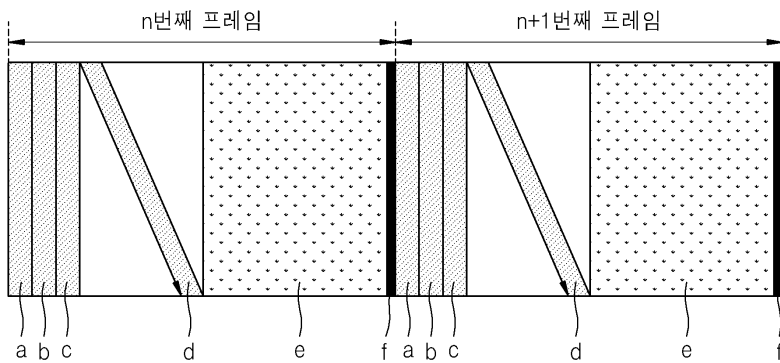
도면7



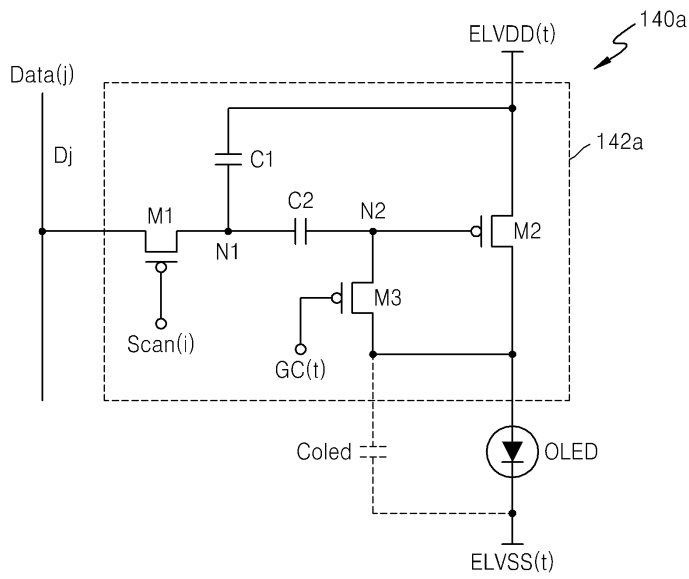
도면8



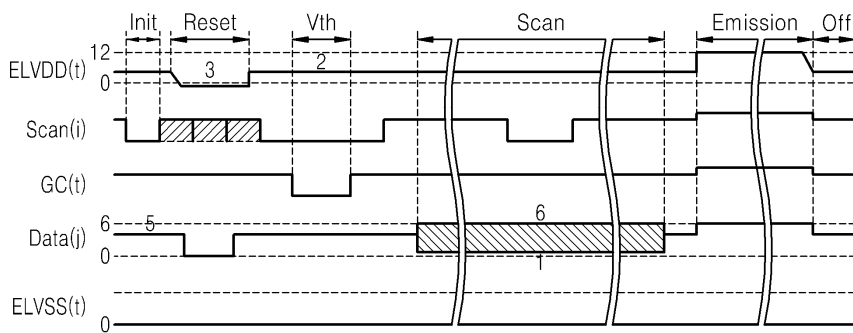
도면9



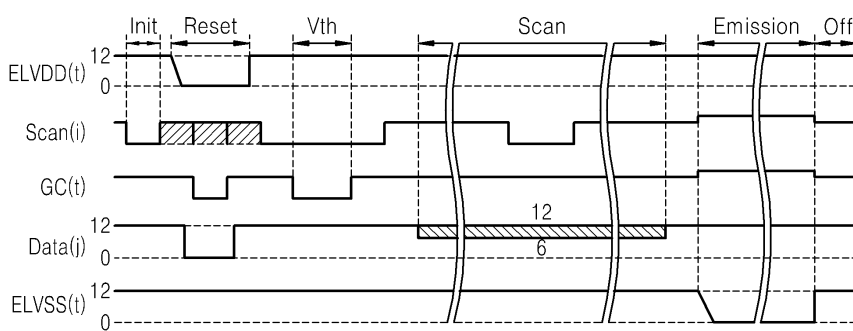
도면10



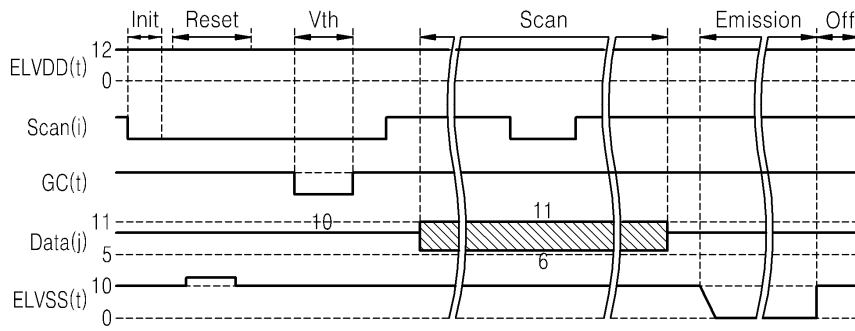
도면11a



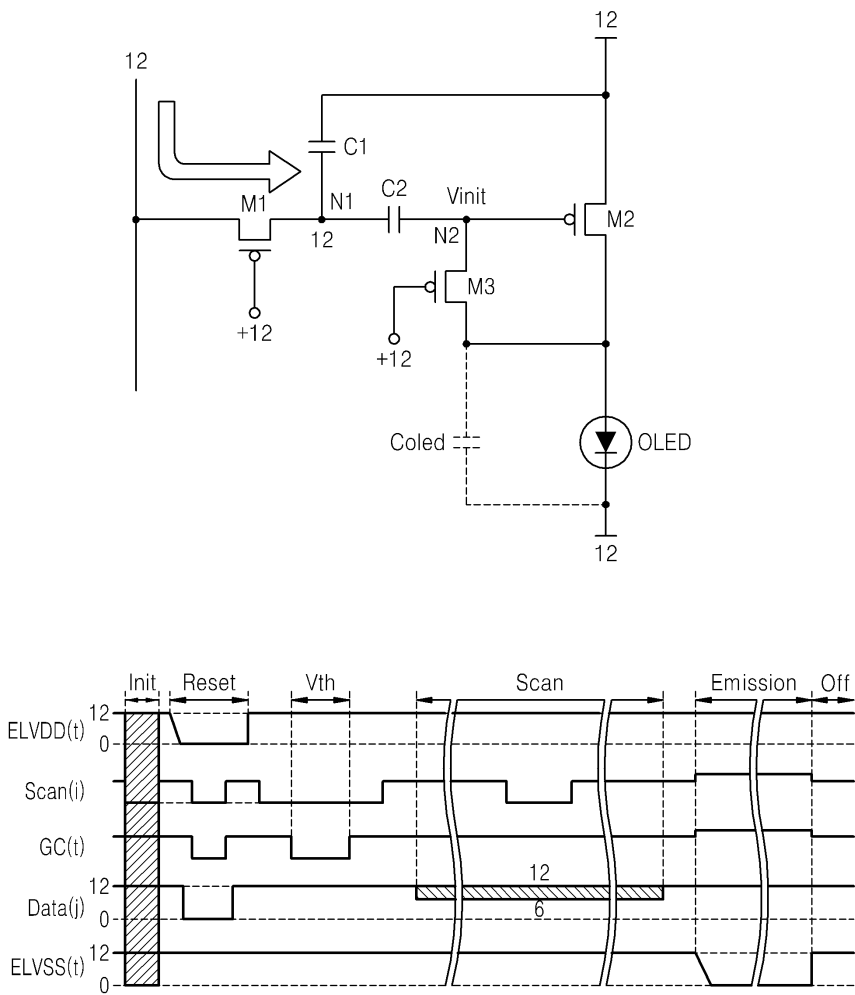
도면11b



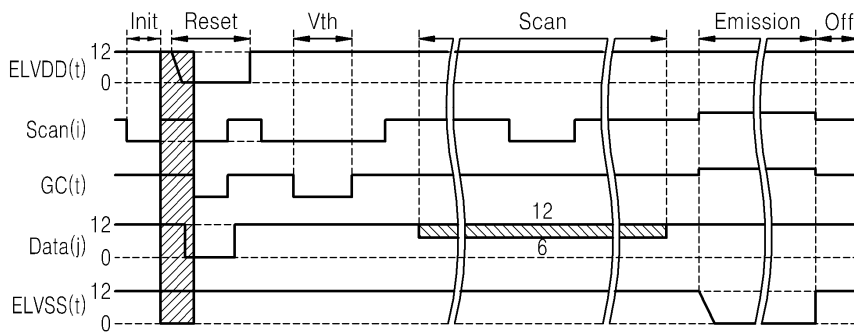
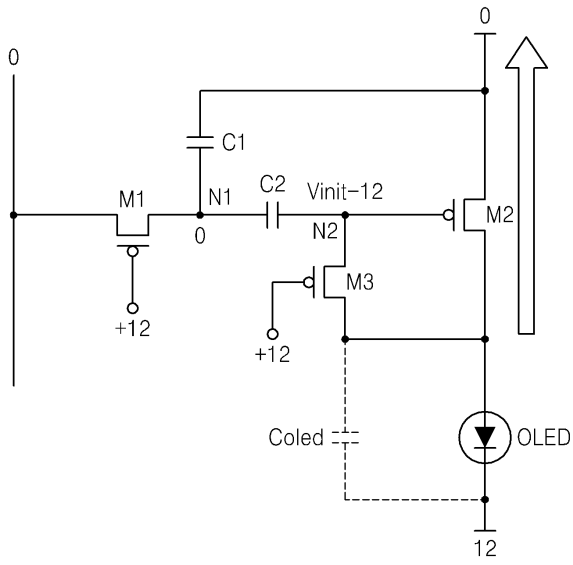
도면11c



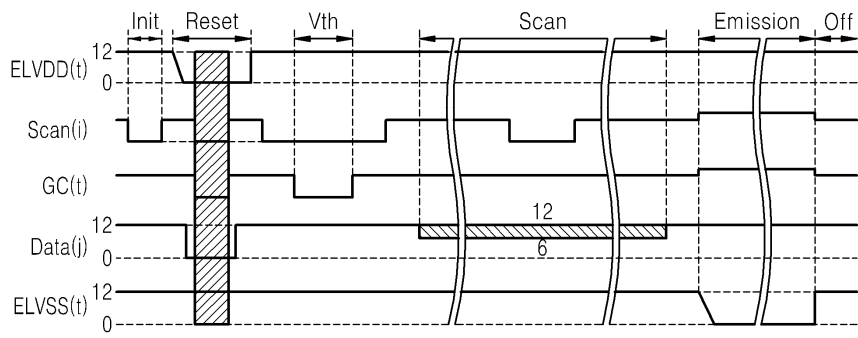
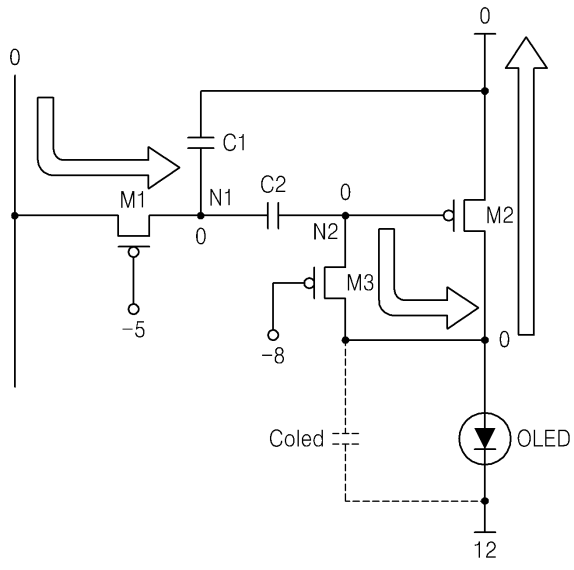
도면12a



도면12b

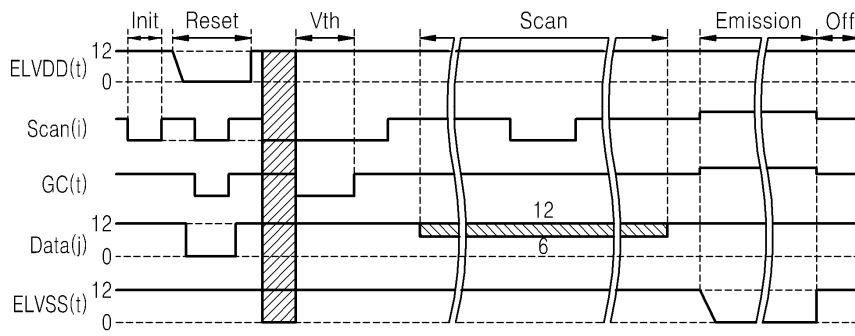
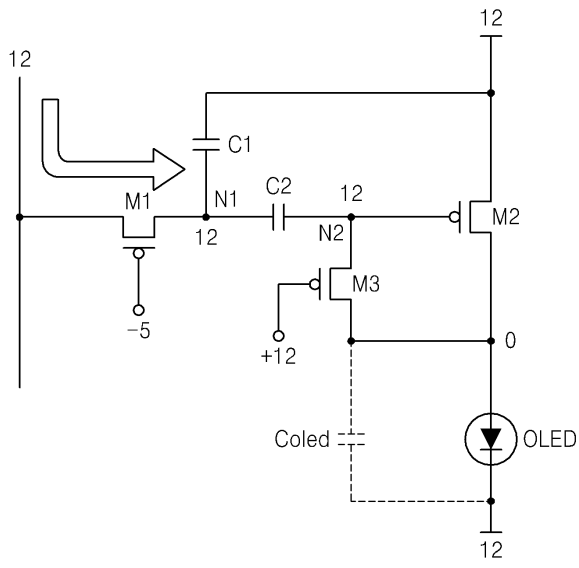


도면12c





도면12e

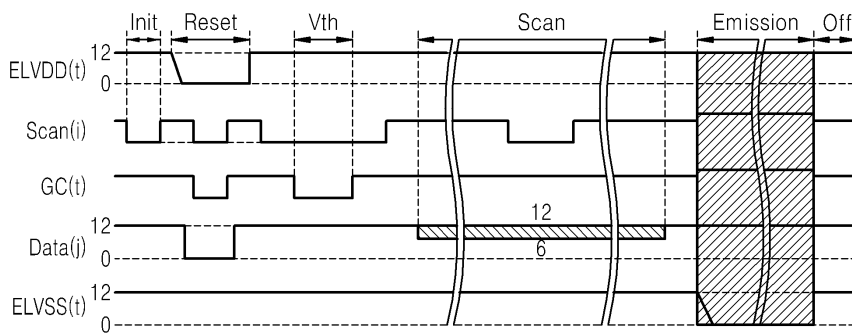
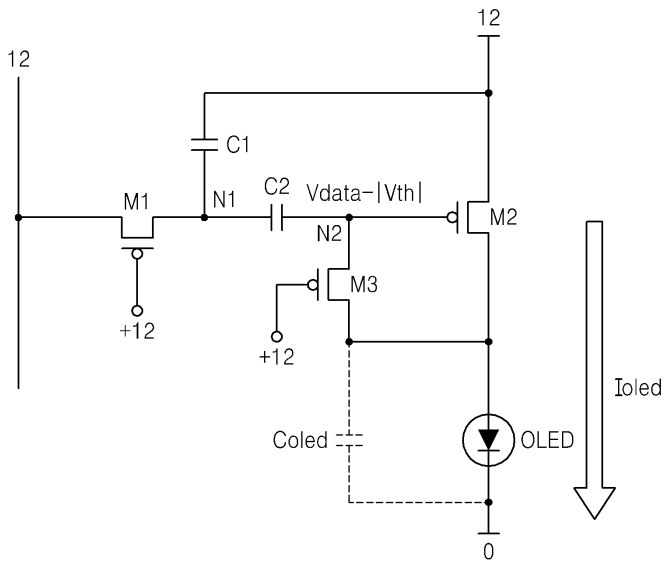






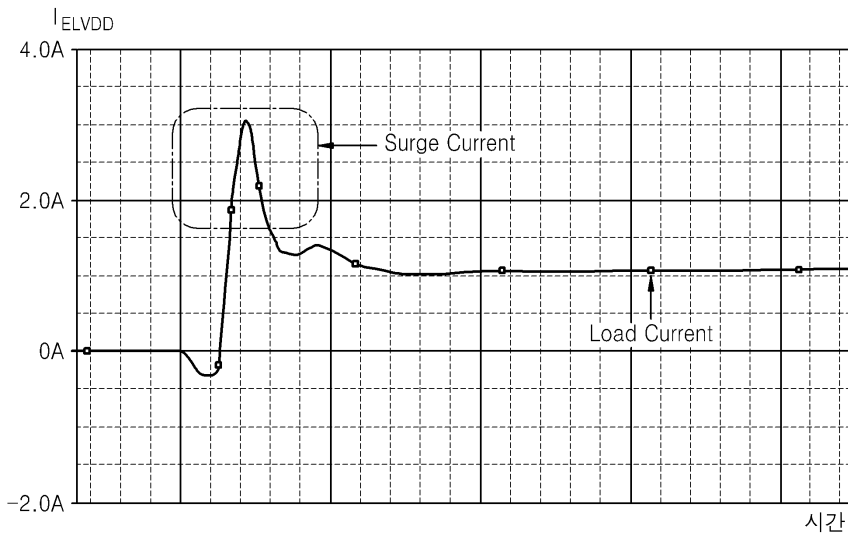
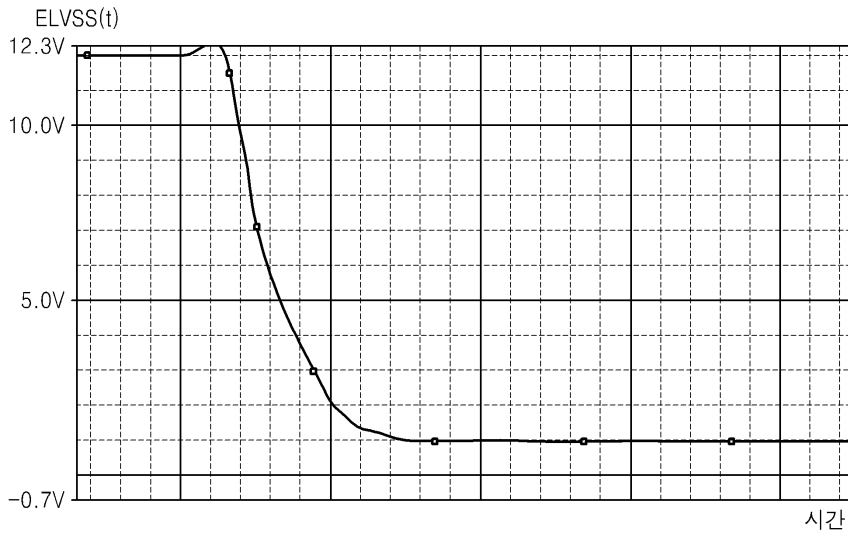


도면12i

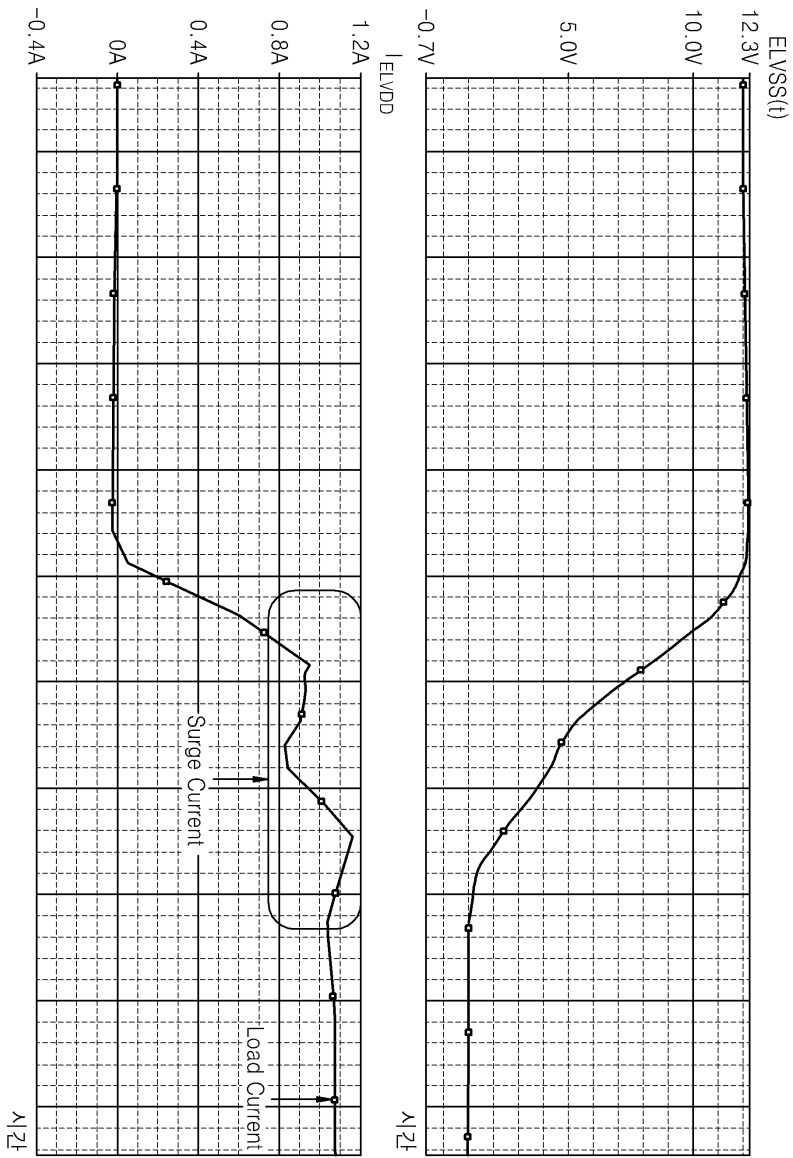




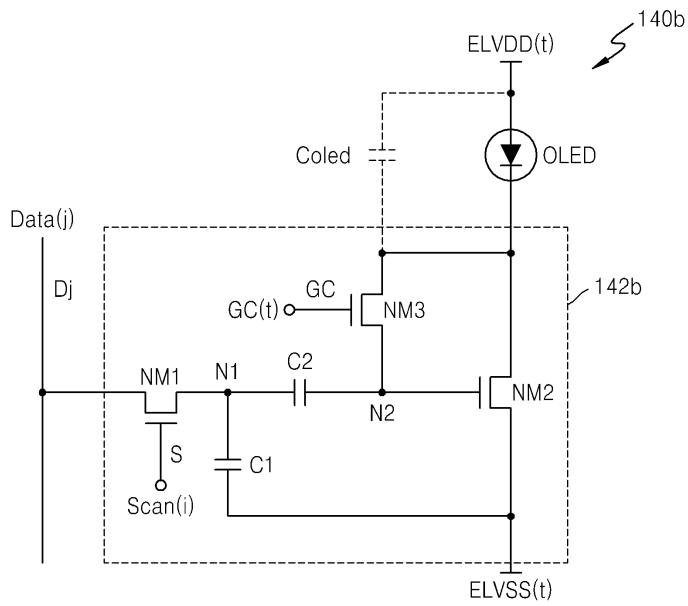
도면13



도면14



도면15



**【심사관 직권보정사항】**

**【직권보정 1】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 1

**【변경전】**

상기 제4 전원 제어신호의 입력선과

**【변경후】**

제4 전원 제어신호의 입력선과

**【직권보정 2】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 1

**【변경전】**

상기 제2 전원 제어신호의 입력선과

**【변경후】**

제2 전원 제어신호의 입력선과

专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	<a href="#">KR101860860B1</a>	公开(公告)日	2018-07-02
申请号	KR1020110023427	申请日	2011-03-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOO MYOUNG HWAN 유명환		
发明人	유명환		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2310/0251 G09G2320/045 G09G2330/028 G09G2330/025		
其他公开文献	KR1020120105781A		

摘要(译)

用途：提供一种有机电致发光显示装置及其驱动方法，通过防止产生过大的浪涌电流来防止有机电致发光显示装置的元件损坏。组成：电源驱动单元 ( 170a ) 接收第一至第四电源控制信号 ( SC1-SC4 )。动力驱动单元输出第一动力和第二动力。动力驱动单元包括第一发电机 ( 210a ) 和第二发电机 ( 220a )。第一发电机通过接收第一和第二功率控制信号产生第一功率。第一发电机包括第一晶体管 ( TR1 )，第二晶体管 ( TR2 ) 和连接到第二晶体管的栅极的第一电阻器 ( R1 )。

