



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월27일
(11) 등록번호 10-1838048
(24) 등록일자 2018년03월07일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/326 (2013.01)

(21) 출원번호 10-2015-0009666

(22) 출원일자 2015년01월21일

심사청구일자 2017년02월24일

(65) 공개번호 10-2016-0083773

(43) 공개일자 2016년07월12일

(30) 우선권주장

1020140194908 2014년12월31일 대한민국(KR)

(56) 선행기술조사문헌

KR1020080061268 A*

(뒷면에 계속)

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박혜민

경기도 고양시 일산서구 일현로 140 103동 1803호
(탄현동, 큰마울대림현대아파트)

김범식

경기도 수원시 권선구 권광로 55 113동 1302호 (권선동, 권선자이e편한세상아파트)

(뒷면에 계속)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 4 항

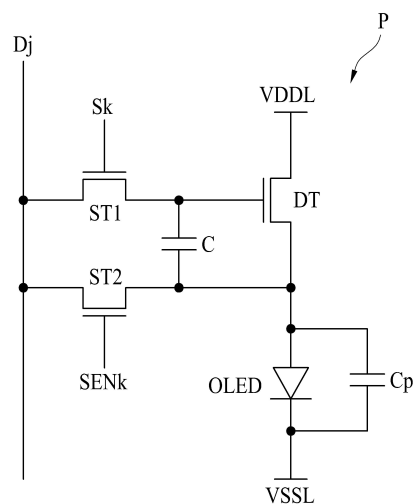
심사관 : 조성수

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광표시장치는 데이터라인들에 접속된 화소들을 구비하고, 상기 화소는, 유기발광다이오드, 상기 유기발광다이오드와 제1 전원전압라인에 접속된 구동 트랜지스터, 상기 데이터라인과 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 트랜지스터, 상기 데이터라인의 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하기 위한 제2 트랜지스터, 및 상기 구동 트랜지스터의 게이트 전극과 소스 전극에 접속된 커패시터를 포함한다.

대표도 - 도2



(72) 발명자

오길환

서울특별시 도봉구 시루봉로 107 (방학동, 신동아
1단지아파트) 28동 1010호

신현기

경기도 과주시 미래로 535 102동 1202호 (목동동,
현대1차아파트)

손기원

경기도 고양시 일산동구 은행마일로 100 (식사동,
은행마을3단지아파트) 305동 603호

(56) 선행기술조사문헌

KR1020100009807 A*

US20140168194 A1

KR1020130056497 A

KR1020140116702 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

데이터라인들, 스캔 라인들, 및 제1 전원전압라인들에 접속된 화소들을 갖는 표시패널; 및

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부를 구비하고,

상기 화소는,

유기발광다이오드;

상기 유기발광다이오드와 상기 제1 전원전압라인들 중 어느 한 제1 전원전압라인에 접속된 구동 트랜지스터;

상기 데이터라인들 중 어느 한 데이터라인과 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 트랜지스터;

상기 어느 한 데이터라인의 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하는 제2 트랜지스터; 및

상기 구동 트랜지스터의 게이트 전극과 소스 전극에 접속된 커패시터를 포함하며,

상기 표시패널은 q (q 는 2 이상의 양의 정수) 개의 블록들로 분할되고, 상기 q 개의 블록들 각각은 p (p 는 2 이상의 양의 정수) 개의 스캔 라인들에 접속된 화소들을 포함하고,

상기 데이터 구동부는 제1 기간 동안 제 j (j 는 양의 정수) 데이터라인에 상기 기준전압을 공급하며, 제2 기간 동안 보상전압을 공급하고, 제3 및 제4 기간들 동안 턴-오프 전압을 공급하며, 제5 기간 동안 데이터전압을 공급하고,

상기 보상전압은 상기 기준전압보다 높은 레벨의 전압이고, 상기 데이터전압은 상기 보상전압보다 높은 레벨의 전압이며, 상기 턴-오프 전압은 상기 보상전압보다 낮은 레벨의 전압인 것을 특징으로 하는 유기발광표시장치.

청구항 9

제 8 항에 있어서,

1 프레임 기간은 q 개의 서브 프레임 기간들을 포함하고, 상기 q 개의 서브 프레임 기간들 각각은 상기 제1 내지 제5 기간들을 포함하며,

상기 제1 및 제2 트랜지스터들이 상기 제1 기간 동안 턴-온되는 경우 상기 어느 한 데이터라인의 기준전압은 상기 구동 트랜지스터의 상기 게이트 전극과 상기 소스 전극에 공급되고,

상기 제1 트랜지스터가 상기 제2 기간 동안 턴-온되는 경우 상기 어느 한 데이터라인의 보상전압은 상기 구동 트랜지스터의 상기 게이트 전극에 공급되며,

상기 제1 트랜지스터가 상기 제3 기간 동안 턴-온되는 경우 상기 어느 한 데이터라인의 턴-오프 전압은 상기 구동 트랜지스터의 상기 게이트 전극에 공급되고,

상기 제1 및 제2 트랜지스터들은 상기 제4 기간 동안 턴-오프되며,

상기 제1 트랜지스터가 상기 제5 기간 동안 턴-온되는 경우 상기 어느 한 데이터라인의 데이터전압은 상기 구동 트랜지스터의 상기 게이트 전극에 공급되는 것을 특징으로 하는 유기발광표시장치.

청구항 10

제 8 항에 있어서,

스캔 신호들을 상기 스캔 라인들에 공급하는 스캔 구동부를 더 구비하고,

상기 스캔 구동부는 상기 제1 내지 제3 기간들과 상기 제5 기간 동안 게이트 온 전압을 갖는 제 k (k 는 양의 정수) 스캔신호를 제 k 스캔라인에 공급하고, 상기 제4 기간 동안 게이트 오프 전압을 갖는 제 k 스캔 신호를 상기 제 k 스캔 라인에 공급하는 것을 특징으로 하는 유기발광표시장치.

청구항 11

제 8 항에 있어서,

초기화라인들과 초기화 구동부를 더 구비하고,

상기 화소들은 상기 초기화라인들에 접속되며, 상기 초기화 구동부는 초기화신호들을 상기 초기화라인들에 공급하고,

상기 초기화 구동부는 상기 제1 기간 동안 게이트 온 전압을 갖는 제 k (k 는 양의 정수) 초기화신호를 제 k 초기화 라인에 공급하고, 상기 제2 내지 제5 기간들 동안 게이트 오프 전압을 갖는 제 k 초기화신호를 상기 제 k 초기화 라인에 공급하는 것을 특징으로 하는 유기발광표시장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 이들 중에서 유기발광 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광 표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터 전압들을 공급하는 데이터 구동부를 포함한다. 화소들 각각은 유기발광다이오드(organic light emitting diode), 게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 공급하는 스캔 트랜지스터를 포함한다.

[0004] 하지만, 제조 공정의 불균일성으로 인해, 구동 트랜지스터의 문턱전압(threshold voltage)이 화소마다 달라지는 문제가 있다. 이 경우, 화소들 각각에 동일한 데이터 전압을 인가하더라도, 화소들 사이의 구동 트랜지스터의 문턱전압 차이로 인하여, 유기발광다이오드가 발광하는 휘도가 화소마다 달라진다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압을 보상하는 보상 방법이 제안되었다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 유기발광표시장치는 데이터라인들에 접속된 화소들을 구비하고, 상기 화소는, 유기발광다이오드, 상기 유기발광다이오드와 제1 전원전압라인에 접속된 구동 트랜지스터, 상기 데이터라인과 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 트랜지스터, 상기 데이터라인의 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하기 위한 제2 트랜지스터, 및 상기 구동 트랜지스터의 게이트 전극과 소스 전극에 접속된 커패시터를 포함한다.

발명의 효과

[0007] 본 발명의 실시예는 구동 트랜지스터의 게이트 전극과 소스 전극을 기준전압으로 초기화한 후, 구동 트랜지스터의 게이트 전극에 보상전압을 공급한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터의 소스 전극에 구동 트랜지스터의 문턱전압을 센싱할 수 있다. 따라서, 본 발명의 실시예는 문턱전압이 보상된 구동 트랜지스터의 전류에 따라 유기발광다이오드를 발광할 수 있다.

[0008] 또한, 본 발명의 실시예는 소정의 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스전압을 "a"만큼 상승시키며, 소스전압의 상승량인 "a"는 구동 트랜지스터의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 소정의 기간 동안 구동 트랜지스터의 전자이동도 따라 게이트 전극과 소스 전극 간의 전압 차를 조정할 수 있으므로, 구동 트랜지스터의 전자이동도를 보상할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 보여주는 블록도.
- 도 2는 도 1의 화소의 일 예를 보여주는 회로도.
- 도 3은 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트전압과 소스전압을 보여주는 파형도.
- 도 4는 본 발명의 실시예에 따른 화소의 구동방법을 보여주는 흐름도.
- 도 5a 내지 도 5d는 도 3의 제1 내지 제4 기간들 동안 도 2의 화소의 동작을 보여주는 회로도들.
- 도 6은 도 1의 화소의 또 다른 예를 보여주는 회로도.
- 도 7은 블록들로 분할된 표시패널을 보여주는 일 예시도면.
- 도 8은 표시패널에 공급되는 스캔신호들과 초기화신호들을 보여주는 파형도.
- 도 9는 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트전압과 소스전압을 보여주는 파형도.
- 도 10은 본 발명의 또 다른 실시예에 따른 화소의 구동방법을 보여주는 흐름도.
- 도 11a 내지 도 11e는 도 9의 제1 내지 제6 기간들 동안 도 2의 화소의 동작을 보여주는 회로도들.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0011] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40), 및 타이밍 제어부(50)를 포함한다.
- [0012] 표시패널(10)은 표시영역(AA)과 표시영역(AA)의 주변에 마련된 비표시영역(NDA)을 포함한다. 표시영역(AA)은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 및 초기화라인들(SEN1~SENn)이 형성된다. 데이터라인들(D1~Dm)은 스캔라인들(S1~Sn) 및 초기화라인들(SEN1~SENn)과 교차되도록 형성될 수 있다. 스캔라인들(S1~Sn)과 초기화라인들(SEN1~SENn)은 서로 나란하게 형성될 수 있다.
- [0013] 표시패널(10)의 화소(P)들 각각은 데이터라인들(D1~Dm) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 및 초기화라인들(SEN1~SENn) 중 어느 하나에 접속될 수 있다. 표시패널(10)의 화소(P)들 각각은 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 의해 제어되는 제1 트랜지스터, 초기화라인의 초기화신호에 의해 제어되는 제2 트랜지스터, 유기발광다이오드(organic light emitting diode), 및 커패시터(capacitor)를 포함할 수 있다. 화소(P)에 대한 자세한 설명은 도 2를 결부하여 후술한다.
- [0014] 데이터 구동부(20)는 적어도 하나의 소스 드라이브 집적회로(integrated circuit 이하 "IC"라 칭함)를 포함한다. 소스 드라이브 IC는 데이터라인들(D1~Dm)에 접속되어 데이터 전압들을 공급한다. 소스 드라이브 IC는 타이밍 제어부(50)로부터 디지털 비디오 데이터(DATA)와 소스 타이밍 제어신호(DCS)를 입력 받는다. 소스 드라이브 IC는 소스 타이밍 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 데이터전압들로 변환하여 데이터라인들(D1~Dm)에 공급한다. 또한, 소스 드라이브 IC는 데이터전압들 이외에 기준전압 및 보상전압을 데이터라인들(D1~Dm)에 공급할 수 있다. 소스 드라이브 IC의 기준전압, 보상전압, 및 데이터전압 공급에 대한 자세한 설명은 도 3 및 도 10을 결부하여 후술한다.

- [0015] 스캔 구동부(30)는 스캔라인들(S1~Sn)에 접속되어 스캔신호들을 공급한다. 스캔 구동부(30)는 타이밍 제어부(50)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다. 스캔 구동부(30)의 스캔신호 공급에 대한 자세한 설명은 도 3, 도 9 및 도 10을 결부하여 후술한다.
- [0016] 초기화 구동부(40)는 초기화라인들(SEN1~SENn)에 접속되어 초기화신호들을 공급한다. 구체적으로, 초기화 구동부(40)는 타이밍 제어부(50)로부터 입력되는 초기화 타이밍 제어신호(SENCS)에 따라 초기화라인들(SEN1~SENn)에 초기화신호들을 공급한다. 초기화 구동부(40)의 초기화신호 공급에 대한 자세한 설명은 도 3, 도 9 및 도 10을 결부하여 후술한다.
- [0017] 타이밍 제어부(50)는 외부로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(50)는 데이터 구동부(20), 스캔 구동부(30), 및 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS, 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 및 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 초기화 타이밍 제어신호(SENCS)를 포함한다.
- [0018] 타이밍 제어부(50)는 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(50)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)로 출력한다. 타이밍 제어부(50)는 초기화 타이밍 제어신호(SENCS)를 초기화 구동부(40)로 출력한다.
- [0019] 도 2는 도 1의 화소를 상세히 보여주는 회로도이다. 도 2를 참조하면, 화소(P)는 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 및 커패시터(C)를 포함한다.
- [0020] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 고전위전압보다 낮은 저전위전압이 공급되는 저전위전압라인(VSSL)에 접속될 수 있다.
- [0021] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.
- [0022] 구동 트랜지스터(DT)는 제1 전원전압라인(VDDL)과 유기발광다이오드(OLED)에 접속된다. 구동 트랜지스터(DT)는 게이트 전극의 전압에 따라 제1 전원전압라인(VDDL)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 제어한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 제1 전원전압이 공급되는 제1 전원전압라인(VDDL)에 접속될 수 있다.
- [0023] 제1 트랜지스터(ST1)는 제k(k는 $1 \leq k \leq n$ 을 만족하는 양의 정수) 스캔라인(Sk)의 제k 스캔신호에 의해 턴-온되어 제j(j는 $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속될 수 있다.
- [0024] 제2 트랜지스터(ST2)는 제k 초기화라인(SENk)의 제k 초기화신호에 의해 턴-온되어 제j 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 소스 전극에 공급한다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 초기화라인(SENk)에 접속되고, 제1 전극은 제j 데이터라인(Dj)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속될 수 있다.
- [0025] 커패시터(C)는 구동 트랜지스터(DT1)의 게이트 전극과 소스 전극에 접속된다. 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차를 일정하게 유지한다. 또한, 도 2와 같이 유기발광다이오드(OLED)의 애노드 전극과 캐소드 전극 사이에는 기생 커패시터(Cp)가 형성될 수 있다.
- [0026] 도 2에서 제1 및 제2 트랜지스터들(ST1, ST2)의 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.
- [0027] 도 2에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide

Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 3, 도 9 및 도 10의 파형도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.

[0028] 이상에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 화소(P)는 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 트랜지스터(ST1)와, 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 트랜지스터(ST2)를 포함한다. 그 결과, 본 발명의 실시예는 제1 및 제2 트랜지스터들(ST1, ST2)의 턴-온과 제j 데이터라인(Dj)에 공급되는 전압을 조정함으로써, 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 도 2에 도시된 화소(P)의 구동 트랜지스터(DT)의 문턱전압 보상에 대한 자세한 설명은 도 3, 도 4, 도 5a 내지 도 5d를 결부하여 후술한다.

[0029] 도 3은 도 2의 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트전압과 소스전압을 보여주는 파형도이다. 도 3에는 도 2의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANK), 제k 초기화라인(SENk)에 공급되는 제k 초기화신호(SENSk), 제j 데이터라인(Dj)에 공급되는 전압(DVj), 구동 트랜지스터(DT)의 게이트전압(Vg)과 소스전압(Vs)이 나타나 있다.

[0030] 도 3을 참조하면, 1 프레임 기간은 제1 내지 제4 기간들(t1~t4)로 구분될 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 기준전압(Vref)으로 초기화하는 기간이다. 제2 기간(t2)은 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 제3 기간(t3)은 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하는 기간이다. 제4 기간(t4)은 구동 트랜지스터(DT)를 흐르는 전류(IDs)에 따라 유기발광다이오드(OLED)가 발광하는 기간이다. 제1 내지 제3 기간들(t1~t3)은 도 3과 같이 1 수평기간(1H)일 수 있다. 도 3에서는 제2 기간(t2)이 제1 및 제3 기간들(t1, t3) 각각보다 길게 구현되는 것이 바람직하나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 내지 제3 기간들(t1~t3)은 서로 동일한 기간으로 설정되거나, 제2 기간(t2)이 제1 및 제3 기간들(t1, t3) 각각보다 짧도록 설정될 수도 있다. 제1 및 제3 기간들(t1, t3)은 서로 다른 기간으로 설정될 수 있다. 제1 내지 제3 기간들(t1~t3)은 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(T1, T2)의 특성에 따라 설계될 수 있다.

[0031] 데이터 구동부(20)는 제1 기간(t1) 동안 제j 데이터라인(Dj)에 기준전압(Vref)을 공급한다. 기준전압(Vref)은 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 초기화하기 위한 전압이다. 데이터 구동부(20)는 제2 기간(t2) 동안 제j 데이터라인(Dj)에 보상전압(Vcomp)을 공급한다. 보상전압(Vcomp)은 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 보상전압(Vcomp)은 도 3과 같이 기준전압(Vref)보다 높은 레벨의 전압일 수 있다. 데이터 구동부(20)는 제3 기간(t3) 동안 제j 데이터라인(Dj)에 데이터전압(Vdata)을 공급한다. 데이터전압(Vdata)은 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 공급되는 전압이다. 데이터 구동부(20)에 공급되는 디지털 비디오 데이터(DATA)가 8 비트인 경우, 데이터전압(Vdata)은 256 개의 전압들 중 어느 하나로 공급될 수 있다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 데이터전압(Vdata)은 도 3과 같이 보상전압(Vcomp)보다 높은 레벨의 전압일 수 있다.

[0032] 본 발명의 일 실시예에 따른 화소(P)는 도 2와 같이 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 트랜지스터(ST1)와, 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 트랜지스터(ST2)를 포함한다. 그 결과, 본 발명의 실시예는 제1 내지 제3 기간들(t1~t3) 동안 제1 및 제2 트랜지스터들(ST1, ST2)의 턴-온을 제어하고, 제j 데이터라인(Dj)에 공급되는 전압을 기준전압(Vref), 보상전압(Vcomp) 및 데이터전압(Vdata)으로 조정함으로써, 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있을 뿐만 아니라, 전자 이동도도 보상할 수 있다. 이에 대한 자세한 설명은 도 4 및 도 5a 내지 도 5d를 결부하여 후술한다.

[0033] 스캔 구동부(30)는 스캔라인들(S1~Sn)에 스캔신호들(SCAN1~SCANn)을 순차적으로 공급할 수 있다. 제1 내지 제3 기간들(t1~t3) 동안 제k 스캔라인(Sk)에 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANK)를 공급한다. 스캔 구동부(30)는 제4 기간(t4) 동안 제k 스캔라인(Sk)에 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANK)를 공급한다. 제k 스캔신호(SCANK)는 1 수평기간(1H) 동안 게이트 온 전압(Von)을 가질 수 있다.

[0034] 초기화 구동부(40)는 초기화라인들(SEN1~SENn)에 초기화신호들(SENS1~SENSn)을 순차적으로 공급할 수 있다. 초기화 구동부(40)는 제1 기간(t1) 동안 제k 초기화라인(SENk)에 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENSk)를 공급한다. 초기화 구동부(40)는 제2 내지 제4 기간들(t2~t4) 동안 제k 초기화라인(SENk)에 게이트

오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)를 공급한다.

- [0035] 도 4는 본 발명의 실시예에 따른 화소의 구동방법을 보여주는 흐름도이다. 도 5a 내지 도 5d는 도 3의 제1 내지 제4 기간들 동안 도 2의 화소(P)의 동작을 보여주는 회로도들이다.
- [0036] 화소(P)의 구동 트랜지스터의 문턱전압을 보상하는 보상방법은 크게 내부 보상방법과 외부 보상방법으로 구분된다. 내부 보상방법은 화소(P)의 내부에서 구동 트랜지스터(DT)의 문턱전압을 센싱하여 보상하는 방법이다. 외부 보상방법은 화소(P)에 미리 설정된 전압을 공급하고, 상기 미리 설정된 전압에 따라 상기 화소(P)의 구동 트랜지스터(DT)의 소스 전극의 전압을 소정의 센싱라인을 통해 센싱하며, 센싱된 전압을 이용하여 상기 화소(P)에 공급될 디지털 비디오 데이터를 보상하는 방법이다. 본 발명의 실시예는 내부 보상방법에 의해 구동 트랜지스터(DT)의 문턱전압을 보상한다. 이하에서는 도 3, 도 4 및 도 5a 내지 도 5d를 결부하여 본 발명의 일 실시예에 따른 화소(P)의 구동방법을 상세히 살펴본다.
- [0037] 첫 번째로, 제1 기간(t1) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 기준전압(Vref)으로 초기화한다.
- [0038] 제1 기간(t1) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제1 기간(t1) 동안 제k 초기화라인(SENk)에는 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제1 기간(t1) 동안 제j 데이터라인(Dj)에는 기준전압(Vref)이 공급된다.
- [0039] 제1 기간(t1) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 기준전압(Vref)이 공급된다. 제1 기간(t1) 동안 제2 트랜지스터(ST2)는 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENSk)에 의해 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 소스 전극에는 기준전압(Vref)이 공급된다. 즉, 제2 트랜지스터(ST2)는 구동 트랜지스터(DT)의 소스 전극에 제j 데이터라인(Dj)의 기준전압(Vref)을 공급하기 위한 트랜지스터이다. 구동 트랜지스터(DT)의 게이트 전극과 소스 전극은 도 3 및 도 5a와 같이 기준전압(Vref)으로 초기화된다. (도 4의 S101)
- [0040] 두 번째로, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 문턱전압을 센싱한다.
- [0041] 제2 기간(t2) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제2 기간(t2) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제2 기간(t2) 동안 제j 데이터라인(Dj)에는 보상전압(Vcomp)이 공급된다.
- [0042] 제2 기간(t2) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 보상전압(Vcomp)이 공급된다. 제2 기간(t2) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)에 의해 턴-오프된다.
- [0043] 제2 기간(t2) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차($V_{gs}=V_{comp}-V_{ref}$)가 구동 트랜지스터(DT)의 문턱전압(threshold voltage, V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류를 흘리게 된다. 이로 인해, 구동 트랜지스터(DT)의 소스전압(V_s)은 도 3 및 도 5b와 같이 " $V_{comp}-V_{th}$ "까지 상승한다. 따라서, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압이 센싱된다. (도 4의 S102)
- [0044] 세 번째로, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압이 공급된다.
- [0045] 제3 기간(t3) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제3 기간(t3) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제3 기간(t3) 동안 제j 데이터라인(Dj)에는 데이터전압(Vdata)이 공급된다.
- [0046] 제3 기간(t3) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 데이터전압(Vdata)이 공급된다. 제3 기간(t3) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)에 의해 턴-오프된다.
- [0047] 한편, 본 발명의 실시예는 제3 기간(t3) 동안 구동 트랜지스터(DT)의 전자 이동도(mobility, μ)를 보상할 수

있다. 제3 기간(t3) 동안 구동 트랜지스터(DT)는 게이트 전극과 소스 전극간의 전압 차($V_{gs}=V_{data}-(V_{comp}-V_{th})$)가 문턱전압(V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 문턱전압에 도달할 때까지 전류를 흘리게 된다. 하지만, 제3 기간(t3)은 제2 기간(t2)보다 짧으며, 이로 인해 구동 트랜지스터(DT)의 소스전압(V_s)이 " $V_{data}-V_{th}$ "에 도달하기 전에 제3 기간(t3)이 끝나게 된다.

[0048] 이때, 구동 트랜지스터(DT)의 전류는 수학적 식 1과 같이 정의될 수 있다.

수학적 식 1

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{gs} - V_{th})^2$$

[0049]

수학적 식 1에서, " I_{ds} "는 구동 트랜지스터(DT)의 전류, " K "는 전하이동도, " Cox "는 절연막의 커패시턴스, " W "는 구동 트랜지스터(DT)의 채널 폭, " L "은 구동 트랜지스터(DT)의 채널 길이를 의미한다.

[0051] 구동 트랜지스터(DT)의 전류는 수학적 식 1과 같이 구동 트랜지스터(DT)의 전하이동도(K)에 비례하므로, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 소스전압(V_s)의 상승량은 구동 트랜지스터(DT)의 전하이동도(K)에 비례한다. 즉, 구동 트랜지스터(DT)의 전하이동도(K)가 클수록 제3 기간(t3) 동안 구동 트랜지스터(DT)의 소스 전압(V_s)의 상승량은 더욱 커진다.

[0052] 결국, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 전하이동도(K)에 따라 소스 전압(V_s)의 상승량이 달라지며, 이로 인해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 달라진다. 즉, 본 발명의 실시 예는 제3 기간(t3) 동안 구동 트랜지스터(DT)의 전하이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(V_{gs})를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전하이동도(K)를 보상할 수 있다.

[0053] 이상에서 살펴본 바와 같이, 제3 기간(t3) 동안 도 3 및 도 5c와 같이 구동 트랜지스터의 게이트전압(V_g)은 " V_{data} "이고, 소스전압(V_s)은 구동 트랜지스터(DT)의 전하이동도(K)에 따라 " $V_{comp}-V_{th}+\alpha$ "까지 상승한다. " α "는 제3 기간(t3) 동안 소스전압(V_s)의 상승량으로 정의될 수 있다. 그러므로, 제3 기간(t3) 동안 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})인 " $V_{data}-(V_{comp}-V_{th}+\alpha)$ "를 저장한다. (도 4의 S103)

[0054] 네 번째로, 제4 기간(t4) 동안 구동 트랜지스터(DT)의 전류(I_{ds})에 따라 유기발광다이오드(OLED)가 발광한다.

[0055] 제4 기간(t4) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(V_{off})을 갖는 제k 스캔신호(SCANK)가 공급된다. 제4 기간(t4) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(SENSk)가 공급된다.

[0056] 제4 기간(t4) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(V_{off})을 갖는 제k 스캔신호(SCANK)에 의해 턴-오프된다. 제4 기간(t4) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(SENSk)에 의해 턴-오프된다.

[0057] 제4 기간(t4) 동안 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차($V_{gs}=V_{data}-(V_{comp}-V_{th}+\alpha)$)는 일정하게 유지될 수 있다. 그 결과, 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류(I_{ds})는 수학적 식 2와 같이 정의될 수 있다.

수학적 식 2

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{data} - (V_{comp} - V_{th} + \alpha) - V_{th})^2$$

[0058]

[0059] 수학적 식 2를 정리하면, 수학적 식 3이 도출된다.

수학식 3

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{data} - V_{comp} - \alpha)^2$$

[0060]

[0061]

결국, 수학식 3과 같이 구동 트랜지스터(DT)의 전류(I_{ds})는 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 보상된다. 결국, 유기발광다이오드(OLED)는 도 5d와 같이 구동 트랜지스터(DT)의 문턱전압(V_{th})이 보상된 구동 트랜지스터(DT)의 전류(I_{ds})에 따라 발광한다. (도 4의 S104)

[0062]

이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 기간(t_1) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 기준전압(V_{ref})으로 초기화하고, 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 게이트 전극에 보상전압(V_{comp})을 공급한다. 그 결과, 본 발명의 실시예는 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 따라서, 본 발명의 실시예는 문턱전압이 보상된 구동 트랜지스터의 전류(I_{ds})에 따라 유기발광다이오드(OLED)를 발광할 수 있다.

[0063]

또한, 본 발명의 실시예는 제3 기간(t_3) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스전압(V_s)을 " α "만큼 상승시키며, 소스전압(V_s)의 상승량인 " α "는 구동 트랜지스터(DT)의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 제3 기간(t_3) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(V_{gs})를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도(K)를 보상할 수 있다.

[0064]

도 6은 도 1의 화소의 또 다른 예를 보여주는 회로도이다. 도 6을 참조하면, 화소(P)는 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 및 커패시터(C)를 포함한다.

[0065]

도 6에 도시된 화소(P)의 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(ST1), 및 커패시터(C)는 도 2에 도시된 화소(P)의 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(ST1), 및 커패시터(C)와 실질적으로 동일하다. 따라서, 도 6에 도시된 화소(P)의 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(ST1), 및 커패시터(C)에 대한 자세한 설명은 생략한다.

[0066]

제2 트랜지스터(ST2)는 제k 초기화라인(SEN_k)의 제k 초기화신호에 의해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 초기화라인(SEN_k)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속될 수 있다.

[0067]

도 6에 도시된 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호($SCAN_k$), 제k 초기화라인(SEN_k)에 공급되는 제k 초기화신호($SENS_k$), 제j 데이터라인(D_j)에 공급되는 전압(DV_j), 구동 트랜지스터(DT)의 게이트전압(V_g)과 소스전압(V_s)은 도 3에 도시된 바와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다. 또한, 도 6에 도시된 화소(P)의 구동방법은 도 4에 도시된 바와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다.

[0068]

도 7은 블록들로 분할된 표시패널을 보여주는 일 예시도면이다. 도 7에서는 설명의 편의를 위해, 표시패널(10)의 스캔라인들($S1 \sim S3p$), 초기화라인들($SEN1 \sim SEN3p$), 화소(P)들, 스캔 구동부(30), 및 초기화 구동부(40)만을 예시하였다. 또한, 도 7에서는 설명의 편의를 위해 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 표시패널(10)은 2 개 이상의 블록들로 분할될 수 있다.

[0069]

도 7을 참조하면, 블록들(BL1, BL2, BL3) 각각은 동일한 개수의 화소(P)들을 포함할 수 있다. 구체적으로, 표시패널(10)이 q (q 는 2 이상의 양의 정수) 개의 블록들로 분할되는 경우, q 개의 블록들 각각은 p (p 는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소(P)들을 포함할 수 있다. 이때, p 는 n (스캔라인들의 총 개수)/ q (블

록들의 개수)일 수 있다.

- [0070] 예를 들어, 표시패널(10)이 도 7과 같이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 블록들(BL1, BL2, BL3) 각각은 p 개의 스캔라인들에 접속된 화소(P)들을 포함할 수 있다. 도 7과 같이 제1 블록(BL1)은 제1 내지 제p 스캔라인들(S1~Sp)에 접속된 화소(P)들을 포함하고, 제2 블록(BL2)은 제p+1 내지 제2p 스캔라인들(Sp+1~S2p)에 접속된 화소(P)들을 포함하며, 제3 블록(BL3)은 제2p+1 내지 제3p 스캔라인들(S2p+1~S3p)에 접속된 화소(P)들을 포함할 수 있다.
- [0071] 도 8은 표시패널에 공급되는 스캔신호들과 초기화신호들을 보여주는 파형도이다. 도 8에는 도 7의 제1 내지 제3p 스캔라인들(S1~S3p)에 공급되는 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p), 제1 내지 제3p 초기화라인들(S1~S3p)에 공급되는 제1 내지 제3p 초기화신호들(SENS1~SENS3p)이 나타나 있다.
- [0072] 도 8을 참조하면, 1 프레임 기간은 q 개의 서브 프레임 기간들을 포함한다. 예를 들어, 도 7과 같이 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 1 프레임 기간은 3 개의 서브 프레임 기간들(SF1, SF2, SF3)을 포함할 수 있다.
- [0073] 스캔 구동부(30)는 제1 서브 프레임 기간(SF1) 동안 제1 내지 제p 스캔라인들(S1~Sp)에 제1 내지 제p 스캔신호들(SCAN1~SCANp)을 공급한다. 초기화 구동부(40)는 제1 서브 프레임 기간(SF1) 동안 제1 내지 제p 초기화라인들(SEN1~SENp)에 제1 내지 제p 초기화신호들(SENS1~SENSp)을 공급한다.
- [0074] 또한, 스캔 구동부(30)는 제2 서브 프레임 기간(SF2) 동안 제p+1 내지 제2p 스캔라인들(Sp+1~S2p)에 제p+1 내지 제2p 스캔신호들(SCANp+1~SCAN2p)을 공급한다. 초기화 구동부(40)는 제2 서브 프레임 기간(SF2) 동안 제p+1 내지 제2p 초기화라인들(SENp+1~SEN2p)에 제p+1 내지 제2p 초기화신호들(SENSp+1~SENS2p)을 공급한다.
- [0075] 또한, 스캔 구동부(30)는 제3 서브 프레임 기간(SF3) 동안 제2p+1 내지 제3p 스캔라인들(S2p+1~S3p)에 제2p+1 내지 제3p 스캔신호들(SCAN2p+1~SCAN3p)을 공급한다. 초기화 구동부(40)는 제3 서브 프레임 기간(SF3) 동안 제2p+1 내지 제3p 초기화라인들(SEN2p+1~SEN3p)에 제2p+1 내지 제3p 초기화신호들(SENS2p+1~SENS3p)을 공급한다.
- [0076] 즉, 스캔 구동부(30)와 초기화 구동부(40)는 제1 블록(BL1)의 화소들에 접속된 스캔라인들과 초기화라인들에만 스캔신호들과 초기화신호들을 공급한 후에, 제2 블록(BL2)의 화소들에 접속된 스캔라인들과 초기화라인들에만 스캔신호들과 초기화신호들을 공급한다. 또한, 스캔 구동부(30)와 초기화 구동부(40)는 제2 블록(BL2)의 화소들에 접속된 스캔라인들과 초기화라인들에만 스캔신호들과 초기화신호들을 공급한 후에, 제3 블록(BL3)의 화소들에 접속된 스캔라인들과 초기화라인들에만 스캔신호들과 초기화신호들을 공급한다. 그러므로, 표시패널(10)의 q 개의 블록들은 순차적으로 구동되고, 표시패널(10)의 q 개의 블록들은 블록별로 구동된다.
- [0077] q 개의 서브 프레임 기간들 각각은 도 8과 같이 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)을 포함한다. 문턱전압 센싱기간(ST)은 블록의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 데이터전압 공급기간(DP)은 블록의 화소(P)들에 데이터전압들을 공급하는 기간이다. 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)에 대한 자세한 설명은 도 9를 결부하여 후술한다.
- [0078] 도 9는 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트전압과 소스전압을 보여주는 파형도이다. 도 9에는 도 2의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 초기화라인(SENk)에 공급되는 제k 초기화신호(SENSk), 제j 데이터라인(Dj)에 공급되는 전압(DVj), 구동 트랜지스터(DT)의 게이트전압(Vg)과 소스전압(Vs)이 나타나 있다.
- [0079] 도 8 및 도 9를 참조하면, 서브 프레임 기간들(SF1, SF2, SF3) 각각은 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)을 포함한다. 문턱전압 센싱기간(ST)은 제1 내지 제3 기간들(t1~t3)을 포함하고, 데이터전압 공급기간(DP)은 제4 내지 제6 기간들(t4~t6)을 포함할 수 있다.
- [0080] 제1 기간(t1)은 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 기준전압(Vref)으로 초기화하는 기간이다. 제2 기간(t2)은 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 제3 기간(t3)은 구동 트랜지스터(DT)의 게이트 전극에 턴-오프 전압(Vt)을 공급하는 기간이다. 제4 기간(t4)은 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)을 유지하는 기간이다. 제5 기간(t5)은 구동 트랜지스터(DT)의 게이트 전극에 데이터전압(Vdata)을 공급하는 기간이다. 제6 기간(t6)은 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광하는

기간이다. 제2 기간(t_2)은 제1, 제3 및 제5 기간들(t_1 , t_3 , t_5) 각각보다 길게 구현되는 것이 바람직하다. 한편, 도 8과 같이 서브 프레임 기간들(SF1, SF2, SF3) 각각에서 p 개의 스캔신호들은 순차적으로 공급되기 때문에 p 개의 스캔신호들의 제4 기간(t_4)들의 길이들은 서로 다르다.

[0081] 데이터 구동부(20)는 제1 기간(t_1) 동안 제 j 데이터라인(D_j)에 기준전압(V_{ref})을 공급한다. 기준전압(V_{ref})은 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 초기화하기 위한 전압이다. 데이터 구동부(20)는 제2 기간(t_2) 동안 제 j 데이터라인(D_j)에 보상전압(V_{comp})을 공급한다. 보상전압(V_{comp})은 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 보상전압(V_{comp})은 도 9와 같이 기준전압(V_{ref})보다 높은 전압일 수 있다. 데이터 구동부(20)는 제3 및 제4 기간들(t_3 , t_4) 동안 제 j 데이터라인(D_j)에 턴-오프 전압(V_t)을 공급한다. 턴-오프 전압(V_t)은 구동 트랜지스터(DT)를 턴-오프시킬 수 있는 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 턴-오프 전압(V_t)은 도 9와 같이 보상전압(V_{comp})보다 낮은 전압일 수 있다. 또한, 턴-오프 전압(V_t)은 기준전압(V_{ref})과 동일한 전압으로 설정될 수 있다. 데이터 구동부(20)는 제5 기간(t_5) 동안 제 j 데이터라인(D_j)에 데이터전압(V_{data})을 공급한다. 데이터전압(V_{data})은 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 공급되는 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 데이터전압(V_{data})은 도 9와 같이 보상전압(V_{comp})보다 높은 전압일 수 있다.

[0082] 스캔 구동부(30)는 도 9와 같이 제1 내지 제4 및 제6 기간들($t_1 \sim t_4$, t_6) 동안 스캔라인들에 스캔신호들을 동시에 공급하고, 제5 기간(t_5) 동안 스캔라인들에 스캔신호들을 순차적으로 공급한다. 스캔 구동부(30)는 제1 내지 제3 및 제5 기간들($t_1 \sim t_3$, t_5) 동안 제 k 스캔라인(S_k)에 게이트 온 전압(V_{on})을 갖는 제 k 스캔신호(SCANK)를 공급한다. 스캔 구동부(30)는 제4 및 제6 기간들(t_4 , t_6) 동안 제 k 스캔라인(S_k)에 게이트 오프 전압(V_{off})을 갖는 제 k 스캔신호(SCANK)를 공급한다.

[0083] 초기화 구동부(40)는 도 9와 같이 제1 내지 제6 기간들($t_1 \sim t_6$) 동안 초기화라인들(SEN1~SENn)에 초기화신호들(SENS1~SENSn)을 동시에 공급한다. 초기화 구동부(40)는 제1 기간(t_1) 동안 제 k 초기화라인(SENk)에 게이트 온 전압(V_{on})을 갖는 제 k 초기화신호(SENSk)를 공급한다. 초기화 구동부(40)는 제2 내지 제6 기간들($t_2 \sim t_6$) 동안 제 k 초기화라인(SENk)에 게이트 오프 전압(V_{off})을 갖는 제 k 초기화신호(SENSk)를 공급한다.

[0084] 한편, 본 발명의 실시예는 도 3과 같이 순차 구동을 하는 경우, 1 수평 기간(1H) 내에 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 초기화하기 위한 제1 기간(t_1), 구동 트랜지스터(DT)의 문턱전압을 센싱하기 위한 제2 기간(t_2), 및 구동 트랜지스터(DT)에 데이터전압을 공급하는 제3 기간(t_3)이 포함된다. 따라서, 본 발명의 실시예는 도 3과 같이 순차 구동을 하는 경우, 120Hz 이상의 고속 구동을 한다면, 초기화, 문턱전압 센싱, 및 데이터전압 공급을 위한 기간이 충분하지 않은 문제가 있을 수 있다.

[0085] 이를 개선하기 위해, 본 발명의 실시예는 표시패널(10)을 복수의 블록들(BL1, BL2, BL3)로 분할하고, 블록들(BL1, BL2, BL3)을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극의 초기화와 구동 트랜지스터(DT)의 문턱전압 센싱을 도 8과 같이 블록별로 동시에 실시하므로, 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 초기화하기 위한 제1 기간(t_1), 구동 트랜지스터(DT)의 문턱전압을 센싱하기 위한 제2 기간(t_2), 및 구동 트랜지스터(DT)에 데이터전압을 공급하는 제5 기간(t_5)을 도 3과 같이 순차 구동을 하는 경우보다 늘릴 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 초기화, 문턱전압 센싱, 및 데이터전압 공급을 위한 기간을 충분히 확보할 수 있는 장점이 있다.

[0086] 도 10은 본 발명의 또 다른 실시예에 따른 화소의 구동방법을 보여주는 흐름도이다. 이하에서는 도 9, 도 10 및 도 11a 내지 도 11f를 결부하여 본 발명의 또 다른 실시예에 따른 화소의 구동방법을 상세히 살펴본다.

[0087] 첫 번째로, 제1 기간(t_1) 동안 도 9 및 도 11a와 같이 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 기준전압(V_{ref})으로 초기화한다. 도 10에 도시된 제1 기간(t_1) 동안 화소(P)의 동작은 도 4를 결부하여 설명한 제1 기간(t_1) 동안 화소(P)의 동작과 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다. (도 10의 S201)

[0088] 두 번째로, 제2 기간(t_2) 동안 도 9 및 도 11b와 같이 구동 트랜지스터(DT)의 문턱전압을 센싱한다. 도 10에 도시된 제2 기간(t_2) 동안 화소(P)의 동작은 도 4를 결부하여 설명한 제2 기간(t_2) 동안 화소(P)의 동작과 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다. (도 10의 S202)

- [0089] 세 번째로, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 게이트 전극에 턴-오프 전압(Vt)을 공급한다.
- [0090] 제3 기간(t3) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANK)가 공급된다. 제3 기간(t3) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제3 기간(t3) 동안 제j 데이터라인(Dj)에는 턴-오프 전압(Vt)이 공급된다.
- [0091] 제3 기간(t3) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANK)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 턴-오프 전압(Vt)이 공급된다. 제3 기간(t3) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)에 의해 턴-오프된다.
- [0092] 한편, 제3 기간(t3) 동안 도 9 및 도 11c와 같이 구동 트랜지스터(DT)의 게이트전압(Vg)은 "Vt"이고, 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극의 전압 변화량이 반영되어 소스전압(Vs)은 "Vcomp-Vth-β"로 하강한다. 이때, β는 수학식 4와 같이 정의될 수 있다.

수학식 4

$$\beta = (V_{comp} - V_t) \times \frac{CC_c}{CC_c + CC_{cp}}$$

- [0093]
- [0094] 수학식 4에서, "Vcomp"는 보상전압, "Vt"는 턴-오프 전압, "CCc"는 커패시터(C)의 용량, "CCcp"는 기생 커패시터(Cp)의 용량을 의미한다. (도 10의 S203)
- [0095] 네 번째로, 제4 기간(t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압(Vs)을 유지한다.
- [0096] 제4 기간(t4) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANK)가 공급된다. 제4 기간(t4) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제4 기간(t4) 동안 제j 데이터라인(Dj)에는 턴-오프 전압(Vt)이 공급된다.
- [0097] 제4 기간(t4) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANK)에 의해 턴-오프된다. 제4 기간(t4) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)에 의해 턴-오프된다.
- [0098] 제4 기간(t4) 동안 구동 트랜지스터(DT)의 게이트 전극의 전압(Vg)은 제3 기간(t3) 동안 공급된 턴-오프 전압(Vt)을 유지한다. 따라서, 제4 기간(t4) 동안 구동 트랜지스터(DT)는 제3 기간(t3)에 이어서 턴-오프된 상태를 유지한다.
- [0099] 한편, 도 8과 같이 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 p 개의 스캔신호들은 순차적으로 공급되기 때문에, p 개의 스캔신호들의 제4 기간(t4)들의 길이들은 서로 다르다. 즉, 블록들 각각에서 화소가 어느 스캔라인에 접속되었는지에 따라 제4 기간(t4)의 길이가 달라질 수 있다. 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)를 턴-오프시키지 않고, 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs)를 제2 기간(t2)과 동일하게 유지하는 경우, 구동 트랜지스터(DT)를 통해 미세하게 전류가 흐를 수 있다. 그러므로, 제4 기간(t4) 동안 구동 트랜지스터(DT)를 턴-오프시키지 않는다면, 구동 트랜지스터(DT)를 통해 미세하게 흐르는 전류로 인하여 소스전극의 전압(Vs)이 변동되는 문제가 발생할 수 있다.
- [0100] 하지만, 본 발명의 실시예는 제4 기간(t4) 동안 구동 트랜지스터(DT)를 턴-오프시키므로써, 구동 트랜지스터(DT)의 소스 전극의 전압(Vs)을 그대로 유지할 수 있다. 따라서, 제4 기간(t4) 동안 도 9 및 도 11d와 같이 구동 트랜지스터(DT)의 소스전압(Vs)은 "Vcomp-Vth-β"를 유지한다. (도 10의 S204)
- [0101] 다섯 번째로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압이 공급된다.
- [0102] 제5 기간(t5) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANK)가 공급된다. 제5 기간(t5) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제5 기간(t3) 동안 제j 데이터라인(Dj)에는 데이터전압(Vdata)이 공급된다.
- [0103] 제5 기간(t5) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANK)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 데이터전압(Vdata)이

공급된다. 제5 기간(t5) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0104] 한편, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자 이동도(mobility, μ)를 보상할 수 있다. 제5 기간(t5) 동안 구동 트랜지스터(DT)는 게이트 전극과 소스 전극간의 전압 차($V_{gs}=V_{data}-(V_{comp}-V_{th}-\beta)$)가 문턱전압(V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차가 문턱 전압에 도달할 때까지 전류를 흘리게 된다. 하지만, 제5 기간(t5)은 제2 기간(t2)보다 짧으며, 이로 인해 구동 트랜지스터(DT)의 소스전압(V_s)이 " $V_{data}-V_{th}$ "에 도달하기 전에 제5 기간(t5)이 끝나게 된다.

[0105] 구동 트랜지스터(DT)의 전류는 수학적 식 1과 같이 구동 트랜지스터(DT)의 전하이동도(K)에 비례하므로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스전압(V_s)의 상승량은 구동 트랜지스터(DT)의 전하이동도(K)에 비례한다. 즉, 구동 트랜지스터(DT)의 전하이동도가 클수록 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스전압(V_s)의 상승량은 더욱 커진다.

[0106] 결국, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전하이동도(K)에 따라 소스전압(V_s)의 상승량이 달라지며, 이로 인해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 달라진다. 즉, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전하이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(V_{gs})를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전하이동도(K)를 보상할 수 있다.

[0107] 한편, 제5 기간(t5) 동안 도 9 및 도 11e와 같이 구동 트랜지스터의 게이트전압(V_g)은 " V_{data} "이고, 소스전압(V_s)은 " $V_{comp}-V_{th}-\beta+\alpha$ "까지 상승한다. 이때, " α "는 제5 기간(t5) 동안 소스전압(V_s)의 상승량으로 정의될 수 있다. 그러므로, 제5 기간(t5) 동안 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})인 " $V_{data}-(V_{comp}-V_{th}-\beta+\alpha)$ "를 저장한다. (도 10의 S205)

[0108] 여섯 번째로, 제6 기간(t6) 동안 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광한다.

[0109] 제6 기간(t6) 동안 제k 스캔라인(S_k)에는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANK)가 공급된다. 제6 기간(t6) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다.

[0110] 제6 기간(t6) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANK)에 의해 턴-오프된다. 제6 기간(t6) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0111] 제6 기간(t6) 동안 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차($V_{gs}=V_{data}-(V_{comp}-V_{th}-\beta+\alpha)$)는 일정하게 유지될 수 있다. 그 결과, 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류(I_{ds})는 수학적 식 5와 같이 정의될 수 있다.

수학적 식 5

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{data} - (V_{comp} - V_{th} - \beta + \alpha) - V_{th})^2$$

[0112]

[0113] 수학적 식 5를 정리하면, 수학적 식 6이 도출된다.

수학적 식 6

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{data} - V_{comp} + \beta - \alpha)^2$$

[0114]

[0115] 결국, 수학적 식 6과 같이 구동 트랜지스터(DT)의 전류(I_{ds})는 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 보상된다. 결국, 유기발광다이오드(OLED)는 도 11f와 같이 구동 트랜지스터(DT)의 문턱전압(V_{th})이 보상된 구동 트랜지스터(DT)의 전류(I_{ds})에 따라 발광한다. (도 10의 S206)

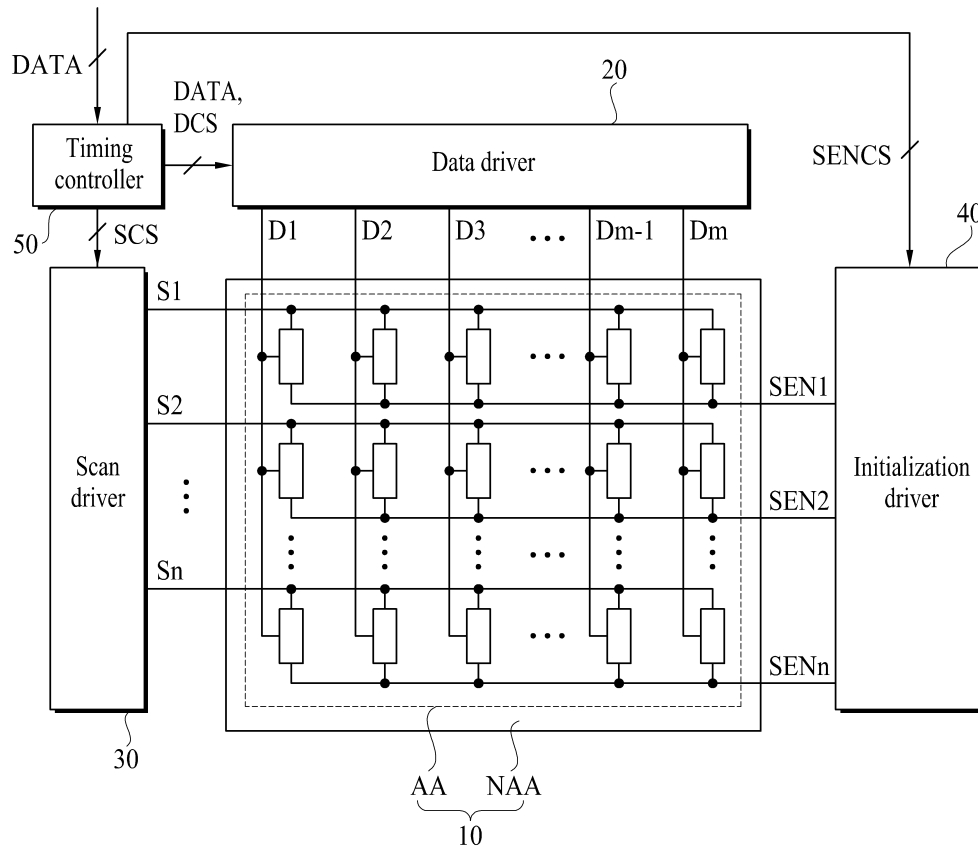
- [0116] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 기간(t_1) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극을 기준전압(V_{ref})으로 초기화하고, 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 게이트 전극에 보상전압(V_{comp})을 공급한다. 이 경우, 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압차(V_{gs})가 문턱전압보다 크기 때문에, 구동 트랜지스터는 게이트 전극과 소스 전극 간의 전압차(V_{gs})가 문턱전압에 도달할 때까지 전류를 흘리게 된다. 그 결과, 본 발명의 실시예는 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 따라서, 본 발명의 실시예는 문턱전압이 보상된 구동 트랜지스터의 전류(I_{ds})에 따라 유기발광다이오드(OLED)를 발광할 수 있다.
- [0117] 또한, 본 발명의 실시예는 제5 기간(t_5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(V_s)을 " α "만큼 상승시킨다. 이때, 소스 전극의 전압(V_s)의 상승량인 " α "는 구동 트랜지스터(DT)의 전하이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 제5 기간(t_5) 동안 구동 트랜지스터(DT)의 전하이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압차(V_{gs})를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전하이동도(K)를 보상할 수 있다.
- [0118] 한편, 도 6에 도시된 화소(P)에 접속된 제 k 스캔라인(Sk)에 공급되는 제 k 스캔신호(SCAN k), 제 k 초기화라인(SEN k)에 공급되는 제 k 초기화신호(SENS k), 제 j 데이터라인(Dj)에 공급되는 전압(DV j), 구동 트랜지스터(DT)의 게이트전압(V_g)과 소스전압(V_s)은 도 9에 도시된 바와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다. 또한, 도 6에 도시된 화소(P)의 구동방법은 도 10에 도시된 바와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다.
- [0119] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

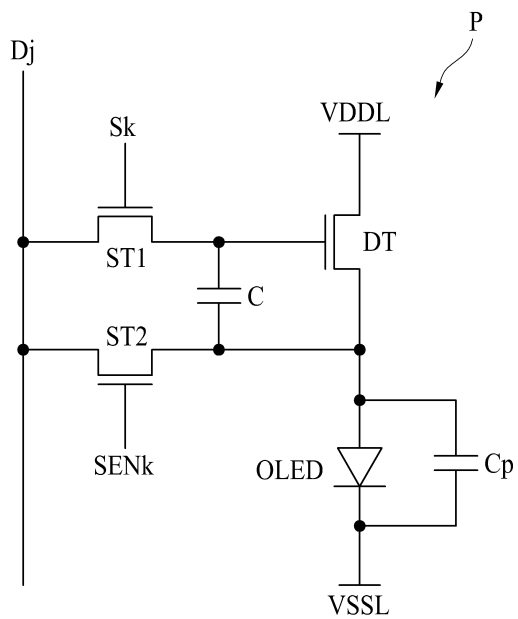
- [0120] 10: 표시패널
20: 데이터 구동부
30: 스캔 구동부
40: 초기화 구동부
50: 타이밍 제어부
P: 화소
DT: 구동 트랜지스터
ST1: 제1 트랜지스터
ST2: 제2 트랜지스터
OLED: 유기발광다이오드
C: 커패시터
Sk: 제 k 스캔라인
SEN k : 제 k 초기화라인
Dj: 제 j 데이터라인
SCAN k : 제 k 스캔신호
SENS k : 제 k 초기화신호
Vg: 게이트전압
Vs: 소스전압
Vref: 기준전압
Vcomp: 보상전압
Vdata: 데이터전압
Von: 게이트 온 전압
Voff: 게이트 오프 전압

도면

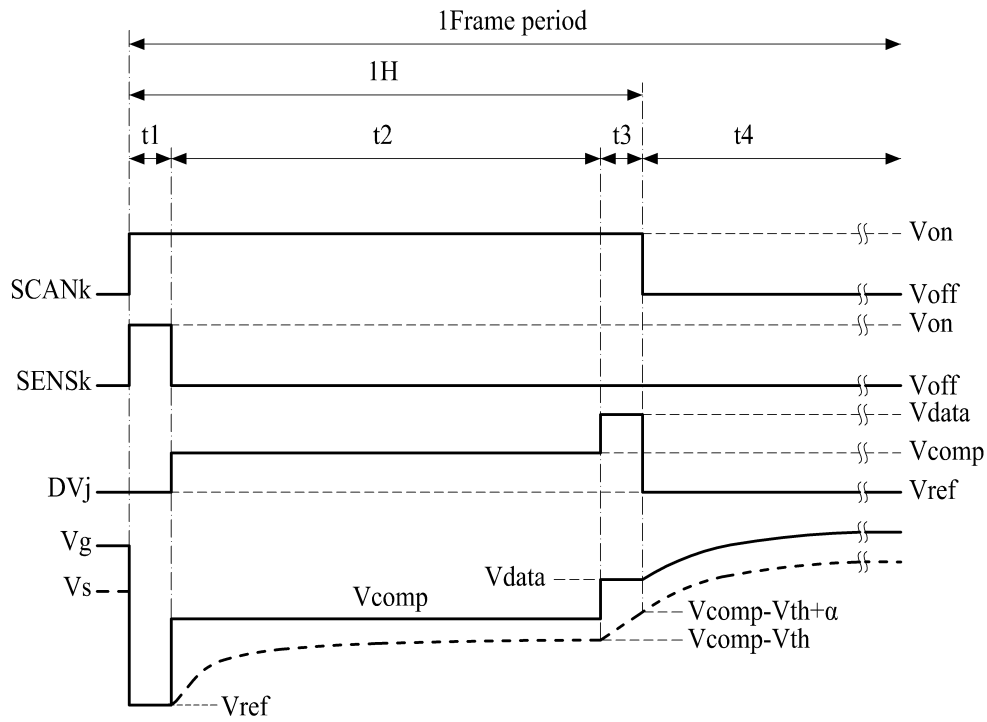
도면1



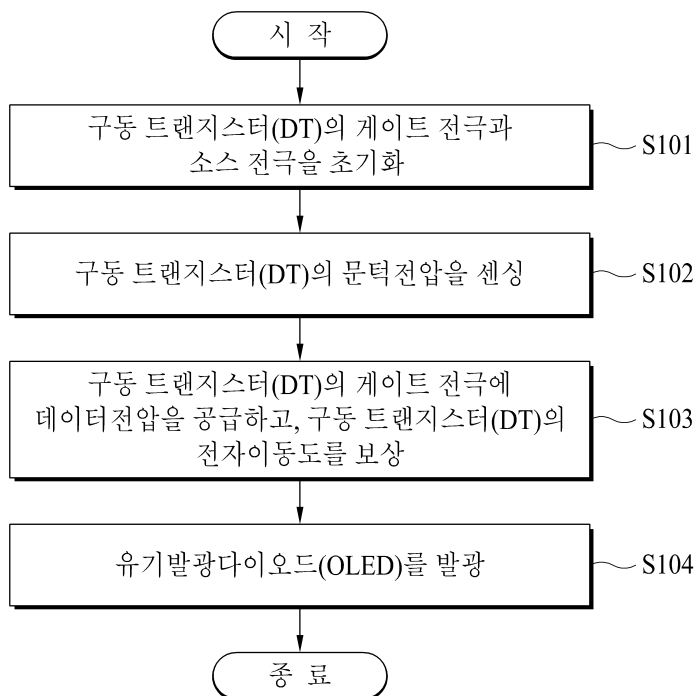
도면2



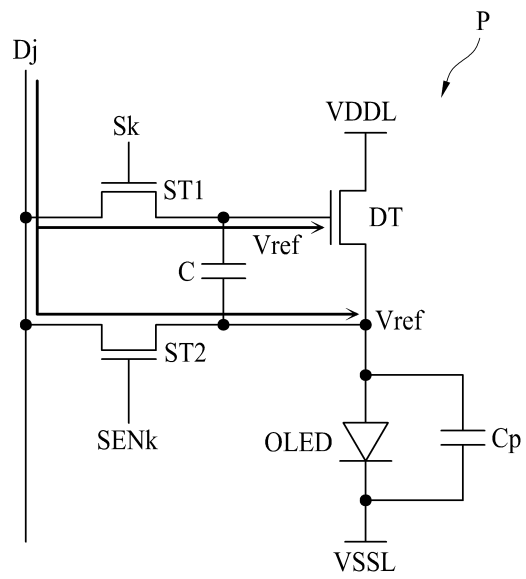
도면3



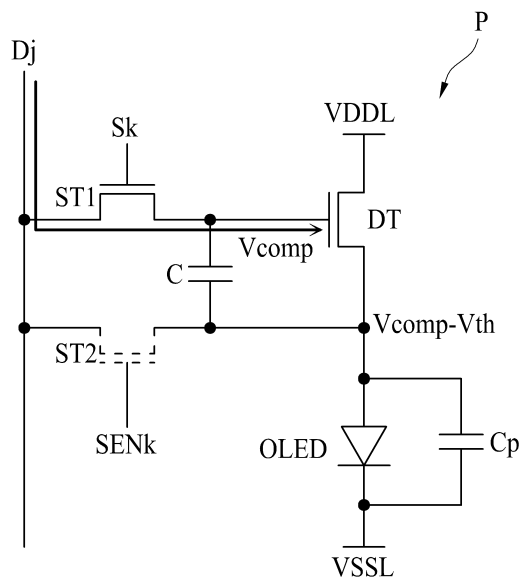
도면4



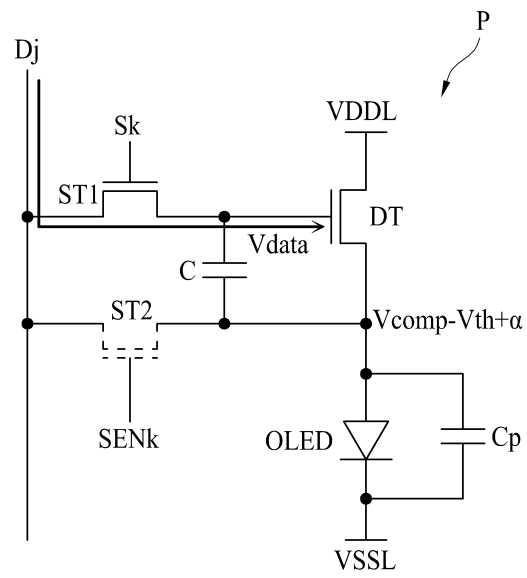
도면5a



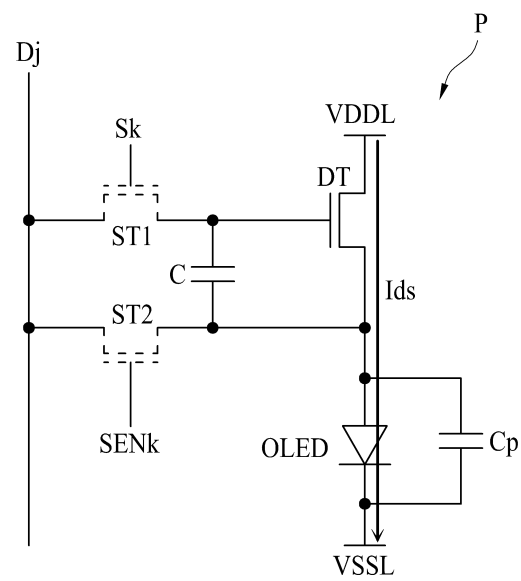
도면5b



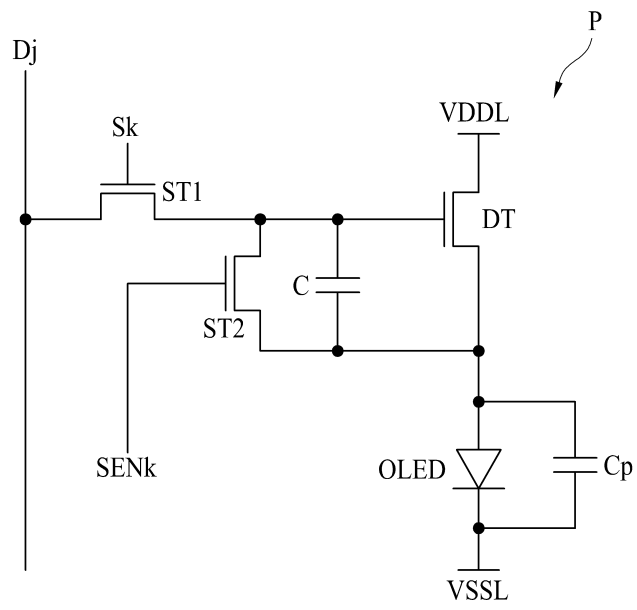
도면5c



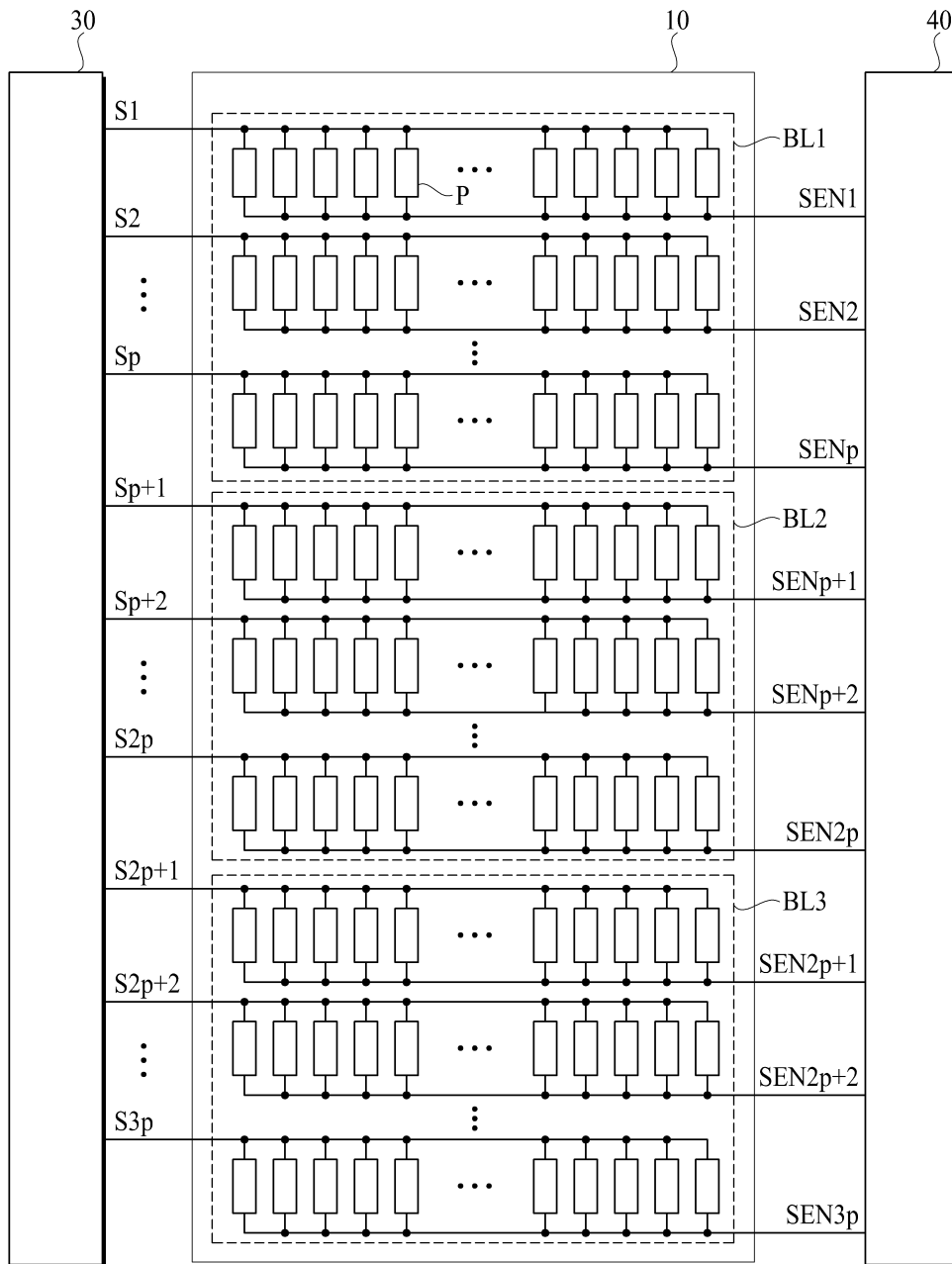
도면5d



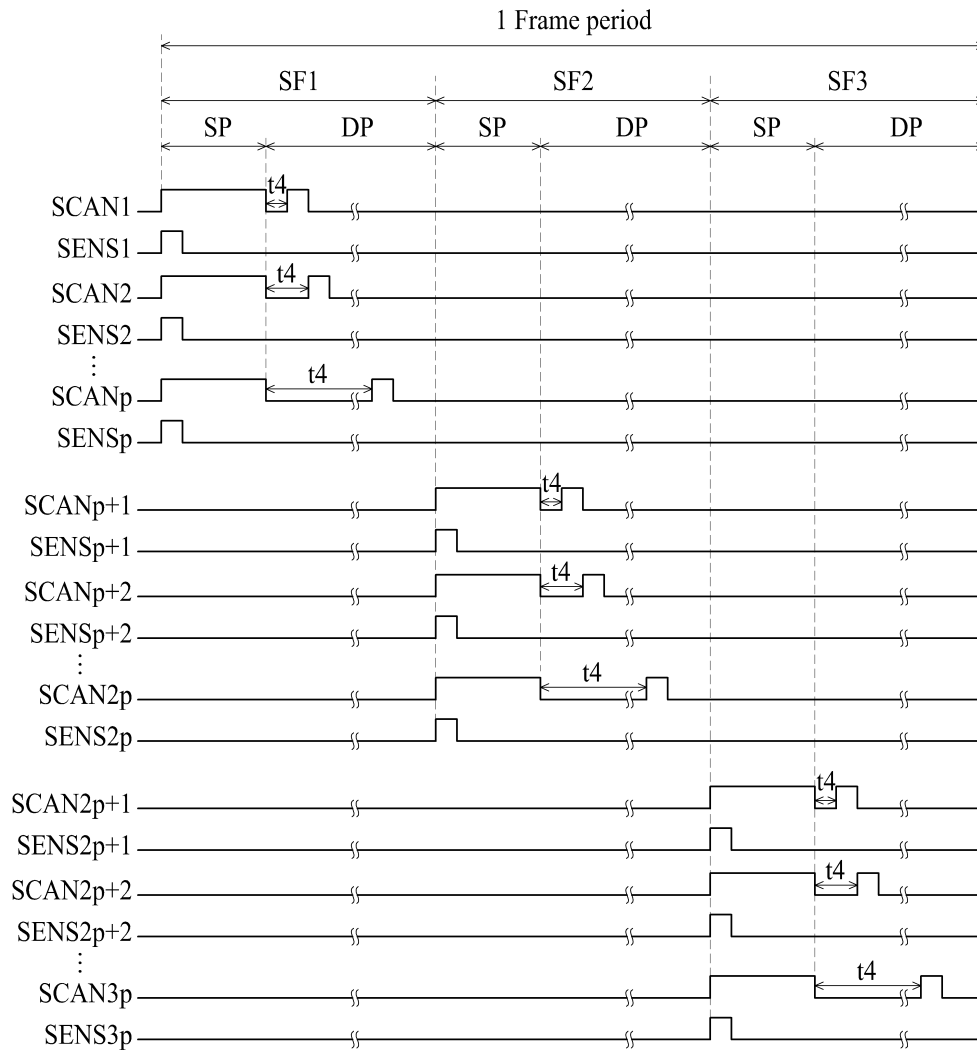
도면6



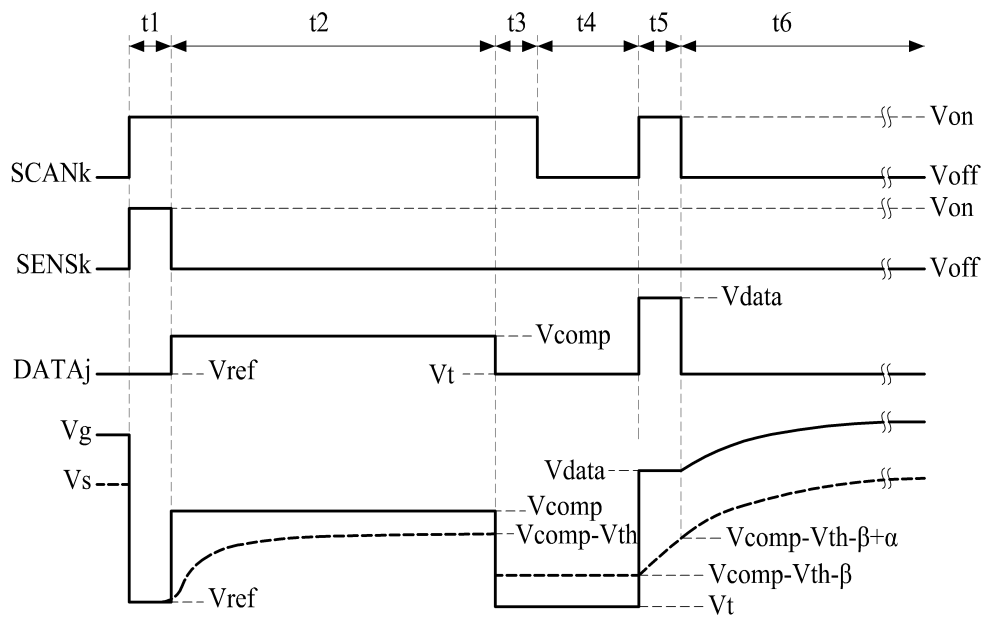
도면7



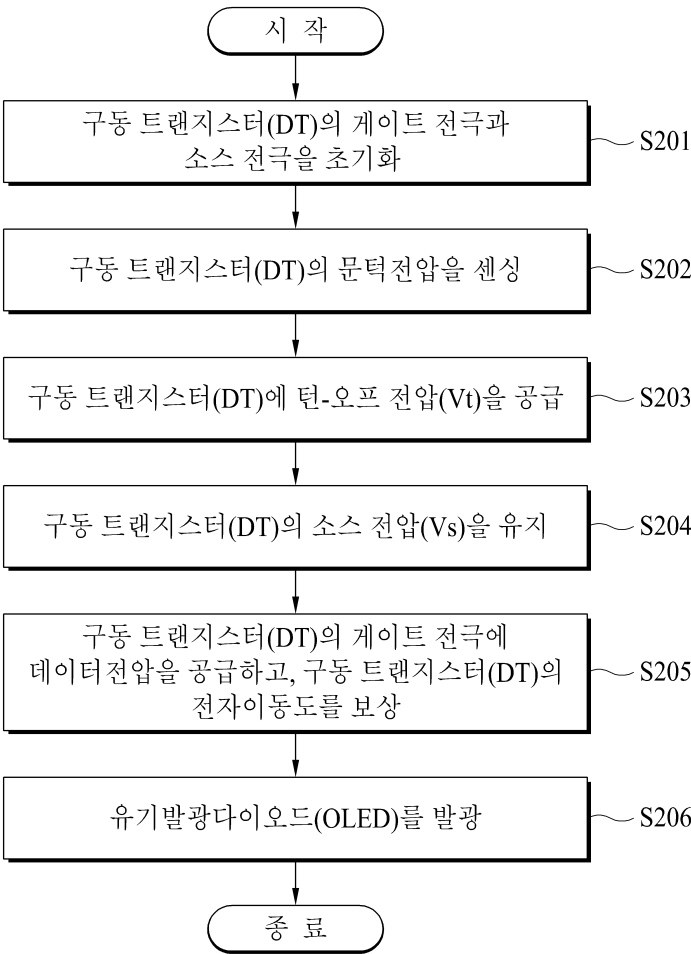
도면8



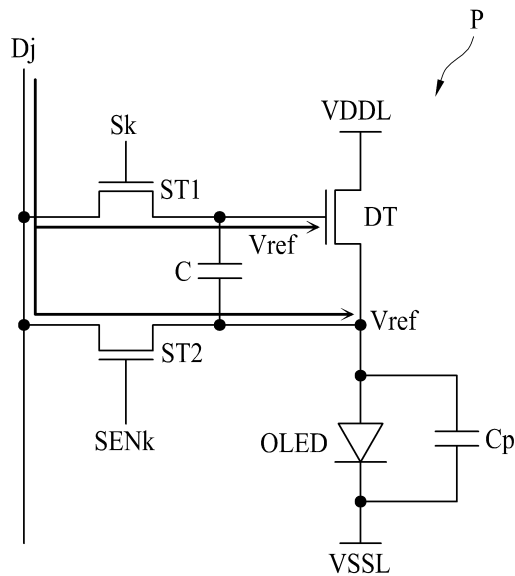
도면9



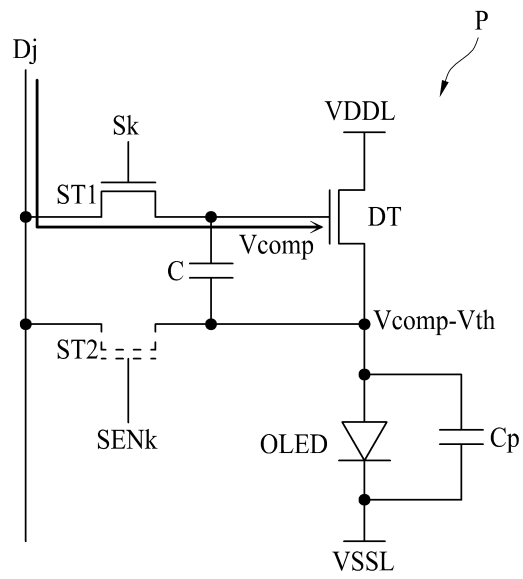
도면10



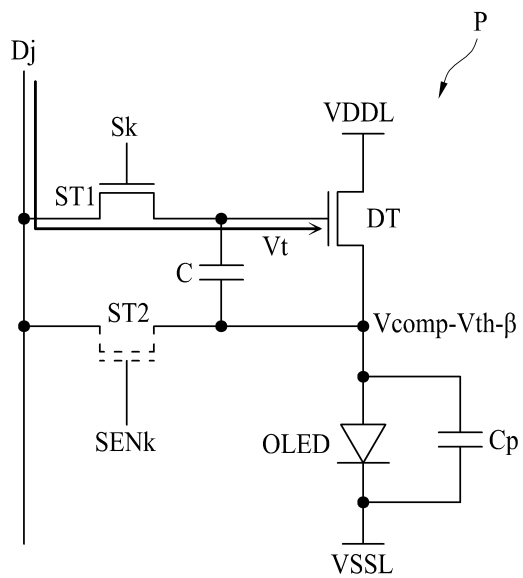
도면11a



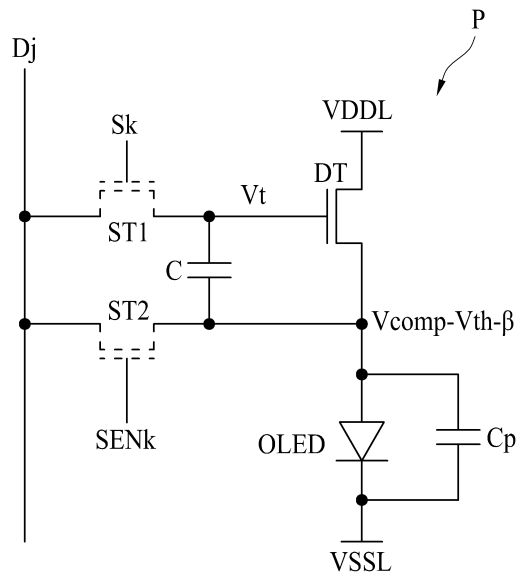
도면11b



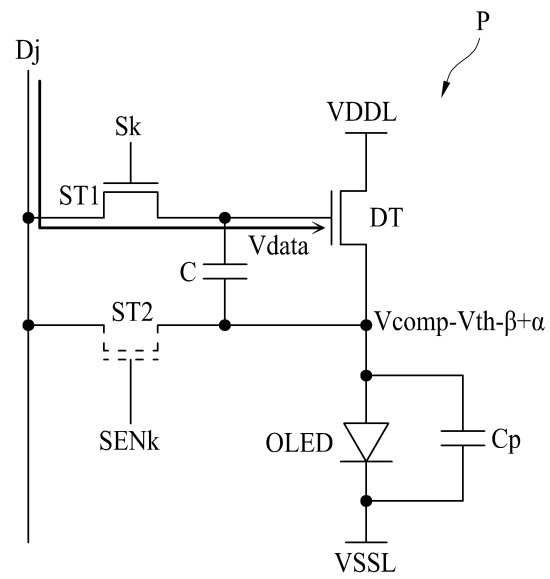
도면11c



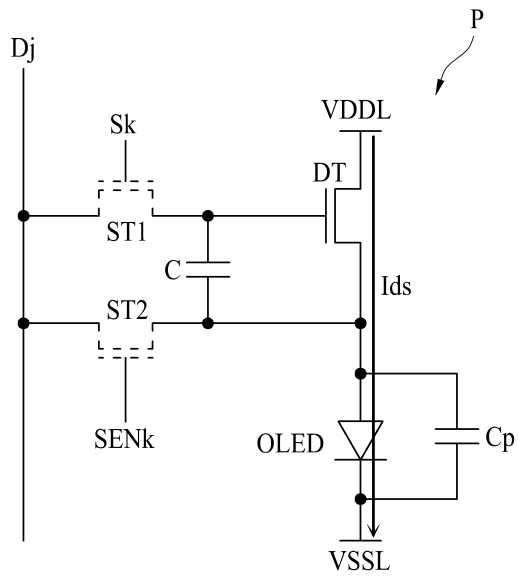
도면11d



도면11e



도면11f



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항11의 6번째 행

【변경전】

상기 제2 내지 제6 기간들 동안

【변경후】

상기 제2 내지 제5 기간들 동안

专利名称(译)	有机发光显示器		
公开(公告)号	KR101838048B1	公开(公告)日	2018-04-27
申请号	KR1020150009666	申请日	2015-01-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HYEMIN PARK 박혜민 BUMSIK KIM 김범식 KILHWAN OH 오길환 HUNKI SHIN 신헌기 KIWON SON 손기원		
发明人	박혜민 김범식 오길환 신헌기 손기원		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/326 H01L27/3202 H01L27/3204		
优先权	1020140194908 2014-12-31 KR		
其他公开文献	KR1020160083773A		
外部链接	Espacenet		

摘要(译)

本发明的实施例涉及一种通过补偿驱动晶体管的阈值电压来使像素的亮度均匀化的有机发光显示装置。根据本发明实施例的有机发光显示装置包括连接到数据线的像素。像素包括：有机发光二极管;连接到有机发光二极管和第一电源电压线的驱动晶体管;连接到数据线和驱动晶体管的栅极的第一晶体管;第二晶体管，用于将数据线的参考电压提供给驱动晶体管的源极;以及连接到驱动晶体管的栅电极和源电极的电容器。

