



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월14일

(11) 등록번호 10-1519919

(24) 등록일자 2015년05월07일

(51) 국제특허분류(Int. Cl.)

H05B 33/02 (2006.01) H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0016818 (분할)

(22) 출원일자 2014년02월13일

심사청구일자 2014년02월13일

(65) 공개번호 10-2014-0030289

(43) 공개일자 2014년03월11일

(62) 원출원 특허 10-2007-0046455

원출원일자 2007년05월14일

심사청구일자 2012년05월02일

(30) 우선권주장

JP-P-2006-318953 2006년11월27일 일본(JP)

(56) 선행기술조사문헌

JP2006259374 A*

JP2004170910 A*

KR1020040048517 A*

JP3230664 B2*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

기무라 신이치

일본국 가나가와켄 요코하마시 츠즈키구 미하나야
마 3-35

(74) 대리인

박영복

전체 청구항 수 : 총 8 항

심사관 : 금복희

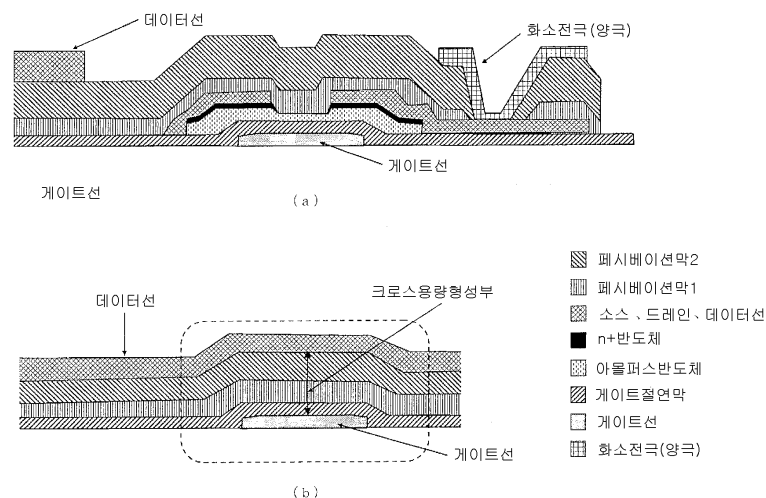
(54) 발명의 명칭 유기 전계발광 표시 장치 및 그 제조방법

(57) 요약

본 발명은 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치 및 그 제조 방법을 제공한다.

본 발명은 데이터선 12와 게이트선 11을 교차시켜 정의되는 화소 마다, 박막 트랜지스터로 구동되는 유기 EL소자 24를 갖춘 유기 EL 표시 장치이며, 데이터선 12는 박막 트랜지스터상의 페시베이션막 위에 형성된다. 또한, 데이터선 12는 유기 EL소자의 음극(혹은 양극)과 공통의 재료로 구성되어 유기 EL소자의 음극(혹은 양극)과 동일 레이어에 동시 형성된다.

대표도 - 도2



명세서

청구범위

청구항 1

데이터선과 게이트선을 교차시켜 정의되는 화소마다 유기 EL소자와, 상기 유기 EL소자를 구동하기 위한 복수의 TFT를 포함하는 유기 EL 표시 장치에 있어서,

기관 상에 형성된 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 포함하는 상기 복수의 TFT와;

상기 복수의 TFT 상에 적층되며, 각 화소마다 상기 유기 EL 소자의 형성 공간을 구비한 페시베이션막과;

상기 복수의 TFT 중 어느 하나의 TFT와 접속된 제1 전극과, 전원선 또는 음극선과 접속된 제2 전극과, 상기 제1 및 제2 전극 사이의 발광층을 포함하고, 상기 형성 공간에 구비된 상기 유기 EL 소자와;

상기 페시베이션막 상에 형성되고, 상기 페시베이션막을 관통하는 컨택홀을 통해 상기 복수의 TFT 중 다른 하나의 TFT의 소스 전극과 접속된 상기 데이터선을 구비하고,

상기 다른 하나의 TFT와 접속된 상기 게이트선과 상기 데이터선은 그들 사이에 적층된 상기 게이트 절연막 및 상기 페시베이션막을 사이에 두고 교차하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 2

제 1 항에 있어서,

상기 데이터선은, 상기 제1 및 제2 전극 중 어느 하나와, 공통의 재료를 이용하여 동일층에 동시 형성되거나,

상기 데이터선은, 상기 제1 전극과 접속된 TFT에 접속되거나 상기 제2 전극에 접속된 전원선 또는 음극선과, 공통의 재료를 이용하여 동일층에 동시 형성되거나,

상기 데이터선은, 상기 제1 및 제2 전극 중 어느 하나와, 상기 전원선 또는 음극선과, 공통의 재료를 이용하여 동일층에 동시 형성된 것을 특징으로 하는 유기 EL 표시 장치.

청구항 3

제 2 항에 있어서,

상기 페시베이션막은 유기 절연막을 포함하여 적층된 복수의 페시베이션막으로 구성되고,

상기 동일층에 형성된 상기 데이터선과 상기 전원선 또는 음극선을 전기적으로 분리하기 위하여, 상기 페시베이션막 상에 형성된 격벽을 추가로 구비하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제1 전극과 접속된 TFT의 한 전극이 상기 제1 전극으로 이용되는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 5

데이터선과 게이트선을 교차시켜 정의되는 화소마다 유기 EL소자와, 상기 유기 EL소자를 구동하기 위한 복수의 TFT를 포함하는 유기 EL 표시 장치의 제조 방법에 있어서,

기관 상에 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 포함하는 상기 복수의 TFT를 형성하는 단계와;

상기 복수의 TFT 상에, 상기 유기 EL 소자의 형성 공간이 각 화소마다 마련된 페시베이션막을 적층하고 컨택홀을 형성하는 단계와;

상기 페시베이션막 상에 상기 데이터선을 형성하는 단계와;

상기 복수의 TFT 중 어느 하나의 TFT와 접속된 제1 전극과, 제2 전극과, 상기 제1 및 제2 전극 사이의 발광층을 포함하는 상기 유기 EL소자를 상기 유기 EL 소자의 형성 공간에 형성하는 단계를 포함하고,

상기 데이터선은 상기 페시베이션막을 관통하는 콘택홀을 통해 상기 복수의 TFT 중 다른 하나의 TFT의 소스 전극과 접속되고,

상기 다른 하나의 TFT와 접속된 상기 게이트선과 상기 데이터선은 그들 사이에 적층된 상기 게이트 절연막 및 페시베이션막을 사이에 두고 교차하는 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 데이터선은, 상기 제1 및 제2 전극 중 어느 하나와, 공통의 재료를 이용하여 동일층에 동시 형성되거나,

상기 데이터선은, 상기 제1 전극과 접속된 TFT에 접속되거나 상기 제2 전극에 접속된 전원선 또는 음극선과, 공통의 재료를 이용하여 동일층에 동시 형성되거나,

상기 데이터선은, 상기 제1 및 제2 전극 중 어느 하나와, 상기 전원선 또는 음극선과, 공통의 재료를 이용하여 동일층에 동시 형성된 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 페시베이션막은 유기 절연막을 포함하여 적층된 복수의 페시베이션막으로 구성되고,

상기 데이터선과 상기 전원선을 형성하기 이전에 상기 페시베이션막 상에, 상기 전원선 또는 음극선과 상기 데이터선을 전기적으로 분리하기 위한 격벽을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제1 전극과 접속된 TFT의 한 전극이 상기 제1 전극으로 이용되는 것을 특징으로 하는 유기 EL 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 EL 표시 장치에 관한 것으로, 특히 소비 전력을 줄일 수 있는 유기 EL 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 도 10은 종래의 유기 EL 표시 장치의 전형적인 회로 구성도이며, 한 화소에 대한 회로 구성을 나타내고 있다. 유기 EL 표시 장치는 게이트선 11, 데이터선 12, 전원선 13, 음극선 14, 제1 TFT 21, 제2 TFT 22, 스토리지 커패시터 23 및 OLED(Organic Light Emitting Diode) 소자 24로 구성되어 있다.

[0003] 제1 단을 구성하는 제1 TFT 21는 데이터선 12를 통한 데이터 신호를 선택하고 스토리지 커패시터 23에 보관 유지하기 위한 것이다. 제2 단을 구성하는 제2 TFT 22는 OLED 소자 24를 구동하기 위한 것이다. 이러한 기본적인 2단 TFT의 구성에 대하여 구동용의 제2 TFT 22의 V_{th} 변동을 보상하기 위하여 TFT가 추가된 회로도 발명되고 있다.

[0004] 도 11은 종래의 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다.

[0005] 도 11(a)는 상기 도 10에서의 점선 (a)부 근방의 횡단면도이며, 게이트선 11과 데이터선 12가 평행한 부분의 단면도를 나타내고 있다. 도 11(b)는 상기 도 10에서의 점선 (b)부 근방의 종단면도이며, 게이트선 11과 데이터선

12의 교차부 단면도를 나타내고 있다.

[0006] 이러한 유기 EL 표시 장치는 게이트선 11과 데이터선 12를 교차시킨 액티브 매트릭스형 표시 장치의 일종이며, 제1 TFT 21 및 제2 TFT 22를 OLED 소자 24에 대응하여 화소마다 각각 마련하고 있다(특허 문헌 1: 국제출원공개 W2004/049286호)

[0007] 그러나, 종래 기술에는 다음과 같은 과제가 있다.

[0008] 도 11(b)에 도시된 바와 같이 종래의 유기 EL 표시 장치에서 게이트선 11과 데이터선 12는 게이트 절연막을 사이에 두어 캐패시턴스를 형성하고 있다. 여기서, 데이터선 12의 드라이버 부하는 아래의 수학적식 1과 같이 나타낼 수 있다.

[0009] <수학적식 1>

[0010] $(R_o + R_d) \times (C_{cross} + C_{dg} + C_o)$

[0011] 상기 수학적식 1에서 R_o 는 드라이버 내부 저항을, R_d 는 데이터선 12의 저항을, C_{cross} 는 데이터선 12와 게이트선 11의 크로스 용량을, C_{dg} 는 제1 TFT 21, 제2 TFT 22의 드레인·게이트 용량을, C_o 는 그 외의 선과 데이터선 12의 크로스 용량을 나타낸다.

[0012] 상기 수학적식 1에서 R_o 에 대하여 C의 합계가 크면, 데이터선 12의 드라이버 부하는 커지는 관계에 있다. 그리고, 앞의 도 11에 나타낸 것처럼, 종래 기술에 있어서의 데이터선 12로 게이트선 11은, 게이트 절연막을 사이에 두어 서로 교차하고 있었기 때문에, 드라이버측에서 보면 큰 캐패시턴스를 구동해야 한다.

[0013] C의 합계가 크다고 하는 것은, 데이터 전압의 상승 및 하강이 늦어지는 것을 의미한다. 이 지연의 영향으로 인하여 올바른 전압을 표시할 수 없는 문제 발생을 회피하기 위해서는 저저항 출력의 드라이버가 필요하다. 저저항 출력이라고 하는 것은 큰 W/L, 큰 이동성(mobility)이 출력단의 트랜지스터에 필요하므로 아몰퍼스(amorphous) 실리콘으로 구동하는 것이 곤란한 문제가 있다. 또한 큰 부하를 구동하는 것에 반하여, 소비 전력이 상승하는 문제도 있다.

발명의 내용

해결하려는 과제

[0014] 따라서, 본 발명은 상기 종래의 문제점을 해결하기 위한 것으로 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치 및 그 제조 방법을 얻는 것을 목적으로 한다.

과제의 해결 수단

[0015] 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 유기 EL 표시 장치는 데이터선과 게이트선을 교차시켜 정의되는 화소마다 유기 EL소자와, 상기 유기 EL소자를 구동하기 위한 복수의 TFT를 포함하는 유기 EL 표시 장치에 있어서, 기판 상에 적층된 게이트 전극, 게이트 절연막, 반도체층과, 상기 반도체층 상에 형성된 소스 전극 및 드레인 전극을 포함하는 상기 복수의 TFT와; 상기 복수의 TFT 중 어느 하나의 TFT와 접속된 제1 전극과, 전원선 또는 음극선과 접속된 제2 전극과, 상기 제1 및 제2 전극 사이의 발광층을 포함하는 상기 유기 EL 소자와; 상기 복수의 TFT 상에 적층된 페시베이션막과; 상기 페시베이션막 상에 형성되고, 상기 페시베이션막을 관통하는 컨택홀을 통해 상기 복수의 TFT 중 다른 하나의 TFT의 소스 전극과 접속된 데이터선을 구비하고, 상기 다른 하나의 TFT와 접속된 상기 게이트선과 상기 데이터선은 그들 사이에 적층된 상기 게이트 절연막 및 페시베이션막을 사이에 두고 교차하는 것을 특징으로 한다.

[0016] 상기 데이터선은, 상기 제1 및 제2 전극 중 어느 하나와, 공통의 재료를 이용하여 동일층에 동시 형성될 수 있다. 상기 데이터선은, 상기 제1 전극과 접속된 TFT에 접속되거나 상기 제2 전극에 접속된 전원선 또는 음극선과, 공통의 재료를 이용하여 동일층에 동시 형성될 수 있다. 상기 데이터선은, 상기 제1 및 제2 전극 중 어느 하나와, 상기 전원선 또는 음극선과, 공통의 재료를 이용하여 동일층에 동시 형성될 수 있다.

[0017] 삭제

[0018] 상기 페시베이션막은 유기 절연막을 포함하여 적층된 복수의 페시베이션막으로 구성되고, 본 발명은 상기 동일층에 형성된 상기 데이터선과 상기 전원선 또는 음극선을 전기적으로 분리하기 위하여, 상기 페시베이션막 상에

형성된 격벽을 추가로 구비한다.

[0019] 상기 제1 전극과 접속된 TFT의 한 전극이 상기 제1 전극으로 이용된다.

[0020] 본 발명의 다른 특징에 따른 유기 EL 표시 장치의 제조 방법은 데이터선과 게이트선을 교차시켜 정의되는 화소마다 유기 EL소자와, 상기 유기 EL소자를 구동하기 위한 복수의 TFT를 포함하는 유기 EL 표시 장치의 제조 방법에 있어서, 기판 상에 적층된 게이트 전극, 게이트 절연막, 반도체층과, 상기 반도체층 상에 형성된 소스 전극 및 드레인 전극을 포함하는 상기 복수의 TFT를 형성하는 단계와; 상기 복수의 TFT 상에 페시베이션막을 적층하고 콘택홀을 형성하는 단계와; 상기 데이터선을 상기 페시베이션막 상에 형성하는 단계와; 상기 복수의 TFT 중 어느 하나의 TFT와 접속된 제1 전극과, 제2 전극과, 상기 제1 및 제2 전극 사이의 발광층을 포함하는 상기 유기 EL소자를 형성하는 단계를 포함하고, 상기 데이터선은 상기 페시베이션막을 관통하는 콘택홀을 통해 상기 복수의 TFT 중 다른 하나의 TFT의 소스 전극과 접속되고, 상기 다른 하나의 TFT와 접속된 상기 게이트선과 상기 데이터선은 그들 사이에 적층된 상기 게이트 절연막 및 페시베이션막을 사이에 두고 교차하는 것을 특징으로 한다.

발명의 효과

[0021] 본 발명에 의하면, 데이터선을 TFT 페시베이션막 위에 형성하는 것으로 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치를 얻을 수 있다. 이 결과, 아몰퍼스(amorphous) 실리콘 TFT를 데이터선 구동 드라이버로서 적용할 수가 있어 소비 전력을 줄일 수가 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 회로 구성도이다.
 도 2는 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다.
 도 3은 본 발명의 실시 형태 2에 따른 유기 EL 표시 장치의 회로 구성도이다.
 도 4는 발명의 실시 형태 2에 따른 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다.
 도 5는 본 발명의 실시 형태 3에 따른 유기 EL 표시 장치의 회로 구성도이다.
 도 6은 본 발명의 실시 형태 3에 따른 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다.
 도 7은 본 발명의 실시 형태 4에 따른 유기 EL 표시 장치의 회로 구성도이다.
 도 8은 본 발명의 실시 형태 4에 따른 유기 EL 표시 장치의 다른 회로 구성도이다.
 도 9는 종래 기술 및 본 발명의 실시 형태 1~4에 따른 유기 EL 표시 장치의 제조 공정의 비교표이다.
 도 10은 종래의 유기 EL 표시 장치의 전형적인 회로 구성도이다.
 도 11은 종래의 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명에 따른 유기 EL 표시 장치의 바람직한 실시 형태들에 대해 도면을 이용해 설명한다. 추가로, 본 발명의 실시 형태 1~4의 적층 구조와, 종래 기술의 적층 구조를 대비한 것을 마지막으로 정리하여 도 9에 나타내지만, 각 실시 형태의 설명에서 종래 기술과 대비할 때 도 9를 인용하는 것으로 한다.

실시 형태 1

[0024] 도 1은 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 회로 구성도이다. 기본적인 구성 요소 및 접속 관계는 종래 기술을 나타낸 도 10과 같다. 그러나, 본 발명의 실시 형태 1의 유기 EL 표시 장치는 데이터선 12를, OLED 소자 24의 양극과 동시에 형성하는 점이 종래 기술과 다르다.

[0025] 도 2는 본 발명의 실시 형태 1의 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다. 도 2(a)는 상기 도 1의 점선 (a)부의 근방의 횡단면도이며, 게이트선 11과 데이터선 12이 평행한 부분의 단면도를 나타내고 있다. 도 2(b)는 상기 도 1의 점선 (b)부 근방의 종단면도이며, 게이트선 11과 데이터선 12의 교차부 단면도를 나타내고 있다.

- [0026] 도 2(a)에 도시된 유기 EL 표시 장치는 데이터선 12의 형성을 종래 기술의 공정보다 후속 공정인 OLED 소자 24의 양극(화소전극)을 형성할 때에 동시에 형성하고 있다. 이 결과, 도 2(b)에 도시된 바와 같이 게이트선 11과 데이터선 12 사이의 절연막의 두께를, 종래보다 두껍게 구성할 수 있다. 데이터선 12는 페시베이션막 1, 2를 관통하는 컨택홀을 통해 제1 TFT 21의 소스전극과 전기적으로 접속된다.
- [0027] 즉, 종래 기술에는 게이트선 11과 데이터선 12 사이의 절연막은 게이트 절연막에 해당하여(도 11(b) 참조) 0.35~0.4 μ m 정도의 두께였다. 이에 대하여, 본 발명의 실시 형태 1은 게이트선 11과 데이터선 12 사이의 절연막이 페시베이션막 1, 2을 더 구비하므로(도 2(b) 참조), 3~5 μ m 정도의 두께를 갖게 할 수 있다. 이와 같이, 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치는 절연막의 두께를 종래 기술과 비교하여 10배 이상으로 함으로써 10분의 1 이하로 게이트선 11과 데이터선 12 사이의 크로스 용량을 저감할 수 있다.
- [0028] 도 9를 이용하여 본 발명의 실시 형태 1의 유기 EL 표시 장치와 종래 기술의 유기 EL 표시 장치의 제조 공정상의 차이를 구체적으로 설명한다. 종래 기술의 유기 EL 표시 장치는 도 9에 나타난 바와 같이 제5 단계에서 소스 및 드레인 전극 형성과 동시에 데이터선을 형성하고 있다(도 11(a) 참조).
- [0029] 이에 대하여, 본 발명의 실시 형태 1의 유기 EL 표시 장치는 도 9에 도시된 바와 같이 제9 단계에서 OLED 소자 24의 양극(화소전극)의 형성과 동시에 데이터선을 형성하고 있다(도 2(a) 참조).
- [0030] 이러한 제조 공정에 의해 본 발명의 실시 형태 1의 유기 EL 표시 장치는 게이트선 11과 데이터선 12 사이에 페시베이션막 1 및 페시베이션막 2로 구성된 유기 절연막이 더 존재하게 되어, 크로스 용량 형성부에서의 절연막 두께를 크게 할 수 있다(도 2(b) 참조). 이에 따라, 게이트 절연막과, 막 두께가 큰 유기 절연막을 개재하여 데이터선 12와 게이트선 11이 배치되므로 크로스 용량을 작게 하는 것이 가능해진다.
- [0031] 이상과 같이, 본 발명의 실시 형태 1에 의하면, 유기 절연막 위에 데이터선을 배치하는 것으로 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치를 얻을 수 있다. 따라서, 드라이버 부하를 줄이는 것이 가능하여 아몰퍼스(amorphous) 실리콘 TFT를 데이터선 구동 드라이버로서 적용할 수 있는 것과 동시에 소비 전력을 줄일 수 있다.
- [0032] 추가로, 도 2(a)에서의 데이터선 및 화소 전극(유기 EL 표시 소자인 OLED 소자 24의 전극에 상당)의 배선으로 투명 ITO를 이용했을 경우, 화소전극이 투명하므로 발광 방향은 도 2(a)에서 아래(바텀 에미션; bottom emission) 방향이 된다. 다만, 이 경우 투명 ITO에 의한 데이터선의 저항은 종래보다 높아진다.
- [0033] 한편, 투명 ITO를 이용하는 대신 TFT 소스, 드레인과 같은 재료로서 대표적인 것인 알루미늄, Mo 혹은 AlNd등을 이용할 수도 있다. 이 경우 수율이 좋은 것과 동시에 메탈의 종류를 늘리지 않는 것으로 제조 장치를 늘리지 않아도 되므로, 장치 코스트가 낮은 장점이 있다. 이 경우 유기 EL은 표시 전극이 투명하지 않으므로 도 2(a)의 윗방향의 발광이 된다(탑 에미션; top emission).
- [0034] **실시 형태 2**
- [0035] 전술한 실시 형태 1에서는 유기 EL 소자의 양극을, 소스/드레인 전극과는 별도로 형성하고 있었다. 이에 대하여, 본 발명의 실시 형태 2에서는 유기 EL 소자의 양극을 형성하지 않고 이전 공정으로 형성한 드레인 전극을 양극으로 겸용하는 경우에 대해 설명한다.
- [0036] 도 3은 본 발명의 실시 형태 2에 있어서의 유기 EL 표시 장치의 회로 구성도이다. 기본적인 구성 요소 및 접속 관계는, 앞의 실시 형태 1에 있어서의 도 1과 같다. 그렇지만, 본 실시 형태 2에 있어서의 유기 EL 표시 장치는, 드레인 전극을 신장시켜 OLED 소자 24의 양극으로 겸용하고 있는 점이 앞의 실시 형태 1과 다르다.
- [0037] 도 4는 본 발명의 실시 형태 2에 있어서의 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다. 도 4(a)는 앞의 도 3에 있어서의 점선으로 나타난 (a)부 근방의 횡단면도이며, 게이트선 11과 데이터선 12이 평행한 부분의 단면도를 나타내고 있다. 도 4(b)는 앞의 도 3에 있어서의 점선으로 나타난 (b)부 근방의 종단면도이며, 게이트선 11과 데이터선 12의 크로스 섹션부의 단면도를 나타내고 있다.
- [0038] 도 4(a)에 나타난 바와 같이, 본 실시 형태 2에 있어서의 유기 EL 표시 장치는, 데이터선 12를 형성할 때에, OLED 소자 24의 양극 형성을 실시하지 않은 점이, 앞의 실시 형태 1의 도 2(a)와 다르다. 이 결과, 도 4(b)와 나타난 바와 같이, 게이트선 11과 데이터선 12 사이의 절연막 두께를 종래보다 두껍게 구성할 수 있는 점은 앞의 실시 형태 1과 같으므로 상세한 설명은 생략한다.
- [0039] 다음, 도 9를 이용하여, 본 실시 형태 2에 있어서의 유기 EL 표시 장치와 종래 기술 및 앞의 실시 형태 1에 있

어서의 유기 EL 표시 장치의 제조 공정상의 차이를 구체적으로 설명한다. 종래 기술에 있어서의 유기 EL 표시 장치는, 도 9에 나타난 바와 같이, 제5 스텝에서 소스 및 드레인전극의 형성과 동시에 데이터선을 형성하고 있다(도 11(a) 참조).

[0040] 이것에 대하여, 본 실시 형태 2에 있어서의 유기 EL 표시 장치는, 도 9에 나타난 바와 같이, 제9 스텝에서 데이터선만을 형성하고 있다(도 4(a) 참조). 앞의 실시 형태 1과 비교하면, 제9 스텝에서 OLED 소자 24의 양극을 형성할 필요가 없기 때문에, 그 만큼 제조 프로세스를 간략화할 수 있다.

[0041] 이러한 제조 공정을 거치는 것으로, 앞의 실시 형태 1과 함께, 본 실시 형태 2에 있어서의 유기 EL 표시 장치는, 게이트선 11과 데이터선 12의 사이에, 페시베이션막 1 및 페시베이션막 2로 구성된 유기 절연막이 더 존재하게 되어, 크로스 용량 형성부에 있어서의 절연막의 두께를 크게 할 수가 있다(도 4(b) 참조). 이와 같이 하여, 게이트 절연막과, 막두께가 큰 유기 절연막을 개재하여 데이터선 12과 게이트선 11이 배치되는 것으로, 크로스 용량을 작게 하는 것이 가능해진다.

[0042] 이상과 같이, 실시 형태 2에 의하면, 유기 EL 표시 소자의 양극 형성을 개별적으로 실시하지 않고 드레인 전극과 겸용화하는 경우에도, 유기 절연막 위에 데이터선을 배치하는 것으로써, 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치를 얻을 수 있다. 이것에 의해, 드라이버 부하를 줄이는 것이 가능하므로, 아몰퍼스(amorphous) 실리콘 TFT를 데이터선 구동 드라이버로 적용할 수 있는 것과 동시에, 소비 전력을 줄일 수 있다. 게다가 제조 프로세스를 간략화할 수 있다.

[0043] 실시 형태 3

[0044] 본 실시 형태 3에서는 데이터선을 형성하기 전에 세퍼레이터(separator)인 격벽을 형성하는 경우에 대해 설명한다.

[0045] 도 5는 본 발명의 실시 형태 3에 있어서의 유기 EL 표시 장치의 회로 구성도이다. 기본적인 구성 요소 및 접속 관계는 앞의 실시 형태 1, 2에 있어서의 도 1, 도 3과 같다. 그렇지만, 본 실시 형태 3에 있어서의 유기 EL 표시 장치는, 새롭게 격벽(도 5에는 도시하지 않음)을 형성하여 격벽의 형성 후에 OLED 소자 24의 음극 및 그 음극과 접속된 음극선 14와 데이터선 12를 동시에 형성하고 있는 점이 앞의 실시 형태 1, 2와 다르다.

[0046] 도 6은 본 발명의 실시 형태 3에 있어서의 유기 EL 표시 장치의 적층 구조를 설명하기 위한 단면도이다. 도 6(a)는 앞의 도 5에 있어서의 점선으로 나타난 (a)부 근방의 횡단면도이며, 게이트선 11과 데이터선 12이 평행한 부분의 단면도를 나타내고 있다. 도 6(b)는 앞의 도 5에 있어서의 점선으로 나타난 (b)부 근방의 종단면도이며, 게이트선 11과 데이터선 12의 크로스 섹션부의 단면도를 나타내고 있다.

[0047] 도 6(a)에 나타난 바와 같이 본 실시 형태 3에 있어서의 유기 EL 표시 장치는, 데이터선 12를 형성하기 전에 유기 절연막 상에 격벽을 형성하고, 데이터선 12는 OLED 소자 24의 음극과 동시에 형성하고 있는 점이, 앞의 실시 형태 1의 도 2(a)와 다르다. 또한, 앞의 실시 형태 2의 도 4(a)와 같이 제2 TFT 22의 드레인전극을 신장시켜서 OLED 소자 24의 양극으로 겸용할 수 있다. 이 결과, 도 6(b)에 나타난 바와 같이, 게이트선 11과 데이터선 12 사이의 절연막의 두께를, 종래보다 두껍게 구성할 수 있는 점은, 앞의 실시 형태 1과 같으므로 상세한 설명은 생략한다.

[0048] 다음, 도 9를 이용하여 본 실시 형태 3에 있어서의 유기 EL 표시 장치와 종래 기술 및 앞의 실시 형태 1, 2에 있어서의 유기 EL 표시 장치와의 제조 공정상의 차이를 구체적으로 설명한다. 종래 기술에 있어서의 유기 EL 표시 장치는, 도 9에 나타난 바와 같이, 제5 스텝에서 소스 및 드레인 전극의 형성과 동시에 데이터선을 형성하고 있다(도 11(a) 참조).

[0049] 이것에 대해서, 본 실시 형태 3에 있어서의 유기 EL 표시 장치는, 도 9에 나타난 바와 같이 제5 스텝에서 소스 및 드레인전극과 함께 드레인전극과 일체화된 OLED 소자 24의 양극을 형성하고, 제8 스텝에서 유기 절연막 상에 격벽을 형성한다(도 6(a) 참조). 그 후, 제10 스텝에서 발광층을 형성한다. 그리고, 최종의 제11 스텝에서 OLED 소자 24의 음극 및 음극선 14를 형성함과 함께 데이터선 12를 형성하고 있다(도 6(a) 참조). 이때 음극과 접속된 음극선 14도 상기 음극 및 데이터선 12과 함께 형성되며, 데이터선 12는 음극선 14와 평행하게 형성된다.

[0050] 앞의 실시 형태 2와 비교하면, 제9 스텝에서 격벽이 형성된다. 이 결과, 격벽이 데이터선을 성막할 때 마스크, 즉 데이터선을 음극 및 음극선과 분리하는 세퍼레이터의 역할을 하므로, 데이터선의 형성을 OLED 소자 24의 양극 형성시는 아니고, 최종 공정의 음극 형성시에 실시할 수 있다.

[0051] 이러한 제조 공정을 거치는 것으로, 앞의 실시 형태 1, 2와 함께, 본 실시 형태 3에 있어서의 유기 EL 표시 장

치는, 게이트선 11과 데이터선 12의 사이에, 페시베이션막 1 및 페시베이션막 2으로 된 유기 절연막이 더 존재하게 되어, 크로스 용량 형성부에 있어서의 절연막의 두께를 크게 할 수 있다(도 6(b) 참조). 이에 따라, 게이트 절연막과, 두께가 큰 유기 절연막을 개재하여 데이터선 12과 게이트선 11이 배치되는 것으로부터, 크로스 용량을 작게 하는 것이 가능해진다.

[0052] 이상과 같이, 실시 형태 3에 의하면, 격벽을 형성하는 프로세스를 추가했을 경우에도, 유기 절연막 위에 데이터선을 배치하는 것으로써, 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치를 얻을 수 있다. 이것에 의해, 드라이버 부하를 줄이는 것이 가능해져, 아몰퍼스(amorphous) 실리콘 TFT를 데이터선 구동 드라이버로서 적용할 수가 있는 것과 동시에, 소비 전력을 줄일 수가 있다.

[0053] **실시 형태 4**

[0054] 앞의 실시 형태 1~3에서는, OLED 소자 24의 양극층을 제2 TFT 22에 접속했을 경우에 대해 설명하였다. 본 실시 형태 4에서는 OLED 소자 24의 음극층을 제2 TFT 22에 접속하는 경우에 대해 설명한다.

[0055] 도 7은 본 발명의 실시 형태 4에서의 유기 EL 표시 장치의 회로 구성도이다. 기본적인 구성 요소는 앞의 실시 형태 1~3의 도 1, 도 3, 도 5와 같다. 그렇지만, 본 실시 형태 4에 있어서의 유기 EL 표시 장치는, OLED 소자 24의 음극층이 제2 TFT 22에 접속하고 있는 점이 앞의 실시 형태 1~3과 다르다. 이러한 회로 구성에서, 데이터선 12의 형성을 OLED 소자 24의 음극과 동시에 형성할 수 있다. OLED 소자 24의 양극은 전원선 13과 접속되고, 음극은 제2 TFT 22의 소스전극과 접속되며, 제2 TFT 22의 드레인전극은 음극선 14과 접속된다.

[0056] 도 8은 본 발명의 실시 형태 4에 있어서의 유기 EL 표시 장치의 다른 회로 구성도이다. 기본적인 구성 요소 및 접속 관계는 도 7과 같다. 그렇지만, 도 8의 유기 EL 표시 장치는 OLED 소자 24의 음극층을 제2 TFT 22에 접속하고 있는 점에서는 도 7의 구성과 같지만, 데이터선 12의 형성을 OLED 소자 24의 양극 및 양극과 접속된 전원선 13과 동시에 형성하고 있는 점이, OLED 소자 24의 음극과 동시에 형성하고 있는 도 7의 구성과 다르다.

[0057] 도 7 및 도 8의 적층 구조는 앞의 실시 형태 1~3으로 나타난 적층 구조와 동등하므로 도시 및 설명을 생략한다.

[0058] 다음, 도 9를 이용하여 본 실시 형태 4에 있어서의 유기 EL 표시 장치와 종래 기술 및 앞의 실시 형태 1~3에 있어서의 유기 EL 표시 장치와의 제조 공정상의 차이를 구체적으로 설명한다. 종래 기술에 있어서의 유기 EL 표시 장치는 도 9에 나타난 바와 같이 제5 스텝에서 소스 및 드레인 전극의 형성과 동시에 데이터선을 형성하고 있다(도 11(a) 참조).

[0059] 이것에 대해서, 본 실시 형태 4에 있어서의 유기 EL 표시 장치는 도 9에 나타난 바와 같이 제9 스텝에서 OLED 소자 24의 음극의 형성과 동시에 유기절연막 위에 데이터선을 형성하고 있다. 즉, 앞의 실시 형태 1~3과 비교하면, 제1 스텝~제8 스텝까지의 공정은 같고, OLED 소자 24의 음극과 데이터선 12를 동시에 형성하기 위한 제9 스텝~제11 스텝만 다르다. 한편, 앞의 실시 형태 3과 같이 전극 분리 역할을 하는 격벽을 이용하여, 도 8과 같이 OLED 소자 24의 양극 및 전원선 13과 데이터선 12를 동시에 형성할 수 있다. 이때 데이터선 12는 전원선 13과 평행하게 형성된다. OLED 소자 24의 음극은 제2 TFT 22의 소스전극과 별도로 형성하거나, 그 소스전극과 동시에, 즉 소스 전극을 신장시켜서 형성할 수 있다.

[0060] 이러한 제조 공정을 거치는 것으로, 앞의 실시 형태 1~3과 같게, 본 실시 형태 4에 있어서의 유기 EL 표시 장치는, 게이트선 11과 데이터선 12의 사이에, 페시베이션막 1 및 페시베이션막 2로 된 유기 절연막이 더 존재하게 되어, 크로스 용량 형성부에 있어서의 절연막의 두께를 크게 할 수가 있다. 이에 따라, 게이트 절연막과, 막 두께가 큰 유기 절연막을 개재하여 데이터선 12과 게이트선 11이 배치되는 것으로부터, 크로스 용량을 작게 하는 것이 가능해진다.

[0061] 이상과 같이, 실시 형태 4에 의하면, 유기 EL 표시 소자의 음극층을 제2 TFT에 접속했을 경우에도, 유기 절연막 위에 데이터선을 배치하는 것으로, 데이터선과 게이트선의 크로스 용량을 작게 한 유기 EL 표시 장치를 얻을 수 있다. 이에 따라, 드라이버 부하를 줄이는 것이 가능해져, 아몰퍼스(amorphous) 실리콘 TFT를 데이터선 구동 드라이버로서 적용할 수가 있는 것과 동시에, 소비 전력을 줄일 수가 있다.

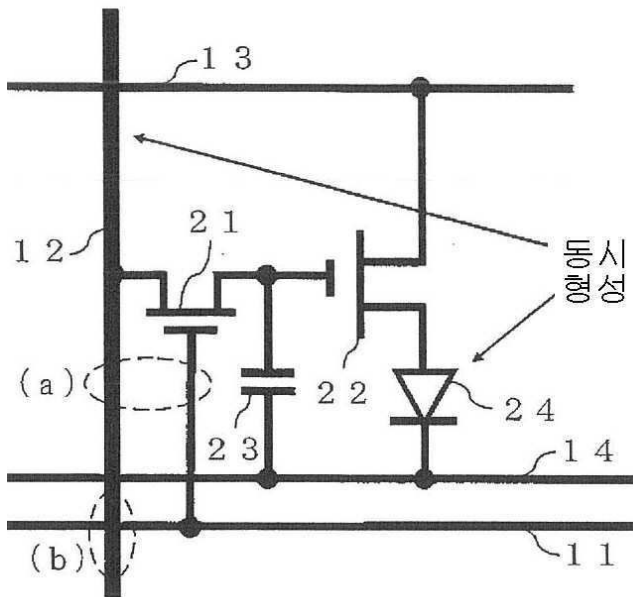
[0062] 마지막으로, 상술한 본 실시 형태 1~4에 있어서의 유기 EL 표시 장치와, 종래 기술에 있어서의 유기 EL 표시 장치의 제조 공정을 정리하면 다음과 같다. 도 9는 종래 기술 및 본 발명의 실시 형태 1~4에 있어서의 유기 EL 표시 장치의 제조 공정의 비교표이다. 도 9에 나타난 바와 같이, 본 발명의 유기 EL 표시 장치는 모두 TFT 페시베이션막 위에 데이터선을 형성하는 것을 특징으로 하고 있고, 이 결과 크로스 용량을 작게 하는 것이 가능해져서 드라이버 부하를 줄이는 것이 가능하다.

부호의 설명

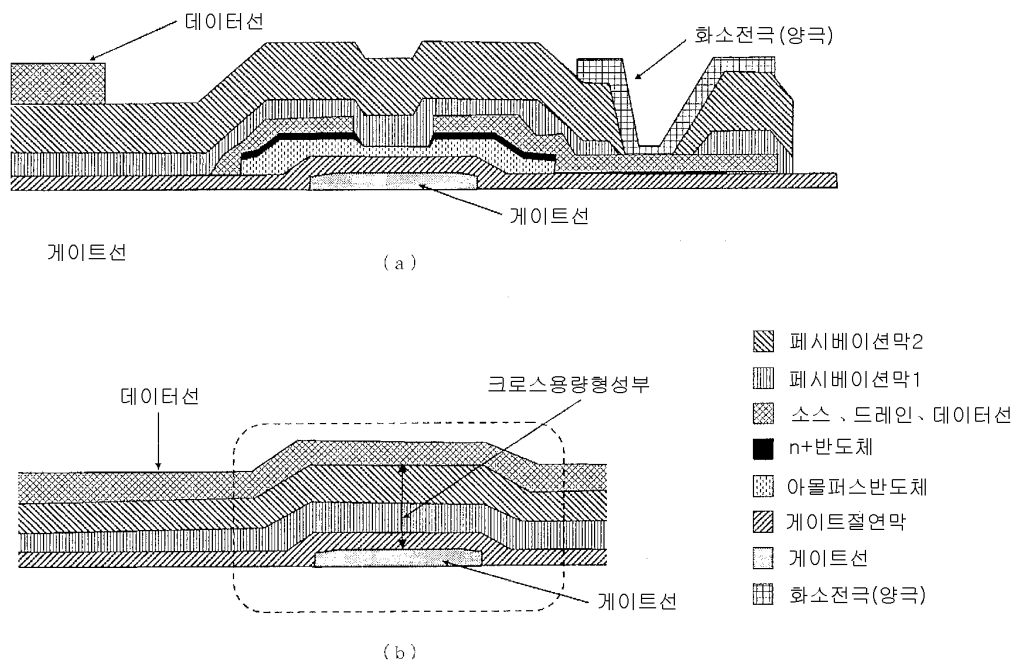
- | | |
|----------------|------------|
| 11 : 게이트선 | 12 : 데이터선 |
| 13 : 전원선 | 14 : 음극선 |
| 23 : 스토리지 커패시터 | 24 : EL 소자 |

도면

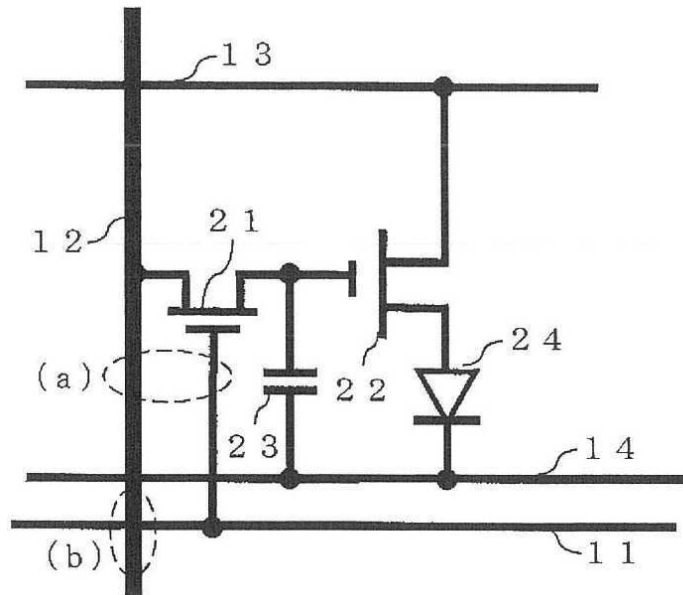
도면1



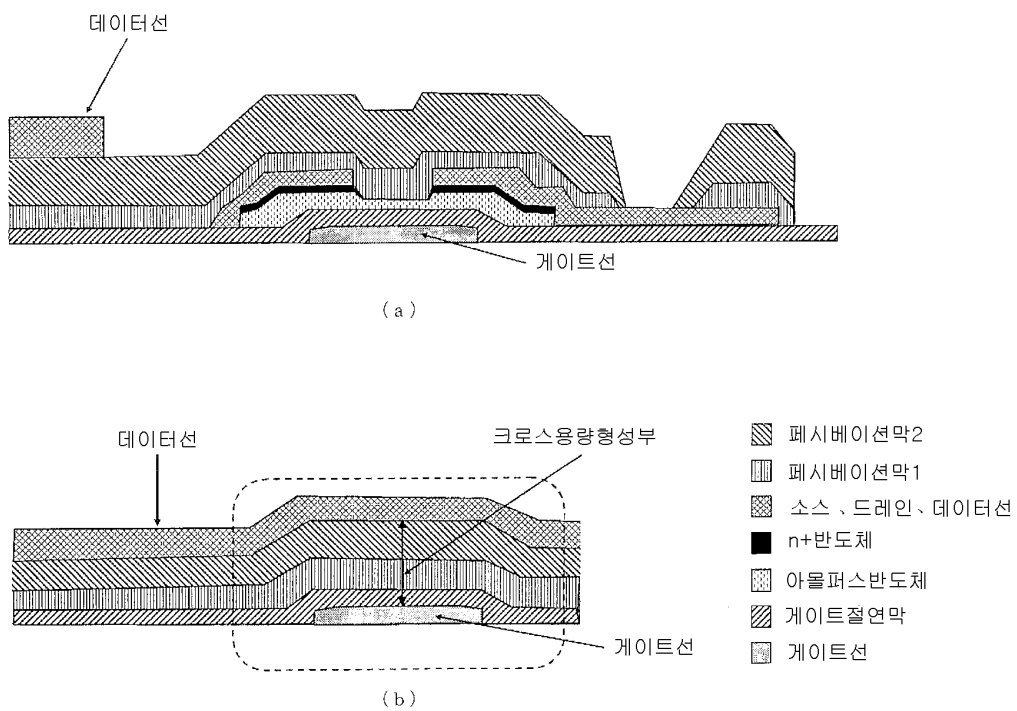
도면2



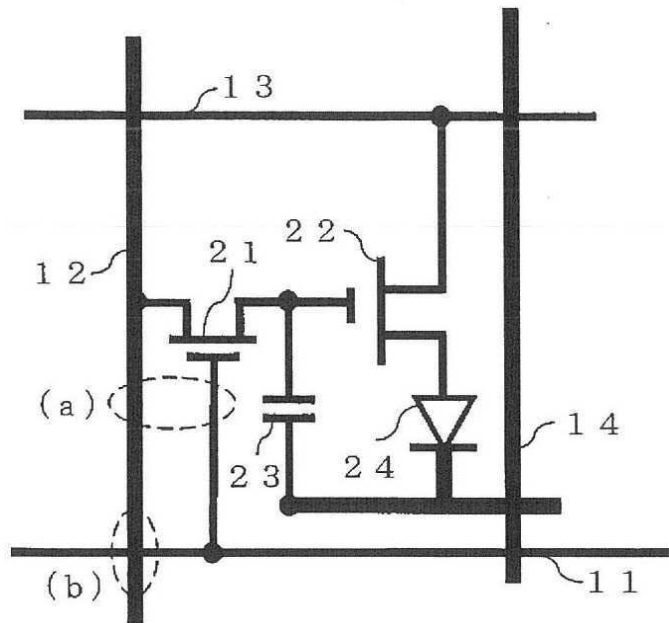
도면3



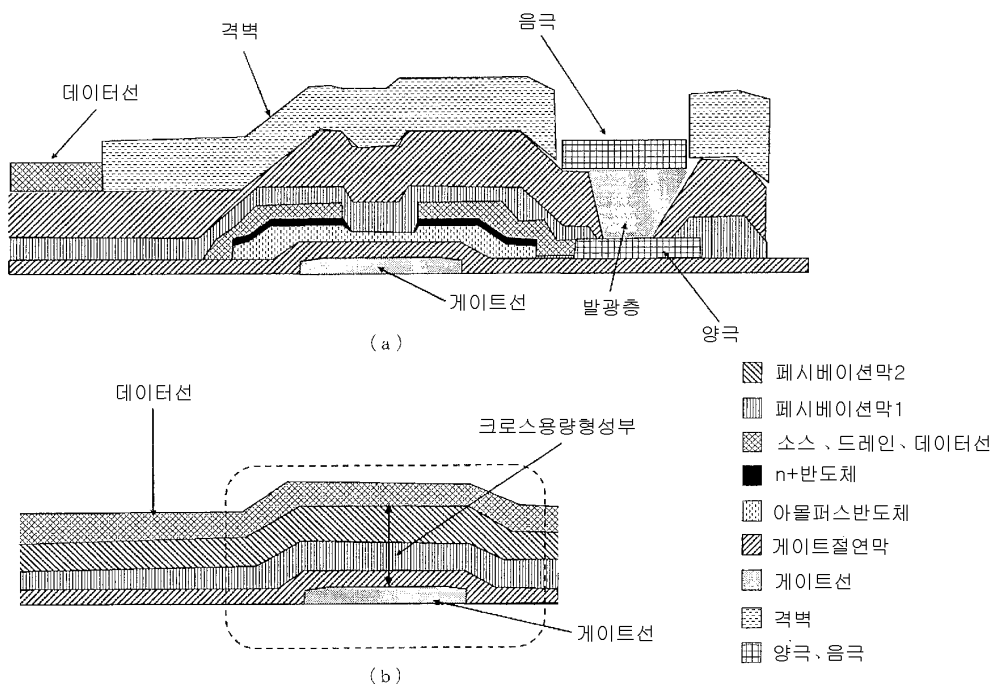
도면4



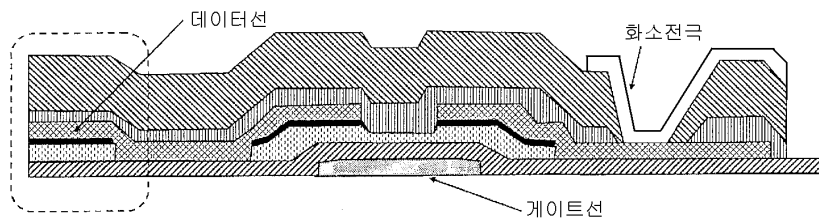
도면5



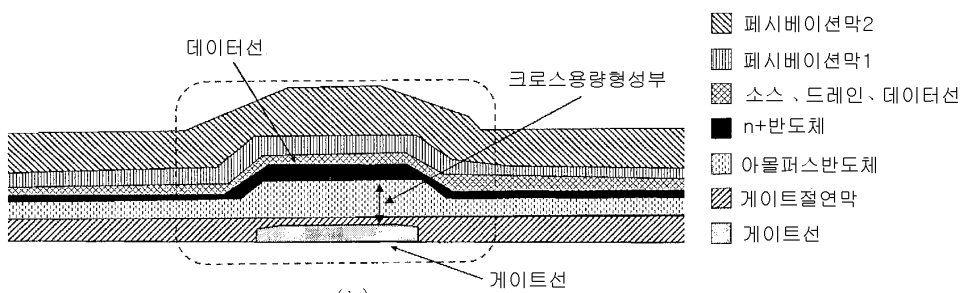
도면6



도면11



(a)



- 패시베이션막2
- 패시베이션막1
- 소스, 드레인, 데이터선
- n+반도체
- 아몰퍼스반도체
- 게이트절연막
- 게이트선

(b)

专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101519919B1	公开(公告)日	2015-05-14
申请号	KR1020140016818	申请日	2014-02-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIMURA SHINICHI		
发明人	KIMURA, SHINICHI		
IPC分类号	H05B33/02 H01L27/32		
代理人(译)	PARK , YOUNG BOK		
优先权	2006318953 2006-11-27 JP		
其他公开文献	KR1020140030289A		

摘要(译)

本发明提供一种在数据线和栅极线之间具有小交叉电容的有机EL显示装置及其制造方法。本发明的特征在于，通过与数据线12和栅极线11交叉限定的每个像素设置有由薄膜晶体管驱动的有机EL元件24。并且数据线12形成在薄膜晶体管上的钝化膜上。数据线12由与有机EL元件的阴极（或阳极）共用的材料制成，并且形成在与有机EL元件的阴极（或阳极）相同的层上。它形成。

