



공개특허 10-2020-0082183



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0082183
(43) 공개일자 2020년07월08일

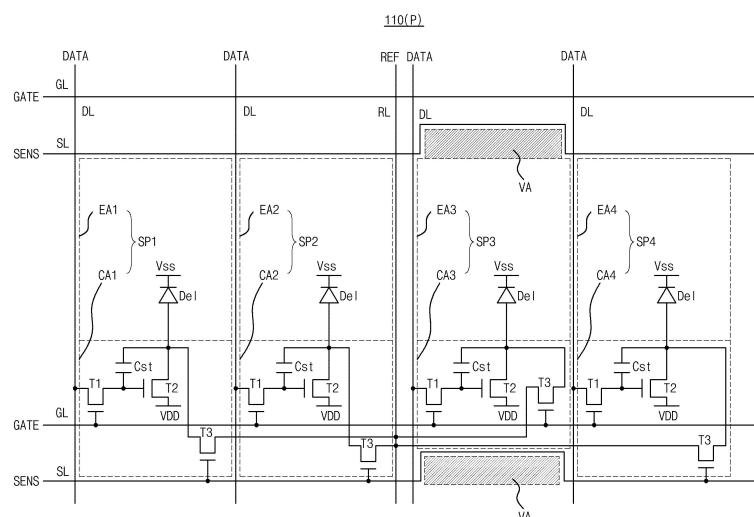
(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0426 (2013.01)
(21) 출원번호 10-2018-0172514
(22) 출원일자 2018년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이태림
경기도 파주시 월롱면 엘지로 245
장병구
경기도 파주시 월롱면 엘지로 245
한창훈
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **유기발광다이오드 표시장치****(57) 요 약**

본 발명은, 제1 내지 제4부화소를 포함하는 기판과; 상기 기판 상부에 서로 이격되도록 배치되는 게이트배선 및 센싱배선과; 상기 게이트배선 및 상기 센싱배선과 교차하여 상기 제1 내지 제4부화소를 정의하는 데이터배선과; 상기 데이터배선으로부터 이격되는 기준배선과; 상기 제1 내지 제4부화소 각각의 회로영역에 배치되는 제1 내지 제3박막트랜지스터와 스토리지 커패시터와; 상기 제1 내지 제4부화소 각각의 발광영역에 배치되는 발광다이오드를 포함하고, 상기 제3부화소의 상기 제1 및 제3박막트랜지스터는 상기 게이트배선에 연결되는 유기발광다이오드 표시장치를 제공한다.

대 표 도 - 도1

(52) CPC특허분류
G09G 2300/0465 (2013.01)

명세서

청구범위

청구항 1

제1 내지 제4부화소를 포함하는 기판과;

상기 기판 상부에 서로 이격되도록 배치되는 게이트배선 및 센싱배선과;

상기 게이트배선 및 상기 센싱배선과 교차하여 상기 제1 내지 제4부화소를 정의하는 데이터배선과;

상기 데이터배선으로부터 이격되는 기준배선과;

상기 제1 내지 제4부화소 각각의 회로영역에 배치되는 제1 내지 제3박막트랜지스터와 스토리지 커퍼시터과;

상기 제1 내지 제4부화소 각각의 발광영역에 배치되는 발광다이오드

를 포함하고,

상기 제3부화소의 상기 제1 및 제3박막트랜지스터는 상기 게이트배선에 연결되는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1, 제2 및 제4부화소 각각의 상기 제1 및 제3박막트랜지스터는 각각 상기 게이트배선 및 상기 센싱배선에 연결되는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1, 제2 및 제4부화소의 상기 회로영역은 서로 동일한 제1회로면적을 갖고,

상기 제3부화소의 상기 회로영역은 상기 제1회로면적보다 변화면적만큼 작은 제2회로면적을 갖고,

상기 제1, 제2 및 제4부화소의 상기 발광영역은 서로 동일한 제1발광면적을 갖고,

상기 제3부화소의 상기 발광영역은 상기 제1발광면적보다 상기 변화면적만큼 큰 제2발광면적을 갖는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 제3부화소 상측의 상기 센싱배선은, 상기 제3부화소 상측으로 인접한 부화소의 상기 회로영역의 상기 변화면적을 둘러싸도록 'ㄷ'자 형태로 절곡되는 유기발광다이오드 표시장치.

청구항 5

제 2 항에 있어서,

상기 제1, 제2 및 제4부화소의 상기 회로영역은 서로 동일한 제1회로면적을 갖고,

상기 제3부화소의 상기 회로영역은 상기 제1회로면적보다 제1변화면적만큼 작은 제2회로면적을 갖고,

상기 제1 및 제2부화소의 상기 발광영역은 서로 동일한 제1발광면적을 갖고,

상기 제3부화소의 상기 발광영역은 상기 제1발광면적보다 상기 제1변화면적과 제2변화면적의 차이만큼 크거나 작은 제2발광면적을 갖고,

상기 제4부화소의 상기 발광영역은 상기 제1발광면적보다 상기 제2변화면적만큼 큰 제3발광면적을 갖는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 제3부화소 상측의 상기 센싱배선은, 상기 제3부화소 상측으로 인접한 부화소의 상기 회로영역의 상기 제1변화면적을 둘러싸도록 'ㄷ'자 형태로 절곡되고,

상기 제3부화소 우측의 상기 데이터배선은, 상기 제3부화소 우측으로 인접한 부화소의 상기 발광영역의 상기 제2변화면적을 둘러싸도록 'ㄷ'자 형태로 절곡되는 유기발광다이오드 표시장치.

청구항 7

제 5 항에 있어서,

상기 제1 및 제2변화면적은 서로 동일한 유기발광다이오드 표시장치.

청구항 8

제 1 항에 있어서,

상기 제1, 제2 및 제4부화소에서, 상기 제3박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 센싱배선, 상기 제2박막트랜지스터의 소스전극 및 상기 기준배선에 연결되고,

상기 제3부화소에서, 상기 제3박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 게이트배선, 상기 제2박막트랜지스터의 소스전극 및 상기 기준배선에 연결되는 유기발광다이오드 표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 내지 제4부화소 각각에서, 상기 제1박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 게이트배선, 상기 데이터배선 및 상기 제2박막트랜지스터의 게이트전극에 연결되고,

상기 제1 내지 제4부화소 각각에서, 상기 제2박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 제3박막트랜지스터의 드레인전극, 상기 발광다이오드의 양극 및 고전위전압에 연결되고,

상기 제1 내지 제4부화소 각각에서, 상기 스토리지 커패시터는 상기 제2박막트랜지스터의 게이트전극 및 소스전극 사이에 연결되고,

상기 제1 내지 제4부화소 각각에서, 상기 발광다이오드의 양극 및 음극은 각각 상기 제2박막트랜지스터의 소스전극 및 저전위전압에 연결되는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 적어도 하나의 부화소의 스위칭 박막트랜지스터 및 센싱 박막트랜지스터를 하나의 게이트배선에 연결되도록 배치함으로써, 개구율이 증가되고 수명이 향상되는 유기발광다이오드 표시장치

에 관한 것이다.

배경기술

- [0002] 평판표시장치(flat panel display: FPD) 중 하나인 유기발광다이오드(organic light emitting diode: OLED) 표시장치는 높은 휙도와 낮은 동작 전압 특성을 갖는다.
- [0003] 그리고, 스스로 빛을 내는 자체 발광형이기 때문에 대조비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(micro second) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하다.
- [0004] 또한, 유기발광다이오드 표시장치의 제조공정은 증착(deposition) 및 인캡슐레이션(encapsulation)이 전부라고 할 수 있기 때문에, 제조공정이 매우 단순하다.
- [0005] 이러한 유기발광다이오드 표시장치의 각 부화소에는 스위칭 박막트랜지스터, 구동 박막트랜지스터, 센싱 박막트랜지스터 등 다수의 박막트랜지스터, 스토리지 커패시터 및 발광다이오드가 형성된다.
- [0006] 센싱 박막트랜지스터는, 구동 박막트랜지스터 및 발광다이오드에 연결되어 구동 박막트랜지스터 및 발광다이오드 사이의 연결노드를 초기화 하는 역할을 하는데, 이러한 연결노드의 전압 변화로부터 구동 박막트랜지스터의 문턱전압 변동 및 이동도 변동과 발광다이오드의 문턱전압 변동을 파악하여 보상할 수 있다.
- [0007] 그런데, 하나의 부화소에 기본적 소자인 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 발광다이오드 외에 보상을 위한 센싱 박막트랜지스터 등을 배치함에 따라, 발광다이오드에 할당되는 면적이 작아지고 이에 따라 하나의 부화소의 면적에 대한 광을 방출하는 발광다이오드의 면적의 비율인 개구율이 감소하고 휙도가 감소하는 문제가 있다.
- [0008] 그리고, 이러한 휙도 감소를 보상하기 위하여, 발광다이오드에 흐르는 전류를 증가시킬 경우, 발광다이오드의 유기물질이 더 빨리 열화되어 수명이 감소하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은, 이러한 문제점을 해결하기 위하여 제시된 것으로, 적어도 하나의 부화소의 스위칭 박막트랜지스터 및 센싱 박막트랜지스터를 하나의 게이트배선에 연결되도록 배치함으로써, 적어도 하나의 부화소의 개구율이 증가되고 수명이 향상되는 유기발광다이오드 표시장치를 제공하는 것을 목적으로 한다.
- [0010] 그리고, 본 발명은, 적어도 하나의 부화소의 스위칭 박막트랜지스터 및 센싱 박막트랜지스터를 하나의 게이트배선에 연결되도록 배치하고, 인접 부화소의 발광다이오드의 면적을 증가시킴으로써, 인접 부화소의 개구율이 증가되고 수명이 향상되고 색특성이 개선되는 유기발광다이오드 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0011] 위와 같은 과제의 해결을 위해, 본 발명은, 제1 내지 제4부화소를 포함하는 기판과; 상기 기판 상부에 서로 이격되도록 배치되는 게이트배선 및 센싱배선과; 상기 게이트배선 및 상기 센싱배선과 교차하여 상기 제1 내지 제4부화소를 정의하는 데이터배선과; 상기 데이터배선으로부터 이격되는 기준배선과; 상기 제1 내지 제4부화소 각각의 회로영역에 배치되는 제1 내지 제3박막트랜지스터와 스토리지 커패시터과; 상기 제1 내지 제4부화소 각각의 발광영역에 배치되는 발광다이오드를 포함하고, 상기 제3부화소의 상기 제1 및 제3박막트랜지스터는 상기 게이트배선에 연결되는 유기발광다이오드 표시장치를 제공한다.
- [0012] 그리고, 상기 제1, 제2 및 제4부화소 각각의 상기 제1 및 제3박막트랜지스터는 각각 상기 게이트배선 및 상기 센싱배선에 연결될 수 있다.
- [0013] 또한, 상기 제1, 제2 및 제4부화소의 상기 회로영역은 서로 동일한 제1회로면적을 갖고, 상기 제3부화소의 상기 회로영역은 상기 제1회로면적보다 변화면적만큼 작은 제2회로면적을 갖고, 상기 제1, 제2 및 제4부화소의 상기 발광영역은 서로 동일한 제1발광면적을 갖고, 상기 제3부화소의 상기 발광영역은 상기 제1발광면적보다 상기 변화면적만큼 큰 제2발광면적을 가질 수 있다.
- [0014] 그리고, 상기 제3부화소 상측의 상기 센싱배선은, 상기 제3부화소 상측으로 인접한 부화소의 상기 회로영역의

상기 변화면적을 둘러싸도록 'ㄷ'자 형태로 절곡될 수 있다.

[0015] 또한, 상기 제1, 제2 및 제4부화소의 상기 회로영역은 서로 동일한 제1회로면적을 갖고, 상기 제3부화소의 상기 회로영역은 상기 제1회로면적보다 제1변화면적만큼 작은 제2회로면적을 갖고, 상기 제1 및 제2부화소의 상기 발광영역은 서로 동일한 제1발광면적을 갖고, 상기 제3부화소의 상기 발광영역은 상기 제1변화면적과 제2변화면적의 차이만큼 크거나 작은 제2발광면적을 갖고, 상기 제4부화소의 상기 발광영역은 상기 제1발광면적보다 상기 제2변화면적만큼 큰 제3발광면적을 가질 수 있다.

[0016] 그리고, 상기 제3부화소 상측의 상기 센싱배선은, 상기 제3부화소 상측으로 인접한 부화소의 상기 회로영역의 상기 제1변화면적을 둘러싸도록 'ㄷ'자 형태로 절곡되고, 상기 제3부화소 우측의 상기 데이터배선은, 상기 제3부화소 우측으로 인접한 부화소의 상기 발광영역의 상기 제2변화면적을 둘러싸도록 'ㄷ'자 형태로 절곡될 수 있다.

[0017] 또한, 상기 제1 및 제2변화면적은 서로 동일할 수 있다.

[0018] 그리고, 상기 제1, 제2 및 제4부화소에서, 상기 제3박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 센싱배선, 상기 제2박막트랜지스터의 소스전극 및 상기 기준배선에 연결되고, 상기 제3부화소에서, 상기 제3박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 게이트배선, 상기 제2박막트랜지스터의 소스전극 및 상기 기준배선에 연결될 수 있다.

[0019] 또한, 상기 제1 내지 제4부화소 각각에서, 상기 제1박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 게이트배선, 상기 데이터배선 및 상기 제2박막트랜지스터의 게이트전극에 연결되고, 상기 제1 내지 제4부화소 각각에서, 상기 제2박막트랜지스터의 게이트전극, 소스전극 및 드레인전극은 각각 상기 제3박막트랜지스터의 드레인전극, 상기 발광다이오드의 양극 및 고전위전압에 연결되고, 상기 제1 내지 제4부화소 각각에서, 상기 스토리지 커패시터는 상기 제2박막트랜지스터의 게이트전극 및 소스전극 사이에 연결되고, 상기 제1 내지 제4부화소 각각에서, 상기 발광다이오드의 양극 및 음극은 각각 상기 제2박막트랜지스터의 소스전극 및 저전위전압에 연결될 수 있다.

발명의 효과

[0020] 본 발명은, 적어도 하나의 부화소의 스위칭 박막트랜지스터 및 센싱 박막트랜지스터를 하나의 게이트배선에 연결되도록 배치함으로써, 적어도 하나의 부화소의 개구율이 증가되고 수명이 향상되는 효과를 갖는다.

[0021] 그리고, 본 발명은, 적어도 하나의 부화소의 스위칭 박막트랜지스터 및 센싱 박막트랜지스터를 하나의 게이트배선에 연결되도록 배치하고, 인접 부화소의 발광다이오드의 면적을 증가시킴으로써, 인접 부화소의 개구율이 증가되고 수명이 향상되고 색특성이 개선되는 효과를 갖는다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 도시한 도면.

도 2a 내지 도 2c는 각각 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 구동 박막트랜지스터의 문턱전압 변동, 구동 박막트랜지스터의 이동도 변동, 발광다이오드의 문턱전압 변동을 검출하기 위한 다수의 신호를 도시한 타이밍도.

도 3은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 구동시간에 따른 휘도편차의 변화를 도시한 그래프.

도 4는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기발광다이오드 표시장치를 설명한다.

[0024] 도 1은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 도시한 도면이다.

[0025] 도 1에 도시한 바와 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)는 다수의 화소(P)를 포함하고, 각 화소(P)는 제1 내지 제4부화소(SP1 내지 SP4)를 포함한다.

[0026] 예를 들어, 제1 내지 제4부화소(SP1 내지 SP4)는 각각 적색, 백색, 청색, 녹색을 표시할 수 있다.

- [0027] 구체적으로, 유기발광다이오드 표시장치(110)의 기판(미도시) 상부에는 서로 교차하여 제1 내지 제4부화소(SP1 내지 SP4)를 정의하는 다수의 게이트배선(GL) 및 다수의 데이터배선(DL)이 배치되고, 제2 및 제3부화소(SP2, SP3) 사이에는 다수의 데이터배선(DL)으로부터 평행하게 이격되는 기준배선(RL)이 배치되고, 제1 내지 제4부화소(SP1 내지 SP4) 상측 및 하측에는 게이트배선(GL)으로부터 평행하게 이격되는 센싱배선(SL)이 배치된다.
- [0028] 도시하지는 않았지만, 유기발광다이오드 표시장치(110)의 기판 상부에는 게이트배선(GL) 또는 데이터배선(DL)으로부터 평행하게 이격되는 파워배선이 배치될 수 있다.
- [0029] 게이트배선(GL)에는 게이트신호(GATE)가 공급되고, 센싱배선(SL)에는 센싱신호(SENS)가 공급되고, 데이터배선(DL)에는 데이터신호(DATA)가 공급되고, 기준배선(RL)에는 기준신호(REF)가 공급되고, 파워배선에는 고전위전압(VDD)이 공급될 수 있다.
- [0030] 제1실시예에서는 제1 내지 제4부화소(SP1 내지 SP4)에 하나의 기준배선(RL)이 배치되는 것을 예로 들었으나, 다른 실시예에서는 제1 내지 제4부화소(SP1 내지 SP4)에 둘 이상의 기준배선(DL)이 배치될 수도 있다.
- [0031] 제1 내지 제4부화소(SP1 내지 SP4) 각각에는, 제1 내지 제3박막트랜지스터(T1 내지 T3), 스토리지 커패시터(Cst) 및 발광다이오드(De1)가 배치된다.
- [0032] 도시하지는 않았지만, 제1 내지 제3박막트랜지스터(T1 내지 T3)는 각각 게이트전극, 반도체층, 소스전극 및 드레인전극을 포함하고, 게이트전극과 반도체층 사이에는 게이트절연층이 배치되고, 소스전극 및 드레인전극 상부에는 보호층이 배치될 수 있다.
- [0033] 제1 내지 제4부화소(SP1 내지 SP4)에서, 스위칭 박막트랜지스터인 제1박막트랜지스터(T1)의 게이트전극, 소스전극 및 드레인전극은 각각 게이트배선(GL), 데이터배선(DL) 및 제2박막트랜지스터(T2)의 게이트전극에 연결된다.
- [0034] 제1 내지 제4부화소(SP1 내지 SP4)에서, 구동 박막트랜지스터인 제2박막트랜지스터(T2)의 게이트전극, 소스전극 및 드레인전극은 각각 제3박막트랜지스터(T3)의 드레인전극, 발광다이오드(De1)의 양극 및 고전위전압(VDD)에 연결된다.
- [0035] 제1, 제2 및 제4부화소(SP1, SP2, SP4)에서, 센싱 박막트랜지스터인 제3박막트랜지스터(T3)의 게이트전극, 소스전극 및 드레인전극은 각각 센싱배선(SL), 제2박막트랜지스터(T2)의 소스전극 및 기준배선(RL)에 연결된다.
- [0036] 반면에, 제3부화소(SP3)에서, 센싱 박막트랜지스터인 제3박막트랜지스터(T3)의 게이트전극, 소스전극 및 드레인전극은 각각 게이트배선(GL), 제2박막트랜지스터(T2)의 소스전극 및 기준배선(RL)에 연결된다.
- [0037] 제1 내지 제4부화소(SP1 내지 SP4)에서, 스토리지 커패시터(Cst)는 제2박막트랜지스터(T2)의 게이트전극 및 소스전극 사이에 연결된다.
- [0038] 제1 내지 제4부화소(SP1 내지 SP4)에서, 발광다이오드(De1)의 양극 및 음극은 각각 제2박막트랜지스터(T2)의 소스전극 및 저전위전압(VSS)에 연결된다.
- [0039] 도시하지는 않았지만, 발광다이오드(De1)는 양극, 발광층 및 음극을 포함할 수 있고, 제1 내지 제4부화소(SP1 내지 SP4)에는 각각 상이한 색의 컬러필터가 형성될 수 있다.
- [0040] 이러한 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서, 제1 내지 제4부화소(SP1 내지 SP4) 각각은 발광다이오드(De1)가 배치되어 광을 방출하는 발광영역과, 제1 내지 제3박막트랜지스터(T1 내지 T3)와 스토리지 커패시터(Cst)가 배치되어 광을 방출하지 않는 회로영역을 포함할 수 있다.
- [0041] 여기서, 발광영역은 발광다이오드(De1)의 양극, 발광층 및 음극에 대응되는 영역일 수 있다.
- [0042] 구체적으로, 제1부화소(SP1)는 제1발광영역(EA1) 및 제1회로영역(CA1)을 포함하고, 제2부화소(SP2)는 제2발광영역(EA2) 및 제2회로영역(CA2)을 포함하고, 제3부화소(SP3)는 제3발광영역(EA3) 및 제3회로영역(CA3)을 포함하고, 제4부화소(SP4)는 제4발광영역(EA4) 및 제4회로영역(CA4)을 포함한다.
- [0043] 여기서, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제3박막트랜지스터(T3)의 게이트전극은 센싱배선(SL)에 연결되는 반면, 제3부화소(SP3)의 제3박막트랜지스터(T3)의 게이트전극은 게이트배선(GL)에 연결된다.
- [0044] 이에 따라, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제3박막트랜지스터(T3)는 게이트배선(GL) 및 센싱배선(SL) 사이의 제1, 제2 및 제4회로영역(CA1, CA2, CA4)에 각각 배치되는 반면, 제3부화소(SP3)의 제3박막트랜지스터(T3)는 게이트배선(GL) 상측의 제3회로영역(CA3)에 배치된다.

- [0045] 따라서, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제1, 제2 및 제4회로영역(CA1, CA2, CA4)은 서로 동일한 제1회로면적(Sc1)으로 형성되고, 제3부화소(SP3)의 제3회로영역(CA3)은 제1회로면적(Sc1)보다 변화면적(VA)만큼 작은 제2회로면적(Sc2)으로 형성된다. (Sc1 - VA = Sc2)
- [0046] 그리고, 제3부화소(SP3)의 제3회로영역(CA3)의 감소된 변화면적(VA)은 제3부화소(SP3)의 제3발광영역(EA3)으로 이용된다.
- [0047] 즉, 제3부화소(SP3) 상측의 센싱배선(SL)을 제3부화소(SP3) 상측으로 인접한 부화소의 회로영역의 변화면적(VA)을 둘러싸도록 'ㄷ'자 형태로 4회 절곡하여 구성하고, 제3부화소(SP3)의 발광다이오드(Del)를 절곡된 센싱배선(SL) 하측의 변화면적(VA)을 포함하도록 확대 형성할 수 있다.
- [0048] 따라서, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제1, 제2 및 제4발광영역(EA1, EA2, EA4)은 서로 동일한 제1발광면적(Se1)으로 형성되고, 제3부화소(SP3)의 제3발광영역(EA3)은 제1발광면적(Se1)보다 변화면적(VA)만큼 큰 제2발광면적(Se2)으로 형성된다. (Se1 + VA = Se2)
- [0049] 결론적으로, 제3부화소(SP3)의 발광다이오드(Del)에 대응되는 제3발광영역(EA3)이 증가하므로, 유기발광다이오드 표시장치(110)의 개구율이 증가하고 수명이 향상된다.
- [0050] 한편, 제1, 제2, 제4부화소(SP1, SP2, SP4)의 제3박막트랜지스터(T3)를 센싱배선(SL)에 연결하고 센싱신호(SENS)로 구동함으로써, 제1, 제2, 제4부화소(SP1, SP2, SP4)에서는 구동 박막트랜지스터인 제3박막트랜지스터(T3)의 문턱전압(threshold voltage) 변동 및 이동도(mobility) 변동과 발광다이오드(Del)의 문턱전압 변동(열화)이 보상된다.
- [0051] 반면에, 제3부화소(SP3)의 제3박막트랜지스터(T3)를 센싱배선(SL) 대신 게이트배선(GL)에 연결하고 센싱신호(SENS) 대신 게이트신호(GATE)로 구동함으로써, 제3부화소(SP3)에서는 구동 박막트랜지스터인 제3박막트랜지스터(T3)의 문턱전압 변동 및 이동도 변동은 보상되고 발광다이오드(Del)의 문턱전압 변동(열화)은 보상되지 않는다.
- [0052] 그러나, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 적색, 백색, 녹색을 표시하는 제1, 제2, 제4부화소(SP1, SP2, SP4)의 발광물질에 비하여 청색을 표시하는 제3부화소(SP3)의 발광물질의 수명이 우수하여 열화특성이 양호하고 발광다이오드(Del)의 문턱전압 변동에 대한 보상효과가 미미하므로, 제3부화소(SP3)의 발광다이오드(Del)의 문턱전압 변동을 보상하지 않더라도 특성 저하가 거의 발생하지 않는다.
- [0053] 이러한 제3박막트랜지스터(T3)의 문턱전압 변동 및 이동도 변동과 발광다이오드(Del)의 문턱전압 변동을 도면을 참조하여 설명한다.
- [0054] 도 2a 내지 도 2c는 각각 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 구동 박막트랜지스터의 문턱전압 변동, 구동 박막트랜지스터의 이동도 변동, 발광다이오드의 문턱전압 변동을 검출하기 위한 다수의 신호를 도시한 타이밍도로서, 도 1을 함께 참조하여 설명한다.
- [0055] 도 2a에 도시한 바와 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 게이트배선(GL)의 게이트신호(GATE), 센싱배선(SL)의 센싱신호(SENS), 데이터배선(DL)의 데이터신호(DATA)를 이용하여 구동 박막트랜지스터인 제2박막트랜지스터(T2)의 문턱전압 변동을 산출한다.
- [0056] 구체적으로, 제1타이밍(t1)에, 게이트신호(GATE) 및 센싱신호(SENS)가 로우레벨로부터 하이레벨로 상승하여 제1 및 제3박막트랜지스터(T1, T3)가 턴-온(turn-on) 되고, 데이터신호(DATA)가 입력된다.
- [0057] 제2타이밍(t2)에, 기준배선(RL)에 연결된 소자(예를 들어, 박막트랜지스터)에 인가되는 샘플링신호(SAMP)가 로우레벨로부터 하이레벨로 상승하여 제2박막트랜지스터(T2) 및 발광다이오드(Del) 사이의 연결노드의 전압을 검출한다.
- [0058] 제3타이밍(t3)에, 게이트신호(GATE) 및 센싱신호(SENS)가 하이레벨로부터 로우레벨로 하강하여 제1 및 제3박막트랜지스터(T1, T3)가 턴-오프(turn-off) 된다.
- [0059] 그리고, 검출된 제2박막트랜지스터(T2) 및 발광다이오드(Del) 사이의 연결노드의 전압으로부터 제2박막트랜지스터(T2)의 문턱전압 변동을 산출할 수 있다.
- [0060] 여기서, 게이트신호(GATE) 및 센싱신호(SENS)는 동일한 파형을 가지므로, 제1 및 제3박막트랜지스터(T1, T3)가 각각 게이트신호(GATE) 및 센싱신호(SENS)에 따라 스위칭 되는 제1, 제2, 제4부화소(SP1, SP2, SP4)뿐만

아니라, 제1 및 제3박막트랜지스터(T1, T3)가 모두 게이트신호(GATE)에 따라 스위칭 되는 제3부화소(SP3)에서도 제3박막트랜지스터(T3)의 문턱전압 변동을 검출할 수 있다.

[0061] 도 2b에 도시한 바와 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 게이트배선(GL)의 게이트신호(GATE), 센싱배선(SL)의 센싱신호(SENS), 데이터배선(DL)의 데이터신호(DATA)를 이용하여 구동 박막트랜지스터인 제2박막트랜지스터(T2)의 이동도 변동을 검출한다.

[0062] 구체적으로, 제1타이밍(t1)에, 데이터신호(DATA)가 입력된다.

[0063] 제2타이밍(t2)에, 게이트신호(GATE) 및 센싱신호(SENS)가 로우레벨로부터 하이레벨로 상승하여 제1 및 제3박막트랜지스터(T1, T3)가 턠-온 된다.

[0064] 제3타이밍(t3)에, 기준배선(RL)에 연결된 소자(예를 들어, 박막트랜지스터)에 인가되는 샘플링신호(SAMP)가 로우레벨로부터 하이레벨로 상승하여 제2박막트랜지스터(T2) 및 발광다이오드(Del) 사이의 연결노드의 전압을 검출한다.

[0065] 제4타이밍(t4)에, 게이트신호(GATE) 및 센싱신호(SENS)가 하이레벨로부터 로우레벨로 하강하여 제1 및 제3박막트랜지스터(T1, T3)가 턠-오프 된다.

[0066] 그리고, 검출된 제2박막트랜지스터(T2) 및 발광다이오드(Del) 사이의 연결노드의 전압으로부터 제2박막트랜지스터(T2)의 이동도 변동을 산출할 수 있다.

[0067] 여기서, 게이트신호(GATE) 및 센싱신호(SENS)는 동일한 과형을 가지므로, 제1 및 제3박막트랜지스터(T1, T3)가 각각 게이트신호(GATE) 및 센싱신호(SENS)에 따라 스위칭 되는 제1, 제2, 제4부화소(SP1, SP2, SP4)뿐만 아니라, 제1 및 제3박막트랜지스터(T1, T3)가 모두 게이트신호(GATE)에 따라 스위칭 되는 제3부화소(SP3)에서도 제3박막트랜지스터(T3)의 이동도 변동을 검출할 수 있다.

[0068] 도 2c에 도시한 바와 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 게이트배선(GL)의 게이트신호(GATE), 센싱배선(SL)의 센싱신호(SENS), 데이터배선(DL)의 데이터신호(DATA)를 이용하여 발광다이오드(Del)의 문턱전압 변동을 검출한다.

[0069] 구체적으로, 제1타이밍(t1)에, 센싱신호(SENS)가 로우레벨로부터 하이레벨로 상승하여 제3박막트랜지스터(T3)가 턠-온 되고, 데이터신호(DATA)가 입력된다.

[0070] 제2타이밍(t2)에, 게이트신호(GATE)가 로우레벨로부터 하이레벨로 상승하여 제1박막트랜지스터(T1)가 턠-온 된다.

[0071] 제3타이밍(t3)에, 센싱신호(SENS)가 하이레벨로부터 로우레벨로 상승하여 제3박막트랜지스터(T3)가 턠-오프 된다.

[0072] 제4타이밍(t4)에, 게이트신호(GATE)가 하이레벨로부터 로우레벨로 하강하여 제1박막트랜지스터(T1)가 제1박막트랜지스터(T1)가 턠-오프 된다.

[0073] 제5타이밍(t5)에, 센싱신호(SENS)가 로우레벨로부터 하이레벨로 상승하여 제3박막트랜지스터(T3)가 턠-온 된다.

[0074] 제6타이밍(t6)에, 게이트신호(GATE)가 로우레벨로부터 하이레벨로 상승하여 제1박막트랜지스터(T1)가 턠-온 된다.

[0075] 제7타이밍(t7)에, 기준배선(RL)에 연결된 소자(예를 들어, 박막트랜지스터)에 인가되는 샘플링신호(SAMP)가 로우레벨로부터 하이레벨로 상승하여 제2박막트랜지스터(T2) 및 발광다이오드(Del) 사이의 연결노드의 전압을 검출한다.

[0076] 제8타이밍(t8)에, 게이트신호(GATE)가 하이레벨로부터 로우레벨로 하강하여 제1박막트랜지스터(T1)가 턠-오프 된다.

[0077] 제9타이밍(t9)에, 센싱신호(SENS)가 하이레벨로부터 로우레벨로 하강하여 제3박막트랜지스터(T3)가 턠-오프 된다.

[0078] 그리고, 검출된 제2박막트랜지스터(T2) 및 발광다이오드(Del) 사이의 연결노드의 전압으로부터 발광다이오드(Del)의 문턱전압 변동을 산출할 수 있다.

[0079] 여기서, 게이트신호(GATE) 및 센싱신호(SENS)는 상이한 과형을 가지므로, 제1 및 제3박막트랜지스터(T1, T3)가

각각 게이트신호(GATE) 및 센싱신호(SENS)에 따라 스위칭 되는 제1, 제2, 제4부화소(SP1, SP2, SP4)에서는 발광다이오드(De1)의 문턱전압 변동을 산출할 수 있지만, 제1 및 제3박막트랜지스터(T1, T3)가 모두 게이트신호(GATE)에 따라 스위칭 되는 제3부화소(SP3)에서는 발광다이오드(De1)의 문턱전압 변동을 산출할 수 없다.

[0080] 그러나, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 적색, 백색, 녹색을 표시하는 제1, 제2, 제4부화소(SP1, SP2, SP4)의 발광률질에 비하여 청색을 표시하는 제3부화소(SP3)의 발광률질의 수명이 우수하여 열화특성이 양호하고 발광다이오드(De1)의 문턱전압 변동에 대한 보상효과가 미미하다.

[0081] 따라서, 제3부화소(SP3)의 발광다이오드(De1)의 문턱전압 변동을 보상하지 않더라도 발광다이오드(De1)의 특성 저하는 거의 발생하지 않으며, 제3부화소(SP3)의 발광다이오드(De1)에 대응되는 제3발광영역(EA3)을 증가시킴으로써, 개구율 증가 및 수명 향상의 효과를 얻을 수 있다.

[0082] 이러한 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 수명 특성을 도면을 참조하여 설명한다.

[0083] 도 3은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 구동시간에 따른 휘도편차의 변화를 도시한 그래프로서, 도 1, 도 2를 함께 참조하여 설명한다.

[0084] 도 3에 도시한 바와 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 제3부화소(SP3)의 제3발광영역(EA3)의 제2발광면적(Se2)을 제1, 제2, 제4부화소(SP1, SP2, SP4)의 제1, 제2, 제4발광영역(EA1, EA2, EA4)의 제1발광면적(Se1)보다 크게 형성함으로써, 개구율이 증가하고 수명이 향상된다.

[0085] 구체적으로, 제3부화소(SP3)의 제1 및 제3박막트랜지스터(T1, T3)가 각각 게이트신호(GATE) 및 센싱신호(SENS)에 따라 스위칭 되고 발광다이오드(De1)의 문턱전압 변동의 보상을 수행하지 않는 제1비교예의 유기발광다이오드 표시장치는, 구동초기에 0%의 휘도편차를 갖고 구동말기에 제1최고약 5.2%의 휘도편차(Dmax1)를 갖는다.

[0086] 그리고, 제3부화소(SP3)의 제1 및 제3박막트랜지스터(T1, T3)가 각각 게이트신호(GATE) 및 센싱신호(SENS)에 따라 스위칭 되고 발광다이오드(De1)의 문턱전압 변동의 보상을 수행하는 제2비교예의 유기발광다이오드 표시장치는, 구동초기에 0%의 휘도편차를 갖고 구동말기에 제1최고휘도편차(Dmax1)보다 작은 제2최고약 4.6%의 휘도편차(Dmax2)를 갖는다. ($D_{max1} > D_{max2}$)

[0087] 반면에, 제3부화소(SP3)의 제1 및 제3박막트랜지스터(T1, T3)가 모두 게이트신호(GATE)에 따라 스위칭 되고 발광다이오드(De1)의 문턱전압 변동의 보상을 수행하지 않는 제1실시예의 유기발광다이오드 표시장치(110)는, 구동초기에 0%의 휘도편차를 갖고 구동말기에 제2최고휘도편차(Dmax2)보다 작은 제3최고약 4.0%의 휘도편차(Dmax3)를 갖는다. ($D_{max2} > D_{max3}$)

[0088] 즉, 제1 및 제2비교예의 유기발광다이오드 표시장치의 열화 속도보다 제1실시예의 유기발광다이오드 표시장치(110)의 열화 속도가 낮으며, 그 결과 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)의 수명이 향상된다.

[0089] 이상과 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치(110)에서는, 제3부화소(SP3)의 제3박막트랜지스터(T3)를 센싱배선(SL) 대신에 게이트배선(GL)에 연결하여 게이트배선(GL) 상측의 제3회로영역(CA3)에 배치함으로써, 제3부화소(SP3)의 제3발광영역(EA3)을 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제1, 제2 및 제4발광영역(EA1, EA2, EA4)보다 크게 형성할 수 있으며, 그 결과 유기발광다이오드 표시장치(110)의 개구율이 증가하고 수명이 향상된다.

[0090] 한편, 다른 실시예에서는 제3부화소(SP3)의 변화면적(VA)을 인접 부화소에 할당할 수도 있는데, 이를 도면을 참조하여 설명한다.

[0091] 도 4는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치를 도시한 도면으로, 제1실시예와 동일한 부분에 대한 설명은 생략한다.

[0092] 도 4에 도시한 바와 같이, 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치(210)는 다수의 화소(P)를 포함하고, 각 화소(P)는 제1 내지 제4부화소(SP1 내지 SP4)를 포함한다.

[0093] 구체적으로, 유기발광다이오드 표시장치(210)의 기판(미도시) 상부에는 서로 교차하여 제1 내지 제4부화소(SP1 내지 SP4)를 정의하는 다수의 게이트배선(GL) 및 다수의 데이터배선(DL)이 배치되고, 제2 및 제3부화소(SP2, SP3) 사이에는 다수의 데이터배선(DL)으로부터 평행하게 이격되는 기준배선(RL)이 배치되고, 제1 내지 제4부화소(SP1 내지 SP4) 상측 및 하측에는 게이트배선(GL)으로부터 평행하게 이격되는 센싱배선(SL)이 배치된다.

- [0094] 게이트배선(GL)에는 게이트신호(GATE)가 공급되고, 센싱배선(SL)에는 센싱신호(SENS)가 공급되고, 데이터배선(DL)에는 데이터신호(DATA)가 공급되고, 기준배선(RL)에는 기준신호(REF)가 공급되고, 파워배선에는 고전위전압(VDD)이 공급될 수 있다.
- [0095] 제1 내지 제4부화소(SP1 내지 SP4) 각각에는, 제1 내지 제3박막트랜지스터(T1 내지 T3), 스토리지 커패시터(Cst) 및 발광다이오드(De1)가 배치된다.
- [0096] 제1 내지 제4부화소(SP1 내지 SP4)에서, 스위칭 박막트랜지스터인 제1박막트랜지스터(T1)의 게이트전극, 소스전극 및 드레인전극은 각각 게이트배선(GL), 데이터배선(DL) 및 제2박막트랜지스터(T2)의 게이트전극에 연결된다.
- [0097] 제1 내지 제4부화소(SP1 내지 SP4)에서, 구동 박막트랜지스터인 제2박막트랜지스터(T2)의 게이트전극, 소스전극 및 드레인전극은 각각 제3박막트랜지스터(T3)의 드레인전극, 발광다이오드(De1)의 양극 및 고전위전압(VDD)에 연결된다.
- [0098] 제1, 제2 및 제4부화소(SP1, SP2, SP4)에서, 센싱 박막트랜지스터인 제3박막트랜지스터(T3)의 게이트전극, 소스전극 및 드레인전극은 각각 센싱배선(SL), 제2박막트랜지스터(T2)의 소스전극 및 기준배선(RL)에 연결된다.
- [0099] 반면에, 제3부화소(SP3)에서, 센싱 박막트랜지스터인 제3박막트랜지스터(T3)의 게이트전극, 소스전극 및 드레인전극은 각각 게이트배선(GL), 제2박막트랜지스터(T2)의 소스전극 및 기준배선(RL)에 연결된다.
- [0100] 제1 내지 제4부화소(SP1 내지 SP4)에서, 스토리지 커패시터(Cst)는 제2박막트랜지스터(T2)의 게이트전극 및 소스전극 사이에 연결된다.
- [0101] 제1 내지 제4부화소(SP1 내지 SP4)에서, 발광다이오드(De1)의 양극 및 음극은 각각 제2박막트랜지스터(T2)의 소스전극 및 저전위전압(VSS)에 연결된다.
- [0102] 도시하지는 않았지만, 발광다이오드(De1)는 양극, 발광층 및 음극을 포함할 수 있고, 제1 내지 제4부화소(SP1 내지 SP4)에는 각각 상이한 색의 컬러필터가 형성될 수 있다.
- [0103] 이러한 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치(210)에서, 제1 내지 제4부화소(SP1 내지 SP4) 각각은 발광다이오드(De1)가 배치되어 광을 방출하는 발광영역과, 제1 내지 제3박막트랜지스터(T1 내지 T3)와 스토리지 커패시터(Cst)가 배치되어 광을 방출하지 않는 회로영역을 포함할 수 있다.
- [0104] 구체적으로, 제1부화소(SP1)는 제1발광영역(EA1) 및 제1회로영역(CA1)을 포함하고, 제2부화소(SP2)는 제2발광영역(EA2) 및 제2회로영역(CA2)을 포함하고, 제3부화소(SP3)는 제3발광영역(EA3) 및 제3회로영역(CA3)을 포함하고, 제4부화소(SP4)는 제4발광영역(EA4) 및 제4회로영역(CA4)을 포함한다.
- [0105] 여기서, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제3박막트랜지스터(T3)의 게이트전극은 센싱배선(SL)에 연결되는 반면, 제3부화소(SP3)의 제3박막트랜지스터(T3)의 게이트전극은 게이트배선(GL)에 연결된다.
- [0106] 이에 따라, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제3박막트랜지스터(T3)는 게이트배선(GL) 및 센싱배선(SL) 사이의 제1, 제2 및 제4회로영역(CA1, CA2, CA4)에 각각 배치되는 반면, 제3부화소(SP3)의 제3박막트랜지스터(T3)는 게이트배선(GL) 상측의 제3회로영역(CA3)에 배치된다.
- [0107] 따라서, 제1, 제2 및 제4부화소(SP1, SP2, SP4)의 제1, 제2 및 제4회로영역(CA1, CA2, CA4)은 서로 동일한 제1회로면적(Sc1)으로 형성되고, 제3부화소(SP3)의 제3회로영역(CA3)은 제1회로면적(Sc1)보다 제1변화면적(VA1)만큼 작은 제2회로면적(Sc2)으로 형성된다. (Sc1 - VA1 = Sc2)
- [0108] 그리고, 제3부화소(SP3)의 제3회로영역(CA3)의 감소된 제1변화면적(VA1)은 제3부화소(SP3)의 제3발광영역(EA3) 대신 제4부화소(SP4)의 제4발광영역(EA4)으로 이용된다.
- [0109] 즉, 제3부화소(SP3) 상측의 센싱배선(SL)을 제3부화소(SP3) 상측으로 인접한 부화소의 회로영역의 제1변화면적(VA1)을 둘러싸도록 'ㄷ'자 형태로 4회 절곡하여 구성하고, 제3부화소(SP3)의 발광다이오드(De1)를 절곡된 센싱배선(SL) 하측의 제1변화면적(VA1)을 포함하도록 확대 형성할 수 있다.
- [0110] 그리고, 제3부화소(SP3) 우측의 데이터배선(DL)을 제3부화소(SP3) 우측으로 인접한 부화소의 발광영역의 제2변화면적(VA2)을 둘러싸도록 'ㄷ'자 형태로 4회 절곡하여 구성하고, 제3부화소(SP3)의 발광다이오드(De1)를 절곡된 데이터배선(DL) 좌측의 제2변화면적(VA2)을 제외하도록 축소 형성할 수 있다.
- [0111] 즉, 제1 및 제2부화소(SP1, SP2)의 제1 및 제2발광영역(EA1, EA2)은 서로 동일한 제1발광면적(Se1)으로 형성되

고, 제3부화소(SP3)의 제3발광영역(EA3)은 제1발광면적(Se1)보다 제1 및 제2변화면적(VA1, VA2)의 차이만큼 크거나 작은 제2발광면적(Se2)으로 형성된다. ($Se1 + VA1 - VA2 = Se3$)

[0112] 여기서, 제1 및 제2변화면적(VA1, VA2)은 실질적으로 동일할 수 있으며($VA1 = VA2$), 그 경우 제1 및 제2부화소(SP1, SP2)의 제1 및 제2발광영역(EA1, EA2)의 제발광면적(Se1)과 제3부화소(SP3)의 제3발광영역(EA3)의 제2발광면적(Se2)은 서로 동일할 수 있다. ($Se1 = Se2$)

[0113] 또한, 제4부화소(SP4)의 발광다이오드(De1)를 절곡된 데이터배선(DL) 우측의 제2변화면적(VA2)을 포함하도록 확대 형성할 수 있으며, 그 결과 제4부화소(SP4)의 제4발광영역(EA4)은 제1발광면적(Se1)보다 제2변화면적(VA2)만큼 큰 제3발광면적(Se3)으로 형성된다. ($Se1 + VA2 = Se3$)

[0114] 결론적으로, 제4부화소(SP4)의 발광다이오드(De1)에 대응되는 제4발광영역(EA4)이 증가하므로, 유기발광다이오드 표시장치(210)의 개구율이 증가하고 수명이 향상될 뿐만 아니라, 제4부화소(SP4)가 표시하는 녹색이 강조되어 색특성이 개선되고 휘도가 향상된다.

[0115] 이상과 같이, 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치(210)에서는, 제3부화소(SP3)의 제3박막트랜지스터(T3)를 센싱배선(SL) 대신에 게이트배선(GL)에 연결하여 게이트배선(GL) 상측의 제3회로영역(CA3)에 배치하고, 제3부화소(SP3)의 제3발광영역(EA3)의 제1변화면적(VA1)에 대응되는 제2변화면적(VA2)을 제4부화소(SP4)에 추가함으로써, 제4부화소(SP4)의 제4발광영역(EA4)을 제1, 제2 및 제3부화소(SP1, SP2, SP3)의 제1, 제2 및 제3발광영역(EA1, EA2, EA3)보다 크게 형성할 수 있으며, 그 결과 유기발광다이오드 표시장치(210)의 개구율이 증가하고 수명이 향상될 뿐만 아니라 유기발광다이오드 표시장치(210)의 색특성이 개선되고 휘도가 향상된다.

[0116] 본 발명의 제1 및 제2실시예에서는 하나의 화소가 4개의 부화소(SP1 내지 SP4)를 포함하는 것을 예로 들었으나, 다른 실시예에서는 하나의 화소가 3개의 부화소를 포함할 수도 있다.

[0117] 그리고, 본 발명의 제1 및 제2실시예에서는 4개의 부화소(SP1 내지 SP4) 중 하나의 부화소의 제3박막트랜지스터(T3)가 게이트신호(GATE)에 의하여 스위칭 되는 것을 예로 들었으나, 다른 실시예에서는 4개의 부화소(SP1 내지 SP4) 중 둘 이상의 부화소의 제3박막트랜지스터(T3)가 게이트신호(GATE)에 의하여 스위칭 될 수도 있다.

[0118] 또한, 본 발명의 제1 및 제2실시예에서는 청색을 표시하는 제3부화소(SP3)의 제3박막트랜지스터(T3)가 게이트신호(GATE)에 의하여 스위칭 되는 것을 예로 들었으나, 다른 실시예에서는 적색, 백색 또는 녹색을 표시하는 부화소의 제3박막트랜지스터(T3)가 게이트신호(GATE)에 의하여 스위칭 될 수도 있다.

[0119] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0120] 110: 유기발광다이오드 표시장치 GL: 게이트배선

SL: 센싱배선 DL: 데이터배선

RL: 기준배선 SP1 내지 SP4: 제1 내지 제4부화소

CA1 내지 CA4: 제1 내지 제4회로영역

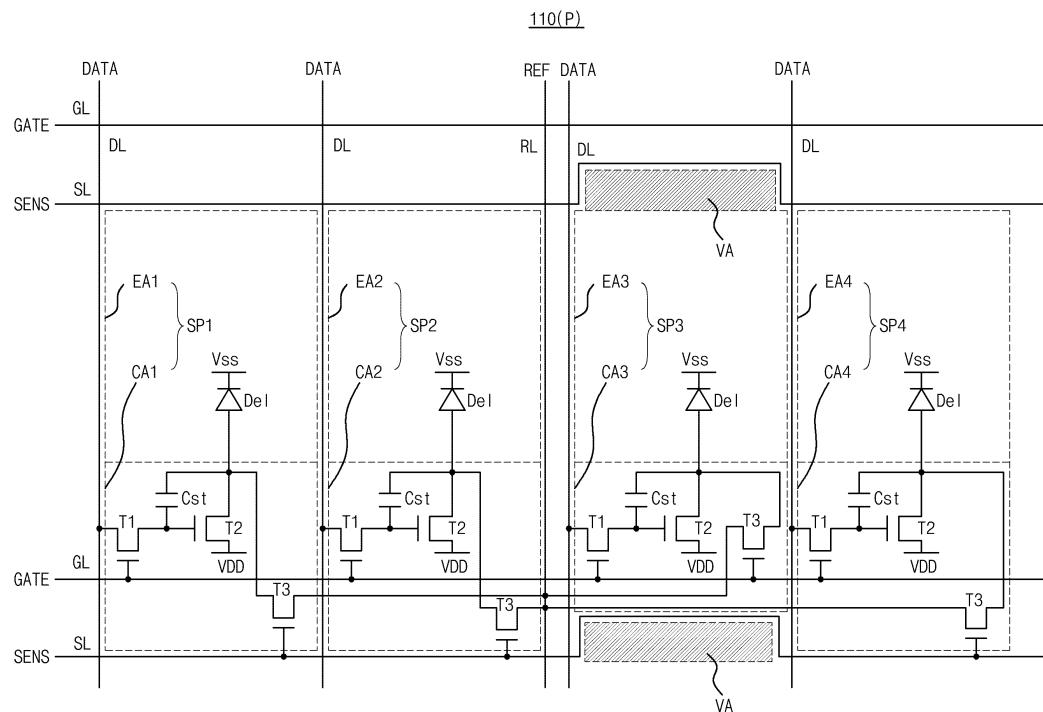
EA1 내지 EA4: 제1 내지 제4발광영역

T1 내지 T3: 제1 내지 제3박막트랜지스터

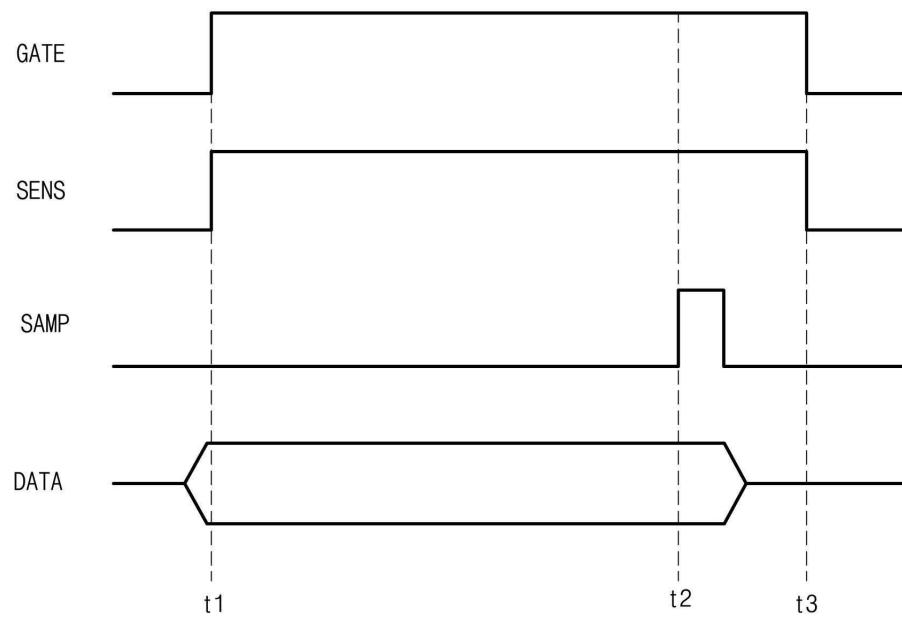
Cst: 스토리지 커퍼시터 De1: 발광다이오드

도면

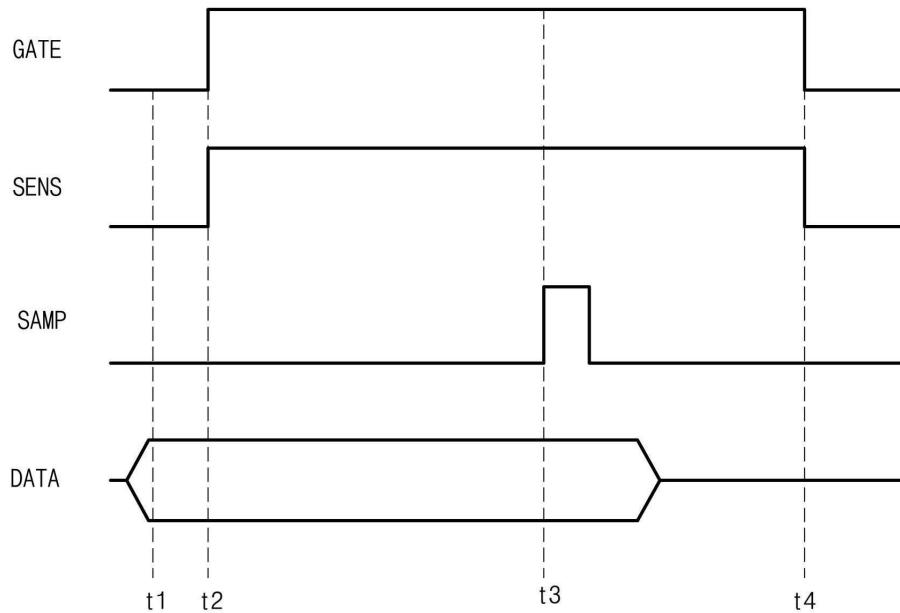
도면1



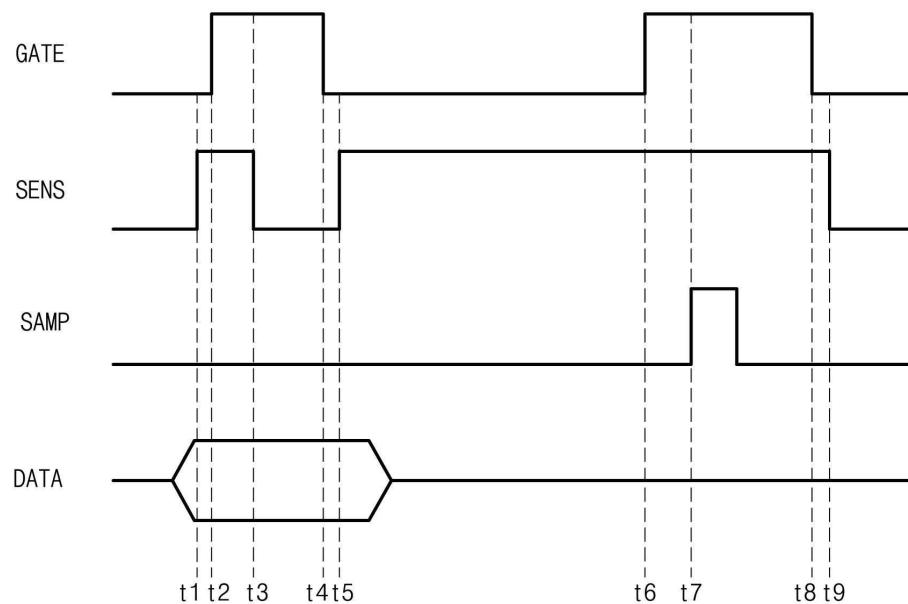
도면2a



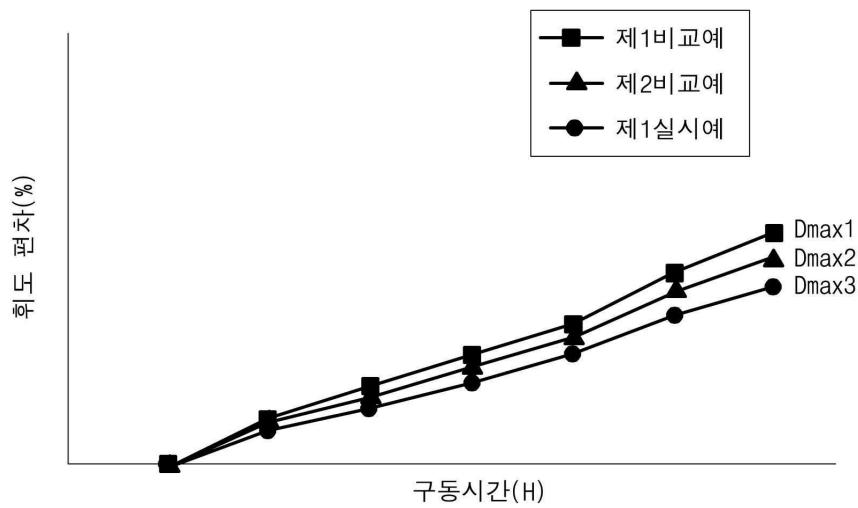
도면2b



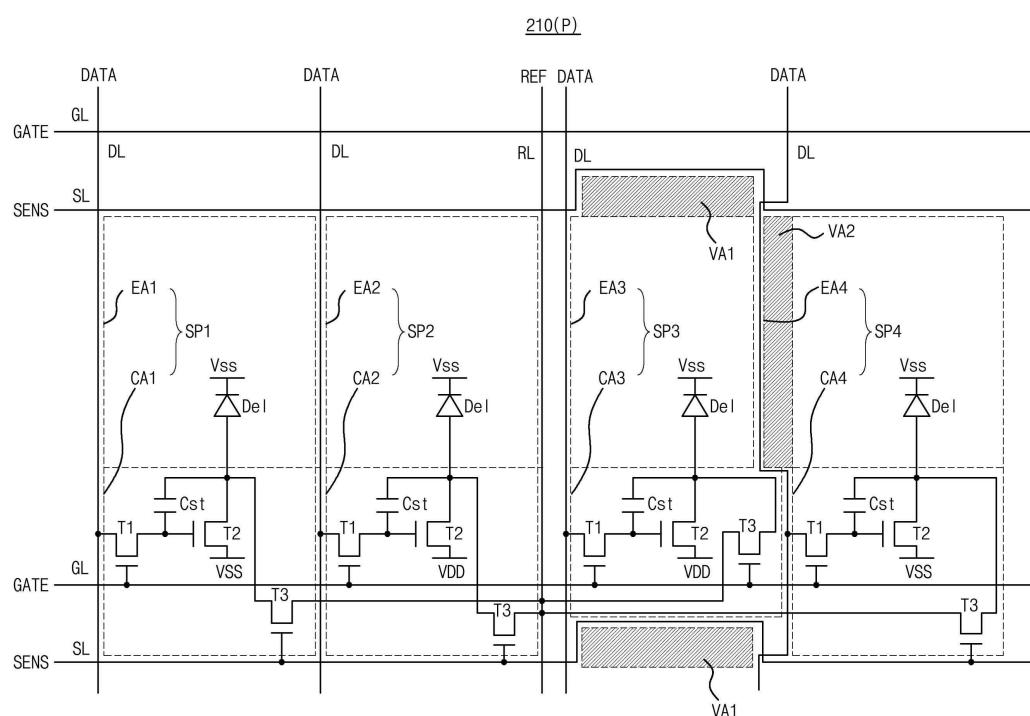
도면2c



도면3



도면4



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020200082183A	公开(公告)日	2020-07-08
申请号	KR1020180172514	申请日	2018-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이태림 강병구 한창훈		
发明人	이태림 강병구 한창훈		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0465		

摘要(译)

本发明包括基板,该基板包括第一至第四子像素。栅极布线和感测布线布置成在基板上彼此间隔开;数据线与栅极线和感测线交叉以限定第一至第四子像素;参考线与数据线隔开;第一至第三薄膜晶体管和存储电容器设置在第一至第四子像素的电路区域中;发光二极管设置在第一至第四子像素的每个发光区域中,并且第三子像素的第一和第三薄膜晶体管提供连接至栅极布线的有机发光二极管显示装置。

