



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0125008  
(43) 공개일자 2019년11월06일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3275 (2016.01) G09G 3/3233 (2016.01)  
(52) CPC특허분류  
G09G 3/3275 (2013.01)  
G09G 3/3233 (2013.01)  
(21) 출원번호 10-2018-0049197  
(22) 출원일자 2018년04월27일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
상우규  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인로얄

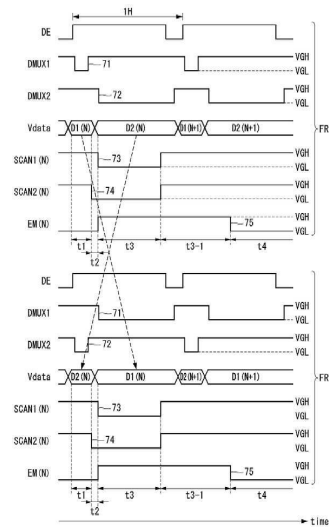
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 표시패널과 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 제1 데이터 라인에 연결되어 제1 프레임 기간에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 공급 받은 다음, 제2 프레임 기간에 데이터 구동부로부터 출력된 제1 데이터 전압을 공급 받는 제1 픽셀 회로; 및 제2 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압을 직접 공급 받은 다음, 상기 제2 프레임 기간에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 공급 받는 제2 픽셀 회로를 포함한다.

대표도 - 도7



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2310/0297 (2013.01)

G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 프레임 기간에 제1 데이터 전압을 충전하는 제1 데이터 라인;

제2 프레임 기간에 제2 데이터 전압을 충전하는 제2 데이터 라인;

상기 제1 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 공급 받은 다음, 상기 제2 프레임 기간에 데이터 구동부로부터 출력된 제1 데이터 전압을 공급 받는 제1 픽셀 회로; 및

상기 제2 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압을 직접 공급 받은 다음, 상기 제2 프레임 기간에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 공급 받는 제2 픽셀 회로를 포함하는 표시패널.

#### 청구항 2

제 1 항에 있어서,

상기 제1 프레임 기간에 상기 제1 데이터 라인의 커패시터에 저장된 상기 제1 데이터 전압이 상기 제1 픽셀 회로에 인가되고,

상기 제2 프레임 기간에 상기 제2 데이터 라인의 커패시터에 저장된 상기 제2 데이터 전압이 상기 제2 픽셀 회로의 커패시터에 인가되는 표시패널.

#### 청구항 3

제 2 항에 있어서,

상기 제1 및 제2 픽셀 회로들 각각은

애노드와 캐소드를 가지는 발광 소자;

상기 발광 소자에 전류를 공급하여 상기 발광 소자를 구동하는 구동 소자;

상기 구동 소자의 문턱 전압 만큼 보상된 데이터 전압이 충전되는 커패시터를 포함하는 표시패널.

#### 청구항 4

제 3 항에 있어서,

상기 제1 프레임 기간의 제1 구간 동안 상기 제1 데이터 라인의 커패시터에 상기 제1 데이터 전압이 충전되고, 상기 제1 프레임 기간의 제2 구간 동안 상기 제1 및 제2 픽셀 회로들이 초기화된 후, 상기 제1 프레임 기간의 제3 구간 동안 상기 제1 픽셀 회로의 커패시터에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 인가함과 동시에 상기 제2 픽셀 회로의 커패시터에 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압이 직접 인가된 다음, 상기 제1 프레임 기간의 제4 구간 동안 상기 제1 및 제2 픽셀 회로의 발광 소자들에 전류 패스가 연결되고,

상기 제2 프레임 기간의 제1 구간 동안 상기 제2 데이터 라인의 커패시터에 상기 제2 데이터 전압이 충전되고, 상기 제2 프레임 기간의 제2 구간 동안 상기 제1 및 제2 픽셀 회로들이 초기화된 후, 상기 제2 프레임 기간의 제3 구간 동안 상기 제2 픽셀 회로의 커패시터에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 인가함과 동시에 상기 제1 픽셀 회로의 커패시터에 상기 데이터 구동부로부터 출력된 상기 제1 데이터 전압이 직접 인가된 다음, 상기 제2 프레임 기간의 제4 구간 동안 상기 제1 및 제2 픽셀 회로의 발광 소자들에 전류 패스가 연결되고,

상기 제1 및 제2 프레임 기간의 제3 구간 동안, 상기 제1 픽셀 회로의 구동 소자의 문턱 전압이 상기 제1 픽셀 회로의 커패시터에 샘플링되고, 상기 제2 픽셀 회로의 구동 소자의 문턱 전압이 상기 제2 픽셀 회로의 커패시터

에 샘플링되는 표시패널.

**청구항 5**

제 4 항에 있어서,

상기 픽셀 회로들 각각은

제1 스캔 신호가 인가되는 제1 게이트 라인에 연결된 게이트, 데이터 라인에 연결된 제1 전극, 상기 커패시터의 제1 전극에 연결된 제2 전극을 포함한 제1 스위치 소자;

제2 스캔 신호가 인가되는 제2 게이트 라인에 연결된 게이트, 상기 커패시터의 제2 전극과 상기 구동 소자의 게이트에 연결된 제1 전극, 및 상기 구동 소자의 제2 전극에 연결된 제2 전극을 포함한 제2 스위치 소자;

발광 제어 신호가 인가되는 제3 게이트 라인에 연결된 게이트, 상기 커패시터의 제1 전극에 연결된 제1 전극, 및 소정의 기준 전압이 인가되는 제2 전극을 포함한 제3 스위치 소자;

상기 제3 게이트 라인에 연결된 게이트, 상기 구동 소자의 제2 전극에 연결된 제1 전극, 및 상기 발광 소자의 애노드에 연결된 제2 전극을 포함한 제4 스위치 소자; 및

상기 제2 게이트 라인에 연결된 게이트, 상기 기준 전압이 인가되는 제1 전극, 및 상기 발광 소자의 애노드에 연결된 제2 전극을 포함한 제5 스위치 소자를 구비하고,

상기 스위치 소자들은 게이트 온 전압에 따라 턴-온되고 게이트 오프 전압에 따라 턴-오프되고,

상기 발광 제어 신호, 상기 제1 스캔 신호, 상기 제2 스캔 신호는 제1 구간 동안 상기 게이트 오프 전압이고,

상기 제2 스캔 신호는 상기 제2 및 제3 구간 동안 상기 게이트 온 전압으로 발생되고, 상기 제1 스캔 신호는 상기 제3 구간 동안 상기 게이트 온 전압으로 발생되며,

상기 발광 제어 신호는 상기 제2 및 제3 구간 동안 상기 게이트 오프 전압으로 발생되고 상기 제4 구간에 상기 게이트 온 전압으로 반전되는 표시패널.

**청구항 6**

제 4 항 또는 제 5 항에 있어서,

상기 제3 구간이 상기 제2 구간 보다 긴 표시패널.

**청구항 7**

제 6 항에 있어서,

상기 제3 구간과 상기 제4 구간 사이에서 상기 제1 및 제2 스캔 신호의 전압의 게이트 오프 전압으로 반전될 때 상기 발광 제어 신호의 전압이 상기 게이트 오프 전압인 표시패널.

**청구항 8**

제 6 항에 있어서,

상기 제3 구간과 상기 제4 구간 사이에서 상기 제1 및 제2 스캔 신호의 전압의 게이트 오프 전압으로 반전됨과 동시에 상기 발광 제어 신호의 전압이 상기 게이트 온 전압으로 반전되는 표시패널.

**청구항 9**

제 3 항에 있어서,

상기 제1 프레임 기간의 제1 구간 동안 상기 제1 및 제2 픽셀 회로들 각각에서 상기 발광 소자의 전류 패스가 차단되고, 상기 제1 프레임 기간의 제2 구간 동안 상기 제1 및 제2 픽셀 회로들이 초기화되고, 상기 제3 프레임 기간의 제3 구간 동안 상기 제1 데이터 라인의 커패시터에 상기 제1 데이터 전압이 충전되고, 상기 제2 프레임 기간의 제4 구간 동안 상기 제1 픽셀 회로의 커패시터에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 인가함과 동시에 상기 제2 픽셀 회로의 커패시터에 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압이 직접 인가된 다음, 상기 제2 프레임 기간의 제5 구간 동안 상기 제1 및 제2 픽셀 회로의 발광 소자들에 전류 패스

가 연결되고,

상기 제1 프레임 기간의 제1 구간 동안 상기 제1 및 제2 픽셀 회로들 각각에서 상기 발광 소자의 전류 패스가 차단되고, 상기 제1 프레임 기간의 제2 구간 동안 상기 제1 및 제2 픽셀 회로들이 초기화되고, 상기 제3 프레임 기간의 제3 구간 동안 상기 제2 데이터 라인의 커패시터에 상기 제2 데이터 전압이 충전되고, 상기 제2 프레임 기간의 제4 구간 동안 상기 제2 픽셀 회로의 커패시터에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 인가함과 동시에 상기 제1 픽셀 회로의 커패시터에 상기 데이터 구동부로부터 출력된 상기 제1 데이터 전압이 직접 인가된 다음, 상기 제2 프레임 기간의 제5 구간 동안 상기 제1 및 제2 픽셀 회로의 발광 소자들에 전류 패스가 연결되고,

상기 제1 및 제2 프레임 기간의 제4 구간 동안, 상기 제1 픽셀 회로의 구동 소자의 문턱 전압이 상기 제1 픽셀 회로의 커패시터에 샘플링되고, 상기 제2 픽셀 회로의 구동 소자의 문턱 전압이 상기 제2 픽셀 회로의 커패시터에 샘플링되는 표시패널.

### 청구항 10

제 9 항에 있어서,

상기 픽셀 회로들 각각은

제1 스캔 신호가 인가되는 제1 게이트 라인에 연결된 게이트, 상기 구동 소자의 게이트와 상기 커패시터의 제2 전극에 연결된 제1 전극, 및 상기 구동 소자의 제2 전극에 연결된 제2 전극을 포함한 제1 스위치 소자;

상기 제1 게이트 라인에 연결된 게이트, 상기 구동 소자의 제1 전극에 연결된 제1 전극, 및 데이터 라인에 연결된 제2 전극을 포함한 제2 스위치 소자;

발광 제어 신호가 인가되는 제3 게이트 라인에 연결된 게이트, 소정의 픽셀 구동 전압이 인가되고 커패시터의 제1 전극에 연결된 제1 전극, 및 상기 구동 소자의 제1 전극에 연결된 제2 전극을 포함한 제3 스위치 소자;

상기 제3 게이트 라인에 연결된 게이트, 상기 구동 소자의 제2 전극과 상기 제1 스위치 소자의 제2 전극에 연결된 제1 전극, 및 발광 소자의 애노드에 연결된 제2 전극을 포함한 제4 스위치 소자;

제2 스캔 신호가 인가되는 제2 게이트 라인에 연결된 게이트, 상기 커패시터의 제2 전극에 연결된 제1 전극, 및 소정의 기준 전압이 인가되는 제2 전극을 포함한 제5 스위치 소자; 및

상기 제1 게이트 라인에 연결된 게이트, 상기 기준 전압이 인가되는 제1 전극, 및 상기 발광 소자의 애노드에 연결된 제2 전극을 포함한 제6 스위치 소자를 구비하고,

상기 스위치 소자들은 게이트 온 전압에 따라 턴-온되고 게이트 오프 전압에 따라 턴-오프되고,

상기 발광 제어 신호는 제1 내지 제4 구간 동안 상기 게이트 오프 전압으로 발생된 후, 제5 구간 동안 상기 게이트 온 전압으로 반전되고,

상기 제2 스캔 신호가 제2 구간 동안 상기 게이트 온 전압으로 발생된 후, 상기 제1 스캔 신호가 상기 제3 구간 동안 상기 게이트 온 전압으로 발생되는 표시패널.

### 청구항 11

제 10 항에 있어서,

상기 제4 구간이 상기 제3 구간 보다 긴 표시패널.

### 청구항 12

제1 프레임 기간에 출력 단자를 통해 제1 데이터 전압을 출력한 후에 제2 데이터 전압을 출력한 다음, 제2 프레임 기간에 상기 출력 단자를 통해 상기 제2 데이터 전압을 출력한 후에 상기 제1 데이터 전압을 출력하는 데이터 구동부;

제1 프레임 기간에 제1 데이터 전압을 제1 데이터 라인에 공급한 후에 제2 데이터 전압을 제2 데이터 라인에 공급한 다음, 제2 프레임 기간에 상기 제2 데이터 전압을 상기 제2 데이터 라인에 공급한 후에 상기 제1 데이터 전압을 상기 제1 데이터 라인에 공급하는 디멀티플렉서;

상기 제1 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 공급 받은 다음, 상기 제2 프레임 기간에 상기 디멀티플렉서를 통해 상기 데이터 구동부의 출력 단자와 상기 데이터 라인이 연결된 상태에서 상기 데이터 구동부로부터 출력된 제1 데이터 전압을 공급 받는 제1 픽셀 회로; 및

상기 제2 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 소정 시간 동안 상기 디멀티플렉서와 상기 제2 데이터 라인을 통해 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압을 직접 공급 받은 다음, 상기 제2 프레임 기간에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 공급 받는 제2 픽셀 회로를 포함하는 전계 발광 표시장치.

**청구항 13**

제 12 항에 있어서,

상기 디멀티플렉서는

상기 제1 데이터 라인에 연결된 제1 스위치 소자; 및

상기 제2 데이터 라인에 연결된 제2 스위치 소자를 포함하고,

상기 제1 스위치 소자는 상기 제1 프레임 기간에 제2 스위치 소자에 앞서 턴-온되고,

상기 제2 스위치 소자는 상기 제2 프레임 기간에 상기 제1 스위치 소자 보다 앞서 턴-온되는 전계 발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 데이터 구동부와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)가 배치된 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 나뉘어진다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 유기 발광 표시장치의 OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있다. OLED의 애노드와 캐소드에 전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 방출하게 된다.

[0005] 평판 표시장치의 픽셀들 각각은 컬러 구현을 위하여 컬러가 서로 다른 다수의 서브 픽셀들로 나뉘어지고, 서브 픽셀들 각각은 스위치 소자 또는 구동 소자로 이용되는 트랜지스터를 포함한다. 이러한 트랜지스터는 TFT(Thin Film Transistor)로 구현될 수 있다.

[0006] 평판 표시장치의 구동 회로는 데이터 신호를 데이터 라인들에 공급하는 데이터 구동회로, 게이트 신호(또는 스캔 신호)를 게이트 라인들(또는 스캔 라인들)에 공급하는 게이트 구동회로 등을 포함한다. 게이트 구동회로는 화면을 구성하는 픽셀 어레이의 TFT(Thin film transistor) 어레이와 함께 동일 기판 상에 직접 형성될 수 있다. 이하에서, 표시패널의 기판 상에 직접 형성되는 게이트 구동회로를 "GIP 회로"로 칭하기로 한다. GIP 회로는 시프트 레지스터(shift register)를 이용하여 출력을 시프트함으로써 게이트 신호를 게이트 라인들에 순차적으로 공급할 수 있다.

- [0007] 유기 발광 표시장치는 서브 픽셀들마다 배치된 픽셀 회로를 포함한다. 픽셀 회로들 각각은 다수의 트랜지스터들을 포함한다. 이러한 트랜지스터들에 과형이 다른 게이트 신호가 인가될 수 있다. 픽셀 회로에 인가되는 게이트 신호들의 개수 만큼 GIP 회로가 필요하다. GIP 회로 각각은 시프트 레지스터를 포함하고, 시프트 레지스터를 제어하기 위한 스타트 펄스, 시프트 클럭 등이 전송되는 배선들이 필요하다.
- [0008] GIP 회로는 표시패널의 기판 상에서 베젤 영역(Bezel area)에 배치된다. 베젤 영역은 영상이 표시되는 화면 즉, 픽셀 어레이(Active area) 밖의 비표시 영역이다. GIP 회로가 커지면 표시패널 상에서 베젤 영역이 커지기 때문에 네로우 베젤(narrow bezel)을 구현할 수 없다.
- [0009] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여, 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로가 픽셀 회로에 적용되고 있다.
- [0010] 유기 발광 표시장치의 고해상도와 고속 구동 추세에서, 기존의 보상 방법으로는 픽셀의 구동 특성 차이를 충분히 보상할 수 없다. 예컨대, 해상도가 높아질수록 그리고 구동 주파수가 높아질수록 표시패널에서 1 라인의 픽셀들에 데이터를 기입하는 1 수평 기간이 감소된다. 1 수평 기간은 화면 상에서 1 수평 라인에 배치된 픽셀들에 데이터를 기입하는 시간이다. 유기 발광 표시장치의 구동 회로는 1 수평 기간 내에서 구동 소자의 문턱 전압을 샘플링하고 그 문턱 전압으로 데이터 전압을 보상하여 데이터를 픽셀들에 기입한다. 1 수평 기간이 작아지면 구동 소자의 문턱 전압 샘플링 기간이 감소된다. 구동 소자의 문턱 전압 샘플링에 필요한 시간의 부족하게 되면, 구동 전압의 문턱 전압이 부정확하게 감지(sensing)되어 픽셀들 간의 구동 특성 차이가 초래될 수 있다. 픽셀들 간 구동 특성 차이는 동일 계조의 데이터를 모든 픽셀들에 기입하더라도 휘도 차이를 초래하여 화면 상에서 얼룩이 보여질 수 있다.

**발명의 내용**

**해결하려는 과제**

- [0011] 본 발명은 디멀티플렉서를 이용하여 데이터 구동회로의 채널 수를 줄이고 픽셀들의 구동 특성 차이를 보상할 수 있는 시간을 충분히 확보할 수 있음은 물론 픽셀들 간의 휘도 차이를 최소화할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

**과제의 해결 수단**

- [0012] 본 발명의 표시패널은 제1 프레임 기간에 제1 데이터 전압을 충전하는 제1 데이터 라인; 제2 프레임 기간에 제2 데이터 전압을 충전하는 제2 데이터 라인; 상기 제1 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 공급 받은 다음, 상기 제2 프레임 기간에 데이터 구동부로부터 출력된 제1 데이터 전압을 공급 받는 제1 픽셀 회로; 및 상기 제2 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압을 직접 공급 받은 다음, 상기 제2 프레임 기간에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 공급 받는 제2 픽셀 회로를 포함한다.
- [0013] 본 발명의 전계 발광 표시장치는 제1 프레임 기간에 출력 단자를 통해 제1 데이터 전압을 출력한 후에 제2 데이터 전압을 출력한 다음, 제2 프레임 기간에 상기 출력 단자를 통해 상기 제2 데이터 전압을 출력한 후에 상기 제1 데이터 전압을 출력하는 데이터 구동부; 제1 프레임 기간에 제1 데이터 전압을 제1 데이터 라인에 공급한 후에 제2 데이터 전압을 제2 데이터 라인에 공급한 다음, 제2 프레임 기간에 상기 제2 데이터 전압을 상기 제2 데이터 라인에 공급한 후에 상기 제1 데이터 전압을 상기 제1 데이터 라인에 공급하는 디멀티플렉서; 상기 제1 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 제1 데이터 라인의 커패시터에 저장된 전압을 공급 받은 다음, 상기 제2 프레임 기간에 상기 디멀티플렉서를 통해 상기 데이터 구동부의 출력 단자와 상기 데이터 라인 이 연결된 상태에서 상기 데이터 구동부로부터 출력된 제1 데이터 전압을 공급 받는 제1 픽셀 회로; 및 상기 제2 데이터 라인에 연결되어 상기 제1 프레임 기간에 상기 소정 시간 동안 상기 디멀티플렉서와 상기 제2 데이터 라인을 통해 상기 데이터 구동부로부터 출력된 상기 제2 데이터 전압을 직접 공급 받은 다음, 상기 제2 프레임 기간에 상기 제2 데이터 라인의 커패시터에 저장된 전압을 공급 받는 제2 픽셀 회로를 포함한다.

**발명의 효과**

- [0014] 본 발명은 제1 데이터 신호의 전압을 제1 데이터 라인에 충전하여 그 전압을 저장한 후에 제2 데이터 신호의 전압을 제2 픽셀에 공급함과 동시에 제1 데이터 라인에 저장된 전압을 제1 픽셀에 공급하여 구동 소자의 문턱 전압을 샘플링하여 구동 소자의 문턱 전압 만큼 데이터 전압을 실시간 보상할 수 있다. 본 발명은 픽셀들의 문턱

전압을 샘플링할 수 있는 시간을 충분히 확보할 수 있다.

[0015] 본 발명은 데이터 라인에 저장된 데이터 전압을 픽셀 회로에 전달하는 방식과, 데이터 구동부로부터의 데이터 전압을 픽셀 회로에 직접 전달하는 소정 시간 주기로 교환(swap)함으로써 픽셀들 간의 휘도차가 인지되는 현상을 방지할 수 있다.

**도면의 간단한 설명**

- [0016] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
- 도 2 및 도 3은 본 발명에 적용 가능한 픽셀 회로들의 예를 보여 주는 회로도들이다.
- 도 4는 디멀티플렉서를 이용한 데이터 라인 구동 방법의 일 예를 보여 주는 흐름도이다.
- 도 5는 본 발명의 실시예에 따른 픽셀 구동 방법을 보여 주는 흐름도이다.
- 도 6은 본 발명의 제1 실시예에 따른 픽셀 회로들과 신호 배선들을 상세히 보여 주는 회로도이다.
- 도 7은 도 6에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- 도 8은 표시패널의 제N 내지 제N+1 라인들의 픽셀들에 연결된 신호 배선들을 보여 주는 도면이다.
- 도 9는 도 8에 도시된 제N 및 제N+1 라인들의 픽셀들에 인가되는 신호들을 보여 주는 파형도이다.
- 도 10a 내지 도 17b는 도 6 및 도 7에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.
- 도 18은 본 발명의 제2 실시예에 따른 픽셀 회로들과 신호 배선들을 상세히 보여 주는 회로도이다.
- 도 19는 도 18에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- 도 20은 표시패널의 제N 내지 제N+1 라인들의 픽셀들에 연결된 신호 배선들을 보여 주는 도면이다.
- 도 21a 내지 도 28b는 도 18 및 도 19에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.
- 도 29는 본 발명의 제3 실시예에 따른 픽셀 회로들과 신호 배선들을 상세히 보여 주는 회로도이다.
- 도 30은 도 29에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- 도 31a 내지 도 40b는 도 29 및 도 30에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0018] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0019] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0022] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수

나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.

- [0023] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0024] 본 발명의 전계 발광 표시장치에서 픽셀 회로와 GIP 회로는 n 채널 트랜지스터(NMOS)와 p 채널 트랜지스터(PMOS) 중 하나 이상을 포함할 수 있다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함하는 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0025] GIP 회로로부터 출력되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙(swing)한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0027] 본 발명은 디멀티플렉서(Demultiplexer, DEMUX)를 이용하여 데이터 구동부의 한 채널을 통해 출력되는 데이터 전압을 N(N은 2 이상의 짝수) 개의 데이터 라인들에 시분할 공급한다. 디멀티플렉서의 데이터 분배 결과, 표시패널의 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들에 인가될 데이터 전압이 데이터 라인들에 연결된 커패시터들에 저장되어 데이터 라인들에 데이터 전압이 샘플링(sampling)된다. 다음 데이터가 인가되기 전까지 데이터 라인들의 커패시터에 저장된 데이터 전압이 유지(hold)된다. 이어서, 본 발명은 픽셀 회로를 이용하여 상기 두 개 이상의 라인들에 배치된 픽셀들에서 구동 소자의 전기적 특성 편차 만큼 데이터 전압을 동시에 보상하고 보상된 데이터 전압으로 픽셀들의 발광 소자(EL)를 동시에 구동한다.
- [0028] 본 발명은 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들에 공급될 데이터 전압을 N 개의 데이터 라인들에 순차적으로 충전한 후에, 그 픽셀들의 전기적 특성을 동시에 보상한다. 따라서, 본 발명은 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들의 보상에 필요한 시간을 종래 기술 보다 두 배 이상 충분히 확보할 수 있고 추가 보상이나 다른 용도로 이용할 수 있는 여유 시간을 더 확보할 수 있다.
- [0029] 도 1을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널(100)의 픽셀들(101)에 데이터를 기입하기 위한 표시패널 구동회로를 포함한다.
- [0030] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 픽셀 어레이를 포함한다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(103)과 교차되는 다수의 게이트 라인들(103), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0031] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 이하에서 픽셀은 서브 픽셀과 같은 의미로 해석될 수 있다.
- [0032] 픽셀 회로는 도 2 및 도 3의 예와 같이, 발광 소자, 구동 소자, 하나 이상의 스위치 소자, 및 커패시터를 포함한다. 구동 소자와 스위치 소자는 TFT(Thin Film Transistor)로 구현될 수 있다. 픽셀 회로는 도 2 및 도 3

에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 도 2 및 도 3은 p 채널 TFT 기반으로 구현된 픽셀 회로를 예시할 수 있으나 픽셀 회로는 공지된 n 채널 TFT 기반의 픽셀 회로로 구현될 수도 있다. 픽셀 회로는 데이터 라인(102)과 게이트 라인(103)에 연결된다.

- [0033] 표시패널(100)은 도 2 및 도 3에 도시된 바와 같이 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 제1 전원 라인(41), 픽셀 회로를 초기화하기 위한 기준 전압(Vref)을 서브 픽셀들(101)에 공급하기 위한 제2 전원 라인(42), 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극 등을 더 포함할 수 있다. 전원 라인들과 VSS 전극은 도시하지 않은 전원 회로에 연결된다.
- [0034] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0035] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)를 더 구비한다.
- [0036] 표시패널 구동회로는 타이밍 콘트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 콘트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.
- [0037] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 프레임 개수 만큼 변화가 없을 때 표시장치의 소비 전력을 줄이기 위하여 설정될 수 있다. 다시 말하여, 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.
- [0038] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 콘트롤러(130)로부터 수신되는 입력 영상의 픽셀 데이터(디지털 데이터)를 감마 보상 전압으로 변환하여 데이터 신호의 전압(이하, “데이터 전압”이라 함)을 발생한다. 데이터 구동부(110)는 채널들 각각에서 출력 버퍼를 통해 데이터 전압을 출력한다.
- [0039] 디멀티플렉서(112)는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 도 6에서 “AMP”는 데이터 구동부(110)의 출력 버퍼를 나타낸다. “S1” 및 “S2”는 디멀티플렉서(112)의 스위치 소자들을 나타낸다. 데이터 구동부(110)에서 하나의 채널에 연결된 출력 버퍼(AMP)는 도 6에 도시된 바와 같이 디멀티플렉서(112)를 통해 이웃한 데이터 라인들(21A, 21B)에 연결될 수 있다. 디멀티플렉서(112)는 표시패널(100)의 기판 상에 직접 형성되거나, 데이터 구동부(110)와 함께 하나의 IC 패키지(package)에 집적될 수 있다.
- [0040] 게이트 구동부(120)는 픽셀 어레이의 TFT 어레이와 함께 표시패널(100) 상의 베젤 영역(Bezel, BZ) 상에 직접 형성되는 GIP 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 콘트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 데이터가 기입될 라인의 픽셀들을 선택하기 위한 스캔 신호(SCAN1, SCAN2)와, 데이터 전압이 충전된 픽셀들의 발광 시간을 정의하는 발광 제어 신호(이하, “EM 신호”라 함)를 포함한다.
- [0041] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호(SCAN1, SCAN2)를 출력하고, 시프트 클럭에 따라 스캔 신호(SCAN1, SCAN2)를 순차적으로 시프트한다. 제2 게이트 구동부(122)는 EM 신호(EM)를 출력하고, 시프트 클럭에 따라 EM 신호(EM)를 순차적으로 시프트한다. 베젤(bezel)이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)를 구성하는 스위치 소자들이 픽셀 어레이 내에 분산 배치될 수 있다.
- [0042] 타이밍 콘트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭(CLK) 및 데이터 인에이블신호(도 7의 DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비

케이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기의 시스템 중 어느 하나일 수 있다.

- [0043] 타이밍 콘트롤러(130)는 입력 프레임 주파수를  $i$  배 채배하여 입력 프레임 주파수  $\times i$  ( $i$ 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 콘트롤러(130)는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0044] 타이밍 콘트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)의 동작 타이밍을 제어하기 위한 스위치 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0045] 타이밍 콘트롤러(130)는 픽셀들 간의 휘도 차이를 줄이기 위하여 프레임 기간 단위로 픽셀 데이터의 전송 순서와, 디멀티플렉서(112)의 스위치 온/오프 순서, 게이트 구동부(120)의 출력 순서를 변경할 수 있다.
- [0046] 도 2 및 도 3은 본 발명에 적용 가능한 픽셀 회로들의 예를 보여 주는 회로도들이다. 도 2 및 도 3에 도시된 픽셀 회로들은 구동 소자의 문턱 전압( $V_{th}$ )을 센싱하고 그 문턱 전압( $V_{th}$ ) 만큼 데이터 전압( $V_{data}$ )을 보상하는 내부 보상 회로가 적용된 예이다. 내부 보상 회로는 픽셀 회로마다 내장되어 픽셀 회로들 각각에서 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 문턱 전압을 샘플링하여 상기 구동 소자의 문턱 전압 만큼 데이터 전압을 실시간 보상한다. 한편, 본 발명은 도 2 및 도 3에 도시된 픽셀 회로에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 본 발명의 픽셀 회로는 구동 소자의 이동도(mobility,  $\mu$ )를 센싱하고 그 이동도 만큼 데이터 전압( $V_{data}$ )을 보상하는 내부 보상 회로로 적용될 수 있다.
- [0047] 도 2를 참조하면, 픽셀 회로의 일 예는 발광 소자(EL)와, 다수의 TFT들(Thin Film Transistor)(T1~T5, DT), 커패시터(Cst) 등을 포함한다. TFT들(T1~T5, DT)은 p 채널 TFT(PMOS)로 구현될 수 있으나 이에 한정되지 않는다.
- [0048] 스위치 TFT들(T1~T5)은 게이트 라인(31~33)으로부터의 게이트 신호에 따라 온/오프되어 픽셀 회로를 초기화한 후, 구동 TFT(DT)의 소스와 드레인을 연결한 다음, 데이터 전압을 커패시터(Cst)에 공급한다. 그리고 스위치 TFT들(T1~T5)은 구동 TFT(DT)와 발광 소자(DT) 사이의 전류 패스(current pass)를 스위칭한다. 구동 TFT(DT)의 게이트와 드레인이 연결되면, 구동 TFT(DT)가 다이오드 형태로 동작하여 구동 TFT(DT)의 소스-게이트간 전압이 구동 TFT(DT)의 문턱 전압까지 상승하여 커패시터(Cst)에 샘플링된다.
- [0049] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제4 노드( $n_4$ )를 통해 제4 및 제5 스위치 TFT들(T4, T5)에 연결된다. OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다. 구동 TFT(DT)는 OLED에 전류를 공급하여 OLED를 구동한다. OLED는 데이터 전압( $V_{data}$ )에 따라 구동 TFT(DT)에 의해 조절되는 전류량으로 발광한다. OLED의 전류패스는 제4 스위치 TFT(T4)에 의해 스위칭된다.
- [0050] 커패시터(Cst)는 제1 노드( $n_1$ )와 제2 노드( $n_2$ ) 사이에 연결된다. 제1 노드( $n_1$ )는 제1 스위치 TFT(T1)의 제2 전극, 제3 스위치 TFT(T3)의 제1 전극, 및 커패시터(Cst)의 제1 전극에 연결된다. 제2 노드( $n_2$ )는 커패시터(Cst)의 제2 전극, 구동 소자(DT)의 게이트, 및 제2 스위치 TFT(T2)의 제1 전극에 연결된다. 커패시터(Cst)에 샘플링된 구동 TFT(DT)의 문턱 전압( $V_{th}$ ) 만큼 보상된 데이터 전압( $V_{data}$ )이 충전된다. 따라서, 서브 픽셀들 각각에서 데이터 전압( $V_{data}$ )은 구동 TFT(DT)의 문턱 전압( $V_{th}$ ) 만큼 보상되기 때문에 서브 픽셀들에서 구동 TFT의 특성 편차가 보상되어 균일한 구동 특성으로 구동될 수 있다.
- [0051] 제1 스위치 TFT(T1)는 제1 스캔 신호(SCAN1)에 응답하여 데이터 전압( $V_{data}$ )을 제1 노드( $n_1$ )에 공급하는 스위치 소자이다. 제1 스위치 TFT(T1)는 제1 게이트 라인(31)에 연결된 게이트, 데이터 라인(21)에 연결된 제1 전극, 및 제1 노드( $n_1$ )에 연결된 제2 전극을 포함한다. 제1 스캔 신호(SCAN1)는 제1 게이트 라인(31)을 통해 픽셀 어레이의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 제1 스캔 신호(SCAN1)는 두 라인들에 배치된 픽셀들에서 구동 TFT(DT)의 문턱 전압을 샘플링하고 데이터 전압을 픽셀들에 충전하는 보상 기간을 정의한다. 제1 스캔 신호(SCAN1)는 게이트 온 전압(VGL)의 펄스로 발생될 수 있다. 제1 스캔 신호(SCAN1)의 펄스 폭(pulse

width)은 도 10에 도시된 바와 같이 1 수평 기간(도 7의 1H) 이하로 설정될 수 있다. 제1 스캔 신호(SCAN1)의 펄스 폭 내에서 두 라인들에 배치된 픽셀들에 형성된 구동 TFT(DT)의 문턱 전압이 동시에 샘플링되고 그 픽셀들에 데이터 전압이 동시에 충전되어 데이터가 기입(write)될 수 있다.

- [0052] 제2 스위치 TFT(T2)는 제2 스캔 신호(SCAN2)에 응답하여 구동 TFT(DT)의 게이트와 제2 전극을 연결하여 구동 TFT(DT)를 다이오드(Diode)로 동작하게 한다. 제2 스위치 TFT(T2)는 제2 게이트 라인(32)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다. 제2 스캔 신호(SCAN2)는 제2 게이트 라인(32)을 통해 픽셀 어레이의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 제2 스캔 신호(SCAN2)의 펄스는 두 라인들에 배치된 픽셀들의 초기화 기간과 보상 기간 동안 게이트 온 전압(VGL)으로 발생된다. 제2 스캔 신호(SCAN2)의 펄스 폭은 1 수평 기간(1H) 이하로 설정될 수 있다.
- [0053] 제3 스위치 TFT(T3)는 EM 신호(EM)에 응답하여 소정의 기준 전압(Vref)을 제1 노드(n1)에 공급하여 제1 노드(n1)를 기준 전압(Vref)으로 초기화한다. 제3 스위치 TFT(T3)는 제3 게이트 라인(33)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 제2 전원 라인(42)에 연결된 제2 전극을 포함한다. EM 신호(EM)는 발광 소자(EL)의 턴-온/오프(turn-on/off) 시간을 정의한다. EM 신호(EM)는 제3 게이트 라인(33)을 통해 픽셀 어레이의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. EM 신호(EM)의 펄스는 발광 소자(EL)의 발광을 차단하기 위한 게이트 오프 전압으로 발생될 수 있다. EM 신호(EM)의 게이트 오프 전압(VGH) 구간 즉, 펄스 폭 구간은 발광 소자(EL)의 전류 패스가 차단하여 발광 소자(EL)가 턴-오프 시간을 정의한다. EM 신호(EM)가 게이트 온 전압(VGL)일 때 발광 소자(EL)의 전류 패스가 연결되어 발광 소자(EL)가 턴-온되어 발광 소자(EL)가 발광될 수 있다.
- [0054] 제4 스위치 TFT(T4)는 EM 신호(EM)에 응답하여 발광 소자(EL)의 전류 패스를 스위칭한다. 제4 스위치 TFT(T4)의 게이트는 제3 게이트 라인(33)에 연결된다. 제4 스위치 TFT(T4)의 제1 전극은 제3 노드(n3)에 연결되고, 제4 스위치 TFT(T4)의 제2 전극은 제4 노드(n4)에 연결된다.
- [0055] 제5 스위치 TFT(T5)는 제2 스캔 신호(SCAN2)에 응답하여 발광 소자(EL)의 애노드에 연결된 제4 노드(n4)의 전압을 기준 전압(Vref)으로 초기화한다. 제5 스위치 TFT(T5)는 제2 게이트 라인(32)에 연결된 게이트, 제2 전원 라인(42)에 연결된 제1 전극, 및 제4 노드(n4)에 연결된 제2 전극을 포함한다. 제2 스캔 신호(SCAN2)는 제2 게이트 라인(32)을 통해 픽셀 어레이의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 기준 전압(Vref)은 제2 전원 라인(42)을 통해 픽셀들에 공급된다.
- [0056] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 발광 소자(EL)에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 제2 노드(n2)에 연결된 게이트, 제1 전원 라인(41)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다. 픽셀 구동 전압(VDD)은 제1 전원 라인(41)을 통해 픽셀들에 공급된다.
- [0057] 도 3을 참조하면, 픽셀 회로의 다른 예는 발광 소자(EL)와, 다수의 TFT들 (T11~T16, DT), 커패시터(Cst) 등을 포함한다. TFT들(T11~T16, DT)은 p 채널 TFT(PMOS)로 구현될 수 있으나 이에 한정되지 않는다.
- [0058] 커패시터(Cst)는 제1 노드(n1)와 제2 노드(n2) 사이에 연결된다. 픽셀 구동 전압(VDD)은 제1 전원 라인(41)을 통해 픽셀 회로에 공급된다.
- [0059] 커패시터(Cst)는 제1 노드(n1)와 제2 노드(n2) 사이에 연결된다. 제1 노드(n1)는 픽셀 구동 전압(VDD)이 인가되는 전원 라인, 제3 스위치 TFT(T13)의 제1 전극, 및 커패시터(Cst)의 제1 전극에 연결된다. 제2 노드(n2)는 커패시터(Cst)의 제2 전극, 구동 소자(DT)의 게이트, 및 제5 스위치 TFT(T15)의 제1 전극에 연결된다.
- [0060] 제1 스위치 TFT(T11)는 제N(N은 양의 정수) 스캔 신호(SCAN(N))에 응답하여 구동 TFT(DT)의 게이트와 제2 전극을 연결한다. 제1 스위치 TFT(T11)는 제1 게이트 라인(31)에 연결된 게이트, 구동 TFT(DT)의 게이트에 연결된 제1 전극, 및 구동 TFT(DT)의 제2 전극에 연결된 제2 전극을 포함한다. 제N 스캔 신호(SCAN(N))는 제1 게이트 라인(31)을 통해 픽셀 회로에 인가된다.
- [0061] 제2 스위치 TFT(T12)는 제N 스캔 신호(SCAN(N))에 응답하여 데이터 전압(Vdata)을 구동 TFT(DT)의 제1 전극에 인가한다. 제2 스위치 TFT(T12)는 제1 게이트 라인(31)에 연결된 게이트, 구동 TFT(DT)의 제1 전극에 연결된 제1 전극, 및 데이터 라인(21)에 연결된 제2 전극을 포함한다.
- [0062] 제3 스위치 TFT(T13)는 EM 신호(EM1)에 응답하여 픽셀 구동 전압(VDD)을 구동 TFT(DT)의 제1 전극에 인가한다. 제3 스위치 TFT(T13)는 제3 게이트 라인(33)에 연결된 게이트, 제1 전원 라인(41)에 연결된 제1 전극, 및 구동 TFT(DT)의 제1 전극에 연결된 제2 전극을 포함한다. EM 신호(EM1)는 제1 게이트 라인(33)을 통해 픽셀 회로에

인가된다.

- [0063] 제4 스위치 TFT(T14)는 EM 신호(EM1)에 응답하여 구동 TFT(DT)의 제2 전극을 발광 소자(EL)의 애노드에 연결한다. 제4 스위치 TFT(T14)의 게이트는 제3 게이트 라인(33)에 연결된다. 제4 스위치 TFT(T14)의 제1 전극은 구동 TFT(DT)의 제2 전극과 제1 스위치 TFT(T11)의 제2 전극에 연결되고, 제4 스위치 TFT(T14)의 제2 전극은 발광 소자(EL)의 애노드에 연결된다.
- [0064] 제5 스위치 TFT(T15)는 제N-1 스캔 신호(SCAN(N-1))에 응답하여 제2 노드(n2)를 제2 전원 라인(42)에 연결한다. 기준 전압(Vini)은 제2 전원 라인(42)을 통해 픽셀 회로에 인가된다. 제5 스위치 TFT(T15)는 제2 게이트 라인(32)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제2 전원 라인(42)에 연결된 제2 전극을 포함한다.
- [0065] 제6 스위치 TFT(T16)는 제N 스캔 신호(SCAN(N))에 응답하여 제2 전원 라인(42)을 발광 소자(EL)의 애노드에 연결한다. 제6 스위치 TFT(T16)는 제1 게이트 라인(31)에 연결된 게이트, 제2 전원 라인(42)에 연결된 제1 전극, 및 발광 소자(EL)의 애노드에 연결된 제2 전극을 포함한다.
- [0066] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 발광 소자(EL)에 흐르는 전류를 조절한다. 구동 TFT(DT)는 제2 노드(n2)에 연결된 게이트, 제2 스위치 TFT(T12)의 제1 전극과 제3 스위치 TFT(T13)의 제2 전극에 연결된 제1 전극, 및 제1 스위치 TFT(T11)의 제2 전극과 제4 TFT(T14)의 제1 전극에 연결된 제2 전극을 포함한다.
- [0067] VDD, VSS, Vini는 VDD = 7V~8V, VSS=0V, Vini=1V의 직류 전압일 수 있으나, 이에 한정되지 않는다. Vdata는 데이터 구동부(110)로부터 출력되는 0V~5V 사이의 전압일 수 있으나, 이에 한정되지 않는다.
- [0068] 도 4는 디멀티플렉서(112)를 이용한 데이터 라인 구동 방법의 일 예를 보여 주는 흐름도이다. 도 4는 데이터 라인들(102)에 데이터 전압을 순차적으로 충전한 후에 그 데이터 전압을 픽셀들에 동시에 공급하고 구동 소자의 문턱 전압을 샘플링하는 구동 방법을 보여 주는 흐름도이다.
- [0069] 도 4를 참조하면, 디멀티플렉서(112)는 데이터 구동부(110)로부터의 데이터 전압을 데이터 라인들에 순차적으로 인가한다. 데이터 라인들에 커패시터 또는 기생 용량이 연결되어 있다. 따라서, 디멀티플렉서(112)를 통해 인가된 데이터 전압이 데이터 라인들에 충전된다(ST401).
- [0070] 이어서, 픽셀들이 초기화된 후에 이 픽셀들의 커패시터에 데이터 라인들에 충전된 데이터 전압이 동시에 인가됨과 동시에 구동 소자(DT)의 문턱 전압이 센싱된다(ST402). 이 때, 구동 소자(DT)의 문턱 전압만큼 보상된 데이터 전압이 커패시터(Cst)에 충전된다. 그런데 이 방법은 데이터 라인에 충전되어 있던 데이터 전압이 커패시터(Cst)에 인가되는 과정에서 데이터 전압이 감소되어 데이터 손실이 발생할 수 있고 다수의 데이터 라인들에 데이터 전압을 충전한 후에 구동 소자의 문턱 전압을 샘플링하기 때문에 구동 소자의 문턱 전압 샘플링 시간이 부족하게 될 수 있다. 표시장치의 해상도가 높아지고 있고 표시장치의 구동 주파수가 높아지고 있다. 따라서, 표시장치의 1 수평 기간(1H)이 짧아지기 때문에 구동 소자의 샘플링 시간 확보가 더 어려워지고 있다.
- [0071] 본 발명은 도 5에 도시된 바와 같은 구동 방법을 이용하여 픽셀의 커패시터(Cst)에 인가되는 데이터 손실 문제와 샘플링 시간 확보 문제를 해결한다.
- [0072] 도 5는 본 발명의 실시예에 따른 픽셀 구동 방법을 보여 주는 흐름도이다.
- [0073] 도 5를 참조하면, 제1 데이터 전압이 디멀티플렉서(112)를 통해 제1 데이터 라인에 인가되어 제1 데이터 라인에 제1 데이터 전압이 충전된다(ST501). 이어서, 제2 데이터 전압이 디멀티플렉서(112)와 제2 데이터 라인을 통해 제2 픽셀의 커패시터(Cst)에 직접 인가됨과 동시에 제1 데이터 라인에 충전된 제1 데이터 전압이 제1 픽셀의 커패시터(Cst)에 인가된다(ST502). 이 때, 제2 데이터 전압은 제2 데이터 라인 상에서 바로 제2 픽셀에 인가되기 때문에 그 전압이 변하지 않는 반면, 제1 데이터 전압은 제1 데이터 라인 상에서 소정 시간 동안 충전된 후에 제1 픽셀의 커패시터(Cst)로 전달되는 과정에서 감소될 수 있다. 따라서, 제1 데이터 전압과 제2 데이터 전압이 같은 계조의 동일 전압이라 하더라도 제1 및 제2 픽셀들 간에 휘도 차가 인지될 수 있다.
- [0074] 다음 프레임 기간(ST503)에, 제2 데이터 전압이 디멀티플렉서(112)를 통해 제2 데이터 라인에 먼저 인가되어 제2 데이터 라인에 제2 데이터 전압이 충전된다(ST504). 이어서, 제1 데이터 전압이 디멀티플렉서(112)와 제1 데이터 라인을 통해 제1 픽셀의 커패시터(Cst)에 직접 인가됨과 동시에 제2 데이터 라인에 충전된 제2 데이터 전압이 제2 픽셀의 커패시터(Cst)에 인가된다(ST505). 이 때 제1 데이터 전압은 제1 데이터 라인 상에서 바로 제1 픽셀에 인가되기 때문에 그 전압이 변하지 않는 반면, 제2 데이터 전압은 제2 데이터 라인 상에서 소정 시간

동안 충전된 후에 제2 픽셀의 커패시터(Cst)로 전달되는 과정에서 감소될 수 있다.

- [0075] 본 발명은 데이터 라인들에 충전되는 데이터 전압의 충전 순서를 프레임 기간 단위로 변경한다. 사용자는 휘도차가 있는 픽셀들의 휘도가 매 프레임 기간마다 서로 바뀌기 때문에 픽셀들의 휘도차를 인지하지 않는다. 따라서, 본 발명은 이웃한 픽셀들에 기입되는 데이터들 간의 비대칭 손실로 인한 휘도차 인지를 방지할 수 있다.
- [0076] 본 발명의 실시예들 각각에서, 데이터 라인(21A, 21B)의 커패시터(CA, CB)에 저장되는 데이터 전압이 Vdata일 때, 데이터 라인(21A, 21B)의 커패시터(CA, CB)에 저장된 Vdata가 픽셀 회로(101A, 101B)의 커패시터(Cst)에 전달된 후 커패시터(Cst)의 전압은  $\frac{C_{line}}{C_{line} + C_{st}} \times (Vdata)$ 이다. 여기서, Cline은 CA 또는 CB이다. Cline이 크면 데이터 전달 효율 면에서 도움이 될 수 있다. 데이터 라인(21A, 21B)의 기생 용량으로 Cline을 구현할 때, 데이터 라인(21A, 21B)의 기생 용량이 작으면 데이터 전달 효율이 낮아진다. 이 경우에, 데이터 라인(21A, 21B)에 별도의 커패시터를 추가하여 데이터 라인(21A, 21B)의 정전 용량을 크게 함으로써 데이터 전달 효율을 높일 수 있다.
- [0077] 본 발명의 실시예들 각각에서, 데이터 구동부(110)는 제1 프레임 기간(FR1)에 출력 단자를 통해 제1 데이터 전압(D1)을 출력한 후에 제2 데이터 전압(D2)을 출력한 다음, 제2 프레임 기간(FR2)에 출력 단자를 통해 제2 데이터 전압(D2)을 출력한 후에 제1 데이터 전압을 출력한다. 제1 및 제2 데이터 전압(D1, D2)은 같은 출력 단자를 통해 데이터 구동부(110)로부터 순차적으로 출력되어 디멀티플렉서(112)에 의해 제1 및 제2 데이터 라인들(21A, 21B)로 시분할 분배된다. 디멀티플렉서(112)는 제1 프레임 기간(FR1)에 제1 데이터 전압(D1)을 제1 데이터 라인(21A)에 공급한 후에 제2 데이터 전압(D2)을 제2 데이터 라인(21B)에 공급한다. 이어서, 디멀티플렉서(112)는 제2 프레임 기간(FR2)에 제2 데이터 전압(D2)을 제2 데이터 라인(D2)에 공급한 후에 제1 데이터 전압(D1)을 제1 데이터 라인(D1)에 공급한다.
- [0078] 제1 픽셀 회로(101A)는 제1 데이터 라인(21A)에 연결되어 제1 프레임 기간(FR1)에 소정 시간 동안 제1 데이터 라인(21A)의 커패시터(CA)에 저장된 전압을 공급 받은 다음, 제2 프레임 기간(FR1)에 데이터 구동부(112)로부터 출력된 제1 데이터 전압을 지연 없이 직접 입력 받는다. 제1 프레임 기간(FR1)에 데이터 구동부(110)로부터 출력된 제1 데이터 전압(D1)이 제1 데이터 라인(21A)에 인가된 후, 디멀티플렉서(112)에 의해 데이터 구동부(110)의 출력 단자와 제1 데이터 라인(21A)이 분리된 상태에서 제1 데이터 라인(21A)의 커패시터(CA)에 제1 데이터 전압이 저장된다. 제1 픽셀 회로(101A)는 제2 프레임 기간(FR2)에 데이터 구동부(110)의 출력 단자와 제1 데이터 라인(21A)이 연결된 상태에서 디멀티플렉서(112)와 제1 데이터 라인(21A)을 통해 데이터 구동부(110)로부터 출력된 제1 데이터 전압을 직접 공급 받는다.
- [0079] 제2 픽셀 회로(101B)는 제2 데이터 라인(21B)에 연결되어 제1 프레임 기간(FR1)에 데이터 구동부(110)로부터 출력된 제2 데이터 전압(D2)을 지연 없이 직접 공급 받은 다음, 상기 제2 프레임 기간(FR2)에 제2 데이터 라인(21B)의 커패시터(CB)에 저장된 전압을 공급 받는다. 제2 픽셀 회로(101B)는 제1 프레임 기간(FR1)에 데이터 구동부(110)의 출력 단자와 제2 데이터 라인(21B)이 연결된 상태에서 디멀티플렉서(112)와 제2 데이터 라인(21B)을 통해 데이터 구동부(110)로부터 출력된 제2 데이터 전압(D2)을 직접 공급 받는다. 제2 프레임 기간(FR2)에 데이터 구동부(110)로부터 출력된 제2 데이터 전압(D2)이 제2 데이터 라인(21B)에 인가된 후, 디멀티플렉서(112)에 의해 데이터 구동부(110)의 출력 단자와 제2 데이터 라인(21B)이 분리된 상태에서 제2 데이터 라인(21B)의 커패시터(CB)에 제2 데이터 전압(D2)이 저장된다.
- [0080] 제1 프레임 기간(FR1)에 제1 데이터 라인(21A)의 커패시터(CA)에 저장된 제1 데이터 전압(D1)이 제1 픽셀 회로(101A)에 인가된다. 제2 프레임 기간(FR2)에 제2 데이터 라인(21B)의 커패시터(CB)에 저장된 제2 데이터 전압(D2)이 제2 픽셀 회로(101B)의 커패시터(CB)에 인가된다.
- [0081] 도 6은 본 발명의 제1 실시예에 따른 픽셀 회로들(101A, 101B)과 신호 배선들을 상세히 보여 주는 회로도이다. 도 6에 도시된 픽셀 회로들(101A, 101B)은 표시패널(100)의 제N(N은 양의 정수) 라인의 픽셀들이다. 도 6에 도시된 제1 및 제2 픽셀 회로들(101A, 101B)은 도 2에 도시된 픽셀 회로로 구현될 예이므로 픽셀 회로들(101A, 101B)의 구성에 대한 상세한 설명을 생략한다. 도 7은 도 6에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다. 도 6 및 도 7에서, "Vdata"는 데이터 구동부(110)로부터 출력되는 데이터 전압이다. D1(N) 및 D2(N)는 제N 라인의 픽셀들에 기입될 픽셀 데이터의 데이터 전압(Vdata)을 나타낸다. D1(N)은 제1 데이터 라인(21A)을 통해 제1 픽셀 회로(101A)에 인가되는 제1 데이터 전압이고, D2(N)은 제2 데이터 라인(21B)을 통해 제2 픽셀 회로(101B)에 인가되는 제2 데이터 전압이다. D1(N+1) 및 D2(N+1)는 제N+1 라인의 픽셀들에 기입될 픽셀 데이터의 데이터 전압(Vdata)을 나타낸다.

- [0082] 데이터 인에이블 신호(DE)와 수평 동기 신호의 1 주기는 1 수평 기간(1H)이다. 도 8은 표시패널(100)의 제N 내지 제N+1 라인들(L(N)~L(N+3))의 픽셀들(101)에 연결된 신호 배선들을 보여 주는 도면이다. 도 9는 도 8에 도시된 제N 및 제N+1 라인들의 픽셀들(101)에 인가되는 신호들을 보여 주는 파형도이다.
- [0083] 도 6 및 도 7을 참조하면, 디멀티플렉서(112)는 제1 및 제2 스위치 소자들(S1, S2)을 포함한다. 스위치 소자들(S1, S2) 각각은 픽셀 회로들(101A, 101B)의 트랜지스터들과 동일한 p 채널 트랜지스터로 구현될 수 있다. 제1 스위치 소자(S1)는 데이터 구동부(110)의 출력 단자와 제1 데이터 라인(21A) 사이에 연결되어 제1 스위치 신호(DMUX1)의 게이트 온 전압(VGL)에 따라 턴-온되어 데이터 구동부(110)의 출력 단자를 제1 데이터 라인(21A)에 연결한다. 제1 스위치 소자(S1)의 게이트는 제1 스위치 신호(DMUX1)가 인가되는 제1 DMUX 라인에 연결된다. 제1 스위치 소자(S1)의 제1 전극은 데이터 구동부(110)의 출력 단자에 연결되고, 제1 스위치 소자(S1)의 제2 전극은 제1 데이터 라인(21A)에 연결된다. 제2 스위치 소자(S2)는 데이터 구동부(110)의 출력 단자와 제2 데이터 라인(21B) 사이에 연결되어 제2 스위치 신호(DMUX2)의 게이트 온 전압(VGL)에 따라 턴-온되어 데이터 구동부(110)의 출력 단자를 제2 데이터 라인(21B)에 연결한다. 제2 스위치 소자(S2)의 게이트는 제2 스위치 신호(DMUX2)가 인가되는 제2 DMUX 라인에 연결된다. 제2 스위치 소자(S2)의 제1 전극은 데이터 구동부(110)의 출력 단자에 연결되고, 제2 스위치 소자(S2)의 제2 전극은 제2 데이터 라인(21B)에 연결된다.
- [0084] 픽셀 회로들(101A, 101B)은 내부 보상 방법으로 구동된다. 이를 위하여, 픽셀 회로들(101A, 101B)의 구동 기간은 매 프레임 기간(FR1, FR1) 마다 제1 및 제2 픽셀 회로들(101A, 101B) 중 어느 한 픽셀 회로에 기입될 데이터 전압이 데이터 라인에 충전되는 제1 구간(t1), 제1 및 제2 픽셀 회로들(101A, 101B)이 초기화되는 제2 구간(t2), 제1 및 제2 픽셀 회로들(101A, 101B)의 커패시터에 데이터 전압을 공급하고 구동 소자의 문턱 전압을 샘플링하는 제3 구간(t3), 및 제1 및 제2 픽셀 회로들(101A, 101B)의 발광 소자(EL)에 전류 패스가 연결되어 픽셀들이 발광되는 제4 구간(t4)으로 나뉘어진다. 제3 구간(t3)은 도 7에 도시된 바와 같이, 제1 구간(t1) 보다 길게 설정되고 또한, 제1 및 제2 구간(t1, t2)을 합한 시간 보다 더 긴 시간으로 설정될 수 있다.
- [0085] 제1 프레임 기간(FR1)은 기수 번째 프레임 기간이고, 제2 프레임 기간(FR2)은 우수 번째 프레임 기간일 수 있으나 이에 한정되지 않는다. 예컨대, 표시패널(100)이 고속 구동되면 제1 프레임 기간(FR1)은 제4N+1 및 제4N+2 프레임 기간으로 설정되고, 제2 프레임 기간(FR2)은 제4N+3 및 제4N+4 프레임 기간으로 설정될 수 있다.
- [0086] 제1 프레임 기간(FR1) 동안, 제1 스위치 신호(DMUX1)의 펄스(71)가 제1 구간(t1)에 발생된 후에, 제2 스위치 펄스(DMUX2)의 펄스(72)가 제3 구간(t3)에 발생된다. 제2 구간(t2)은 제1 스위치 신호(DMUX1)의 펄스(71)와, 제2 스위치 신호(DMUX2)의 펄스(72) 사이에 설정된다. 제1 스위치 신호(DMUX1)의 펄스(71)는 제1 데이터 전압(D1(N))에 동기되고, 제2 스위치 신호(DMUX2)의 펄스(72)는 제2 데이터 전압(D2(N))에 동기된다. 스위치 신호(DMUX1, DMUX2)의 펄스들(71, 72)이 게이트 온 전압(VGL)으로 발생되어 디멀티플렉서(112)의 스위치 소자들(S1, S2)은 펄스들(71, 72)에 응답하여 턴-온(turn-on)된다.
- [0087] 제2 스위치 신호(DMUX2)의 펄스(72)는 제1 프레임 기간(FR1) 동안 제1 스위치 신호(DMUX1)의 펄스(71) 보다 길게 설정된다. 제1 스위치 신호(DMUX1)의 펄스(71) 폭은 제1 데이터 라인(21A)에 데이터 전압이 전달될 수 있는 시간 즉, t1 만큼 짧게 설정될 수 있다. 이에 비하여, 제2 스위치 신호(DMUX2)의 펄스(72) 폭은 픽셀 회로들(101A, 101B)의 커패시터(Cst)에 데이터 전압이 전달되고 구동 소자(DT)의 문턱 전압이 샘플링될 수 있어야 하므로 제1 스위치 신호(DMUX1)의 펄스(71) 보다 더 길게 설정되어야 한다. 제3 구간(t3)이 작으면 구동 소자(DT)의 문턱 전압(Vth) 보상이 제대로 이루어 지지 않아 표시 화상에 얼룩이 보일 수 있다.
- [0088] 매 프레임 기간(FR1, FR2) 마다, 제1 스캔 신호(SCAN1(N))의 펄스(73)는 제2 스캔 신호(SCAN2(N))의 펄스(74) 후에 발생된다. 스캔 신호들(SCAN1(N), SCAN2(N))의 펄스(73, 74)는 게이트 온 전압(VGL)으로 발생되어 픽셀 회로들(101A, 101B)의 스위치 TFT들(T1, T2, T5)은 스캔 신호의 펄스(73, 74)에 응답하여 턴-온된다. 제1 스캔 신호(SCAN1(N))의 펄스(73)는 제3 구간(t3) 동안 게이트 온 전압(VGL)으로 발생되고, 제3 구간(t3)을 제외한 나머지 시간 동안 제1 스캔 신호(SCAN1(N))의 전압은 게이트 오프 전압(VGH)을 유지한다. 제2 스캔 신호(SCAN2(N))의 펄스(74)는 제2 및 제3 구간(t2, t3) 동안 게이트 온 전압(VGL)으로 발생되고, 제2 및 제3 구간(t2, t3)을 제외한 나머지 시간 동안 제2 스캔 신호(SCAN2(N))의 전압은 게이트 오프 전압(VGH)을 유지한다.
- [0089] 매 프레임 기간(FR1, FR2) 마다, EM 신호(EM(N))의 펄스(75)는 제1 스캔 신호(SCAN1(N))의 펄스(73)와 동시에 발생된다. EM 신호(EM(N))의 펄스(75)는 제3 및 제3-1 구간(t3, t3-1) 동안 게이트 오프 전압(VGH)으로 발생되고, 제3 및 제3-1 구간(t3, t3-1)을 제외한 나머지 시간 동안 EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)으로 유지된다. EM 신호(EM(N))가 게이트 온 전압(VGL)일 때 스위치 TFT들(T3, T4)이 턴-온될 수 있다. 발광 소자(EL)의 전류 패스는 EM 신호(EM(N))의 전압 레벨에 따라 스위칭된다. 발광 소자(EL)는 제4 구간(t4) 동안

발광될 수 있다.

- [0090] 제1 픽셀 회로(101A)에 기입될 픽셀 데이터와 제2 픽셀 회로(101B)에 기입될 픽셀 데이터의 계조가 동일하다 하더라도 제1 데이터 라인(21A)에 먼저 충전되는 제1 데이터 전압의 손실로 인하여, 제1 픽셀 회로(101A)의 휘도가 제2 픽셀 회로(101B)의 그것 보다 낮아질 수 있다. 따라서, 본 발명은 이러한 휘도차가 사용자에게 인지되지 않도록 제2 프레임 기간(FR2)에 픽셀들에 인가될 데이터 전압의 충전 순서를 변경한다.
- [0091] 제2 프레임 기간(FR2) 동안, 제2 스위치 신호(DMUX2)의 펄스(72)가 제1 구간(t1)에 발생된 후에, 제1 스위치 펄스(DMUX1)의 펄스(71)가 제3 구간(t3)에 발생된다. 제2 구간(t2)은 제2 스위치 신호(DMUX2)의 펄스(72)와, 제1 스위치 신호(DMUX1)의 펄스(71) 사이에 설정된다. 제2 스위치 신호(DMUX1)의 펄스(72)는 제2 데이터 전압(D2(N))에 동기되고, 제1 스위치 신호(DMUX1)의 펄스(71)는 제1 데이터 전압(D1(N))에 동기된다. 스위치 신호(DMUX1, DMUX2)의 펄스들(71, 72)이 게이트 온 전압(VGL)으로 발생된다. 제2 프레임 기간(FR1)에 발생하는 제1 스위치 신호(DMUX1)의 펄스(71)는 제2 스위치 신호(DMUX2)의 펄스(72) 보다 길게 설정된다.
- [0092] 도 10a 내지 도 17b는 도 6 및 도 7에 도시된 픽셀 회로들(101A, 101B)의 구동 방법을 단계적으로 보여 주는 도면들이다.
- [0093] 도 10a 내지 도 13b는 제1 프레임 기간(FR1) 동안 이웃한 픽셀 회로들(101A, 101B)의 구동 방법을 보여 준다.
- [0094] 제1 프레임 기간(FR1)의 픽셀 구동 방법은 제1 데이터 전압(D1(N))이 제1 데이터 라인(21A)에 충전되는 제1 구간(t1), 제1 및 제2 픽셀 회로들(101A, 101B)이 초기화되는 제2 구간(t2), 제1 및 제2 픽셀 회로들(101A, 101B)의 커패시터(Cst)에 데이터 전압(D1(N), D2(N))을 동시에 공급하고 구동 소자들(DT)의 문턱 전압(Vth)을 샘플링하는 제3 구간(t3), 및 제1 및 제2 픽셀 회로들(101A, 101B)이 발광되는 제4 구간(t4)으로 나뉘어진다. 제3 구간(t3)과 제4 구간(t4) 사이에 홀드 구간(hold)인 제3-1 구간(t3-1)이 설정될 수 있으나 이 구간(t3-1)은 생략 가능하다.
- [0095] 도 10a는 픽셀 회로들(101A, 101B)에서 제1 구간(t1)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 10b는 픽셀 회로들(101A, 101B)의 제1 구간(t1) 동작을 보여 주는 파형도이다.
- [0096] 도 10a 및 도 10b를 참조하면, 제1 구간(t1)에 제1 스위치 신호(DMUX1)의 펄스(71)가 제1 스위치 소자(S1)의 게이트에 인가되어 제1 스위치 소자(S1)가 턴-온된다. 이 때, 제1 데이터 전압(D1(N))이 제1 스위치 소자(S1)를 통해 제1 데이터 라인(21A)에 인가되어 제1 데이터 라인(21A)에 연결된 제1 커패시터(CA)에 저장된다. 제1 구간(t1) 동안, 제2 스위치 신호(DMUX2), 제1 스캔 신호(SCAN1(N)) 및 제2 스캔 신호(SCAN2(N))의 전압은 게이트 오프 전압(VGH)이고, EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)이다.
- [0097] 도 11a는 픽셀 회로들(101A, 101B)에서 제2 구간(t2)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 11b는 픽셀 회로들(101A, 101B)의 제2 구간(t2) 동작을 보여 주는 파형도이다.
- [0098] 도 11a 및 도 11b를 참조하면, 제2 구간(t2)에 제1 스위치 신호(DMUX1)가 게이트 오프 전압(VGH)으로 반전된다. 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))가 게이트 온 전압(VGL)으로 반전된다. 제2 구간(t2) 동안, 제2 스위치 신호(DMUX2)와 제1 스캔 신호(SCAN1(N))는 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)을 유지한다. 제2 내지 제5 스위치 TFT들(T2, T3, T4, T5)이 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))와 EM 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 픽셀 회로들(101A, 101B)에서 제1 노드(n1), 제2 노드(n2) 및 발광 소자(EL)의 애노드가 기준 전압(Vref)으로 동시에 초기화된다.
- [0099] 도 12a는 픽셀 회로들(101A, 101B)에서 제3 구간(t3)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 12b는 픽셀 회로들(101A, 101B)의 제3 구간(t3) 동작을 보여 주는 파형도이다.
- [0100] 도 12a 및 도 12b를 참조하면, 제3 구간(t3)에 제2 스위치 신호(DMUX2)와 제1 스캔 신호(SCAN1(N))가 게이트 온 전압(VGL)으로 반전되어 제2 스위치 소자(S2)와 픽셀 회로들(101A, 101B)의 제1 스위치 TFT(T1)가 동시에 턴-온된다. 제3 구간(t3)에 발광 소자(EL)가 발광되지 않도록 EM 신호(EM(N))가 게이트 오프 전압(VGH)으로 반전된다. 제3 구간(t3) 동안, 제1 스위치 신호(DMUX1)는 게이트 오프 전압(VGH)을 유지하고, 제2 스캔 신호(SCAN2(N))는 게이트 온 전압(VGL)을 유지한다. 제3 구간(t3) 동안 제1, 제2, 및 제5 스위치 TFT들(T1, T2, T5)이 스캔 신호들(SCAN1(N), SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 제2 데이터 전압(D2(N))이 제2 데이터 라인(21B), 제2 픽셀 회로(101B)의 제1 스위치 TFT(T1)를 통해 제2 픽셀 회로(101B)의 제1 노드(n1)에 인가된다. 이와 동시에, 제1 데이터 라인(21A)의 제1 커패시터(CA)에 저장된 제1 데이터 전압(D1(N))이 제1 픽셀 회로(101A)의 제1 스위치 TFT(T1)를 통해 제1 픽셀 회로(101A)의 제1 노드(n1)에

인가된다. 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)에서 구동 TFT(DT)가 턴-온된다. 픽셀 회로들(101A, 101B) 각각에서 제3 구간(t3)에 구동 소자(DT)의 문턱 전압(Vth)이 보상된 데이터 전압이 커패시터(Cst)에 저장된다.

[0101] 제3 구간(t3)에 제1 픽셀 회로(101A)의 커패시터(Cst)에 인가된 제1 데이터 전압(D1(N))은 커패시터들(CA, Cst)로 인하여 감소될 수 있다. 반면에, 제2 데이터 전압(D2(N))은 바로 제2 픽셀 회로(101B)의 커패시터(Cst)에 인가되기 때문에 손실이 없다.

[0102] 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)의 커패시터(Cst) 양단에 인가되는 전압은 아래의 표 1과 같다. 표 1에서 “Vdata”는 데이터 전압이다.

표 1

제1 픽셀 회로(101A)		제2 픽셀 회로(101B)	
n1의 전압	n2의 전압	n1의 전압	n2의 전압
$\frac{CA}{CA + Cst} \times Vdata$	VDD-Vth	Vdata	VDD-Vth

[0104] 제3-1 구간(t3-1) 동안 픽셀 회로들(101A, 101B)의 주요 노드들이 플로팅(floating)된다. 제3-1 구간(t3-1)에 스캔 신호들(SCAN1(N), SCAN2(N))이 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 이 때, 제N 라인의 픽셀 회로들(101A, 101B)은 제3 구간 상태를 유지한다. 제3-1 구간(t3-1) 동안 제1 및 제2 스위치 제어 신호들(DMUX1, DMUX2)과 스캔 신호들(SCAN1(N+1), SCAN2(N+1))의 펄스들(71, 72)이 제N+1 라인(L(N+1))의 픽셀 회로들에 인가되어 픽셀 데이터가 기입된다.

[0105] 한편, 제3-1 구간(t3-1) 동안 픽셀 회로들(101A, 101B)의 커패시터(Cst)와 구동 소자(DT)가 플로팅되어 커패시터의 전압이 변할 수 있다. 이러한 현상을 방지하기 위하여, 본 발명은 스캔 신호들(SCAN1(N), SCAN2(N))이 게이트 오프 전압(VGL)으로 변함과 동시에 EM 신호(EM'(N))를 게이트 온 전압(VGL)으로 반전시킬 수 있다.

[0106] 도 13a는 픽셀 회로들(101A, 101B)에서 제4 구간(t4)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 13b는 픽셀 회로들(101A, 101B)의 제4 구간(t4) 동작을 보여 주는 파형도이다.

[0107] 도 13a 및 도 13b를 참조하면, 제4 구간(t4)에 스캔 신호들(SCAN1(N), SCAN2(N))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T3, T4)이 턴-온된다. 제4 구간(t4) 동안, 픽셀 구동 전압(VDD)이 인가되는 전원 라인과 발광 소자(EL) 사이에 전류 패스가 흘러 발광 소자(EL)가 발광될 수 있다. 이 때, 발광 소자에 흐르는 전류(I<sub>OLED</sub>)는 제3 구간(t3)에 스토리지(Cst)에 인가된 데이터 전압의 차이로 인하여 제1 및 제2 픽셀 회로들(101A, 101B)에서 달라질 수 있다. 아래의 표 2는 제4 구간(t4)에 픽셀 회로들(101A, 101B)의 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)를 나타낸다. 표 2에서, μ는 MOSFET(Metal-Oxide-Semiconductor FET)에서 전자의 이동도이다. Cox는 게이트 산화막의 정전 용량이다. W는 MOSFET의 채널 폭이고, L은 채널 길이이다.

표 2

제1 픽셀 회로(101A)의 I <sub>OLED</sub>	제2 픽셀 회로(101B)의 I <sub>OLED</sub>
$I_{OLED} = \frac{1}{2} \mu Cox \frac{W}{L} (Vgs - Vth)^2$ $= \frac{1}{2} \mu Cox \frac{W}{L} (VDD - Vth - \frac{CA}{CA + Cst} Vdata + Vref - VDD + vth)^2$ $= \frac{1}{2} \mu Cox \frac{W}{L} (-\frac{CA}{CA + Cst} Vdata + Vref)^2$	$I_{OLED} = \frac{1}{2} \mu Cox \frac{W}{L} (Vgs - Vth)^2 = \frac{1}{2} \mu Cox \frac{W}{L} (VDD - Vth - Vdata + Vref - VDD + vth)^2$ $= \frac{1}{2} \mu Cox \frac{W}{L} (-Vdata + Vref)^2$

[0108] 표 2와 같이 픽셀들 간에 발광 소자(EL)의 전류 차이가 발생하고 이러한 휘도 차이가 사람의 인지 가능 시간 이상으로 고정되면 사용자가 픽셀들 간의 휘도 차이를 인지할 수 있다. 본 발명은 사람이 이웃한 픽셀들 간의 휘도 차이를 인지할 수 없는 시간 단위로 픽셀들 간의 휘도 차이를 반전 시킨다.

[0110] 도 14a 내지 도 17b는 제2 프레임 기간(FR2) 동안 이웃한 픽셀 회로들(101A, 101B)의 구동 방법을 보여 준다.

[0111] 제2 프레임 기간(FR2)의 픽셀 구동 방법은 제2 데이터 전압(D2(N))이 제2 데이터 라인(21B)에 충전되는 제1 구간(t1), 제1 및 제2 픽셀 회로들(101A, 101B)이 초기화되는 제2 구간(t2), 제1 및 제2 픽셀 회로들(101A,

101B)의 커패시터(Cst)에 데이터 전압(D1(N), D2(N))을 동시에 공급하고 구동 소자들(DT)의 문턱 전압(Vth)을 샘플링하는 제3 구간(t3), 및 제1 및 제2 픽셀 회로들(101A, 101B)이 발광되는 제4 구간(t4)으로 나뉘어진다. 제3 구간(t3)과 제4 구간(t4) 사이에 홀드 구간(hold)인 제3-1 구간(t3-1)이 설정될 수 있으나 이 구간(t3-1)은 생략 가능하다.

[0112] 도 14a 및 도 14b를 참조하면, 제1 구간(t1)에 제2 스위치 신호(DMUX2)의 펄스(72)가 제2 스위치 소자(S2)의 게이트에 인가되어 제2 스위치 소자(S2)가 턴-온된다. 이 때, 제2 데이터 전압(D2(N))이 제2 스위치 소자(S2)를 통해 제2 데이터 라인(21B)에 인가되어 제2 데이터 라인(21B)에 연결된 제2 커패시터(CB)에 저장된다. 제1 구간(t1) 동안, 제1 스위치 신호(DMUX1), 제1 스캔 신호(SCAN1(N)) 및 제2 스캔 신호(SCAN2(N))의 전압은 게이트 오프 전압(VGH)이고, EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)이다.

[0113] 도 15a는 픽셀 회로들(101A, 101B)에서 제2 구간(t2)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 15b는 픽셀 회로들(101A, 101B)의 제2 구간(t2) 동작을 보여 주는 파형도이다.

[0114] 도 15a 및 도 15b를 참조하면, 제2 구간(t2)에 제2 스위치 신호(DMUX2)가 게이트 오프 전압(VGH)으로 반전된다. 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))가 게이트 온 전압(VGL)으로 반전된다. 제2 구간(t2) 동안, 제1 스위치 신호(DMUX1)와 제1 스캔 신호(SCAN1(N))는 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)을 유지한다. 제2 내지 제5 스위치 TFT들(T2, T3, T4, T5)이 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))와 EM 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 픽셀 회로들(101A, 101B)에서 제1 노드(n1), 제2 노드(n2) 및 발광 소자(EL)의 애노드가 기준 전압(Vref)으로 동시에 초기화된다.

[0115] 도 16a는 픽셀 회로들(101A, 101B)에서 제3 구간(t3)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 16b는 픽셀 회로들(101A, 101B)의 제3 구간(t3) 동작을 보여 주는 파형도이다.

[0116] 도 16a 및 도 16b를 참조하면, 제3 구간(t3)에 제1 스위치 신호(DMUX1)와 제1 스캔 신호(SCAN1(N))가 게이트 온 전압(VGL)으로 반전되어 제1 스위치 소자(S1)와 픽셀 회로들(101A, 101B)의 제1 스위치 TFT(T1)가 동시에 턴-온된다. 제3 구간(t3)에 발광 소자(EL)가 발광되지 않도록 EM 신호(EM(N))가 게이트 오프 전압(VGH)으로 반전된다. 제3 구간(t3) 동안, 제2 스위치 신호(DMUX2)는 게이트 오프 전압(VGH)을 유지하고, 제2 스캔 신호(SCAN2(N))는 게이트 온 전압(VGL)을 유지한다. 제3 구간(t3) 동안 제1, 제2, 및 제5 스위치 TFT들(T1, T2, T5)이 스캔 신호들(SCAN1(N), SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 제1 데이터 전압(D1(N))이 제1 데이터 라인(21A), 제1 픽셀 회로(101A)의 제1 스위치 TFT(T1)를 통해 제1 픽셀 회로(101A)의 제1 노드(n1)에 인가된다. 이와 동시에, 제2 데이터 라인(21B)의 제2 커패시터(CB)에 저장된 제2 데이터 전압(D2(N))이 제2 픽셀 회로(101B)의 제1 스위치 TFT(T1)를 통해 제2 픽셀 회로(101B)의 제1 노드(n1)에 인가된다. 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)에서 구동 TFT(DT)가 턴-온된다. 픽셀 회로들(101A, 101B) 각각에서 제3 구간(t3)에 구동 소자(DT)의 문턱 전압(Vth)이 보상된 데이터 전압이 커패시터(Cst)에 저장된다.

[0117] 제3 구간(t3)에 제2 픽셀 회로(101B)의 커패시터(Cst)에 인가된 제2 데이터 전압(D2(N))은 커패시터들(CB, Cst)로 인하여 감소될 수 있다. 반면에, 제1 데이터 전압(D1(N))은 바로 제1 픽셀 회로(101A)의 커패시터(Cst)에 인가되기 때문에 손실이 없다.

[0118] 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)의 커패시터(Cst) 양단에 인가되는 전압은 아래의 표 3과 같다.

표 3

제1 픽셀 회로(101A)		제2 픽셀 회로(101B)	
n1의 전압	n2의 전압	n1의 전압	n2의 전압
Vdata	VDD-Vth	$\frac{CB}{CB + Cst} \times Vdata$	VDD-Vth

[0120] 제3-1 구간(t3-1) 동안 픽셀 회로들(101A, 101B)의 주요 노드들이 플로팅(floating)된다. 제3-1 구간(t3-1)에 스캔 신호들(SCAN1(N), SCAN2(N))이 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 이 때, 제N 라인의 픽셀 회로들(101A, 101B)은 제3 구간 상태를 유지한다. 제3-1 구간(t3-1) 동안 제1 및 제2 스위치 제어 신호들(DMUX1, DMUX2)과 스캔 신호들(SCAN1(N+1), SCAN2(N+1))의 펄스들(71, 72)이 제N+1 라인(L(N+1))의 픽셀 회로들에 인가되어 픽셀 데이터가 기입된다.

[0121] 도 17a는 픽셀 회로들(101A, 101B)에서 제4 구간(t4)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 17b는 픽셀 회로들(101A, 101B)의 제4 구간(t4) 동작을 보여 주는 파형도이다.

[0122] 도 17a 및 도 17b를 참조하면, 제4 구간(t4)에 스캔 신호들(SCAN1(N), SCAN2(N))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T3, T4)이 턴-온된다. 제4 구간(t4) 동안, 픽셀 구동 전압(VDD)이 인가되는 전원 라인과 발광 소자(EL) 사이에 전류 패스가 흘러 발광 소자(EL)가 발광될 수 있다. 이 때, 발광 소자에 흐르는 전류(I<sub>OLED</sub>)는 제3 구간(t3)에 스토리지(Cst)에 인가된 데이터 전압의 차이로 인하여 제1 및 제2 픽셀 회로들(101A, 101B)에서 달라질 수 있다. 아래의 표 4는 제4 구간(t4)에 픽셀 회로들(101A, 101B)의 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)를 나타낸다.

표 4

제1 픽셀 회로(101A)의 IOLED	제2 픽셀 회로(101B)의 IOLED
$I_{\text{OLED}} = \frac{1}{2} \mu \text{Cox} \frac{W}{L} (V_{\text{GS}} - V_{\text{th}})^2 = \frac{1}{2} \mu \text{Cox} \frac{W}{L} (V_{\text{DD}} - V_{\text{th}} - V_{\text{data}} + V_{\text{ref}} - V_{\text{DD}} + v_{\text{th}})^2$ $= \frac{1}{2} \mu \text{Cox} \frac{W}{L} (-V_{\text{data}} + V_{\text{ref}})^2$	$I_{\text{OLED}} = \frac{1}{2} \mu \text{Cox} \frac{W}{L} (V_{\text{GS}} - V_{\text{th}})^2$ $= \frac{1}{2} \mu \text{Cox} \frac{W}{L} (V_{\text{DD}} - V_{\text{th}} - \frac{C_{\text{A}}}{C_{\text{A}} + C_{\text{st}}} V_{\text{data}} + V_{\text{ref}} - V_{\text{DD}} + v_{\text{th}})^2$ $= \frac{1}{2} \mu \text{Cox} \frac{W}{L} (-\frac{C_{\text{B}}}{C_{\text{B}} + C_{\text{st}}} V_{\text{data}} + V_{\text{ref}})^2$

[0124] 도 18은 본 발명의 제2 실시예에 따른 픽셀 회로들(101A, 101B)과 신호 배선들을 상세히 보여 주는 회로도이다. 도 19는 도 18에 도시된 픽셀 회로들(101A, 101B)의 구동 방법을 보여 주는 파형도이다. 도 19에 도시된 파형은 도 7과 실질적으로 동일하다. 도 20은 표시패널(100)의 제N 내지 제N+1 라인들(L(N)~L(N+3))의 픽셀들에 연결된 신호 배선들을 보여 주는 도면이다. 본 발명의 제2 실시예에 관한 설명에서 전술한 제1 실시예와 실질적으로 동일한 구성과 기능에 대하여는 상세한 설명을 생략하기로 한다.

[0125] 본 발명의 제2 실시예는 상하로 이웃하는 픽셀 회로들(101A, 101B)에 데이터 전압을 동시에 기입한다. 본 발명의 제2 실시예는 제1 픽셀 회로(101A)에 연결된 제1 데이터 라인에 제1 데이터 전압을 충전한 후에, 제2 픽셀 회로(101B)의 커패시터(Cst)에 제2 데이터 전압을 인가함과 동시에 제1 데이터 라인에 충전된 제1 데이터 전압을 제1 픽셀 회로(101A)의 커패시터(Cst)에 인가한다. 따라서, 본 발명의 제2 실시예는 도 20에 도시된 바와 같이 상하로 이웃한 제1 및 제2 픽셀 회로들(101A, 101B)에서 게이트 라인들(31, 32, 33)이 공유되기 때문에 게이트 구동부(120)의 회로 면적을 최소화하여 표시장치의 네로우 베젤(narrow bezel)을 구현할 수 있다.

[0126] 도 18 및 도 19를 참조하면, 제1 프레임 기간(FR1) 동안, 제1 스위치 신호(DMUX1)의 펄스(71)가 제1 구간(t1)에 발생된 후에, 제2 스위치 펄스(DMUX2)의 펄스(72)가 제3 구간(t3)에 발생된다. 제2 구간(t2)은 제1 스위치 신호(DMUX1)의 펄스(71)와, 제2 스위치 신호(DMUX2)의 펄스(72) 사이에 설정된다. 제1 스위치 신호(DMUX1)의 펄스(71)는 제1 데이터 전압(D1(N))에 동기되고, 제2 스위치 신호(DMUX2)의 펄스(72)는 제2 데이터 전압(D2(N))에 동기된다.

[0127] 제2 프레임 기간(FR1) 동안, 제2 스위치 신호(DMUX2)의 펄스(72)가 제1 구간(t1)에 발생된 후에, 제1 스위치 펄스(DMUX1)의 펄스(71)가 제3 구간(t3)에 발생된다. 제2 구간(t2)은 제2 스위치 신호(DMUX2)의 펄스(72)와, 제1 스위치 신호(DMUX1)의 펄스(71) 사이에 설정된다. 제2 스위치 신호(DMUX1)의 펄스(72)는 제2 데이터 전압(D2(N))에 동기되고, 제1 스위치 신호(DMUX1)의 펄스(71)는 제1 데이터 전압(D1(N))에 동기된다.

[0128] 매 프레임 기간(FR1, FR2) 마다, 제1 스캔 신호(SCAN1(N))의 펄스(73)는 제2 스캔 신호(SCAN2(N))의 펄스(74) 후에 발생된다. 스캔 신호들(SCAN1(N), SCAN2(N))의 펄스(73, 74)는 게이트 온 전압(VGL)으로 발생되어 픽셀 회로들(101A, 101B)의 스위치 TFT들(T1, T2, T5)은 스캔 신호의 펄스(73, 74)에 응답하여 턴-온된다. 제1 스캔 신호(SCAN1(N))의 펄스(73)는 제3 구간(t3) 동안 게이트 온 전압(VGL)으로 발생되고, 제3 구간(t3)을 제외한 나머지 시간 동안 제1 스캔 신호(SCAN1(N))의 전압은 게이트 오프 전압(VGH)을 유지한다. 제2 스캔 신호(SCAN2(N))의 펄스(74)는 제2 및 제3 구간(t2, t3) 동안 게이트 온 전압(VGL)으로 발생되고, 제2 및 제3 구간(t2, t3)을 제외한 나머지 시간 동안 제2 스캔 신호(SCAN2(N))의 전압은 게이트 오프 전압(VGH)을 유지한다.

[0129] 매 프레임 기간(FR1, FR2) 마다, EM 신호(EM(N))의 펄스(75)는 제1 스캔 신호(SCAN1(N))의 펄스(73)와 동시에 발생된다. EM 신호(EM(N))의 펄스(75)는 제3 및 제3-1 구간(t3, t3-1) 동안 게이트 오프 전압(VGH)으로 발생되고, 제3 및 제3-1 구간(t3, t3-1)을 제외한 나머지 시간 동안 EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)으로 유지된다. EM 신호(EM(N))가 게이트 온 전압(VGL)일 때 스위치 TFT들(T3, T4)이 턴-온될 수 있다. 발광 소자(EL)의 전류 패스는 EM 신호(EM(N))의 전압 레벨에 따라 스위칭된다. 발광 소자(EL)는 제4 구간(t4) 동안

발광될 수 있다.

- [0130] 도 21a 내지 도 28b는 도 18 및 도 19에 도시된 픽셀 회로들(101A, 101B)의 구동 방법을 단계적으로 보여 주는 도면들이다.
- [0131] 도 21a 내지 도 24b는 제1 프레임 기간(FR1) 동안 이웃한 픽셀 회로들(101A, 101B)의 구동 방법을 보여 준다.
- [0132] 도 21a는 픽셀 회로들(101A, 101B)에서 제1 구간(t1)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 21b는 픽셀 회로들(101A, 101B)의 제1 구간(t1) 동작을 보여 주는 파형도이다.
- [0133] 도 21a 및 도 21b를 참조하면, 제1 구간(t1)에 제1 스위치 신호(DMUX1)의 펄스(71)가 제1 스위치 소자(S1)의 게이트에 인가되어 제1 스위치 소자(S1)가 턴-온된다. 이 때, 제1 데이터 전압(D1(N))이 제1 스위치 소자(S1)를 통해 제1 데이터 라인(21A)에 인가되어 제1 데이터 라인(21A)에 연결된 제1 커패시터(CA)에 저장된다. 제1 구간(t1) 동안, 제2 스위치 신호(DMUX2), 제1 스캔 신호(SCAN1(N)) 및 제2 스캔 신호(SCAN2(N))의 전압은 게이트 오프 전압(VGH)이고, EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)이다.
- [0134] 도 22a는 픽셀 회로들(101A, 101B)에서 제2 구간(t2)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 22b는 픽셀 회로들(101A, 101B)의 제2 구간(t2) 동작을 보여 주는 파형도이다.
- [0135] 도 22a 및 도 22b를 참조하면, 제2 구간(t2)에 제1 스위치 신호(DMUX1)가 게이트 오프 전압(VGH)으로 반전된다. 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))가 게이트 온 전압(VGL)으로 반전된다. 제2 구간(t2) 동안, 제2 스위치 신호(DMUX2)와 제1 스캔 신호(SCAN1(N))는 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)을 유지한다. 제2 내지 제5 스위치 TFT들(T2, T3, T4, T5)이 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))와 EM 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 픽셀 회로들(101A, 101B)에서 제1 노드(n1), 제2 노드(n2) 및 발광 소자(EL)의 애노드가 기준 전압(Vref)으로 동시에 초기화된다.
- [0136] 도 23a는 픽셀 회로들(101A, 101B)에서 제3 구간(t3)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 23b는 픽셀 회로들(101A, 101B)의 제3 구간(t3) 동작을 보여 주는 파형도이다.
- [0137] 도 23a 및 도 23b를 참조하면, 제3 구간(t3)에 제2 스위치 신호(DMUX2)와 제1 스캔 신호(SCAN1(N))가 게이트 온 전압(VGL)으로 반전되어 제2 스위치 소자(S2)와 픽셀 회로들(101A, 101B)의 제1 스위치 TFT(T1)가 동시에 턴-온된다. 제3 구간(t3)에 발광 소자(EL)가 발광되지 않도록 EM 신호(EM(N))가 게이트 오프 전압(VGH)으로 반전된다. 제3 구간(t3) 동안, 제1 스위치 신호(DMUX1)는 게이트 오프 전압(VGH)을 유지하고, 제2 스캔 신호(SCAN2(N))는 게이트 온 전압(VGL)을 유지한다. 제3 구간(t3) 동안 제1, 제2, 및 제5 스위치 TFT들(T1, T2, T5)이 스캔 신호들(SCAN1(N), SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 제2 데이터 전압(D2(N))이 제2 데이터 라인(21B), 제2 픽셀 회로(101B)의 제1 스위치 TFT(T1)를 통해 제2 픽셀 회로(101B)의 제1 노드(n1)에 인가된다. 이와 동시에, 제1 데이터 라인(21A)의 제1 커패시터(CA)에 저장된 제1 데이터 전압(D1(N))이 제1 픽셀 회로(101A)의 제1 스위치 TFT(T1)를 통해 제1 픽셀 회로(101A)의 제1 노드(n1)에 인가된다. 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)에서 구동 TFT(DT)가 턴-온된다. 픽셀 회로들(101A, 101B) 각각에서 제3 구간(t3)에 구동 소자(DT)의 문턱 전압(Vth)이 보상된 데이터 전압이 커패시터(Cst)에 저장된다.
- [0138] 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)의 커패시터(Cst) 양단에 인가되는 전압은 표 1과 같다.
- [0139] 제3-1 구간(t3-1) 동안 픽셀 회로들(101A, 101B)의 주요 노드들이 플로팅(floating)된다. 제3-1 구간(t3-1)에 스캔 신호들(SCAN1(N), SCAN2(N))이 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 이 때, 제N 라인의 픽셀 회로들(101A, 101B)은 제3 구간 상태를 유지한다.
- [0140] 도 24a는 픽셀 회로들(101A, 101B)에서 제4 구간(t4)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 24b는 픽셀 회로들(101A, 101B)의 제4 구간(t4) 동작을 보여 주는 파형도이다.
- [0141] 도 24a 및 도 24b를 참조하면, 제4 구간(t4)에 스캔 신호들(SCAN1(N), SCAN2(N))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T3, T4)이 턴-온된다. 제4 구간(t4) 동안, 픽셀 구동 전압(VDD)이 인가되는 전원 라인과 발광 소자(EL) 사이에 전류 패스가 흘러 발광 소자(EL)가 발광될 수 있다. 이 때, 제1 및 제2 픽셀 회로들(101A, 101B)의 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)는 표 2와 같다.
- [0142] 표 2와 같이 픽셀들 간에 발광 소자(EL)의 전류 차이가 발생하고 이러한 휘도 차이가 사람의 인지 가능 시간 이

상으로 고정되면 사용자가 픽셀들 간의 휘도 차이를 인지할 수 있다. 본 발명은 사람이 이웃한 픽셀들 간의 휘도 차이를 인지할 수 없는 시간 단위로 픽셀들 간의 휘도 차이를 반전 시킨다.

- [0143] 도 25a 내지 도 28b는 제2 프레임 기간(FR2) 동안 이웃한 픽셀 회로들(101A, 101B)의 구동 방법을 보여 준다.
- [0144] 도 25a 및 도 25b를 참조하면, 제1 구간(t1)에 제2 스위치 신호(DMUX2)의 펄스(72)가 제2 스위치 소자(S2)의 게이트에 인가되어 제2 스위치 소자(S2)가 턴-온된다. 이 때, 제2 데이터 전압(D2(N))이 제2 스위치 소자(S2)를 통해 제2 데이터 라인(21B)에 인가되어 제2 데이터 라인(21B)에 연결된 제2 커패시터(CB)에 저장된다. 제1 구간(t1) 동안, 제1 스위치 신호(DMUX1), 제1 스캔 신호(SCAN1(N)) 및 제2 스캔 신호(SCAN2(N))의 전압은 게이트 오프 전압(VGH)이고, EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)이다.
- [0145] 도 26a는 픽셀 회로들(101A, 101B)에서 제2 구간(t2)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 26b는 픽셀 회로들(101A, 101B)의 제2 구간(t2) 동작을 보여 주는 파형도이다.
- [0146] 도 26a 및 도 26b를 참조하면, 제2 구간(t2)에 제2 스위치 신호(DMUX2)가 게이트 오프 전압(VGH)으로 반전된다. 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))가 게이트 온 전압(VGL)으로 반전된다. 제2 구간(t2) 동안, 제1 스위치 신호(DMUX1)와 제1 스캔 신호(SCAN1(N))는 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)을 유지한다. 제2 내지 제5 스위치 TFT들(T2, T3, T4, T5)이 제2 구간(t2)에 제2 스캔 신호(SCAN2(N))와 EM 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 픽셀 회로들(101A, 101B)에서 제1 노드(n1), 제2 노드(n2) 및 발광 소자(EL)의 애노드가 기준 전압(Vref)으로 동시에 초기화된다.
- [0147] 도 27a는 픽셀 회로들(101A, 101B)에서 제3 구간(t3)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 27b는 픽셀 회로들(101A, 101B)의 제3 구간(t3) 동작을 보여 주는 파형도이다.
- [0148] 도 27a 및 도 27b를 참조하면, 제3 구간(t3)에 제1 스위치 신호(DMUX1)와 제1 스캔 신호(SCAN1(N))가 게이트 온 전압(VGL)으로 반전되어 제1 스위치 소자(S1)와 픽셀 회로들(101A, 101B)의 제1 스위치 TFT(T1)가 동시에 턴-온된다. 제3 구간(t3)에 EM 신호(EM(N))가 게이트 오프 전압(VGH)으로 반전된다. 제3 구간(t3) 동안, 제2 스위치 신호(DMUX2)는 게이트 오프 전압(VGH)을 유지하고, 제2 스캔 신호(SCAN2(N))는 게이트 온 전압(VGL)을 유지한다. 제3 구간(t3) 동안 제1, 제2, 및 제5 스위치 TFT들(T1, T2, T5)이 스캔 신호들(SCAN1(N), SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 이 때, 제1 데이터 전압(D1(N))이 제1 데이터 라인(21A), 제1 픽셀 회로(101A)의 제1 스위치 TFT(T1)를 통해 제1 픽셀 회로(101A)의 제1 노드(n1)에 인가된다. 이와 동시에, 제2 데이터 라인(21B)의 제2 커패시터(CB)에 저장된 제2 데이터 전압(D2(N))이 제2 픽셀 회로(101B)의 제1 스위치 TFT(T1)를 통해 제2 픽셀 회로(101B)의 제1 노드(n1)에 인가된다. 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)에서 구동 TFT(DT)가 턴-온된다. 픽셀 회로들(101A, 101B) 각각에서 제3 구간(t3)에 구동 소자(DT)의 문턱 전압(Vth)이 보상된 데이터 전압이 커패시터(Cst)에 저장된다.
- [0149] 제3 구간(t3)에 제2 픽셀 회로(101B)의 커패시터(Cst)에 인가된 제2 데이터 전압(D2(N))은 커패시터들(CB, Cst)로 인하여 감소될 수 있다. 반면에, 제1 데이터 전압(D1(N))은 바로 제1 픽셀 회로(101A)의 커패시터(Cst)에 인가되기 때문에 손실이 없다.
- [0150] 제3 구간(t3) 동안 픽셀 회로들(101A, 101B)의 커패시터(Cst) 양단에 인가되는 전압은 표 3과 같다.
- [0151] 제3-1 구간(t3-1) 동안 픽셀 회로들(101A, 101B)의 주요 노드들이 플로팅(floating)된다. 제3-1 구간(t3-1)에 스캔 신호들(SCAN1(N), SCAN2(N))이 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 이 때, 제N 라인의 픽셀 회로들(101A, 101B)은 제3 구간 상태를 유지한다.
- [0152] 도 28a는 픽셀 회로들(101A, 101B)에서 제4 구간(t4)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 28b는 픽셀 회로들(101A, 101B)의 제4 구간(t4) 동작을 보여 주는 파형도이다.
- [0153] 도 28a 및 도 28b를 참조하면, 제4 구간(t4)에 스캔 신호들(SCAN1(N), SCAN2(N))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T3, T4)이 턴-온된다. 제4 구간(t4) 동안, 픽셀 구동 전압(VDD)이 인가되는 전원 라인과 발광 소자(EL) 사이에 전류 패스가 흘러 발광 소자(EL)가 발광될 수 있다. 이 때, 발광 소자에 흐르는 전류(I<sub>OLED</sub>)는 표 4와 같이 제3 구간(t3)에 스토리지(Cst)에 인가된 데이터 전압의 차이로 인하여 제1 및 제2 픽셀 회로들(101A, 101B)에서 달라질 수 있다.
- [0154] 도 29는 본 발명의 제3 실시예에 따른 픽셀 회로들과 신호 배선들을 상세히 보여 주는 회로도이다. 도 29에서 기술한 실시예들과 실질적으로 동일한 구성 요소에 대하여는 상세한 설명을 생략한다. 도 30은 도 29에 도시된

픽셀 회로의 구동 방법을 보여 주는 파형도이다.

- [0155] 도 29 및 도 30을 참조하면, 디멀티플렉서(112)는 제1 및 제2 스위치 소자들(S1, S2)을 포함한다. 스위치 소자들(S1, S2) 각각은 픽셀 회로들(101A, 101B)의 트랜지스터들과 동일한 p 채널 트랜지스터로 구현될 수 있다. 제1 스위치 소자(S1)는 제1 스위치 신호(DMUX1)의 게이트 온 전압(VGL)에 따라 턴-온되어 데이터 구동부(110)의 출력 단자를 제1 데이터 라인(21A)에 연결한다. 제2 스위치 소자(S2)는 제2 스위치 신호(DMUX2)의 게이트 온 전압(VGL)에 따라 턴-온되어 데이터 구동부(110)의 출력 단자를 제2 데이터 라인(21B)에 연결한다.
- [0156] 제1 프레임 기간(FR1) 동안, 제1 스위치 신호(DMUX1)의 펄스(71)가 제3 구간(t3)에 발생된 후에, 제2 스위치 펄스(DMUX2)의 펄스(72)가 제4 구간(t4)에 발생된다. 제1 스위치 신호(DMUX1)의 펄스(71)는 제1 데이터 전압(D1(N))에 동기되고, 제2 스위치 신호(DMUX2)의 펄스(72)는 제2 데이터 전압(D2(N))에 동기된다.
- [0157] 제2 스위치 신호(DMUX2)의 펄스(72)는 제1 프레임 기간(FR1) 동안 제1 스위치 신호(DMUX1)의 펄스(71) 보다 길게 설정된다. 제1 스위치 신호(DMUX1)의 펄스(71) 폭은 제1 데이터 라인(21A)에 데이터 전압이 전달될 수 있는 시간 즉, t1 만큼 짧게 설정될 수 있다. 이에 비하여, 제2 스위치 신호(DMUX2)의 펄스(72) 폭은 픽셀 회로들(101A, 101B)의 커패시터(Cst)에 데이터 전압이 전달되고 구동 소자(DT)의 문턱 전압이 샘플링될 수 있어야 하므로 제1 스위치 신호(DMUX1)의 펄스(71) 보다 더 길게 설정되어야 한다.
- [0158] 매 프레임 기간(FR1, FR2) 마다, 제N-1 스캔 신호(SCAN(N-1))의 펄스(73)에 이어서 제N 스캔 신호(SCAN(N))의 펄스(74)가 발생된다. 제N-1 스캔 신호(SCAN(N-1))의 펄스(73)는 도시하지 않은 제N-1 라인의 픽셀 회로들에 인가되는 데이터 전압에 동기된다. 제N 스캔 신호(SCAN(N))의 펄스(73)는 제1 프레임 기간(FR1)에 제N 라인(L(N))에 배치된 제2 픽셀 회로(101B)에 인가될 제2 데이터 전압(D2(N))에 동기된다. 제N 스캔 신호(SCAN(N))의 펄스(73)는 제2 프레임 기간(FR2)에 제N 라인(L(N))에 배치된 제1 픽셀 회로(101A)에 인가될 제1 데이터 전압(D1(N))에 동기된다. 스캔 신호들(SCAN1(N), SCAN2(N))의 펄스(73, 74)는 게이트 온 전압(VGL)으로 발생되어 픽셀 회로들(101A, 101B)의 스위치 TFT들(T1, T2, T5, T6)은 스캔 신호의 펄스(73, 74)에 응답하여 턴-온된다. 제N-1 스캔 신호(SCAN(N-1))의 펄스(73)는 제2 구간(t2) 동안 게이트 온 전압(VGL)으로 발생되고, 제2 구간(t2)을 제외한 나머지 시간 동안 제N-1 스캔 신호(SCAN(N-1))의 전압은 게이트 오프 전압(VGH)을 유지한다. 제N 스캔 신호(SCAN(N))의 펄스(74)는 제4 구간(t4) 동안 게이트 온 전압(VGL)으로 발생되고, 제4 구간(t4)을 제외한 나머지 시간 동안 제N 스캔 신호(SCAN(N))의 전압은 게이트 오프 전압(VGH)을 유지한다. 제3 구간(t3)은 제N-1 스캔 신호(SCAN(N-1))의 펄스(73)와, 제N 스캔 신호(SCAN(N))의 펄스(74) 사이에 설정된다.
- [0159] 매 프레임 기간(FR1, FR2) 마다, EM 신호(EM(N))의 펄스(75)는 제N-1 스캔 신호(SCAN1(N-1))의 펄스(73) 보다 대략 1 수평 기간(1H) 앞서 게이트 오프 전압(VGH)으로 발생된다. EM 신호(EM(N))의 펄스(75)는 제1 내지 제4-1 구간(t1 ~ t4-1) 동안 게이트 오프 전압(VGH)으로 발생되고, 제1 내지 제4-1 구간(t1 ~ t4-1)을 제외한 나머지 시간(t5) 동안 EM 신호(EM(N))의 전압은 게이트 온 전압(VGL)으로 유지된다. EM 신호(EM(N))가 게이트 온 전압(VGL)일 때 스위치 TFT들(T3, T4)이 턴-온될 수 있다. 발광 소자(EL)의 전류 패스는 EM 신호(EM(N))의 전압 레벨에 따라 스위칭된다. 발광 소자(EL)는 제5 구간(t5) 동안 전류 패스에 연결되어 발광될 수 있다.
- [0160] 제2 프레임 기간(FR1) 동안, 제2 스위치 신호(DMUX2)의 펄스(72)가 제3 구간(t3)에 발생된 후에, 제1 스위치 펄스(DMUX1)의 펄스(71)가 제4 구간(t4)에 발생된다. 제2 스위치 신호(DMUX1)의 펄스(72)는 제2 데이터 전압(D2(N))에 동기되고, 제1 스위치 신호(DMUX1)의 펄스(71)는 제1 데이터 전압(D1(N))에 동기된다. 스위치 신호(DMUX1, DMUX2)의 펄스들(71, 72)이 게이트 온 전압(VGL)으로 발생된다. 제2 프레임 기간(FR1)에 발생하는 제1 스위치 신호(DMUX1)의 펄스(71)는 제2 스위치 신호(DMUX2)의 펄스(72) 보다 길게 설정된다.
- [0161] 도 31a 내지 도 40b는 도 29 및 도 30에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.
- [0162] 도 31a 내지 도 35b는 제1 프레임 기간(FR1) 동안 이웃한 픽셀 회로들(101A, 101B)의 구동 방법을 보여 준다.
- [0163] 제1 프레임 기간(FR1)의 픽셀 구동 방법은 발광 소자(EL)의 전류 패스가 차단되는 제1 구간(t1), 픽셀 회로들(101A, 101B)이 초기화되는 제2 구간(t2), 제1 데이터 전압(D1(N))이 제1 데이터 라인(21A)에 충전되는 제3 구간(t3), 제1 및 제2 픽셀 회로들(101A, 101B)의 커패시터(Cst)에 데이터 전압(D1(N), D2(N))을 동시에 공급하고 구동 소자들(DT)의 문턱 전압(Vth)을 샘플링하는 제4 구간(t4), 및 픽셀 회로들(101A, 101B)이 발광되는 제5 구간(t5)으로 나뉘어진다. 제4 구간(t4)과 제5 구간(t5) 사이에 홀드 구간(hold)인 제4-1 구간(t4-1)이 설정될 수 있으나 이 구간(t4-1)은 생략 가능하다.

- [0164] 도 31a 및 도 31b는 픽셀 회로들(101A, 101B)에서 제1 구간(t1)에 흐르는 전류 패스를 보여 주는 도면들이다.
- [0165] 도 31a 및 도 31b를 참조하면, 제1 구간(t1)에 EM 신호(EM(N))의 펄스(75)가 게이트 오프 전압(VGH)으로 발생된다. 이 때, 제3 및 제4 스위치 TFT(T13, T14)가 턴-오프되어 발광 소자(EL)에 전류가 공급되지 않기 때문에 발광 소자(EL)가 발광되지 않는다. 제1 구간(t1) 동안, 스위치 제어 신호들(DMUX1, DMUX2)과 스캔 신호(SCAN(N-1), SCAN(N))는 게이트 오프 전압(VGH)을 유지한다.
- [0166] 도 32a는 픽셀 회로들(101A, 101B)에서 제2 구간(t2)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 32b는 픽셀 회로들(101A, 101B)의 제2 구간(t2) 동작을 보여 주는 파형도이다.
- [0167] 도 32a 및 도 32b를 참조하면, 제2 구간(t2)에 제N-1 스캔 신호(SCAN(N-1))의 펄스(73)가 게이트 온 전압(VGL)으로 발생된다. 이 때 제5 스위치 TFT(T15)가 턴-온되어 기준 전압(Vini)으로 커패시터(Cst)와 구동 TFT(DT)의 게이트 전압이 초기화된다.
- [0168] 도 33a는 픽셀 회로들(101A, 101B)에서 제3 구간(t3)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 33b는 픽셀 회로들(101A, 101B)의 제3 구간(t3) 동작을 보여 주는 파형도이다.
- [0169] 도 33a 및 도 33b를 참조하면, 제1 스위치 신호(DMUX1)의 펄스(71)가 제1 스위치 소자(S1)의 게이트에 인가되어 제1 스위치 소자(S1)가 턴-온된다. 이 때, 제1 데이터 전압(D1(N))이 제1 스위치 소자(S1)를 통해 제1 데이터 라인(21A)에 인가되어 제1 커패시터(CA)에 저장된다. 제3 구간(t3)에 제1 커패시터(CA)의 전압은 기준 전압(Vini)으로부터 데이터 전압(Vdata)으로 변한다. 제2 커패시터(CB)의 전압은 초기화 상태(0V)로 유지된다. 제3 구간(t3) 동안, 제2 스위치 신호(DMUX2), 스캔 신호들(SCAN(N-1), SCAN(N)), 및 EM 신호(EM(N))의 전압은 게이트 오프 전압(VGH)이다.
- [0170] 도 34a는 픽셀 회로들(101A, 101B)에서 제4 구간(t4)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 34b는 픽셀 회로들(101A, 101B)의 제4 구간(t4) 동작을 보여 주는 파형도이다. 제4 구간(t4)은 구동 소자(DT)의 안정된 문턱 전압 샘플링 시간을 확보하기 위하여 제3 구간(t3) 보다 길게 설정된다.
- [0171] 도 34a 및 도 34b를 참조하면, 제4 구간(t4)에 제2 스위치 신호(DMUX2)와 제N 스캔 신호(SCAN(N))가 게이트 온 전압(VGL)으로 반전되어 제2 스위치 소자(S2)와 픽셀 회로들(101A, 101B)의 스위치 TFT들(T11, T12)가 동시에 턴-온된다. 제4 구간(t4)에 제1 스위치 신호(DMUX1), 제N-1 스캔 신호(SCAN(N-1)), EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 제4 구간(t4) 동안 제2 데이터 전압(D2(N))이 제2 데이터 라인(21B), 제2 픽셀 회로(101B)의 제2 스위치 TFT(T12), 구동 TFT(DT), 및 제1 스위치 TFT(T11)를 통해 제2 픽셀 회로(101B)의 제2 노드(n2)에 인가된다. 이와 동시에, 제1 커패시터(CA)에 저장된 제1 데이터 전압(D1(N))이 제1 픽셀 회로(101A)의 제2 스위치 TFT(T12), 구동 TFT(DT), 및 제1 스위치 TFT(T11)를 통해 제1 픽셀 회로(101A)의 제2 노드(n2)에 인가된다. 제4 구간(t4) 동안 픽셀 회로들(101A, 101B)에서 구동 TFT(DT)가 턴-온된다. 픽셀 회로들(101A, 101B) 각각에서 제4 구간(t4)에 구동 소자(DT)의 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)이 커패시터(Cst)에 저장된다.
- [0172] 제4 구간(t4)에 제1 픽셀 회로(101A)의 커패시터(Cst)에 인가된 제1 데이터 전압(D1(N))은 커패시터들(CA, Cst)로 인하여 감소될 수 있다. 반면에, 제2 데이터 전압(D2(N))은 바로 제2 픽셀 회로(101B)의 커패시터(Cst)에 인가되기 때문에 손실이 없다. 제4 구간(t4)에 제1 픽셀 회로(101A)의 전압은  $\frac{CA}{CA+Cst} \times (Vdata + Vth)$  이고, 제2 픽셀 회로(101B)의 전압은  $Vdata + Vth$  이다.
- [0173] 제4-1 구간(t4-1) 동안 픽셀 회로들(101A, 101B)의 주요 노드들이 플로팅(floating)된다. 제4-1 구간(t4-1)에 제N 스캔 신호(SCAN(N))가 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 이 때, 제N 라인의 픽셀 회로들(101A, 101B)은 제4 구간 상태를 유지한다.
- [0174] 도 35a는 픽셀 회로들(101A, 101B)에서 제5 구간(t5)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 35b는 픽셀 회로들(101A, 101B)의 제5 구간(t5) 동작을 보여 주는 파형도이다.
- [0175] 도 35a 및 도 35b를 참조하면, 제5 구간(t5)에 스캔 신호들(SCAN(N-1), SCAN(N))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T13, T14)이 턴-온된다. 제5 구간(t5) 동안, 픽셀 구동 전압(VDD)이 인가되는 전원 라인과 발광 소자(EL) 사이에 전류 패스가 흘러 발광 소자(EL)가 발광될 수 있다. 이 때, 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)는 제3 구간(t3)에 스토리지(Cs

t)에 인가된 데이터 전압의 차이로 인하여 제1 및 제2 픽셀 회로들(101A, 101B)에서 달라질 수 있다.

[0176] 아래의 표 5는 제5 구간(t5)에 픽셀 회로들(101A, 101B)의 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)를 나타낸다.

표 5

[0177] 제1 픽셀 회로(101A)의 I <sub>OLED</sub>	제2 픽셀 회로(101B)의 I <sub>OLED</sub>
$I_{OLED} = \frac{1}{2} \mu_{Cox} \frac{W}{L} (V_{gs} - V_{th})^2 = \frac{1}{2} \mu_{Cox} \frac{W}{L} \left( \frac{CA}{CA + Cst} V_{data} - VDD \right)^2$	$I_{OLED} = \frac{1}{2} \mu_{Cox} \frac{W}{L} (V_{gs} - V_{th})^2 = \frac{1}{2} \mu_{Cox} \frac{W}{L} (V_{data} - VDD)^2$

[0178] 표 5와 같이 픽셀들 간에 발광 소자(EL)의 전류 차이가 발생하고 이러한 휘도 차이가 사람의 인지 가능 시간 이상으로 고정되면 사용자가 픽셀들 간의 휘도 차이를 인지할 수 있다. 본 발명은 사람이 이웃한 픽셀들 간의 휘도 차이를 인지할 수 없는 시간 단위로 픽셀들 간의 휘도 차이를 반전 시킨다.

[0179] 도 36a 내지 도 38b는 제2 프레임 기간(FR2) 동안 이웃한 픽셀 회로들(101A, 101B)의 구동 방법을 보여 준다.

[0180] 제2 프레임 기간(FR2)의 픽셀 구동 방법은 발광 소자(EL)의 전류 패스가 차단되는 제1 구간(t1), 픽셀 회로들(101A, 101B)이 초기화되는 제2 구간(t2), 제2 데이터 전압(D2(N))이 제2 데이터 라인(21B)에 충전되는 제3 구간(t3), 제1 및 제2 픽셀 회로들(101A, 101B)의 커패시터(Cst)에 데이터 전압(D1(N), D2(N))을 동시에 공급하고 구동 소자들(DT)의 문턱 전압(Vth)을 샘플링하는 제4 구간(t4), 및 픽셀 회로들(101A, 101B)이 발광되는 제5 구간(t5)으로 나뉘어진다. 제4 구간(t4)과 제5 구간(t5) 사이에 홀드 구간(hold)인 제4-1 구간(t4-1)이 설정될 수 있으나 이 구간(t4-1)은 생략 가능하다.

[0181] 도 36a 및 도 36b는 픽셀 회로들(101A, 101B)에서 제1 구간(t1)에 흐르는 전류 패스를 보여 주는 도면들이다.

[0182] 도 36a 및 도 36b를 참조하면, 제1 구간(t1)에 EM 신호(EM(N))의 펄스(75)가 게이트 오프 전압(VGH)으로 발생된다. 이 때, 제3 및 제4 스위치 TFT(T13, T14)가 턴-오프되어 발광 소자(EL)에 전류가 공급되지 않기 때문에 발광 소자(EL)가 발광되지 않는다. 제1 구간(t1) 동안, 스위치 제어 신호들(DMUX1, DMUX2)과 스캔 신호(SCAN(N-1), SCAN(N))는 게이트 오프 전압(VGH)을 유지한다.

[0183] 도 37a는 픽셀 회로들(101A, 101B)에서 제2 구간(t2)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 37b는 픽셀 회로들(101A, 101B)의 제2 구간(t2) 동작을 보여 주는 파형도이다.

[0184] 도 37a 및 도 37b를 참조하면, 제2 구간(t2)에 제N-1 스캔 신호(SCAN(N-1))의 펄스(73)가 게이트 온 전압(VGL)으로 발생된다. 이 때 제5 스위치 TFT(T15)가 턴-온되어 기준 전압(Vini)으로 커패시터(Cst)와 구동 TFT(DT)의 게이트 전압이 초기화된다.

[0185] 도 38a는 픽셀 회로들(101A, 101B)에서 제3 구간(t3)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 38b는 픽셀 회로들(101A, 101B)의 제3 구간(t3) 동작을 보여 주는 파형도이다.

[0186] 도 38a 및 도 38b를 참조하면, 제2 스위치 신호(DMUX2)의 펄스(72)가 제2 스위치 소자(S2)의 게이트에 인가되어 제2 스위치 소자(S2)가 턴-온된다. 이 때, 제2 데이터 전압(D2(N))이 제2 스위치 소자(S2)를 통해 제2 데이터 라인(21B)에 인가되어 제2 커패시터(CB)에 저장된다. 제3 구간(t3)에 제2 커패시터(CB)의 전압은 기준 전압(Vini)으로부터 데이터 전압(Vdata)으로 변한다. 제1 커패시터(CA)의 전압은 초기화 상태(OV)로 유지된다. 제3 구간(t3) 동안, 제1 스위치 신호(DMUX1), 스캔 신호들(SCAN(N-1), SCAN(N)), 및 EM 신호(EM(N))의 전압은 게이트 오프 전압(VGH)이다.

[0187] 도 39a는 픽셀 회로들(101A, 101B)에서 제4 구간(t4)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 39b는 픽셀 회로들(101A, 101B)의 제4 구간(t4) 동작을 보여 주는 파형도이다.

[0188] 도 39a 및 도 39b를 참조하면, 제4 구간(t4)에 제1 스위치 신호(DMUX1)와 제N 스캔 신호(SCAN(N))가 게이트 온 전압(VGL)으로 반전되어 제1 스위치 소자(S1)와 픽셀 회로들(101A, 101B)의 스위치 TFT들(T11, T12)가 동시에 턴-온된다. 제4 구간(t4)에 제2 스위치 신호(DMUX2), 제N-1 스캔 신호(SCAN(N-1)), EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 제4 구간(t4) 동안 제1 데이터 전압(D1(N))이 제1 데이터 라인(21A), 제1 픽셀 회로(101A)의 제2 스위치 TFT(T12), 구동 TFT(DT), 및 제1 스위치 TFT(T11)를 통해 제1 픽셀 회로(101A)의 제2 노드(n2)에 인가된다. 이와 동시에, 제2 커패시터(CB)에 저장된 제2 데이터 전압(D2(N))이 제2 픽셀 회로(101B)의 제2 스위치 TFT(T12), 구동 TFT(DT), 및 제1 스위치 TFT(T11)를 통해 제2 픽셀 회로(101B)의 제2 노

드(n2)에 인가된다. 제4 구간(t4) 동안 픽셀 회로들(101A, 101B)에서 구동 TFT(DT)가 턴-온된다. 픽셀 회로들(101A, 101B) 각각에서 제4 구간(t4)에 구동 소자(DT)의 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)이 커패시터(Cst)에 저장된다.

[0189] 제4 구간(t4)에 제2 픽셀 회로(101B)의 커패시터(Cst)에 인가된 제2 데이터 전압(D2(N))은 커패시터들(CA, Cs t)로 인하여 감소될 수 있다. 반면에, 제1 데이터 전압(D1(N))은 바로 제1 픽셀 회로(101B)의 커패시터(Cst)에 인가되기 때문에 손실이 없다. 제4 구간(t4)에 제1 픽셀 회로(101A)의 전압은  $V_{data} + V_{th}$ 이고, 제2 픽셀 회로(101B)의 전압은  $\frac{CB}{CB+Cst} \times (V_{data} + V_{th})$ 이다.

[0190] 제4-1 구간(t4-1) 동안 픽셀 회로들(101A, 101B)의 주요 노드들이 플로팅(floating)된다. 제4-1 구간(t4-1)에 제N 스캔 신호(SCAN(N))가 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압(VGH)을 유지한다. 이 때, 제N 라인의 픽셀 회로들(101A, 101B)은 제4 구간 상태를 유지한다.

[0191] 도 40a는 픽셀 회로들(101A, 101B)에서 제5 구간(t5)에 흐르는 전류 패스를 보여 주는 회로도이다. 도 40b는 픽셀 회로들(101A, 101B)의 제5 구간(t5) 동작을 보여 주는 파형도이다.

[0192] 도 40a 및 도 40b를 참조하면, 제5 구간(t5)에 스캔 신호들(SCAN(N-1), SCAN(N))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(N))는 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T13, T14)이 턴-온된다. 제5 구간(t5) 동안, 픽셀 구동 전압(VDD)이 인가되는 전원 라인과 발광 소자(EL) 사이에 전류 패스가 흘러 발광 소자(EL)가 발광될 수 있다. 이 때, 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)는 제3 구간(t3)에 스토리지(Cs t)에 인가된 데이터 전압의 차이로 인하여 제1 및 제2 픽셀 회로들(101A, 101B)에서 달라질 수 있다.

[0193] 아래의 표 6은 제5 구간(t5)에 픽셀 회로들(101A, 101B)의 발광 소자(EL)에 흐르는 전류(I<sub>OLED</sub>)를 나타낸다.

**표 6**

[0194] 제1 픽셀 회로(101A)의 I <sub>OLED</sub>	제2 픽셀 회로(101B)의 I <sub>OLED</sub>
$I_{OLED} = \frac{1}{2} \mu_{Cox} \frac{W}{L} (V_{gs} - V_{th})^2 = \frac{1}{2} \mu_{Cox} \frac{W}{L} (V_{data} - VDD)^2$	$I_{OLED} = \frac{1}{2} \mu_{Cox} \frac{W}{L} (V_{gs} - V_{th})^2 = \frac{1}{2} \mu_{Cox} \frac{W}{L} \left( \frac{CB}{CB + Cst} V_{data} - VDD \right)^2$

[0195] 본 발명의 픽셀 구동 방법은 모든 실시예들에서 데이터 라인에 저장된 데이터 전압을 픽셀 회로의 커패시터에 전달하는 방식과, 데이터 구동부로부터의 데이터 전압을 픽셀 회로의 커패시터에 직접 전달하는 방식을 소정 시간 주기 예를 들어, 매 프레임마다 교환(swap)한다. 따라서, 본 발명에 의하면 사용자는 픽셀들 간의 휘도차를 인지하지 못한다.

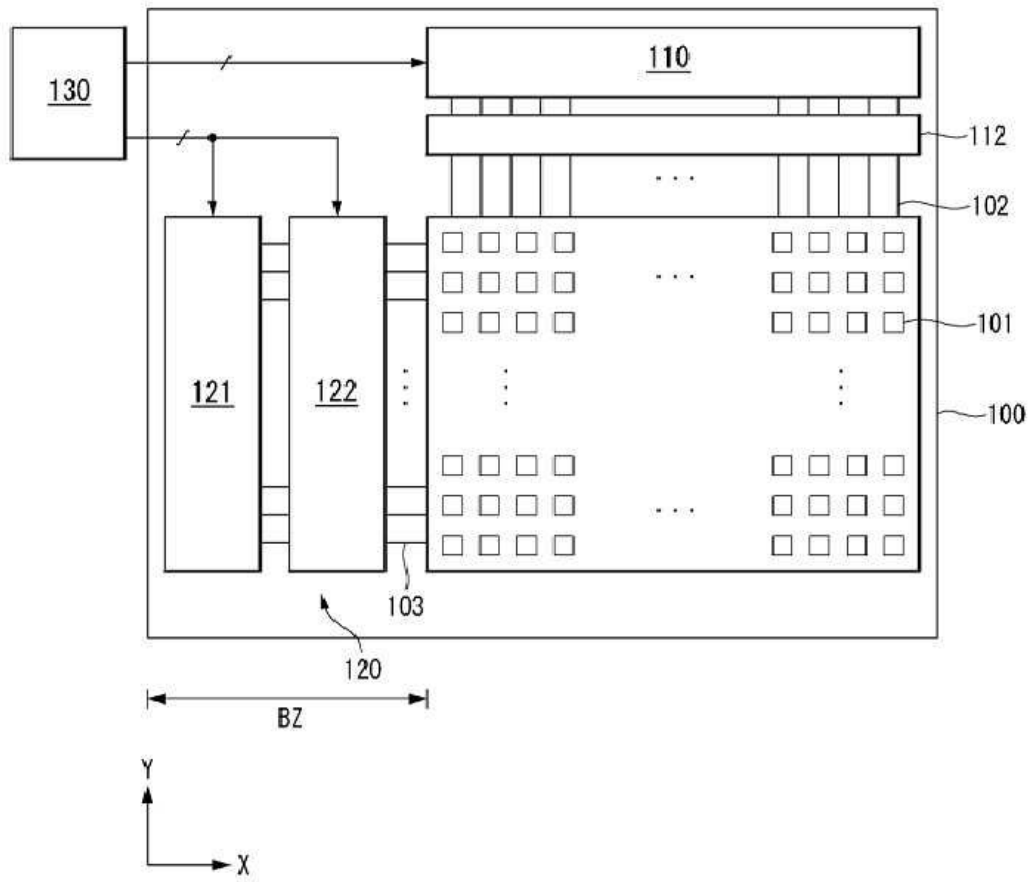
[0196] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

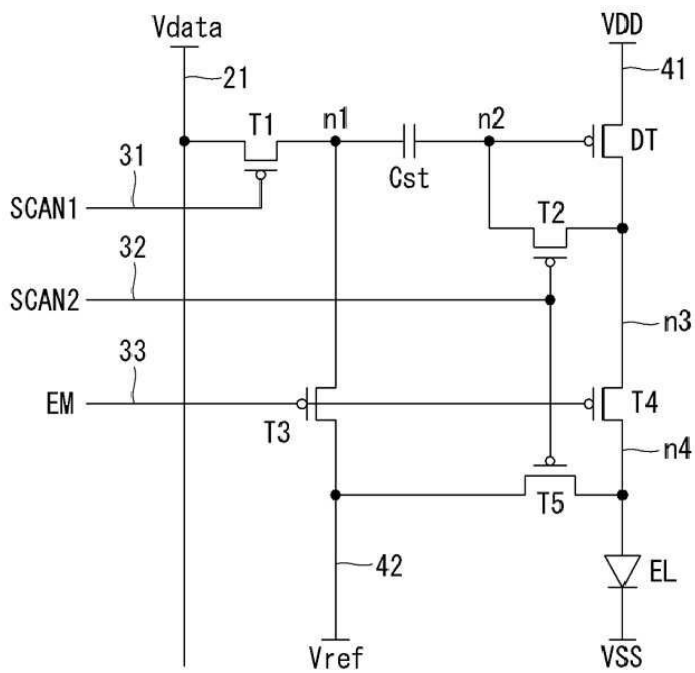
- [0197] 21, 21A, 21B, 102 : 데이터 라인 31-33, 103 : 게이트 라인  
 41, 42 : 전원 라인 100 : 표시패널  
 101, 101A, 101B : 픽셀(픽셀 회로) 110 : 데이터 구동부  
 112 : 디멀티플렉서 120 : 게이트 구동부  
 130 : 타이밍 컨트롤러

도면

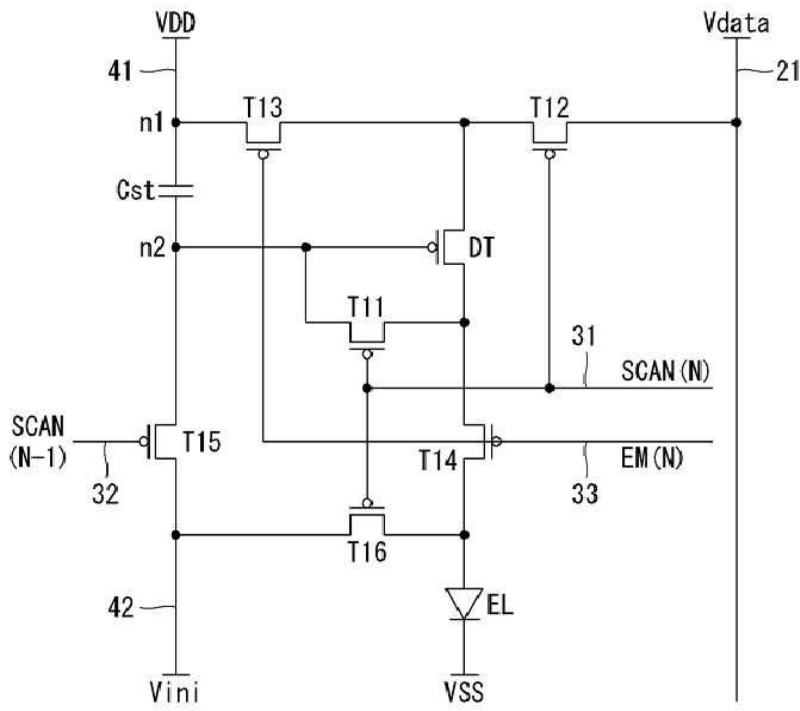
도면1



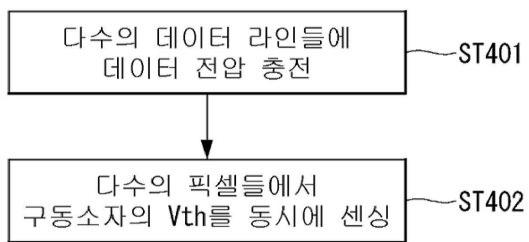
도면2



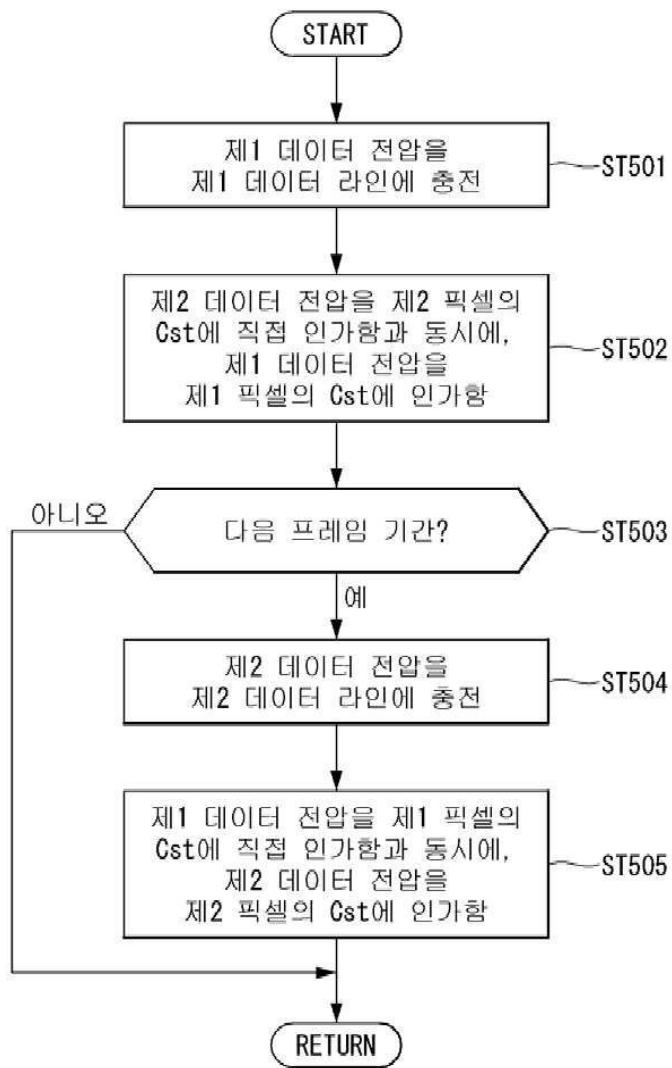
도면3



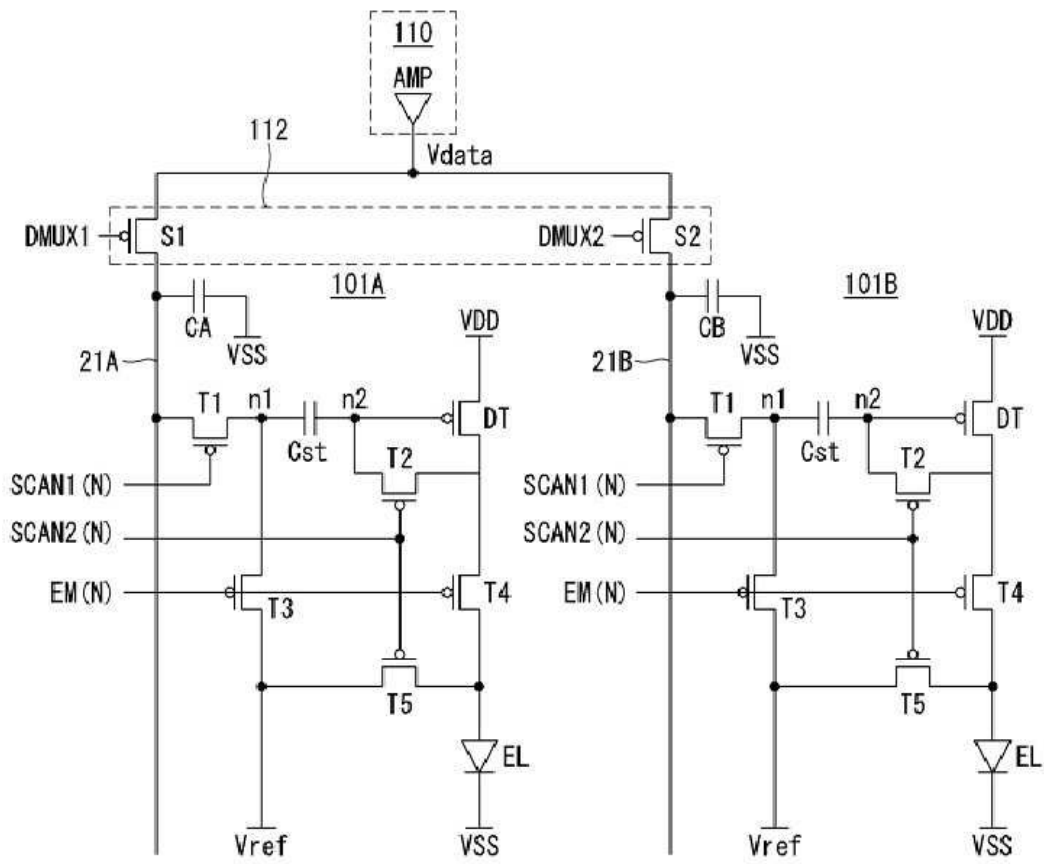
도면4



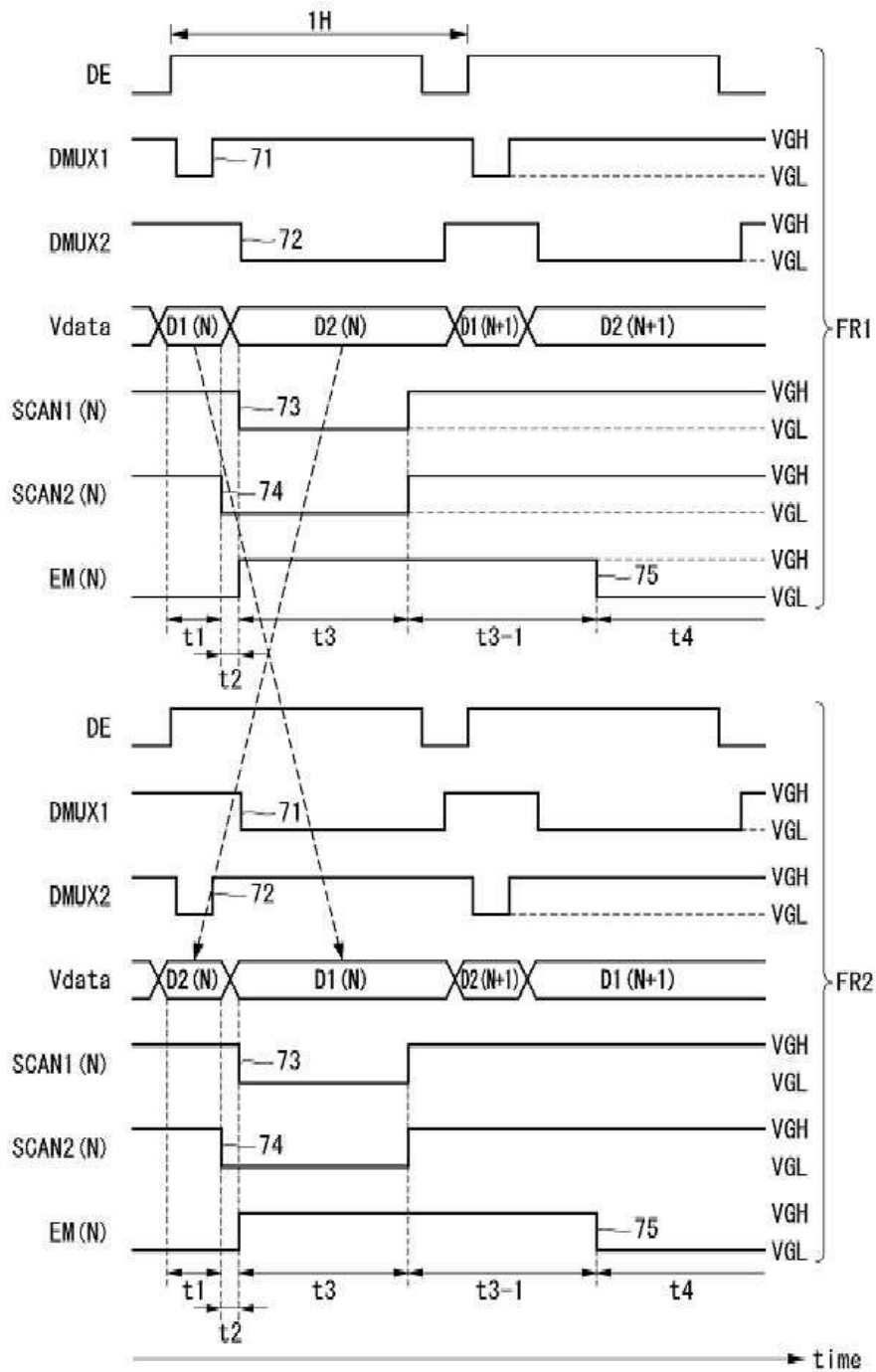
도면5



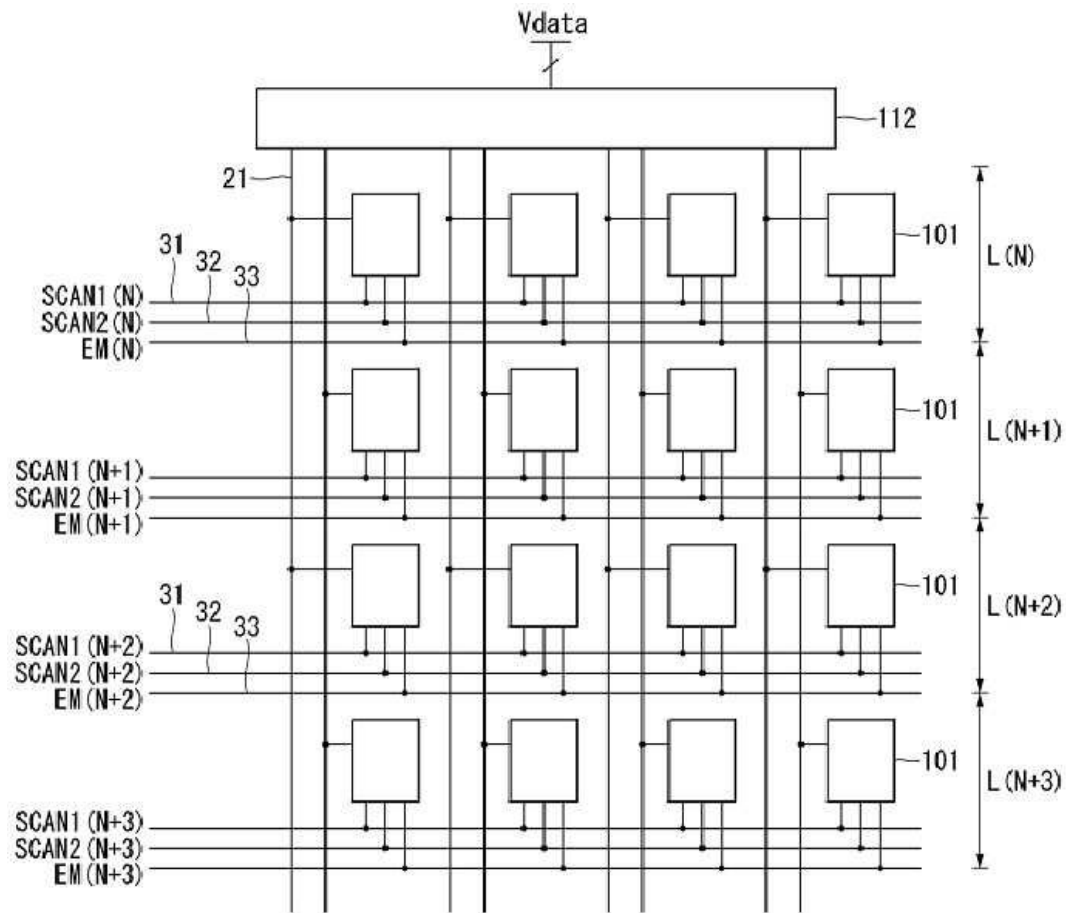
도면6



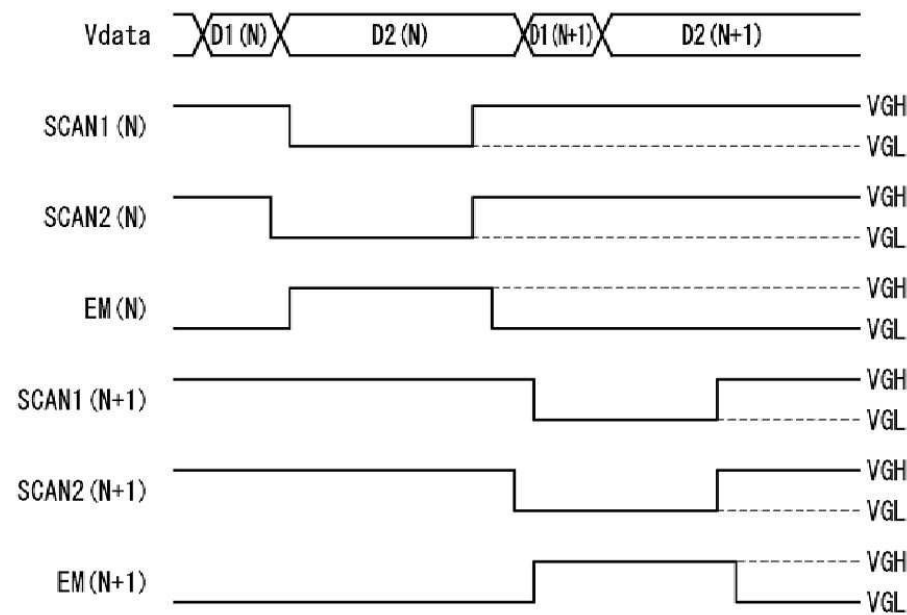
도면7



도면8

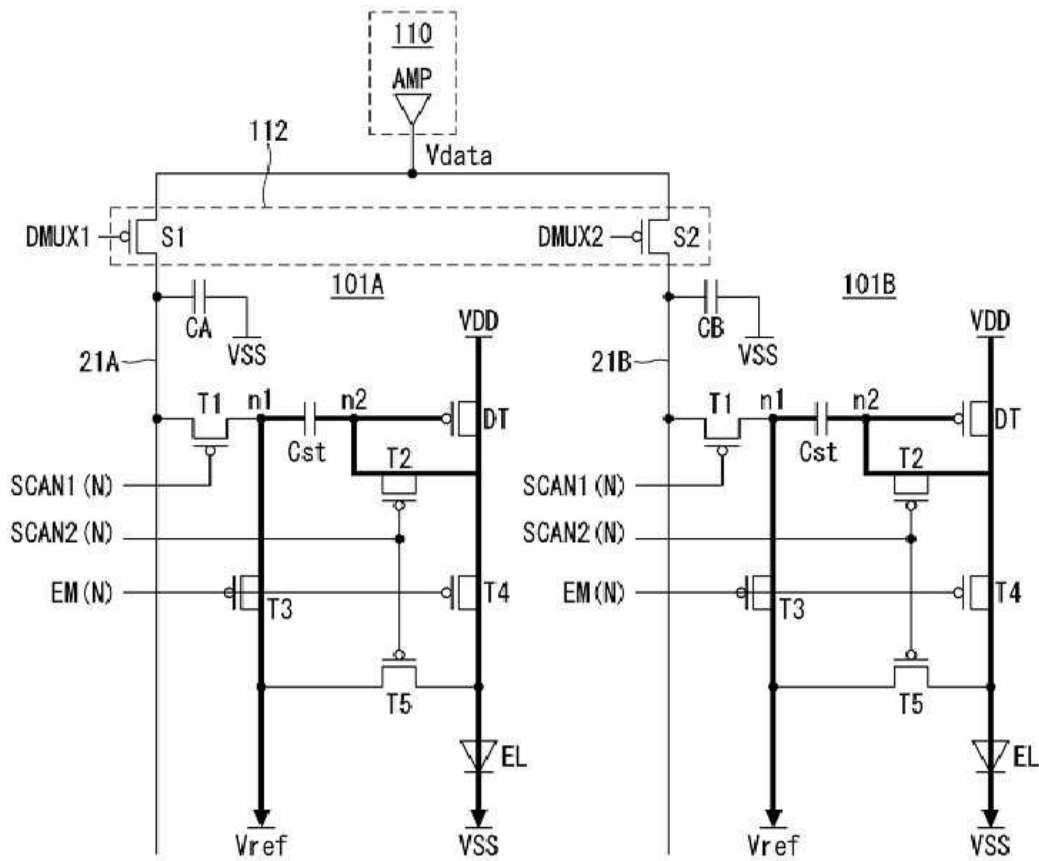


도면9

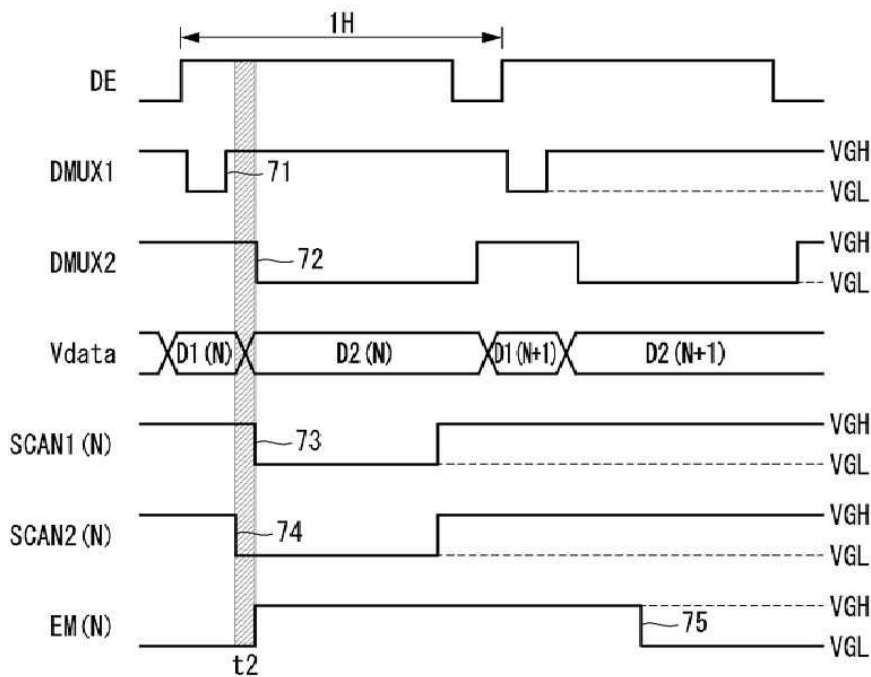




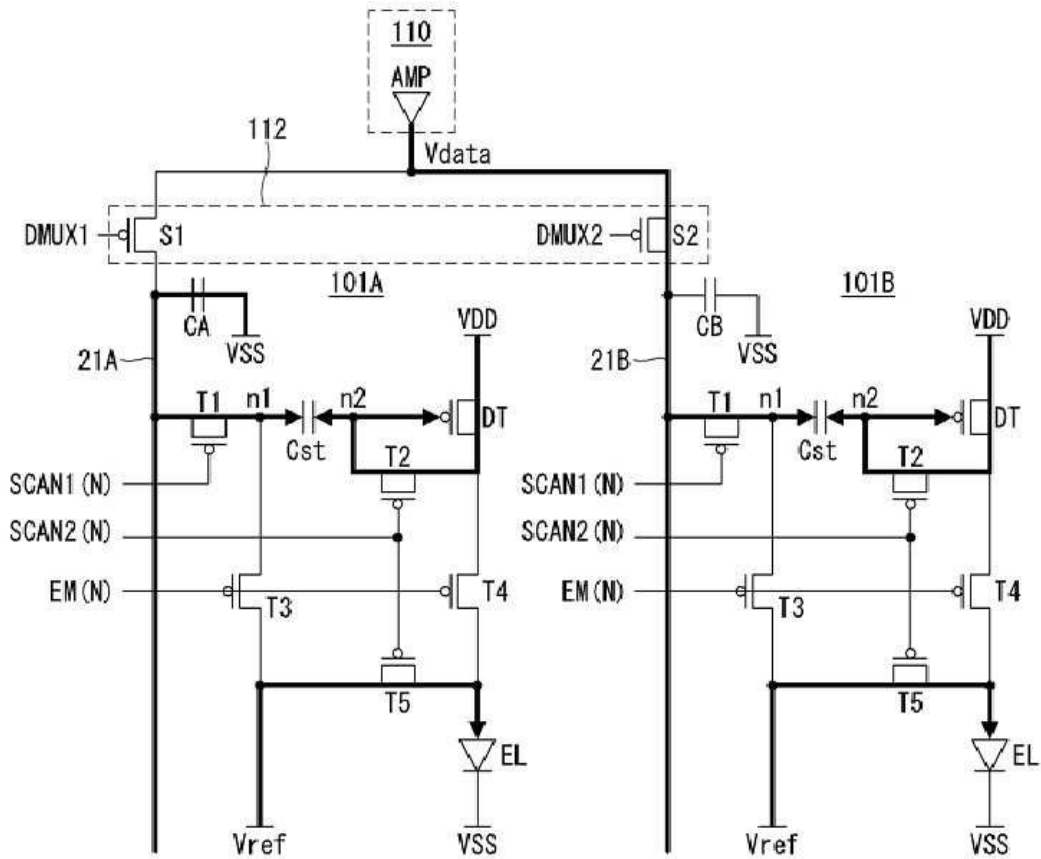
도면11a



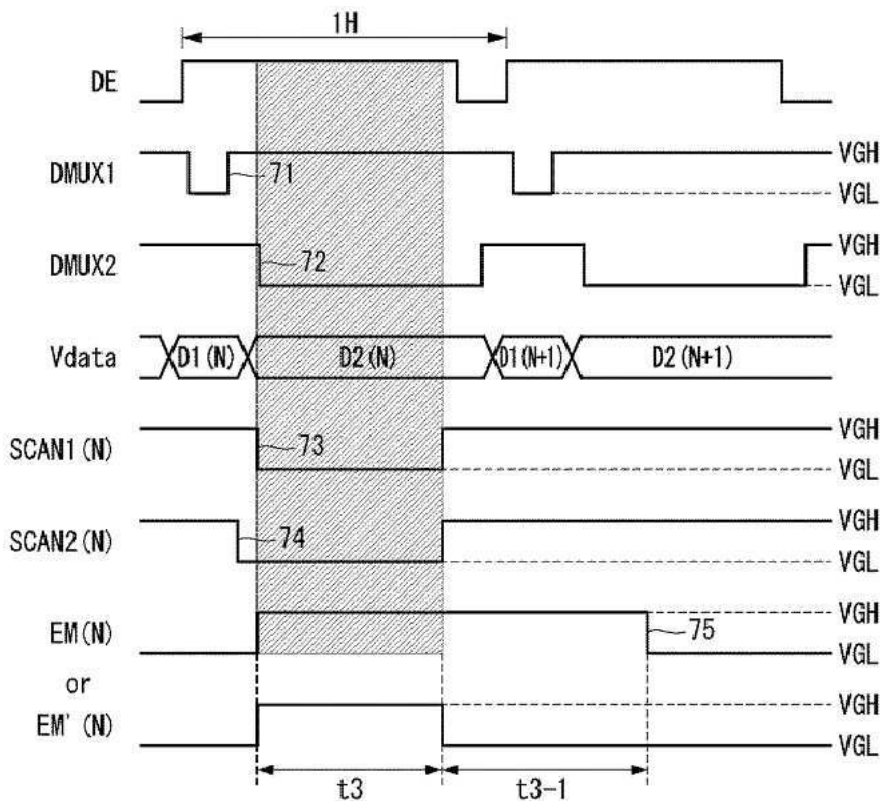
도면11b



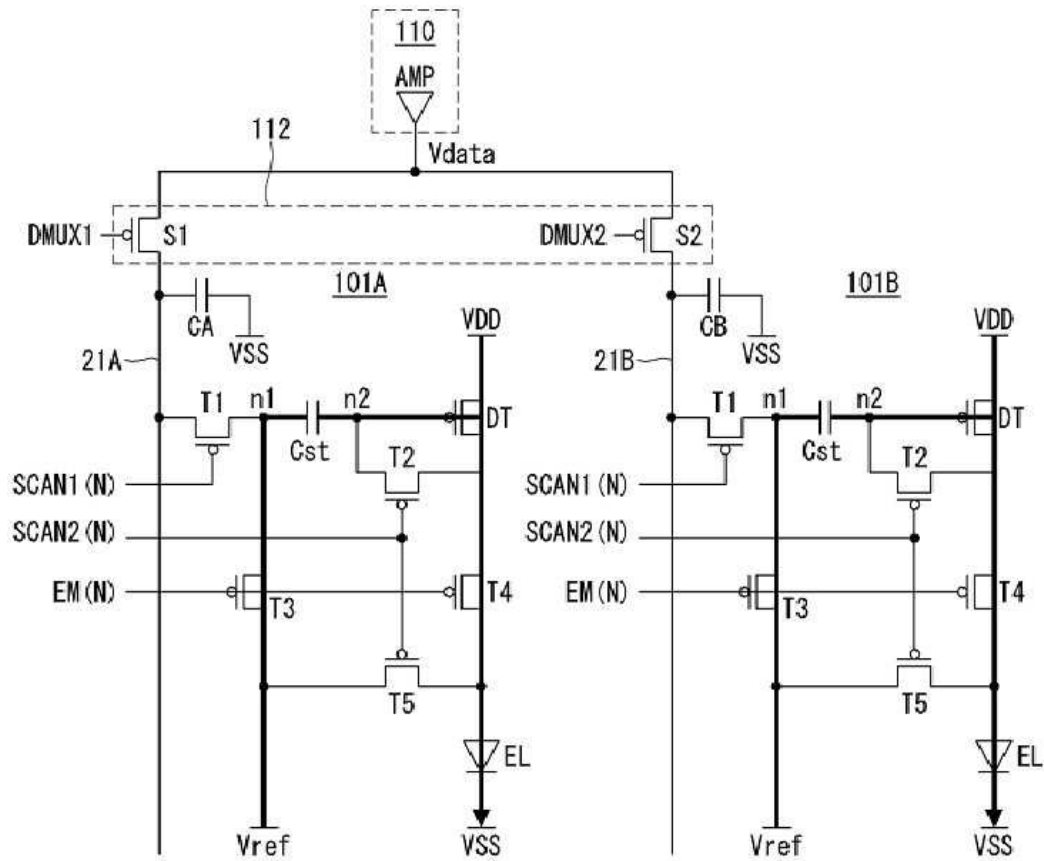
도면12a



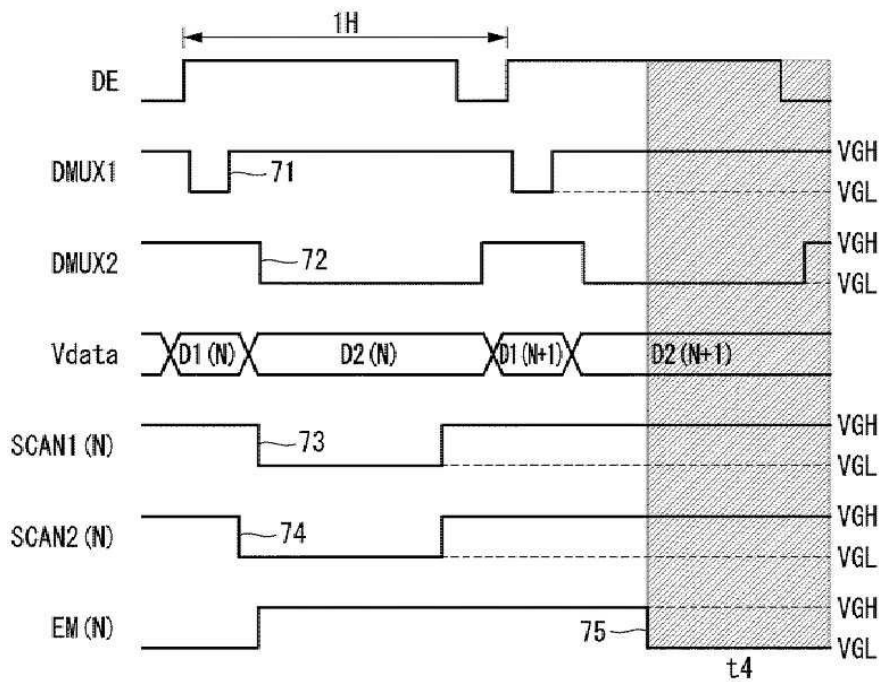
도면12b



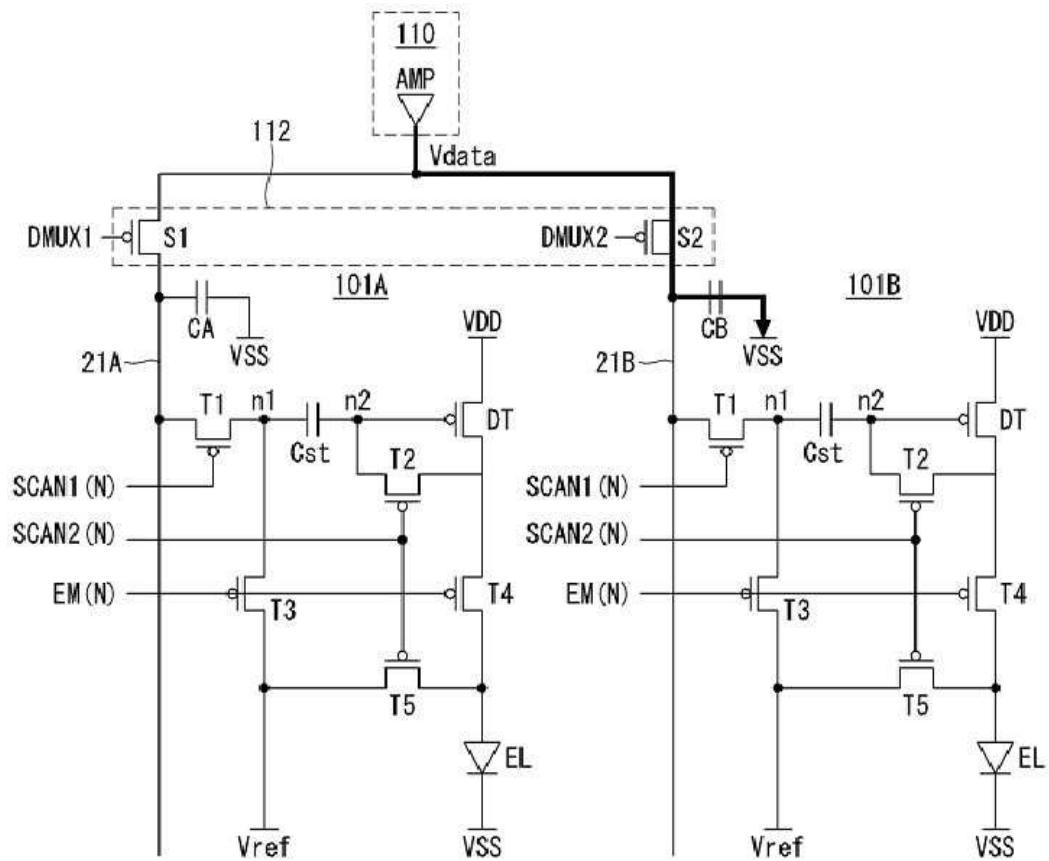
도면13a



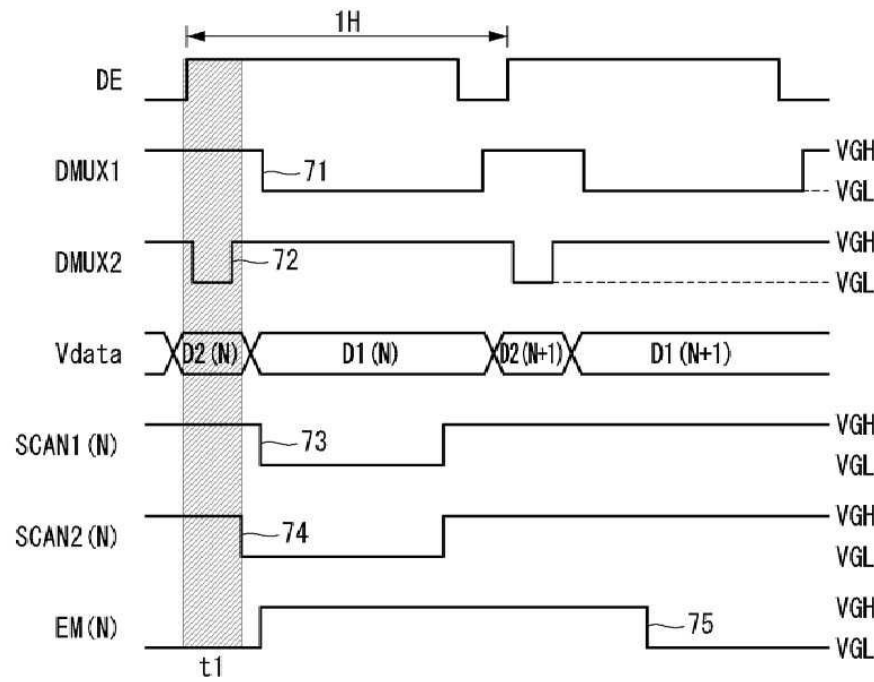
도면13b



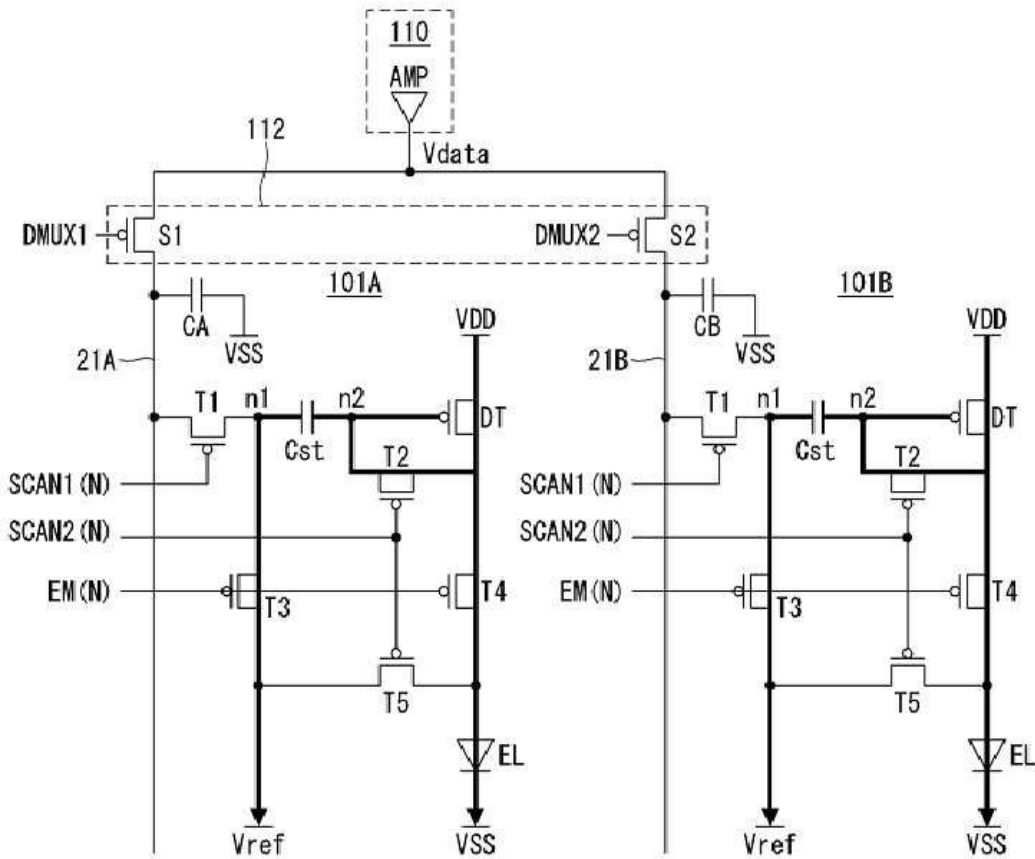
도면14a



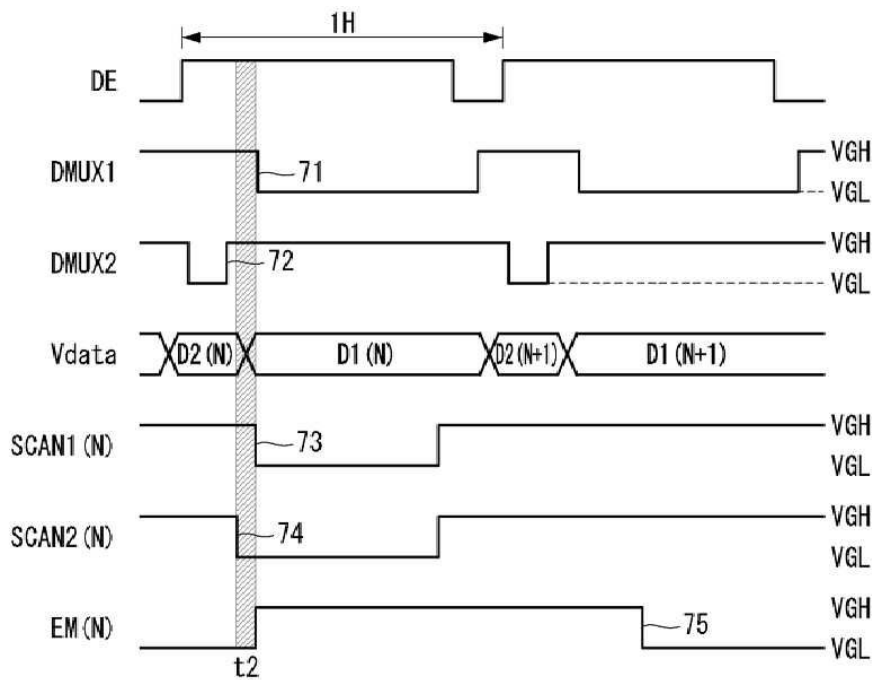
도면14b



도면15a



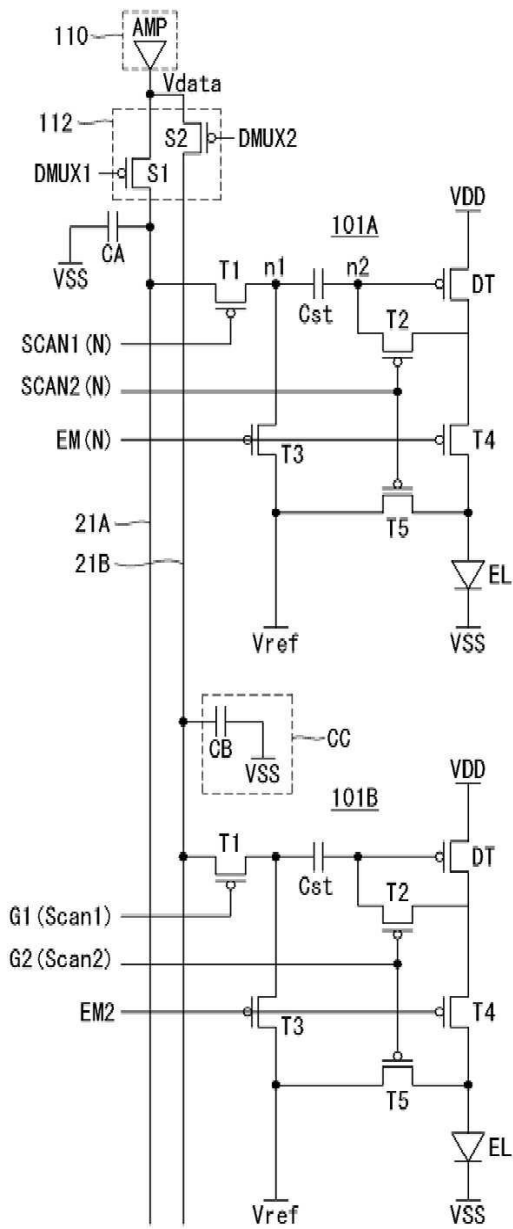
도면15b



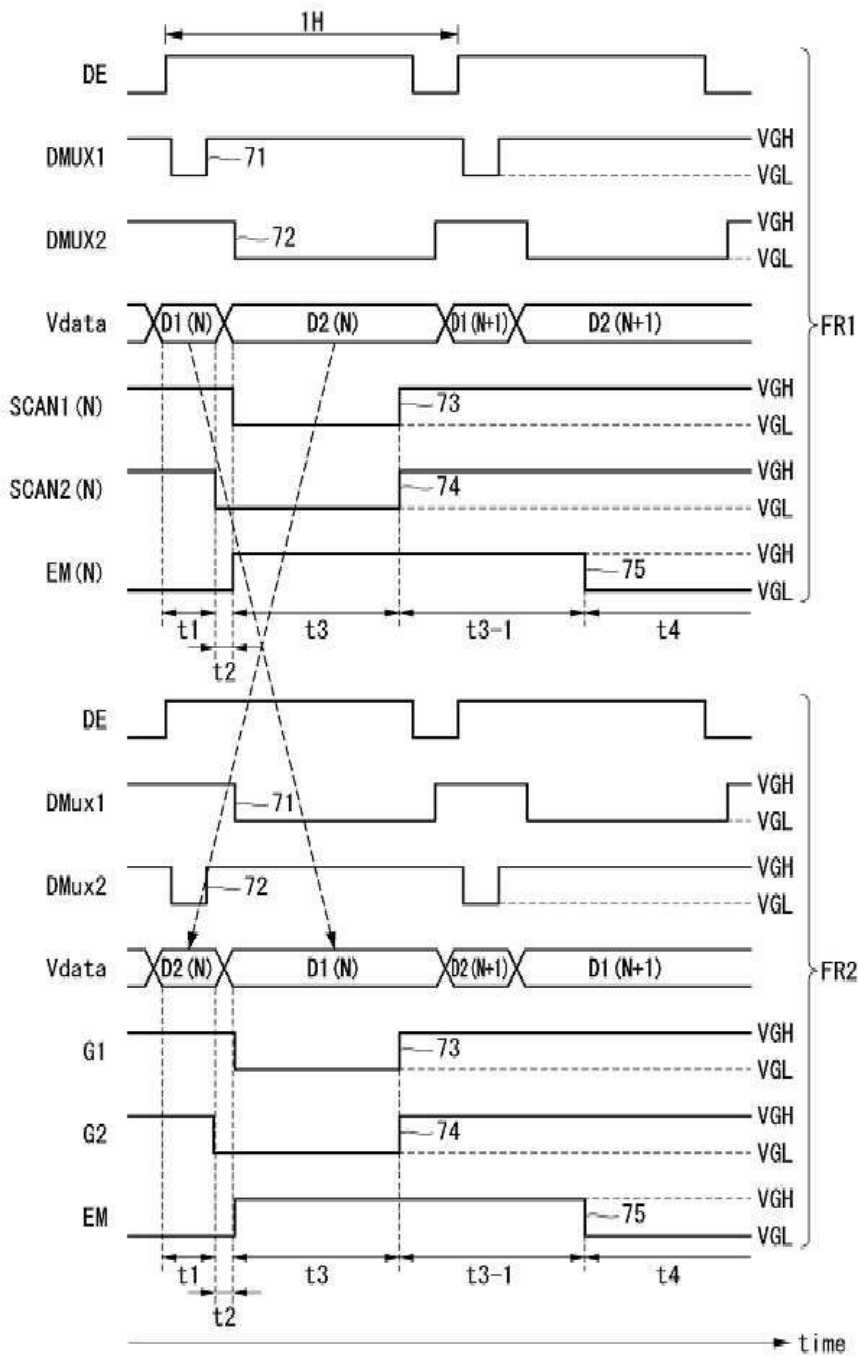




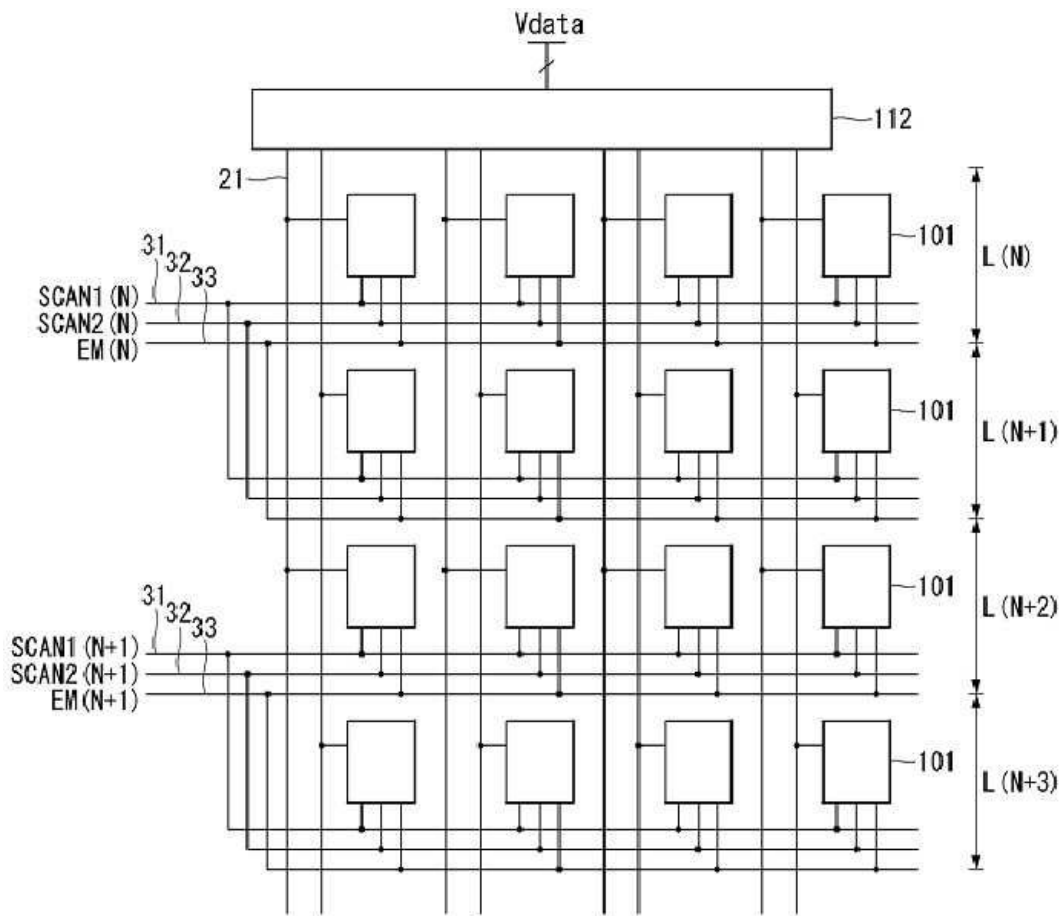
도면18



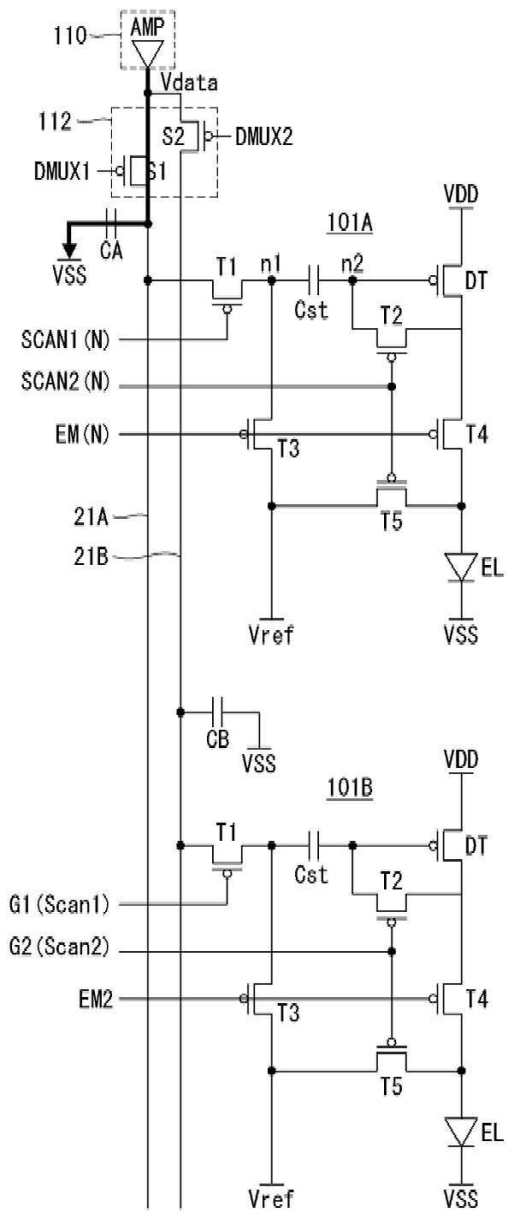
도면19



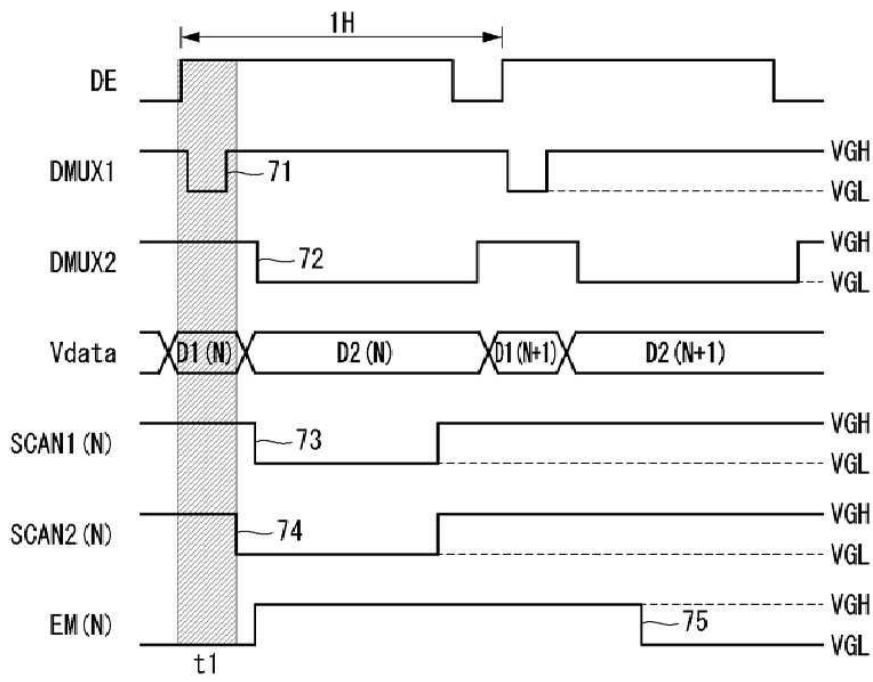
도면20



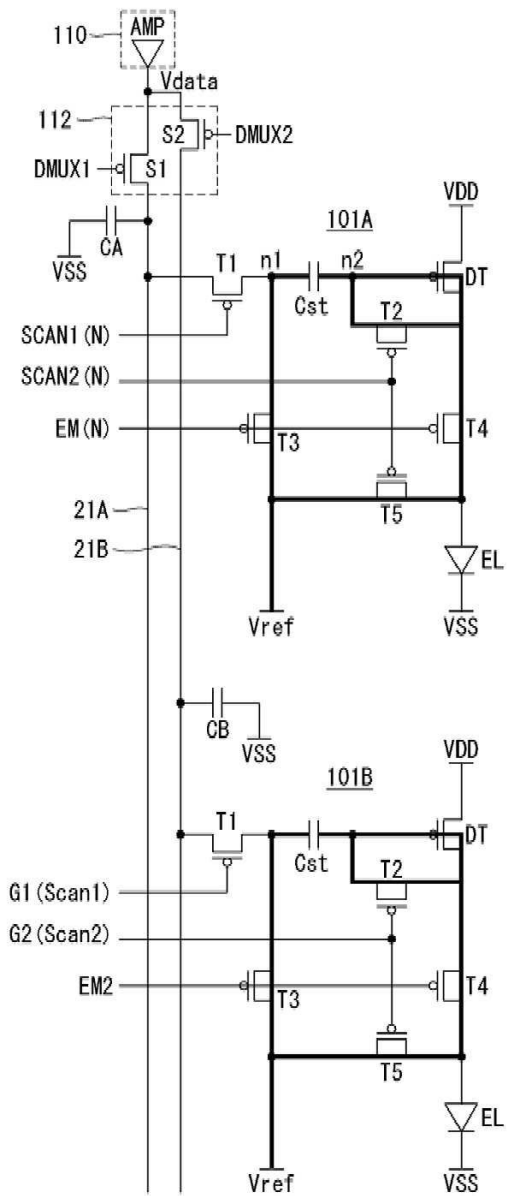
도면21a



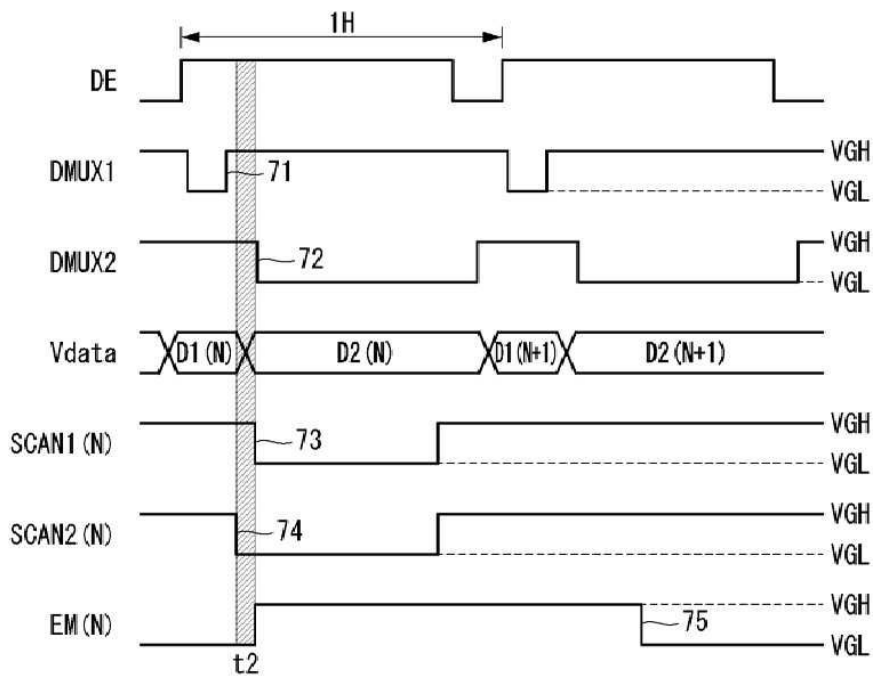
도면21b



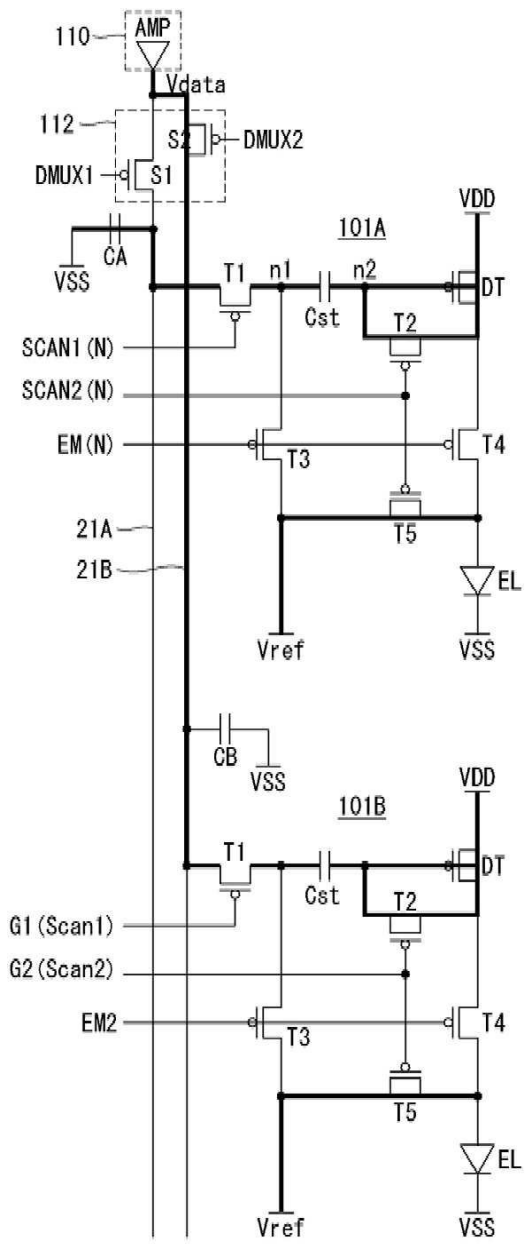
도면22a



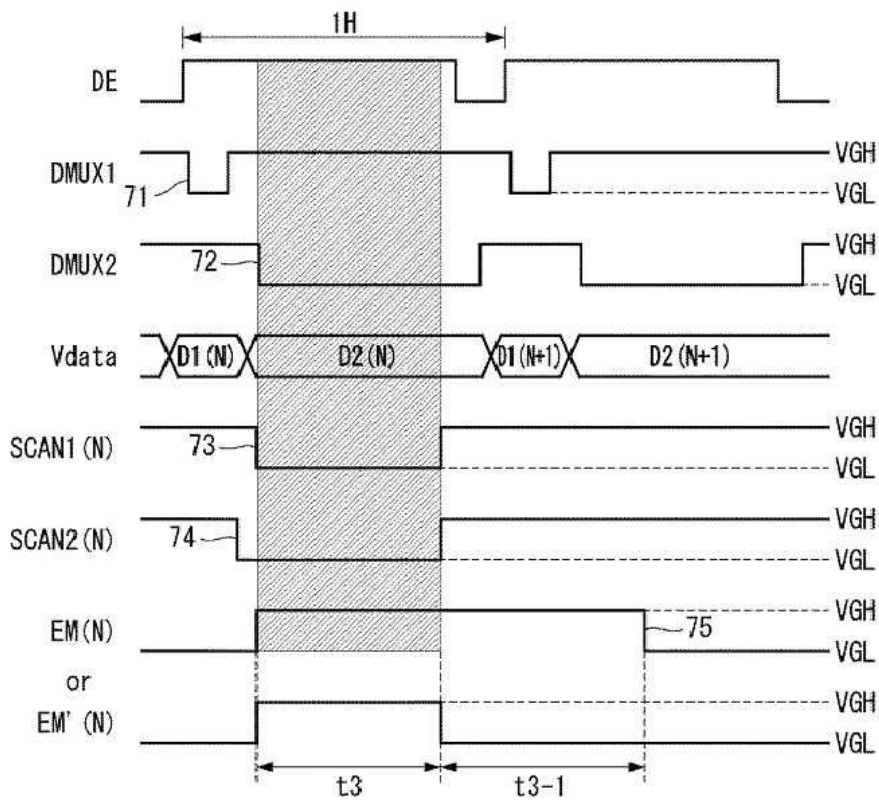
도면22b



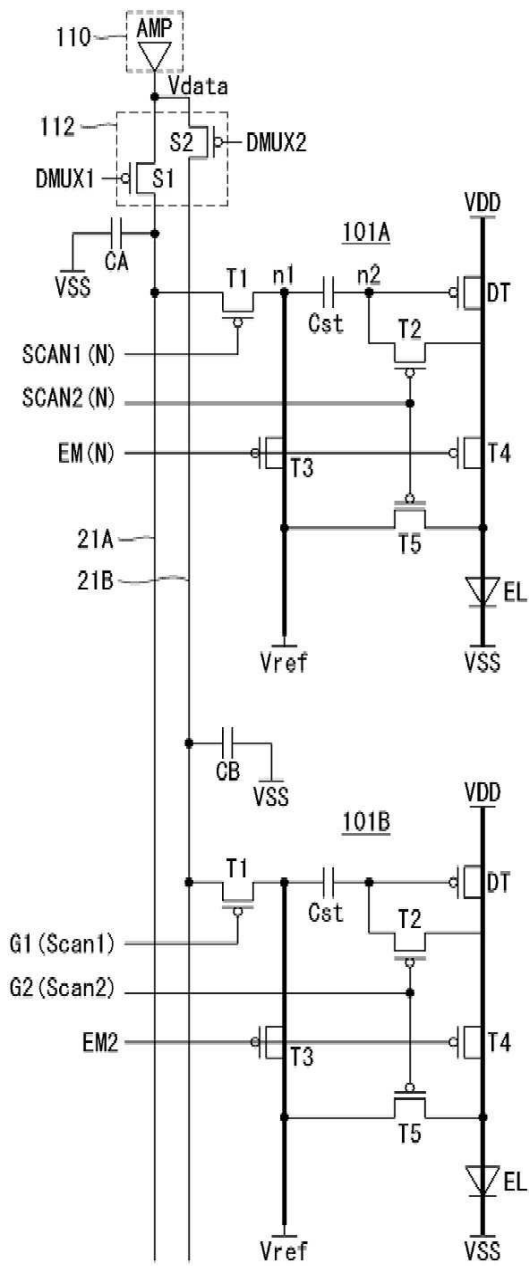
도면23a



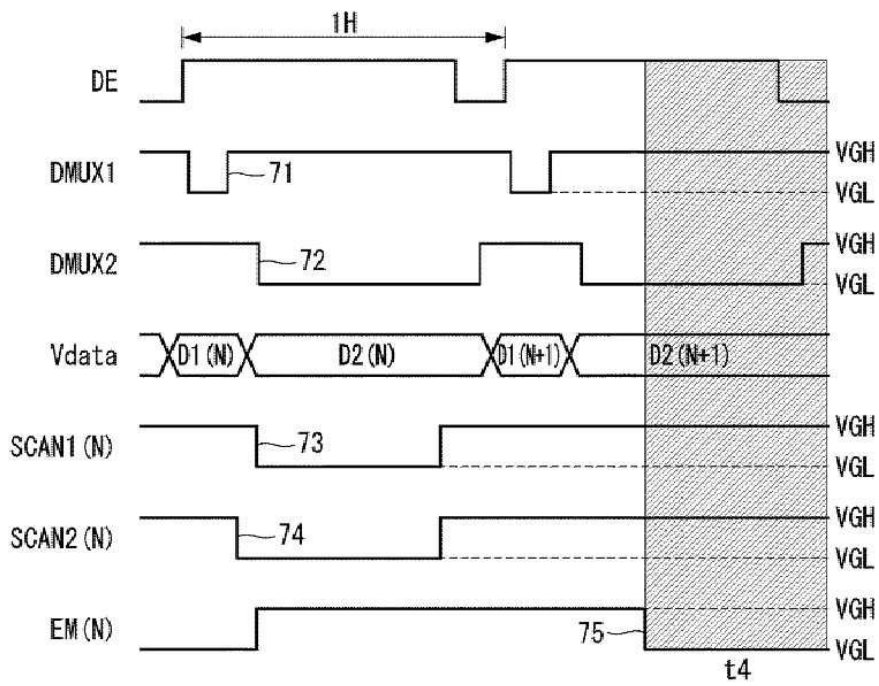
도면23b



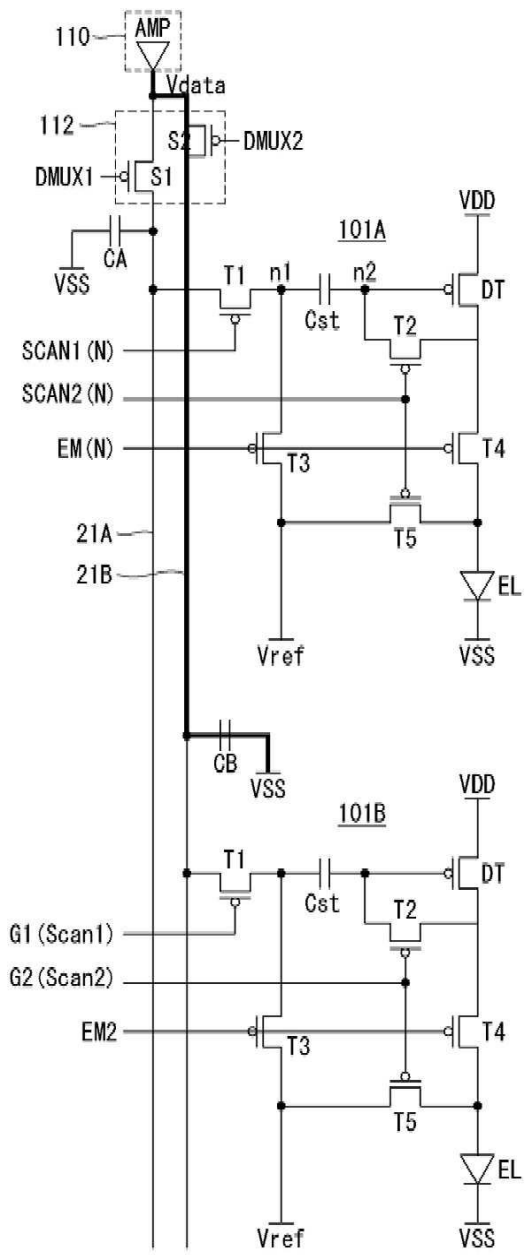
도면24a



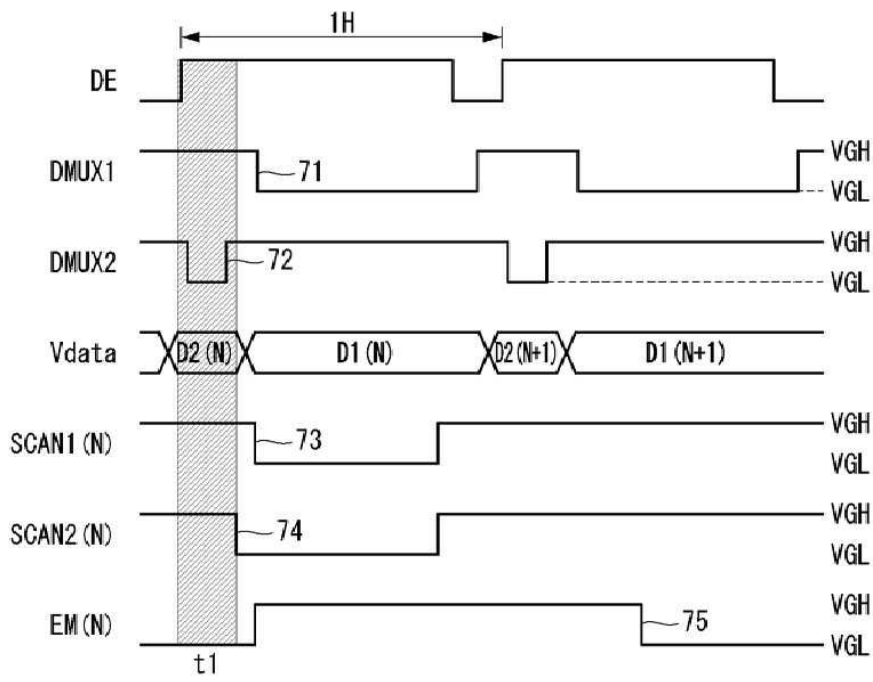
도면24b



도면25a

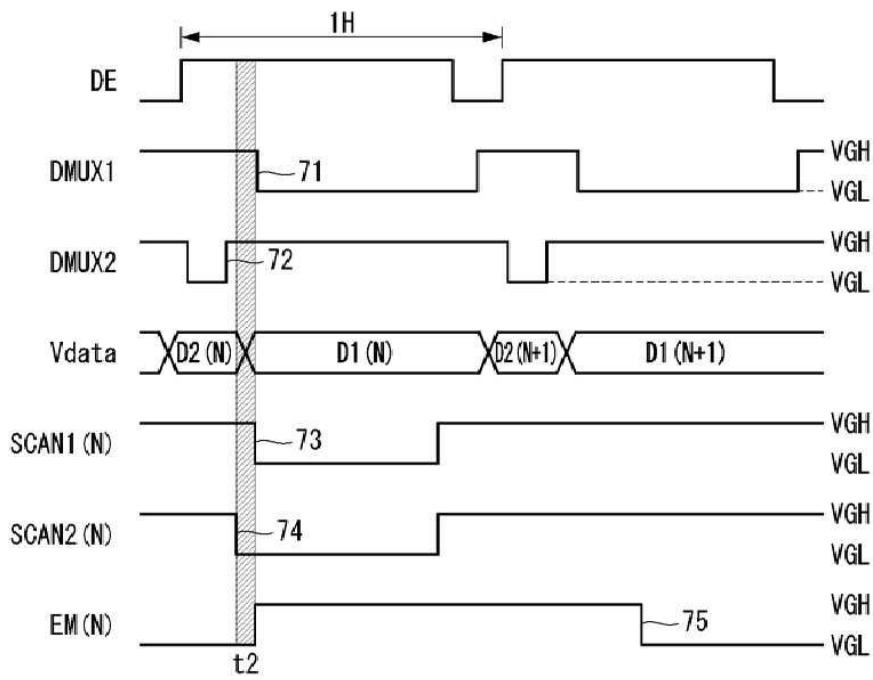


도면25b

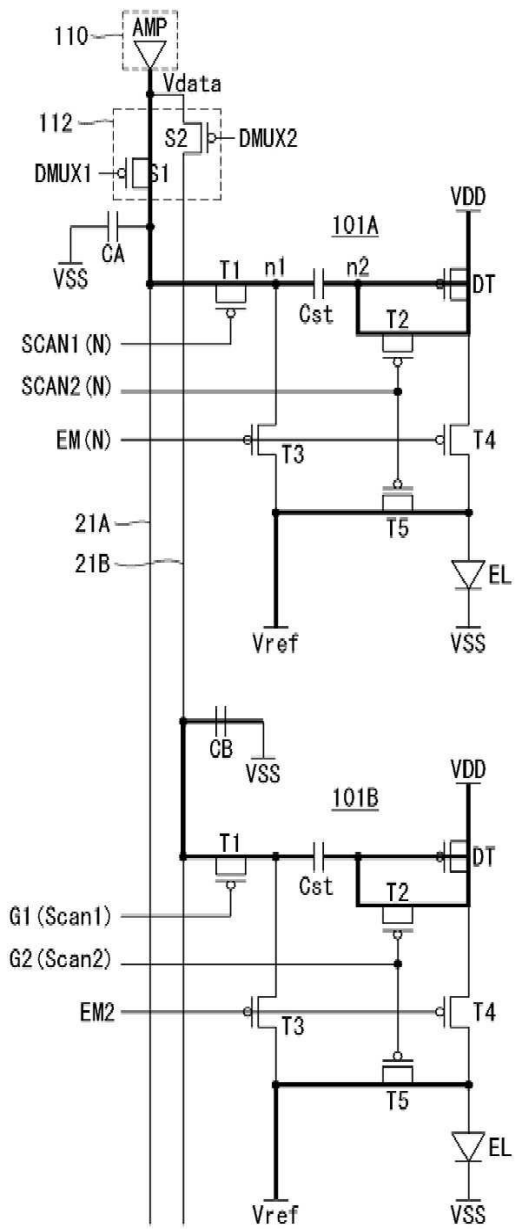




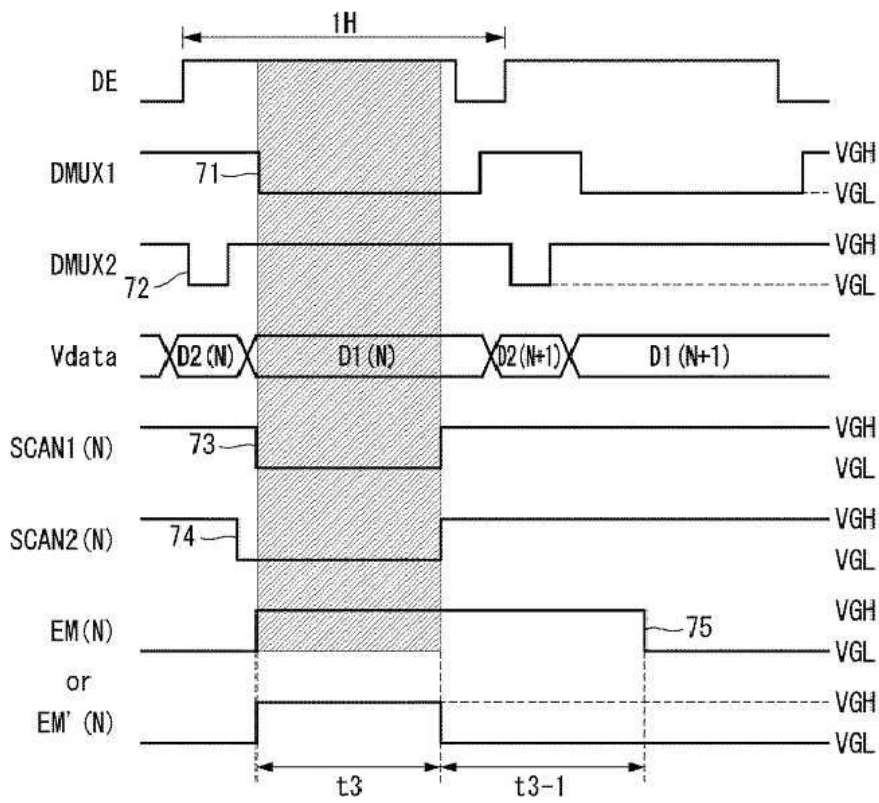
도면26b



도면27a

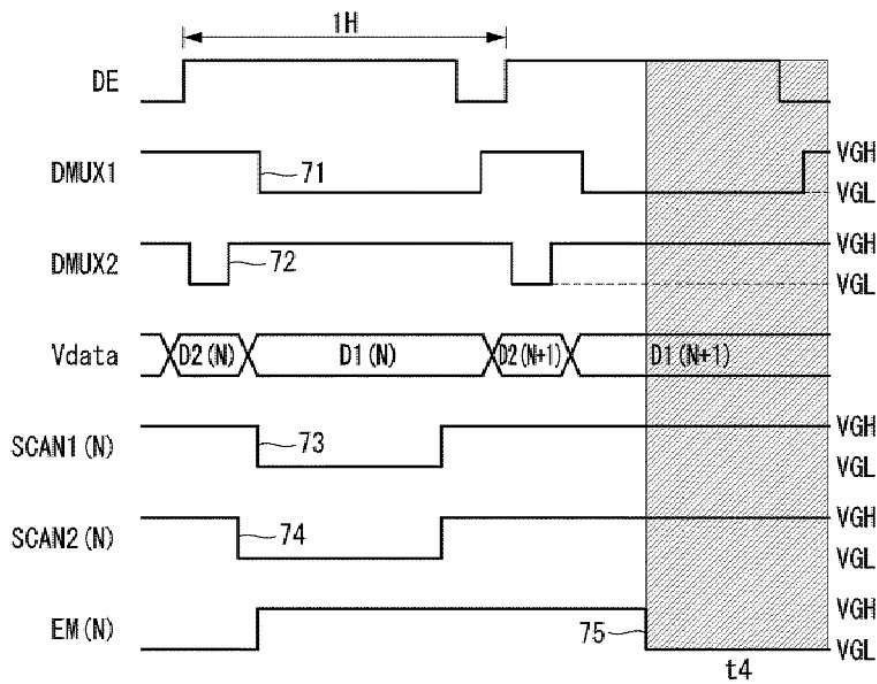


도면27b

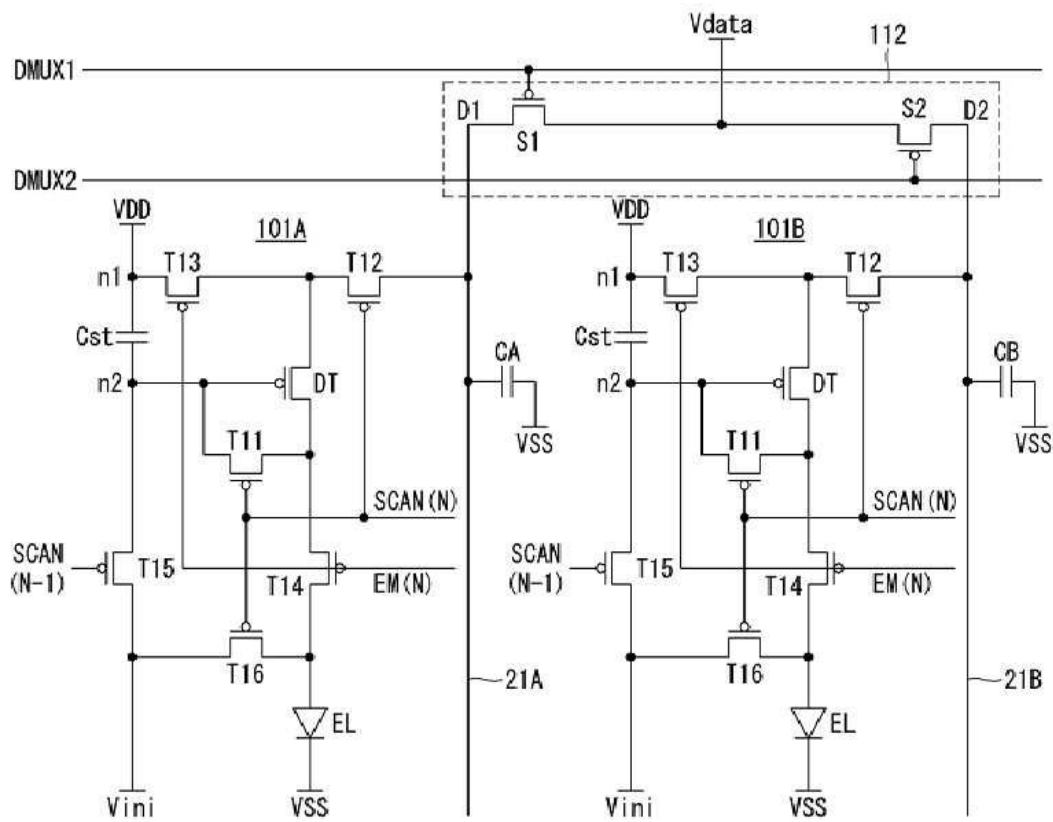




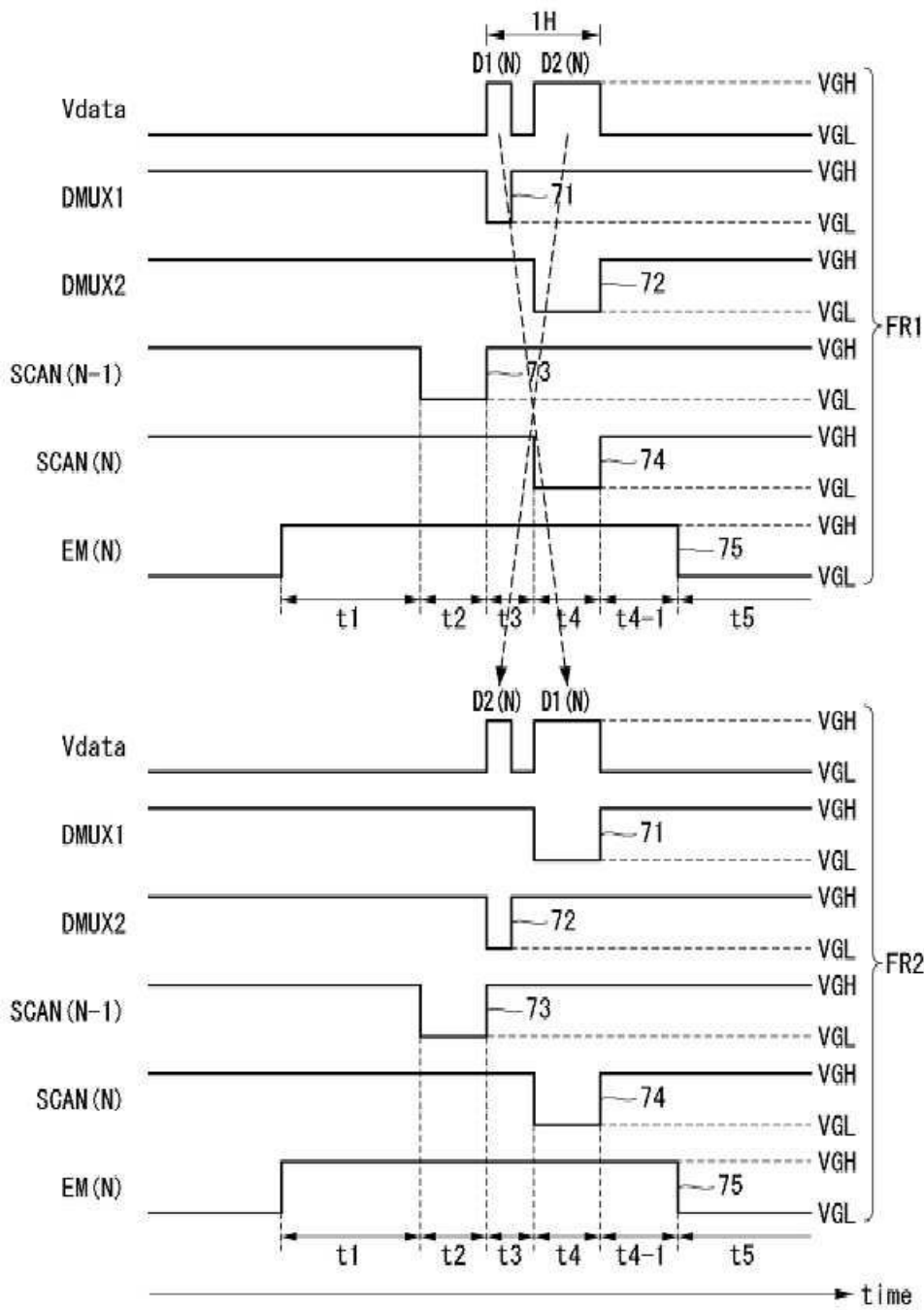
도면28b



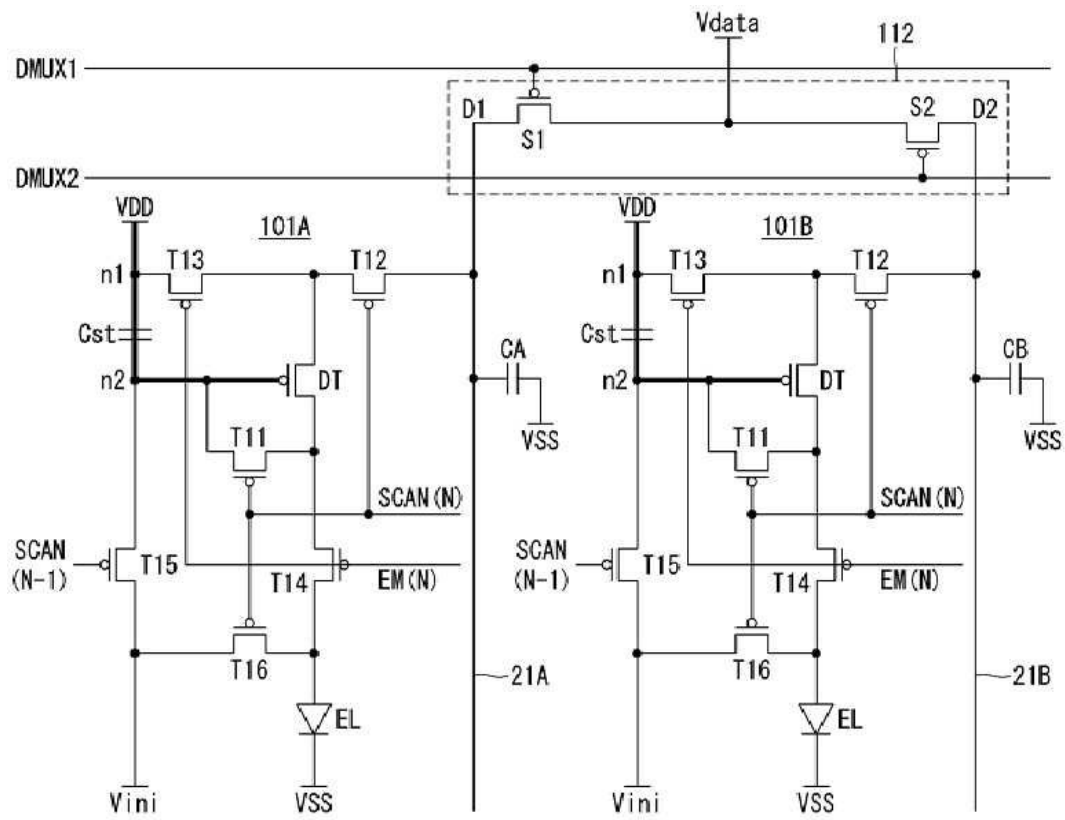
도면29



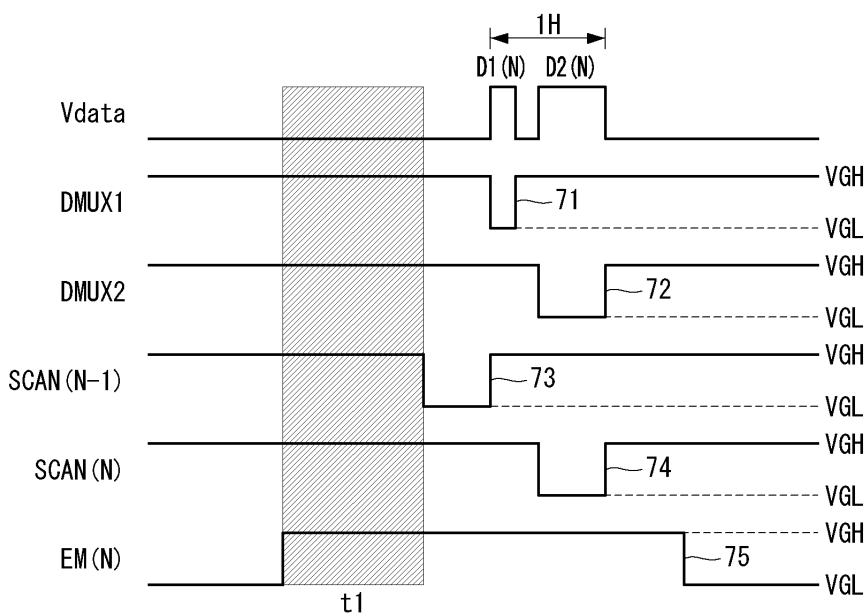
도면30



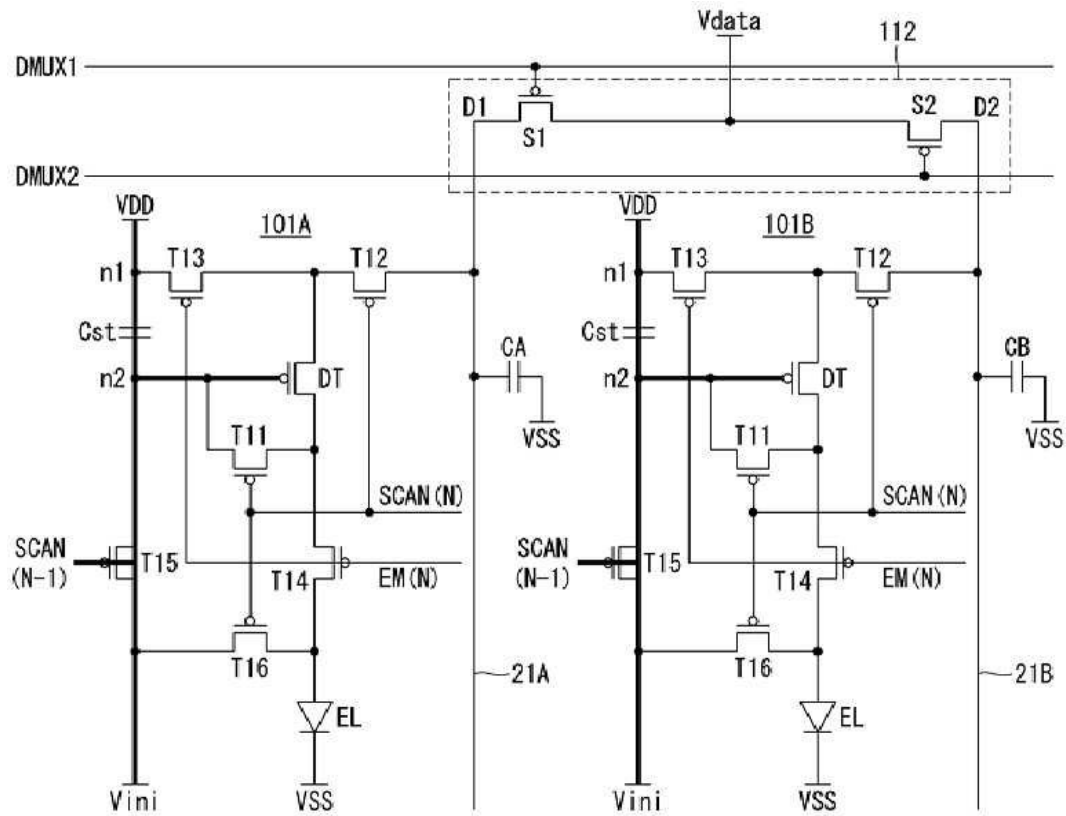
도면31a



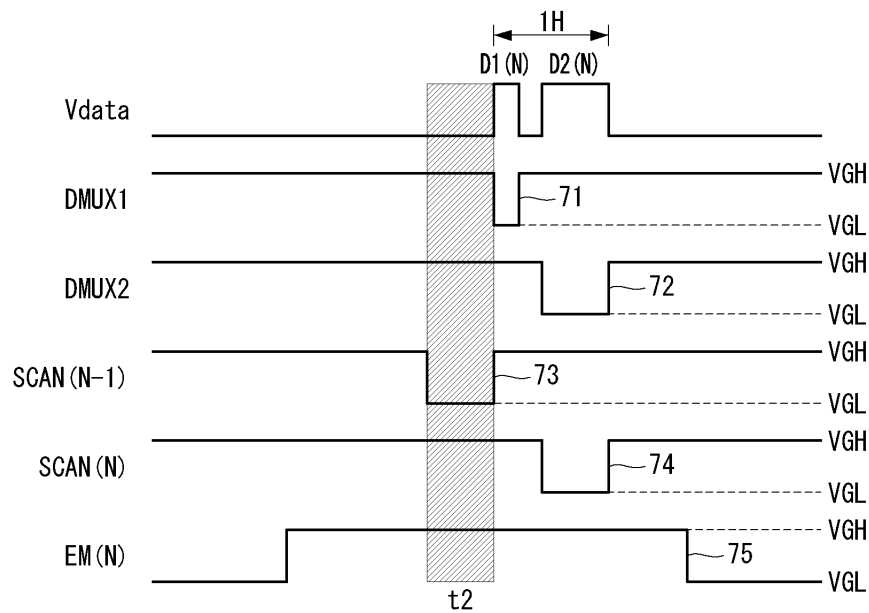
도면31b



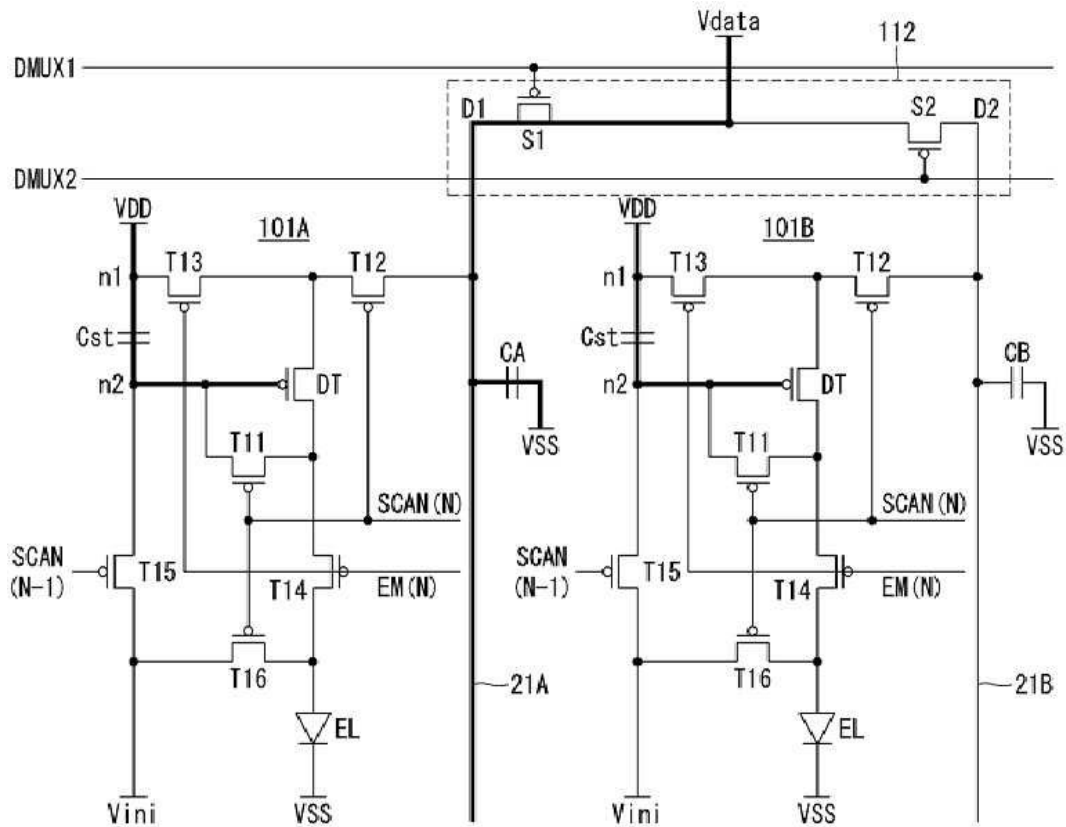
도면32a



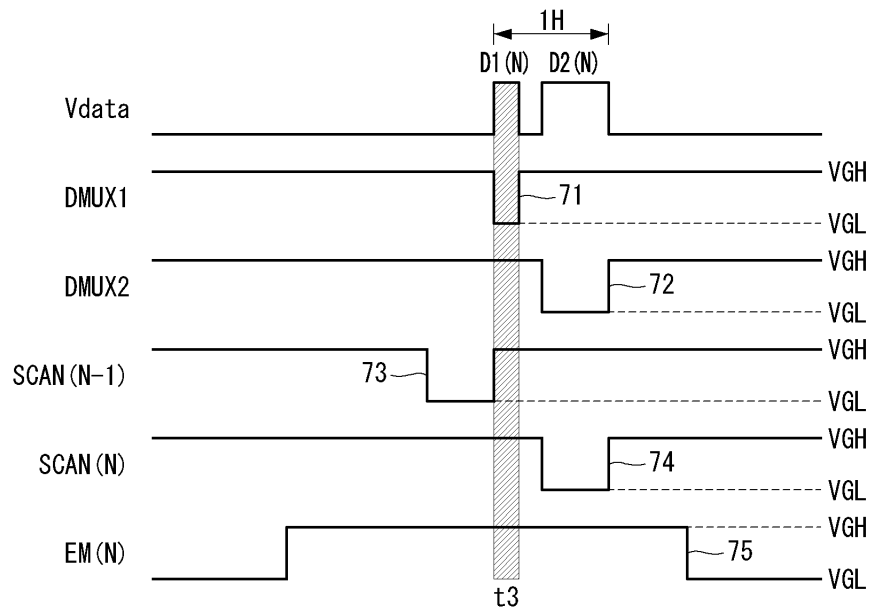
도면32b



도면33a

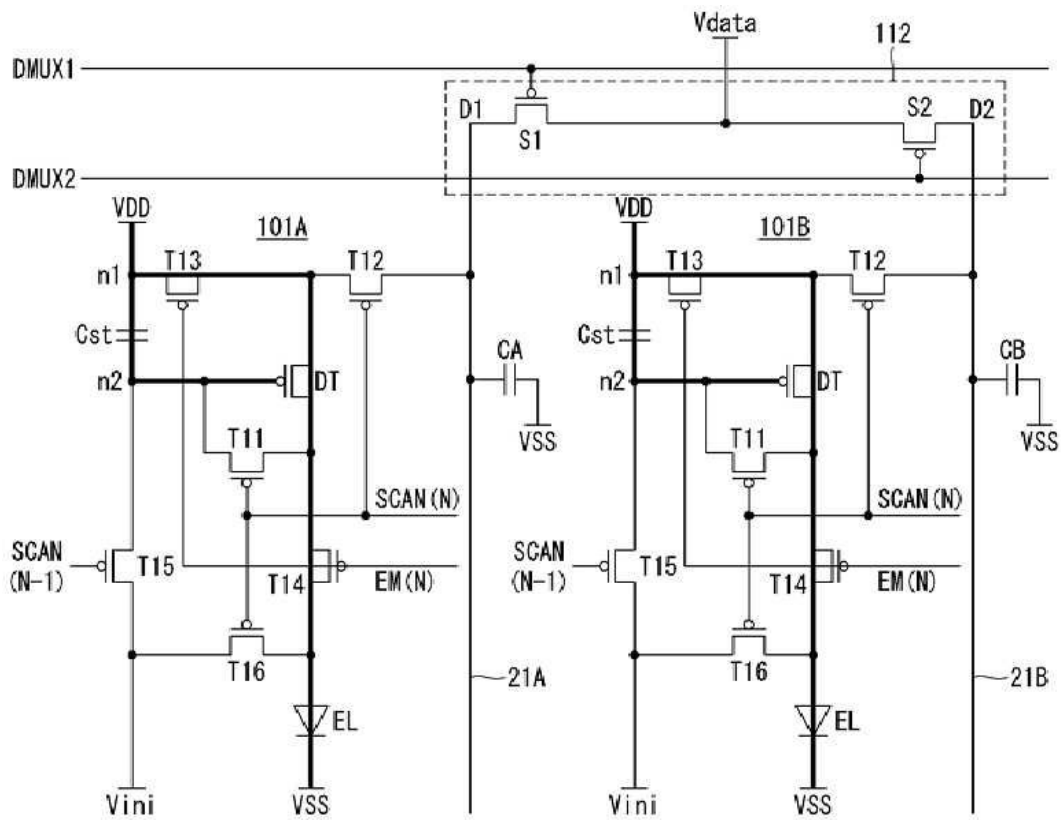


도면33b

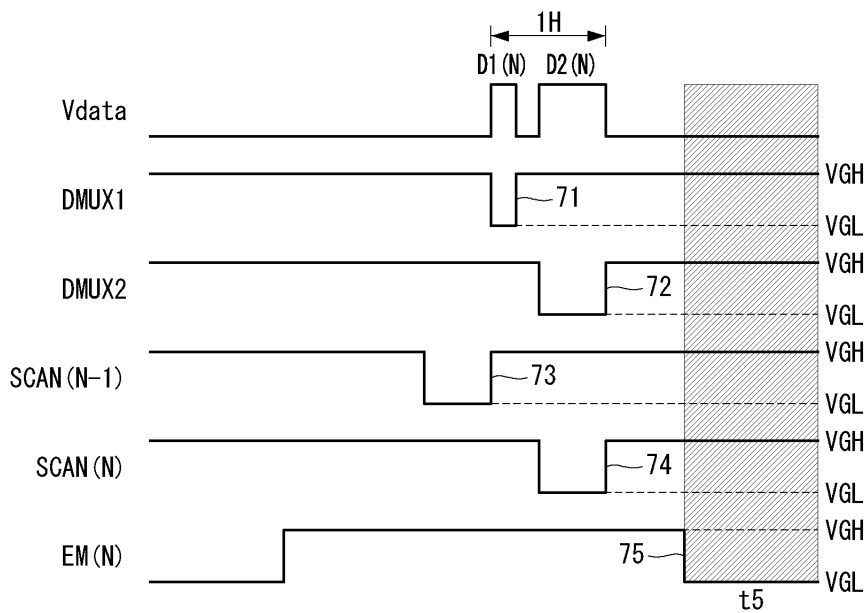




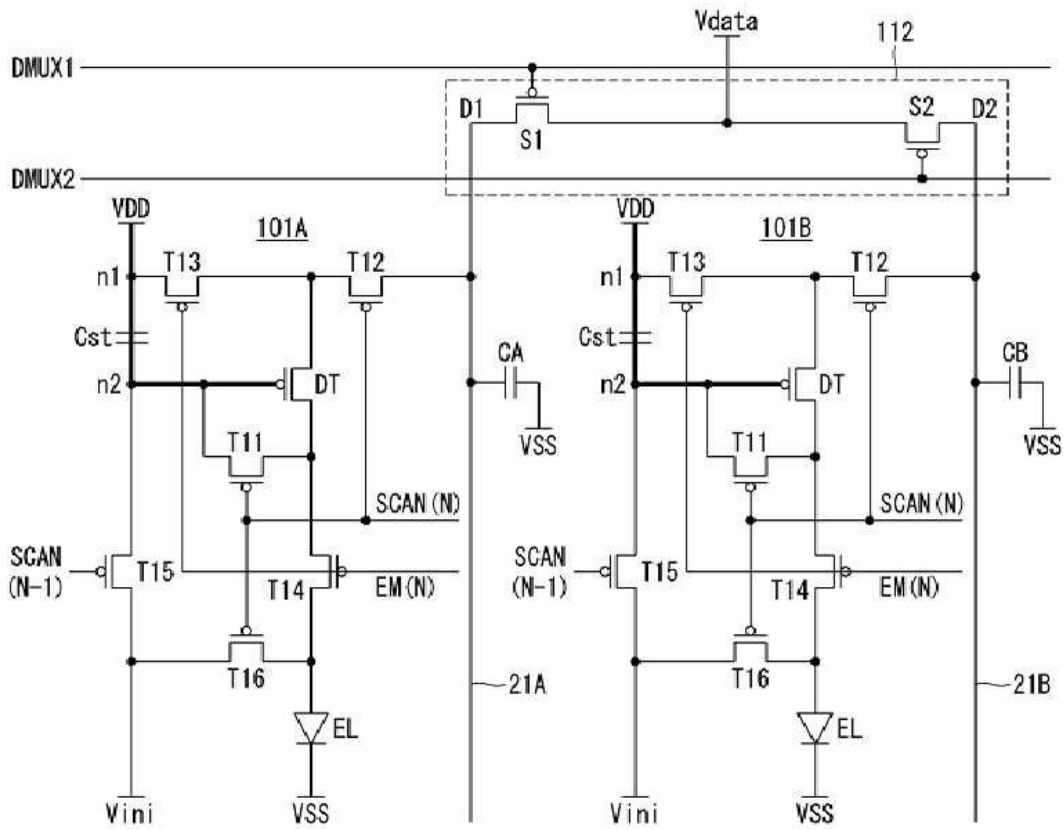
도면35a



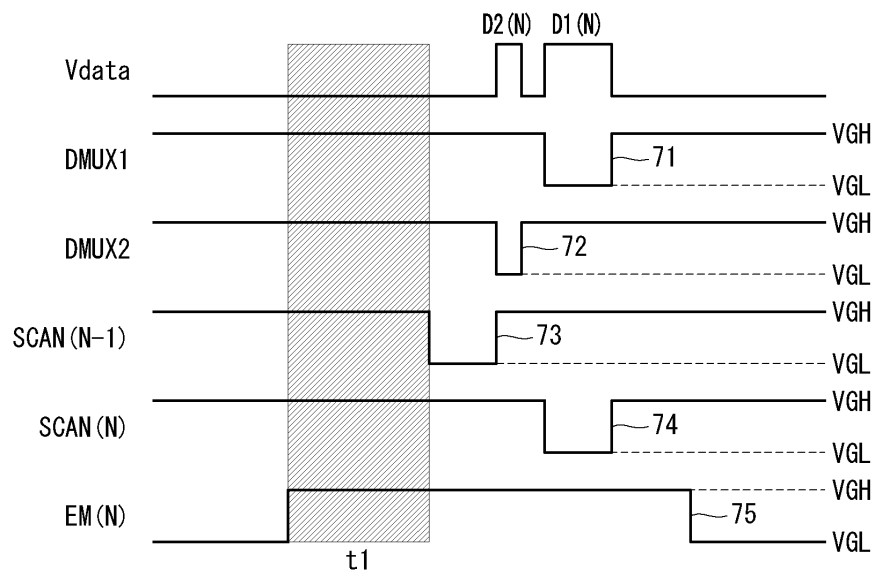
도면35b



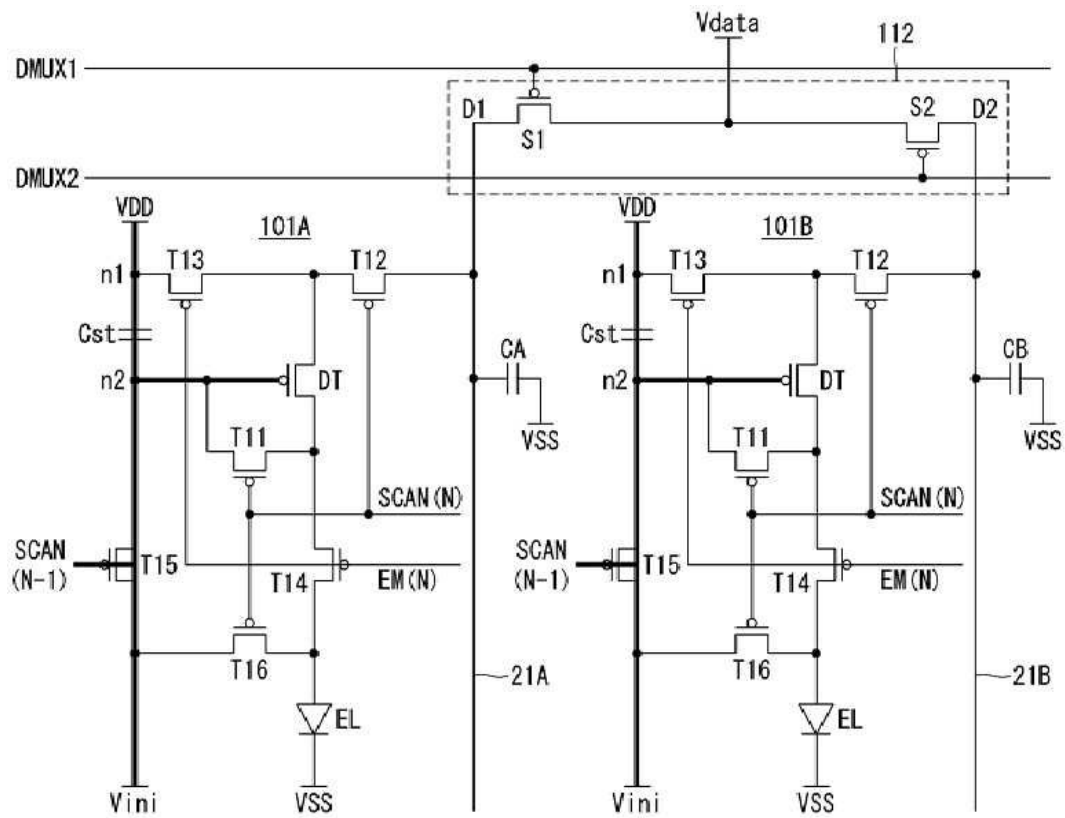
도면36a



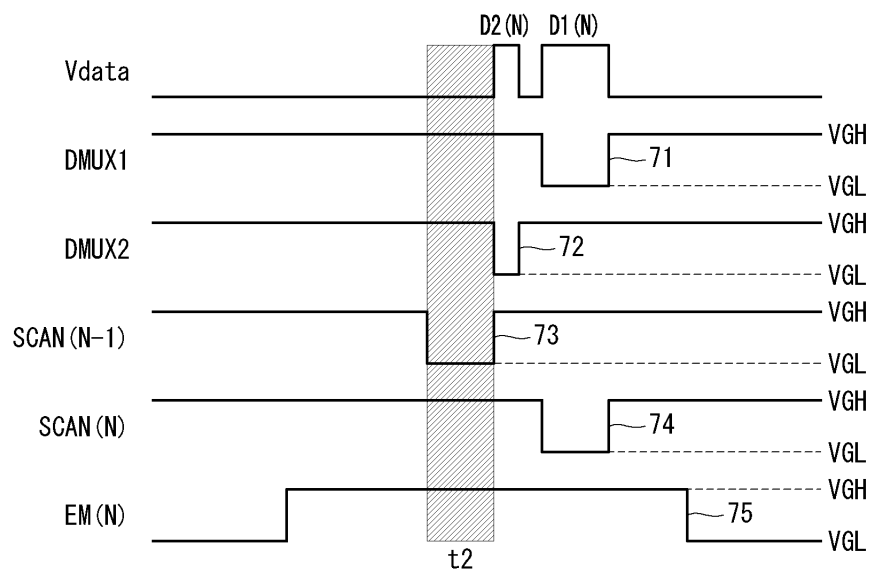
도면36b



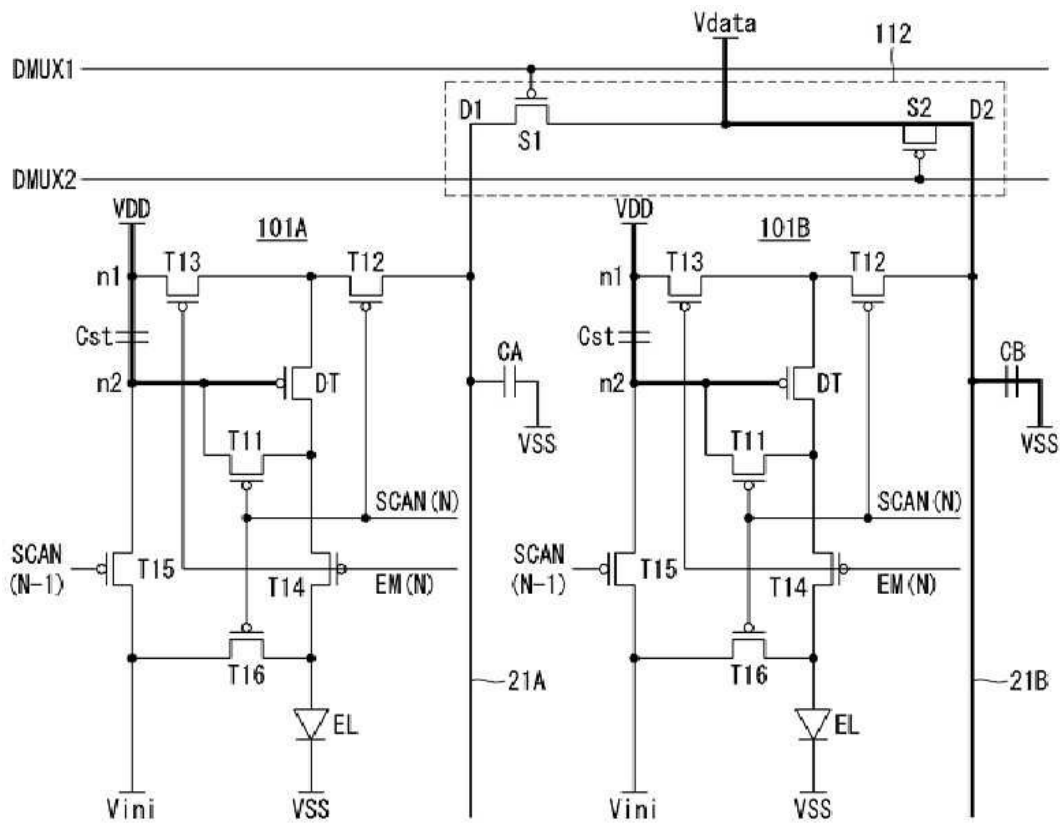
도면37a



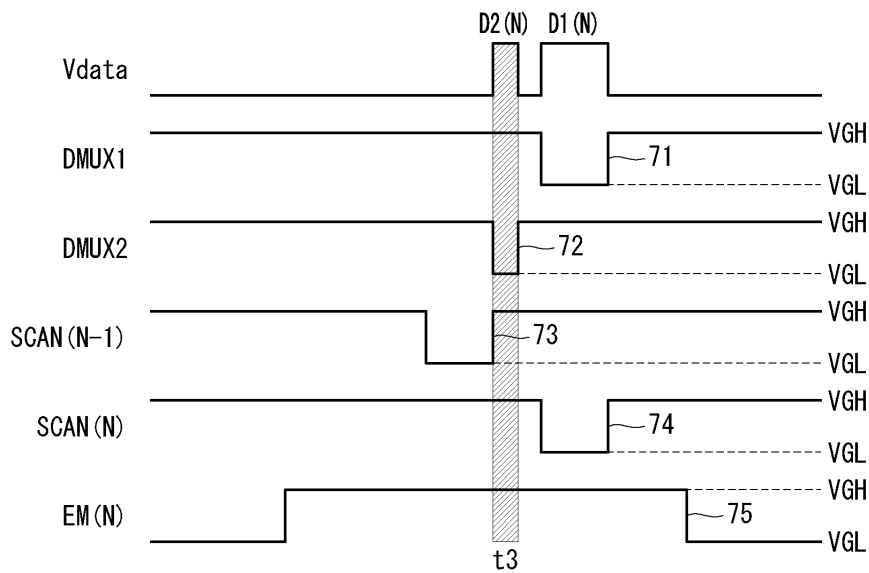
도면37b



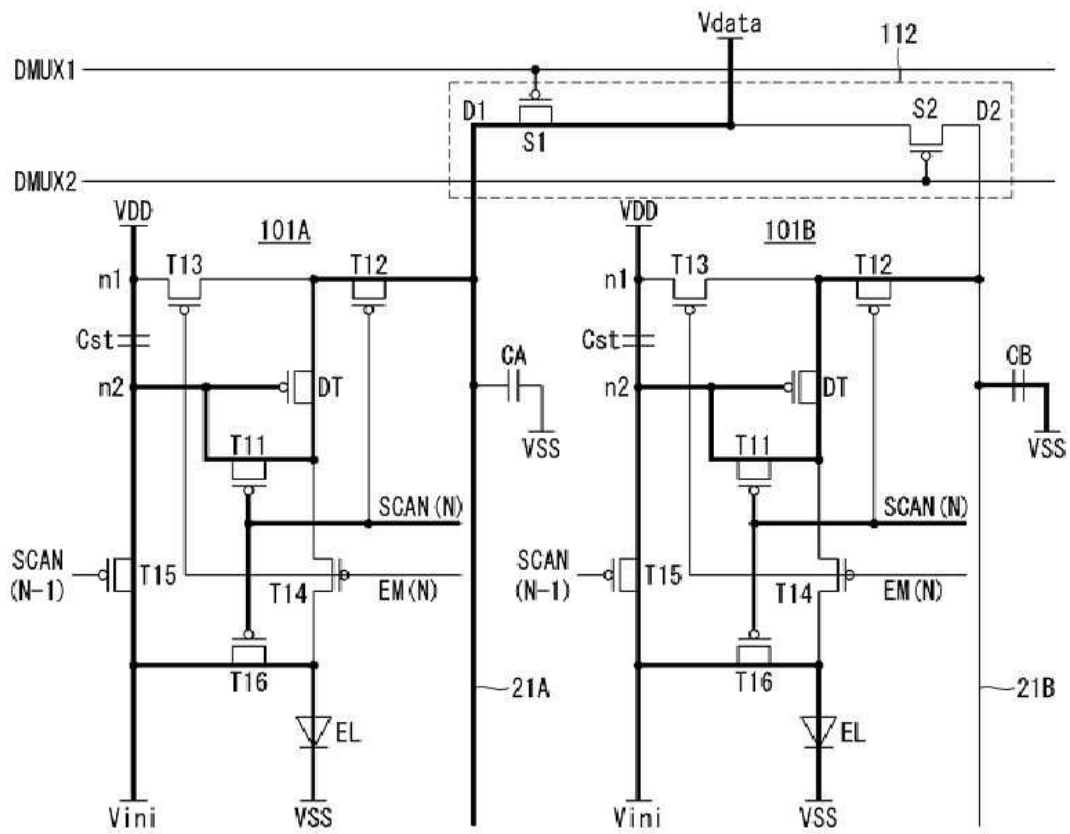
도면38a



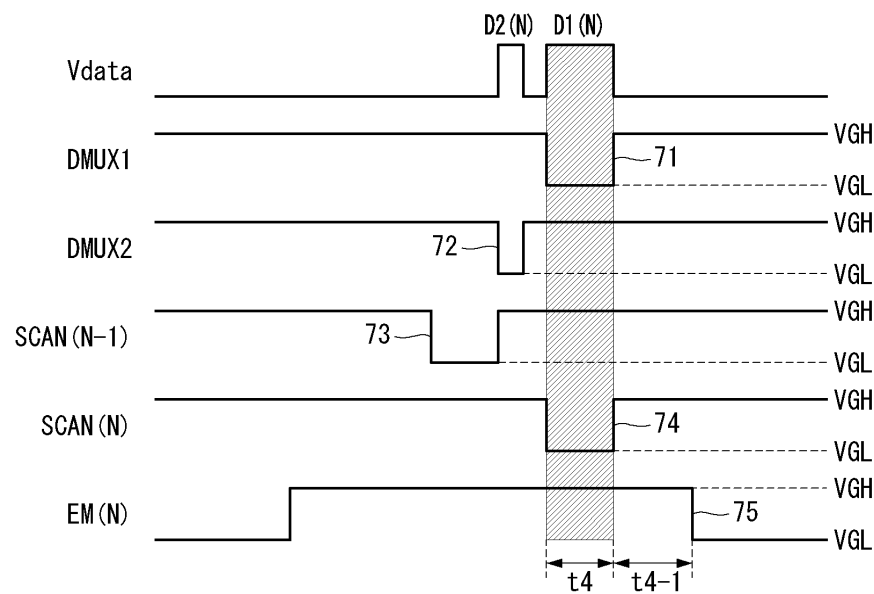
도면38b



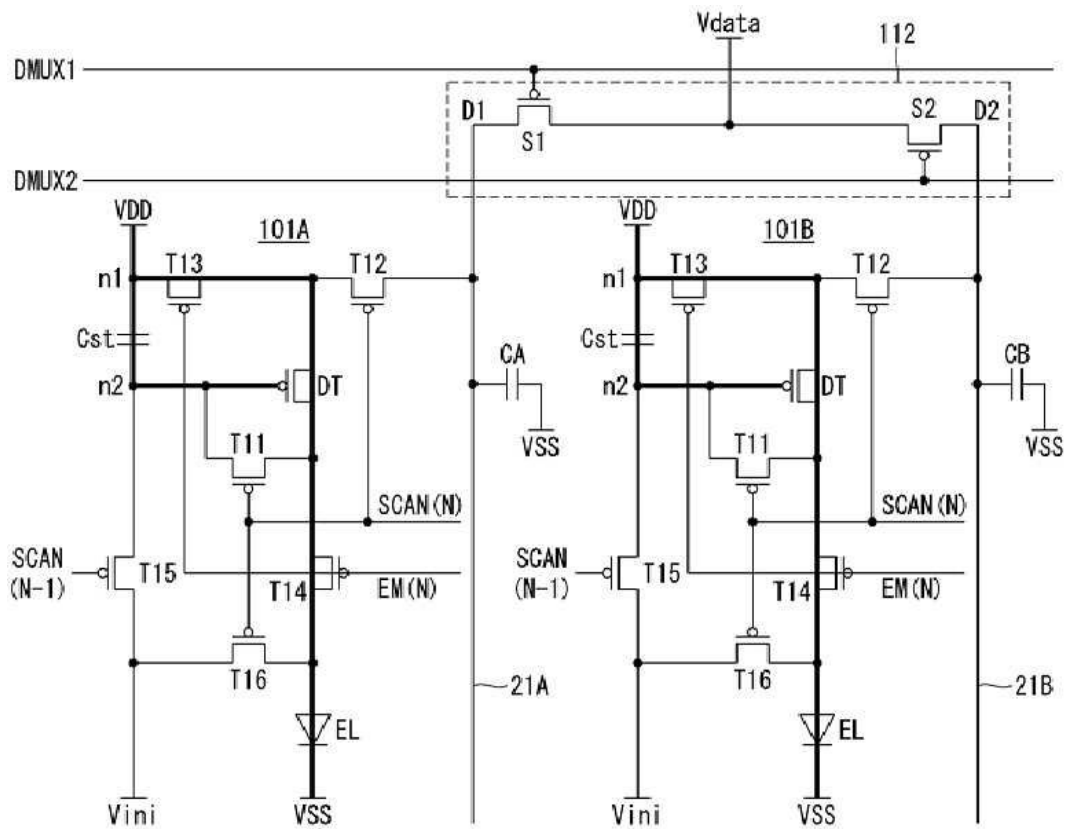
도면39a



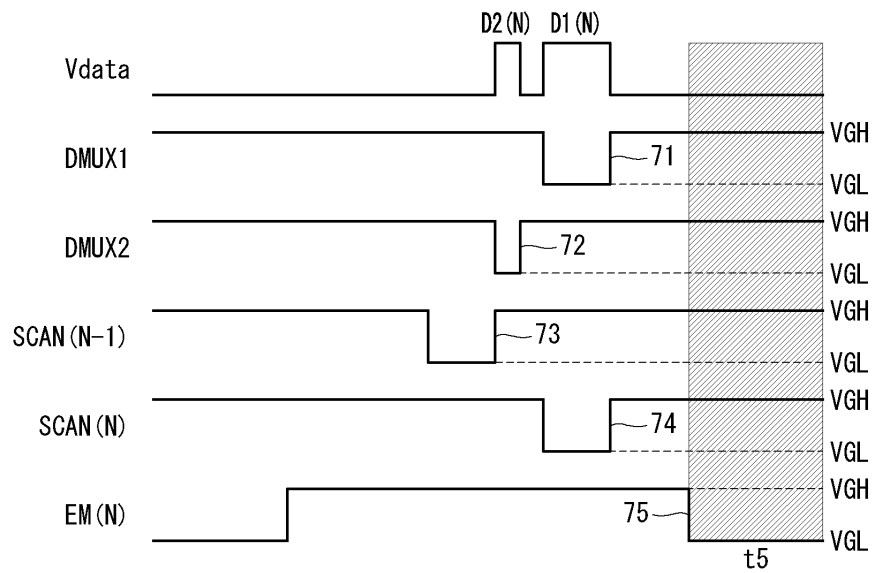
도면39b



도면40a



도면40b



专利名称(译)	显示面板和使用该面板的电致发光显示器		
公开(公告)号	<a href="#">KR1020190125008A</a>	公开(公告)日	2019-11-06
申请号	KR1020180049197	申请日	2018-04-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	상우규		
发明人	상우규		
IPC分类号	G09G3/3275 G09G3/3233		
CPC分类号	G09G3/3275 G09G3/3233 G09G2230/00 G09G2310/0297 G09G2320/0233		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域本发明涉及显示面板和使用该显示面板的电致发光显示器。显示面板包括：第一像素电路，其连接到第一数据线，在第一帧周期中接收存储在第一数据线的电容器中的电压，然后在第二帧中接收从数据驱动单元输出的第一数据电压。帧周期第二像素电路，其连接到第二数据线，在第一帧周期中直接接收从数据驱动单元输出的第二数据电压，然后在第二帧周期中接收第二数据线的电容器中存储的电压。

