



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0098301  
(43) 공개일자 2019년08월22일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0017475  
(22) 출원일자 2018년02월13일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자  
박준현  
경기도 수원시 권선구 권선로694번길 25, 202동 501호

이철곤  
경기도 수원시 영통구 덕영대로 1462-14, 119동 504호

최양화  
경기도 화성시 동탄대로시범길 122, 1467동 104호

(74) 대리인  
박영우

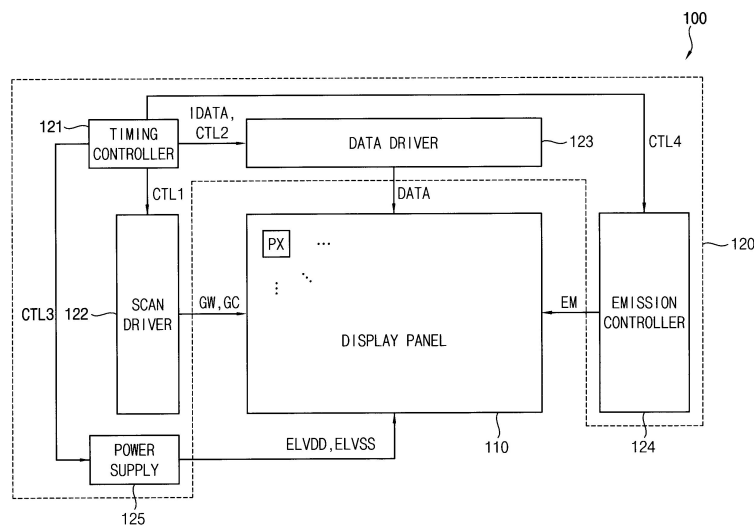
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 표시 장치는 화소를 포함하는 표시 패널 및 표시 패널을 구동하는 패널 구동부를 포함한다. 화소는 제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 제1 트랜지스터, 제1 트랜지스터와 직렬 연결되어 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 초기화 제어 신호를 수신하는 제2 트랜지스터, 제1 전원 전압 공급 라인과 제3 노드 사이에 결합되고, 게이트 전극이 제1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터, 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 제3 트랜지스터, 제4 노드와 상기 제2 전원 전압 공급 라인 사이에 결합되고, 구동 전류에 기초하여 발광하는 유기 발광 다이오드, 제1 전원 전압 공급 라인과 제1 노드 사이에 결합되는 제1 커패시터 및 제2 노드와 데이터 라인 사이에 결합되는 제2 커패시터를 포함한다.

대표도



(52) CPC특허분류

G09G 2320/0214 (2013.01)

G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 화소들을 포함하고, 상기 화소들과 연결되는 스캔 라인들, 데이터 라인들, 제1 전원 전압 공급 라인들, 제2 전원 전압 공급 라인들, 초기화 제어 라인들 및 발광 제어 라인들이 형성되는 표시 패널; 및

상기 화소들을 구동하기 위한 스캔 신호, 데이터 전압, 제1 전원 전압, 제2 전원 전압, 초기화 제어 신호 및 발광 제어 신호를 제공하는 패널 구동부를 포함하고,

상기 화소들 각각은

제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 상기 스캔 신호를 수신하는 제1 트랜지스터

상기 제1 트랜지스터와 직렬 연결되어 상기 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 상기 초기화 제어 신호를 수신하는 제2 트랜지스터

상기 제1 전원 전압 공급 라인과 상기 제3 노드 사이에 결합되고, 게이트 전극이 상기 제1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터

상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 상기 발광 제어 신호를 수신하는 제3 트랜지스터

상기 제4 노드와 상기 제2 전원 전압 공급 라인 사이에 결합되고, 상기 구동 전류에 기초하여 발광하는 유기 발광 다이오드

상기 제1 전원 전압 공급 라인과 상기 제1 노드 사이에 결합되는 제1 커패시터 및

상기 제2 노드와 상기 데이터 라인 사이에 결합되는 제2 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 2

제1 항에 있어서, 하나의 프레임 주기는 상기 제2 노드 및 상기 제4 노드를 초기화하는 제1 초기화 구간, 상기 제1 초기화 구간 후의 상기 구동 트랜지스터의 게이트 전압을 초기화 하는 제2 초기화 구간, 상기 제2 초기화 구간 후의 상기 구동 트랜지스터의 문턱 전압을 보상하는 문턱 전압 보상 구간, 상기 문턱 전압 보상 구간 후의 데이터 전압이 상기 화소들에 순차적으로 기입되는 기입 구간 및 상기 기입 구간 후의 상기 화소들이 순차적으로 발광하는 발광 구간을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 3

제1 항에 있어서, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터로 구현되는 것을 특징으로 하는 표시 장치.

#### 청구항 4

제3 항에 있어서, 상기 제1 전원 전압은 제1 전압 레벨 및 상기 제1 전압 레벨 보다 낮은 제2 전압 레벨 중 하나를 가지고, 상기 제2 전원 전압은 정전압 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 5

제4 항에 있어서, 상기 제1 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 초기화 제어 신호는 턴-온 레벨을 가지며, 상기 발광 제어 신호는 턴-온 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 6

제4 항에 있어서, 상기 제2 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가지고, 상기 발광 제어 신호가 턴-온 레벨

을 가지는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 7**

제4 항에 있어서, 상기 문턱 전압 보상 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 8**

제4 항에 있어서, 상기 기입 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 갖는 상기 스캔 신호가 화소행 단위로 상기 스캔 라인들에 순차적으로 공급되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 9**

제4 항에 있어서, 상기 발광 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 가지는 상기 발광 제어 신호가 화소행 단위로 상기 발광 제어 라인들에 순차적으로 공급되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 10**

제1 항에 있어서, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 엔모스(N-channel Metal Oxide Semiconductor; NMOS) 트랜지스터로 구현되는 것을 특징으로 하는 표시 장치.

**청구항 11**

제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 제1 트랜지스터  
 상기 제1 트랜지스터와 직렬 연결되어 상기 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 초기화 제어 신호를 수신하는 제2 트랜지스터;  
 제1 전원 전압 공급 라인과 상기 제3 노드 사이에 결합되고, 게이트 전극이 상기 제1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터;  
 상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 제3 트랜지스터;  
 상기 제4 노드와 제2 전원 전압 공급 라인 사이에 결합되고, 상기 구동 전류에 기초하여 발광하는 유기 발광 다이오드;  
 상기 제1 전원 전압 공급 라인과 상기 제1 노드 사이에 결합되는 제1 커패시터; 및  
 상기 제2 노드와 데이터 라인 사이에 결합되는 제2 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 12**

제11 항에 있어서, 하나의 프레임 주기는 상기 제2 노드 및 상기 제4 노드를 초기화하는 제1 초기화 구간, 상기 제1 초기화 구간 후의 상기 구동 트랜지스터의 구동 전압을 초기화 하는 제2 초기화 구간, 상기 제2 초기화 구간 후의 상기 구동 트랜지스터의 문턱 전압을 보상하는 문턱 전압 보상 구간, 상기 문턱 전압 보상 구간 후의 데이터 전압이 상기 화소들에 순차적으로 기입되는 기입 구간 및 상기 기입 구간 후의 상기 화소들이 순차적으로 발광하는 발광 구간을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 13**

제12 항에 있어서, 상기 제1 전원 전압은 제1 전압 레벨 및 상기 제1 전압 레벨 보다 낮은 제2 전압 레벨 중 하나를 가지고, 상기 제2 전원 전압은 정전압 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 14**

제13 항에 있어서, 상기 제1 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 초기화

제어 신호는 턴-온 레벨을 가지며, 상기 발광 제어 신호는 턴-온 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 15**

제13 항에 있어서, 상기 제2 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가지고, 상기 발광 제어 신호가 턴-온 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 16**

제13 항에 있어서, 상기 문턱 전압 보상 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가지는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 17**

제13 항에 있어서, 상기 기입 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 갖는 상기 스캔 신호가 화소행 단위로 상기 스캔 라인들에 순차적으로 공급되는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 18**

제13 항에 있어서, 상기 발광 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 가지는 상기 발광 제어 신호가 화소행 단위로 상기 발광 제어 라인들에 순차적으로 공급되는 것을 특징으로 하는 유기 발광 표시 장치의 화소.

**청구항 19**

제11 항에 있어서, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터로 구현되는 것을 특징으로 하는 표시 장치의 화소.

**청구항 20**

제1 항에 있어서, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 엔모스(N-channel Metal Oxide Semiconductor; NMOS) 트랜지스터로 구현되는 것을 특징으로 하는 표시 장치의 화소.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 화소 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 전계 방출 표시 장치(Field Emission Display; FED), 플라즈마 표시 패널(Plasma Display Panel; PDP) 및 유기 발광 표시 장치(Organic Light Emitting Display; OLED) 등이 있다. 특히, 유기 발광 표시 장치는 넓은 시야각, 빠른 응답 속도, 얇은 두께, 낮은 소비 전력 등의 여러 가지 장점들을 가지기 때문에 유망한 차세대 표시 장치로 각광받고 있다.

[0003] 유기 발광 표시 장치의 화소는 데이터 전압에 기초하여 발광하며, 화소의 구동을 제어하는 구동 트랜지스터(예를 들어, 박막 트랜지스터(TFT))를 포함한다. 또한, 유기 발광 표시 장치의 화소는 화소들 간의 휘도 편차 등의 표시 불량을 개선하기 위해 화소 내부에 구동 트랜지스터의 문턱 전압 보상 및 유기 발광 다이오드의 애노드 초기화 등을 위한 구성이 추가될 수 있다.

[0004] 유기 발광 표시 장치는 화소가 화소행 단위로 순차적으로 발광하는 순차 발광 방식 또는 데이터 기입을 순차적으로 완료한 후 전체 화소들이 동시에 발광하는 동시 발광 방식으로 영상을 표시할 수 있다.

[0005] 동시 발광 방식으로 구동되는 표시 장치에 포함되는 기존의 화소에는 데이터 기입 구간 동안 구동 트랜지스터로부터 유기 발광 다이오드의 전류 누설 경로가 형성될 수 있다. 이에 따라, 휘도 불균일 등의 표시 불량 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 일 목적은 구동 트랜지스터를 통한 누설 전류 경로를 제거하고, 순차 발광 방식으로 발광하여 표시 품질을 향상시키는 화소를 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 화소를 포함하여 표시 품질을 향상시키는 유기 발광 표시 장치를 제공하는 것이다.

[0008] 그러나, 본 발명이 목적은 상술한 목적으로 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

**과제의 해결 수단**

[0009] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소들을 포함하고, 상기 화소들과 연결되는 스캔 라인들, 데이터 라인들, 제1 전원 전압 공급 라인들, 제2 전원 전압 공급 라인들, 초기화 제어 라인들 및 발광 제어 라인들이 형성되는 표시 패널 및 상기 화소들을 구동하기 위한 스캔 신호, 데이터 전압, 제1 전원 전압, 제2 전원 전압, 초기화 제어 신호 및 발광 제어 신호를 제공하는 패널 구동부를 포함할 수 있다. 상기 화소들 각각은 제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 상기 스캔 신호를 수신하는 제1 트랜지스터, 상기 제1 트랜지스터와 직렬 연결되어 상기 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 상기 초기화 제어 신호를 수신하는 제2 트랜지스터, 상기 제1 전원 전압 공급 라인과 상기 제3 노드 사이에 결합되고, 게이트 전극이 상기 제1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터, 상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 상기 발광 제어 신호를 수신하는 제3 트랜지스터, 상기 제4 노드와 상기 제2 전원 전압 공급 라인 사이에 결합되고, 상기 구동 전류에 기초하여 발광하는 유기 발광 다이오드, 상기 제1 전원 전압 공급 라인과 상기 제1 노드 사이에 결합되는 제1 커패시터 및 상기 제2 노드와 상기 데이터 라인 사이에 결합되는 제2 커패시터를 포함할 수 있다.

[0010] 일 실시예에 의하면, 하나의 프레임 주기는 상기 제2 노드 및 상기 제4 노드를 초기화하는 제1 초기화 구간, 상기 제1 초기화 구간 후의 상기 구동 트랜지스터의 게이트 전압을 초기화 하는 제2 초기화 구간, 상기 제2 초기화 구간 후의 상기 구동 트랜지스터의 문턱 전압을 보상하는 문턱 전압 보상 구간, 상기 문턱 전압 보상 구간 후의 데이터 전압이 상기 화소들에 순차적으로 기입되는 기입 구간 및 상기 기입 구간 후의 상기 화소들이 순차적으로 발광하는 발광 구간을 포함할 수 있다.

[0011] 일 실시예에 의하면, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터로 구현될 수 있다.

[0012] 일 실시예에 의하면, 상기 제1 전원 전압은 제1 전압 레벨 및 상기 제1 전압 레벨 보다 낮은 제2 전압 레벨 중 하나를 가지고, 상기 제2 전원 전압은 정전압 레벨을 가질 수 있다.

[0013] 일 실시예에 의하면, 상기 제1 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 초기화 제어 신호는 턴-온 레벨을 가지며, 상기 발광 제어 신호는 턴-온 레벨을 가질 수 있다.

[0014] 일 실시예에 의하면, 상기 제2 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가지고, 상기 발광 제어 신호가 턴-온 레벨을 가질 수 있다.

[0015] 일 실시예에 의하면, 상기 문턱 전압 보상 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가질 수 있다.

[0016] 일 실시예에 의하면, 상기 기입 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 갖는 상기 스캔 신호가 화소행 단위로 상기 스캔 라인들에 순차적으로 공급될 수 있다.

- [0017] 일 실시예에 의하면, 상기 발광 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 가지는 상기 발광 제어 신호가 화소행 단위로 상기 발광 제어 라인들에 순차적으로 공급될 수 있다.
- [0018] 일 실시예에 의하면, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 엔모스(N-channel Metal Oxide Semiconductor; NMOS) 트랜지스터로 구현될 수 있다.
- [0019] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치의 화소는 제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 제1 트랜지스터, 상기 제1 트랜지스터와 직렬 연결되어 상기 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 초기화 제어 신호를 수신하는 제2 트랜지스터, 제1 전원 전압 공급 라인과 상기 제3 노드 사이에 결합되고, 게이트 전극이 상기 제1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터, 상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 제3 트랜지스터, 상기 제4 노드와 제2 전원 전압 공급 라인 사이에 결합되고, 상기 구동 전류에 기초하여 발광하는 유기 발광 다이오드, 상기 제1 전원 전압 공급 라인과 상기 제1 노드 사이에 결합되는 제1 커패시터 및 상기 제2 노드와 데이터 라인 사이에 결합되는 제2 커패시터를 포함할 수 있다.
- [0020] 일 실시예에 의하면, 하나의 프레임 주기는 상기 제2 노드 및 상기 제4 노드를 초기화하는 제1 초기화 구간, 상기 제1 초기화 구간 후의 상기 구동 트랜지스터의 구동 전압을 초기화 하는 제2 초기화 구간, 상기 제2 초기화 구간 후의 상기 구동 트랜지스터의 문턱 전압을 보상하는 문턱 전압 보상 구간, 상기 문턱 전압 보상 구간 후의 데이터 전압이 상기 화소들에 순차적으로 기입되는 기입 구간 및 상기 기입 구간 후의 상기 화소들이 순차적으로 발광하는 발광 구간을 포함할 수 있다.
- [0021] 일 실시예에 의하면, 상기 제1 전원 전압은 제1 전압 레벨 및 상기 제1 전압 레벨 보다 낮은 제2 전압 레벨 중 하나를 가지고, 상기 제2 전원 전압은 정전압 레벨을 가질 수 있다.
- [0022] 일 실시예에 의하면, 상기 제1 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 초기화 제어 신호는 턴-온 레벨을 가지며, 상기 발광 제어 신호는 턴-온 레벨을 가질 수 있다.
- [0023] 일 실시예에 의하면, 상기 제2 초기화 구간에서 상기 제1 전원 전압이 상기 제2 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가지고, 상기 발광 제어 신호가 턴-온 레벨을 가질 수 있다.
- [0024] 일 실시예에 의하면, 상기 문턱 전압 보상 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 상기 스캔 신호가 턴-온 레벨을 가지며, 상기 초기화 제어 신호가 턴-온 레벨을 가질 수 있다.
- [0025] 일 실시예에 의하면, 상기 기입 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 갖는 상기 스캔 신호가 화소행 단위로 상기 스캔 라인들에 순차적으로 공급될 수 있다.
- [0026] 일 실시예에 의하면, 상기 발광 구간에서 상기 제1 전원 전압이 상기 제1 전압 레벨을 가지고, 턴-온 레벨을 가지는 상기 발광 제어 신호가 화소행 단위로 상기 발광 제어 라인들에 순차적으로 공급될 수 있다.
- [0027] 일 실시예에 의하면, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터로 구현될 수 있다.
- [0028] 일 실시예에 의하면, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 엔모스(N-channel Metal Oxide Semiconductor; NMOS) 트랜지스터로 구현될 수 있다.

**발명의 효과**

- [0029] 본 발명의 실시예들에 따른 화소 및 이를 포함하는 유기 발광 표시 장치는 직렬로 연결되는 제1 및 제2 트랜지스터를 구비하여 유기 발광 다이오드의 초기화, 구동 트랜지스터의 게이트 전극 초기화 및 문턱 전압 보상을 안정적으로 실시할 수 있다. 또한, 본 발명의 화소 및 이를 포함하는 유기 발광 표시 장치는 구동 트랜지스터와 유기 발광 다이오드 사이에 제3 트랜지스터를 구비하고, 데이터 전압의 기입 구간에서 제2 트랜지스터 및 제3 트랜지스터를 턴오프하여 구동 트랜지스터의 누설 경로를 차단함으로써, 유기 발광 다이오드의 애노드 전극의 전압이 변경되는 것을 방지할 수 있다. 또한, 본 발명의 화소 및 이를 포함하는 유기 발광 표시 장치는 발광 구간에서 제3 트랜지스터를 순차적으로 턴온시켜 순차 발광 구동을 수행함으로써, 구동 트랜지스터의 누설 전류로 인해 유기 발광 다이오드의 애노드 전극의 전압이 변경되는 것을 방지할 수 있다. 따라서, 색편차 등의 표시 불량량이 방지될 수 있다. 다만, 본 발명의 효과는 상술한 효과로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

**도면의 간단한 설명**

- [0030] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 2는 도 1의 유기 발광 표시 장치의 동작을 설명하기 위한 도면이다.
- 도 3은 본 발명의 실시예들에 따른 도1의 유기 발광 표시 장치에 포함되는 화소를 나타내는 회로도이다.
- 도 4는 도 3의 화소의 동작의 일 예를 나타내는 파형도이다.
- 도 5a내지 도 5e는 도 3의 화소의 동작을 설명하기 위한 회로도들이다.
- 도 6은 도 1의 유기 발광 표시 장치에 포함되는 화소의 다른 예를 나타내는 회로도이다.
- 도 7은 도 1의 유기 발광 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.
- 도 8은 도 7의 전자 기기가 헤드 마운트 디스플레이로 구현되는 일 예를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0032] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이고, 도 2는 도 1의 유기 발광 표시 장치의 동작을 설명하기 위한 도면이다.
- [0033] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110) 및 패널 구동부(120)를 포함할 수 있다.
- [0034] 표시 패널(110)은 복수의 화소(PX)들을 포함하고, 화소(PX)들과 연결되는 스캔 라인들, 데이터 라인들, 제1 전원 전압 공급 라인들, 제2 전원 전압 공급 라인들, 초기화 제어 라인들 및 발광 제어 라인들을 포함할 수 있다.
- [0035] 화소(PX)들 각각은 제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 스캔 신호(GW)를 수신하는 제1 트랜지스터, 제1 트랜지스터와 직렬 연결되어 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 초기화 제어 신호(GC)를 수신하는 제2 트랜지스터, 제1 전원 전압 공급 라인과 제3 노드 사이에 결합되고, 게이트 전극이 제 1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터, 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호(EM)를 수신하는 제3 트랜지스터, 제4 노드와 제2 전원 전압 공급 라인 사이에 결합되고, 구동 전류에 기초하여 발광하는 유기 발광 다이오드, 제1 전원 전압 공급 라인과 제1 노드 사이에 결합되는 제1 커패시터 및 제2 노드와 데이터 라인 사이에 결합되는 제2 커패시터를 포함할 수 있다.
- [0036] 일 실시예에서, 하나의 프레임 주기 동안 유기 발광 표시 장치(100)는 제2 노드 및 제4 노드를 초기화하는 제1 초기화 구간(P1), 구동 트랜지스터의 게이트 전압을 초기화 하는 제2 초기화 구간(P2), 구동 트랜지스터의 문턱 전압을 보상하는 문턱 전압 보상 구간(P3), 데이터 전압(DATA)이 화소(PX)들에 순차적으로 기입되는 기입 구간(P4) 및 화소(PX)들이 순차적으로 발광하는 발광 구간(P5)으로 구분하여 동작할 수 있다.
- [0037] 도 2를 참조하면, 유기 발광 표시 장치(100)의 화소(PX)는 제1 초기화 구간(P1) 동안 유기 발광 다이오드의 애노드 전극을 동시에 초기화하고, 제2 초기화 구간(P2) 동안 구동 트랜지스터의 게이트 전압을 동시에 초기화하며, 문턱 전압 보상 구간(P3) 동안 구동 트랜지스터의 문턱 전압을 동시에 초기화할 수 있다. 또한, 유기 발광 표시 장치(100)는 기입 구간(P4) 동안 데이터 전압(DATA)을 화소행 단위로 순차적으로 기입하고, 발광 구간(P5) 동안 화소(PX)들을 화소행 단위로 순차적으로 발광할 수 있다. 기입 구간(P4)에서 데이터 전압(DATA)이 화소행 단위로 기입되므로, 구동 트랜지스터의 문턱 전압 보상 이후 데이터 기입까지의 시간이 화소행 별로 상이할 수 있다. 본 발명의 실시예들에 따른 유기 발광 표시 장치(100)의 화소(PX)는 데이터 기입 구간(P4) 동안 구동 트랜지스터의 게이트 전극과 유기 발광 다이오드의 애노드 전극을 전기적으로 분리하여 데이터 기입 구간(P4)에서 구동 트랜지스터로부터 유기 발광 다이오드로 전류가 누설되는 것을 방지할 수 있다. 또한, 구동 트랜지스터와 유기 발광 다이오드 사이에 제3 트랜지스터를 구비하여 순차 발광 구동을 수행함으로써, 데이터 전압(DATA) 기입 이후 발광까지의 시간 동안 데이터 전압(DATA)이 변동되는 것을 방지할 수 있다.
- [0038] 패널 구동부(120)는 표시 패널(110)에 연결되는 스캔 라인들, 데이터 라인들, 초기화 제어 라인들 및 발광 제어 라인들을 구동하고, 표시 패널(110)에 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 제공할 수 있다. 패널 구동부(120)는 타이밍 제어부(121), 스캔 구동부(122), 데이터 구동부(123), 발광 제어부(124) 및 전원 공급부

(125)를 포함할 수 있다.

- [0039] 타이밍 제어부(121)는 스캔 구동부(122), 데이터 구동부(123), 발광 제어부(124) 및 전원 공급부(125)의 구동을 제어할 수 있다. 타이밍 제어부(121)는 스캔 구동부(122), 데이터 구동부(123), 발광 제어부(124) 및 전원 공급부(125) 각각에 제1 내지 제4 제어 신호들(CTL1, CTL2, CTL3, CTL4)을 제공하고, 스캔 구동부(122), 데이터 구동부(123), 발광 제어부(124) 및 전원 공급부(125) 각각의 구동을 제어할 수 있다. 일 실시예에서, 타이밍 제어부(121)는 외부 장치(예를 들어, 그래프 컨트롤러)로부터 RGB 화상 신호, 수직 동기 신호, 수평 동기 신호, 메인 클럭 신호 및 데이터 인에이블 신호 등을 수신하고, 이러한 신호들에 기초하여 제1 내지 제4 제어 신호들(CTL1, CTL2, CTL3, CTL4) 및 상기 RGB 화상 신호에 상응하는 영상 데이터(IDATA)를 생성할 수 있다.
- [0040] 스캔 구동부(122)는 제1 제어 신호(CTL1)에 기초하여 스캔 라인들에 스캔 신호(GW) 및 초기화 제어 신호(GC)를 제공할 수 있다. 일 실시예에서, 스캔 구동부(122)는 제2 초기화 구간(P2) 및 문턱 전압 보상 구간(P3) 동안 턴-온 레벨을 갖는 스캔 신호(GW)를 스캔 라인들에 동시에 출력할 수 있다. 여기서, 상기 턴-온 레벨은 스캔 신호(GW)가 제공되는 트랜지스터가 턴온되기 위해 상기 스캔 신호(GW)가 갖는 전압 레벨일 수 있다. 예를 들어, 스캔 신호(GW)가 제공되는 트랜지스터가 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터인 경우, 상기 턴-온 레벨은 로우 레벨을 갖고, 스캔 신호(GW)가 제공되는 트랜지스터가 엔모스(N-channel Metal Oxide Semiconductor; NMOS) 트랜지스터인 경우, 상기 턴-온 레벨은 하이 레벨을 가질 수 있다. 이에 따라, 모든 화소(PX)들에서 상기 구동 트랜지스터의 게이트 전압이 소정의 전압 레벨로 초기화되고, 상기 구동 트랜지스터의 문턱 전압이 보상될 수 있다. 일 실시예에서, 스캔 구동부(122)는 기입 구간(P4) 동안 화소(PX) 행들에 대응하는 스캔 라인들에 상기 턴-온 레벨을 갖는 스캔 신호(GW)를 순차적으로 제공할 수 있다. 일 실시예에서, 스캔 구동부(122)는 제1 초기화 구간(P1), 제2 초기화 구간(P2) 및 문턱 전압 보상 구간(P3) 동안 턴-온 레벨을 갖는 초기화 제어 신호(GC)를 초기화 제어 라인들에 동시에 출력할 수 있다. 여기서, 상기 턴-온 레벨은 초기화 제어 신호(GC)가 제공되는 트랜지스터가 턴온되기 위해 상기 초기화 제어 신호(GC)가 갖는 전압 레벨일 수 있다. 이에 따라, 모든 화소(PX)들에서 유기 발광 다이오드의 애노드 전극 및 구동 트랜지스터의 게이트 전압이 소정의 전압 레벨로 초기화되고, 상기 구동 트랜지스터의 문턱 전압이 보상될 수 있다. 도1에서는 스캔 구동부(122)가 스캔 신호(GW) 및 초기화 제어 신호(GC)를 생성하는 것으로 도시하였으나, 유기 발광 표시 장치(100)는 이에 한정되지 않는다. 예를 들어, 유기 발광 표시 장치(100)는 초기화 제어 신호(GC)를 생성하는 초기화 구동부를 더 포함할 수 있다.
- [0041] 데이터 구동부(123)는 타이밍 제어부(121)로부터 수신한 제2 제어 신호(CTL2) 및 영상 데이터(IDATA)에 기초하여 데이터 전압(DATA)을 생성할 수 있다. 데이터 구동부(123)는 기입 구간(P4) 동안 데이터 라인들을 통해 데이터 전압(DATA)을 화소(PX)들에 제공할 수 있다.
- [0042] 발광 제어부(124)는 제3 제어 신호(CTL3)에 기초하여 발광 제어 라인들에 발광 제어 신호(EM)를 제공할 수 있다. 일 실시예에서, 발광 제어부(124)는 제1 초기화 구간(P1) 및 제2 초기화 구간(P2) 동안 턴-온 레벨을 갖는 발광 제어 신호(EM)를 발광 제어 라인들에 동시에 출력할 수 있다. 여기서, 상기 턴-온 레벨은 발광 제어 신호(EM)가 제공되는 트랜지스터가 턴 온되기 위해 상기 발광 제어 신호(EM)가 갖는 전압 레벨일 수 있다. 이에 따라, 모든 화소(PX)들에서 상기 유기 발광 다이오드의 애노드 전극 및 구동 트랜지스터의 게이트 전압이 소정의 전압 레벨로 초기화될 수 있다. 일 실시예에서, 발광 제어부(124)는 발광 구간(P5) 동안 화소행들에 대응하는 발광 제어 라인들에 상기 턴-온 레벨을 갖는 발광 제어 신호(EM)를 순차적으로 제공할 수 있다.
- [0043] 전원 공급부(125)는 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 표시 패널(110)에 제공할 수 있다. 제1 전원 전압(ELVDD)은 제1 전압 레벨 및 제2 전압 레벨 중 하나를 가질 수 있다. 일 실시예에서, 제2 전압 레벨은 제1 전압 레벨보다 낮을 수 있다. 일 실시예에서, 상기 구동 트랜지스터가 피모스 트랜지스터로 구현되는 경우, 전원 공급부(125)는 제1 초기화 구간(P1) 및 제2 초기화 구간(P2) 동안 제1 전원 전압(ELVDD)을 제2 전압 레벨로 제공하고, 문턱 전압 보상 구간(P3), 기입 구간(P4) 및 발광 구간(P5)에서 제1 전원 전압(ELVDD)을 제1 전압 레벨로 제공할 수 있다. 즉, 제1 초기화 구간(P1) 및 제2 초기화 구간(P2)에서 제1 전원 전압(ELVDD)이 제2 전원 전압(ELVSS)보다 낮은 전압 레벨을 가짐으로써, 상기 구동 트랜지스터에서의 전류 누설 또는 유기 발광 다이오드의 애노드 전압 상승으로 인한 유기 발광 다이오드의 의도치 않은 발광이 방지될 수 있다. 제2 전압 레벨은 제2 전원 전압(ELVSS)보다 충분히 낮은 값일 수 있다. 한편, 문턱 전압 보상 구간(P3) 및 기입 구간(P4)에서는 제2 트랜지스터 및 제3 트랜지스터가 턴오프되어 구동 트랜지스터와 유기 발광 다이오드를 연결하지 않으므로, 제1 전원 전압(ELVDD)이 제1 전압 레벨을 가지더라도 발광이 방지될 수 있다.
- [0044] 제2 전원 전압(ELVSS)은 기 설정된 정전압 레벨을 가질 수 있다. 즉, 제2 전원 전압(ELVSS)은 직류 전압을 갖는

다. 예를 들어, 제2 전원 전압(ELVSS)은 접지 전압 또는 기 설정된 음의 전압 레벨을 가질 수 있다.

- [0045] 제1 초기화 구간(P1)에서, 제1 전원 전압(ELVDD)이 제2 전압 레벨을 가지고, 초기화 제어 신호(GC) 및 발광 제어 신호(EM)가 턴-온 레벨을 가질 수 있다. 이에 따라, 화소(PX)들 각각에 포함되는 유기 발광 다이오드의 애노드 전압이 제2 전압 레벨을 갖는 제1 전원 전압(ELVDD)으로 초기화될 수 있다.
- [0046] 제2 초기화 구간(P2)에서, 제1 전원 전압(ELVDD)이 제2 전압 레벨을 가지고, 스캔 신호(GW), 초기화 제어 신호(GC) 및 발광 제어 신호(EM)가 턴-온 레벨을 가질 수 있다. 이에 따라, 화소(PX)들 각각에 포함되는 구동 트랜지스터의 게이트 전압 및 유기 발광 다이오드의 애노드 전압이 제2 전압 레벨을 갖는 제1 전원 전압(ELVDD)과 문턱 전압의 합으로 초기화될 수 있다.
- [0047] 문턱 전압 보상 구간(P3)에서, 제1 전원 전압(ELVDD)에 제1 전압 레벨을 갖고, 스캔 신호(GW) 및 초기화 제어 신호(GC)는 턴-온 레벨을 가질 수 있다. 이에 따라, 화소(PX)들 각각에 포함되는 구동 트랜지스터의 게이트 전압과 유기 발광 다이오드의 애노드 전압이 제1 전압 레벨을 갖는 제1 전원 전압(ELVDD)과 구동 트랜지스터의 문턱 전압의 합으로 보상될 수 있다.
- [0048] 기입 구간(P4)에서 제1 전원 전압(ELVDD)은 제1 전압 레벨을 갖고, 턴-온 레벨을 갖는 스캔 신호(GW)가 화소행 단위로 스캔 라인들에 순차적으로 제공될 수 있다. 이에 따라, 데이터 라인들을 통해 각각의 화소(PX)에 데이터 전압(DATA)이 제공될 수 있다.
- [0049] 발광 구간(P5)에서 제1 전원 전압(ELVDD)은 제1 전압 레벨을 갖고, 턴-온 레벨을 갖는 발광 제어 신호(EM)가 화소행 단위로 발광 제어 라인들에 순차적으로 제공될 수 있다. 이에 따라, 화소(PX)들이 화소행 단위로 순차적으로 데이터 전압(DATA)에 대응하는 휘도로 발광할 수 있다.
- [0050] 상술한 바와 같이, 본 발명의 실시예들에 따른 유기 발광 표시 장치(100)는 4T2C 구조의 화소(PX)들을 이용하여 순차 발광 구동을 수행할 수 있다. 상기 화소(PX)들은 데이터 기입 구간(P4) 동안 구동 트랜지스터의 전류가 누설될 수 있는 경로를 차단하고, 순차 발광 구동을 수행함으로써, 누설 전류 및 데이터 전압(DATA) 변동으로 인해 구동 트랜지스터의 구동 전류가 변경되는 것을 방지할 수 있다.
- [0051] 도 3은 본 발명의 실시예들에 따른 도1의 유기 발광 표시 장치에 포함되는 화소를 나타내는 회로도이다.
- [0052] 도 3을 참조하면, 화소(PX)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 구동 트랜지스터(TD), 제1 커패시터(C1), 제2 커패시터(C2) 및 유기 발광 다이오드(EL)를 포함할 수 있다. 일 실시예에서, 화소(PX)는 순차 구동 방식으로 구동되는 유기 발광 표시 장치에 포함될 수 있다.
- [0053] 제1 트랜지스터(T1)는 제1 노드(N1)와 제2 노드(N2) 사이에 결합되고, 게이트 전극으로 스캔 신호(GW)를 수신할 수 있다. 제1 트랜지스터(T1)는 제1 전극, 게이트 전극 및 제2 전극을 포함할 수 있다. 일 실시예에서, 제1 트랜지스터(T1)의 제1 전극은 제1 노드(N1)에 대응되고, 제2 전극은 제2 노드(N2)에 대응되며, 게이트 전극은 스캔 라인과 연결될 수 있다. 제1 트랜지스터(T1)는 턴-온 레벨을 갖는 스캔 신호(GW)에 응답하여 턴온될 수 있다. 제1 트랜지스터(T1)가 턴온되는 경우, 제1 노드(N1)와 제2 노드(N2)가 전기적으로 연결될 수 있다. 제1 트랜지스터(T1)는 제2 초기화 구간(P2) 및 문턱 전압 보상 구간(P3)에서 턴온되어 구동 트랜지스터(TD)의 게이트 전극(즉, 제1 노드(N1))과 제2 전극을 전기적으로 연결시킬 수 있다. 또한, 제1 트랜지스터(T1)는 기입 구간(P4)에서 턴온되어 데이터 전압(DATA)을 구동 트랜지스터(TD)의 게이트 전극에 전달할 수 있다.
- [0054] 제2 트랜지스터(T2)는 제1 트랜지스터(T1)와 직렬로 연결될 수 있다. 제2 트랜지스터(T2)는 제2 노드(N2)와 제3 노드(N3) 사이에 결합되고, 게이트 전극으로 초기화 제어 신호(GC)를 수신할 수 있다. 제2 트랜지스터(T2)는 제1 전극, 게이트 전극 및 제2 전극을 포함할 수 있다. 일 실시예에서, 제2 트랜지스터(T2)의 제1 전극은 제2 노드(N2)에 대응되고, 제2 전극은 제3 노드(N3)에 대응되며, 게이트 전극은 초기화 제어 라인과 연결될 수 있다. 제2 트랜지스터(T2)는 턴-온 레벨을 갖는 초기화 제어 신호(GC)에 응답하여 턴온될 수 있다. 제2 트랜지스터(T2)가 턴온되는 경우 제2 노드(N2)와 제3 노드(N3)가 전기적으로 연결될 수 있다. 제2 트랜지스터(T2)는 제1 초기화 구간(P1)에서 턴온되어 유기 발광 다이오드(EL)의 애노드 전극과 데이터 라인(DL)을 전기적으로 연결시키고, 제2 초기화 구간(P2) 및 문턱 전압 보상 구간(P3)에서 턴온되어 제1 트랜지스터(T1)와 함께 구동 트랜지스터(TD)의 게이트 전극(즉, 제1 노드(N1))과 제2 전극을 전기적으로 연결할 수 있다.
- [0055] 제3 트랜지스터(T3)는 제3 노드(N3)와 제4 노드(N4) 사이에 결합되고, 게이트 전극으로 발광 제어 신호(EM)를 수신할 수 있다. 제3 트랜지스터(T3)는 제1 전극, 게이트 전극 및 제2 전극을 포함할 수 있다. 제3 트랜지스터(T3)의 제1 전극은 제4 노드(N4)에 대응되고, 제2 전극은 제3 노드(N3)에 대응되며, 게이트 전극은 발광 제어

라인과 연결될 수 있다. 제3 트랜지스터(T3)는 턴-온 레벨을 갖는 발광 제어 신호(EM)에 응답하여 턴온될 수 있다. 제3 트랜지스터(T3)가 턴온되는 경우, 제4 노드(N4)(즉, 유기 발광 다이오드(EL)의 애노드 전극)와 제3 노드(N3)가 전기적으로 연결될 수 있다. 제3 트랜지스터(T3)는 제1 초기화 구간(P1) 및 제2 초기화 구간(P2)에 턴온되어 제3 노드(N3)의 전압을 제4 노드(N4)(즉, 유기 발광 다이오드(EL)의 애노드 전극)에 전달할 수 있다.

[0056] 구동 트랜지스터(TD)는 제1 전원 전압(ELVDD) 공급 라인과 제3 노드(N3) 사이에 결합되고, 게이트 전극이 제1 노드(N1)에 결합되어 구동 전류를 제어할 수 있다. 구동 트랜지스터(TD)는 제1 전극, 게이트 전극 및 제2 전극을 포함할 수 있다. 예를 들어, 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극일 수 있다. 일 실시예에서, 구동 트랜지스터(TD)의 게이트 전극은 제1 노드(N1)에 대응하고, 제2 전극은 제3 노드(N3)에 대응할 수 있다. 구동 트랜지스터(TD)를 통해 흐르는 구동 전류에 의해 발광 휘도가 결정될 수 있다.

[0057] 제1 커패시터(C1)는 제1 전원 전압(ELVDD) 공급 라인과 제1 노드(N1) 사이에 결합될 수 있다. 제2 커패시터(C2)는 제2 노드(N2)와 데이터 라인(DL) 사이에 결합될 수 있다. 제1 및 제2 커패시터(C2)에 저장되는 전압에 의해 기입 구간(P4)에서 구동 트랜지스터(TD)의 게이트 전압이 결정될 수 있다.

[0058] 유기 발광 다이오드(EL)는 제4 노드(N4)와 제2 전원 전압(ELVSS) 사이에 결합되고, 구동 전류에 기초하여 발광할 수 있다. 일 실시예에서, 유기 발광 다이오드(EL)의 애노드 전극은 제3 노드(N3)에 대응될 수 있다.

[0059] 도 3에는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 구동 트랜지스터(TD)가 피모스 트랜지스터들로 구현되는 화소(PX)에 대해 설명하였으나, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 구동 트랜지스터(TD)는 이에 한정되지 않는다. 일 실시예에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 구동 트랜지스터(TD)는 엔모스(N-channel Metal Oxide Semiconductor; NMOS) 트랜지스터들로 구현될 수 있다. 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 구동 트랜지스터(TD) 및 구동 트랜지스터(TD) 각각은 저온 폴리 실리콘(Low Temperature Poly Silicon; LTPS) 박막 트랜지스터, 산화물 박막 트랜지스터 또는 저온 폴리 옥사이드(Low Temperature Polycrystalline Oxide; LTPO) 박막 트랜지스터로 구현될 수 있다.

[0060] 도 4는 도 3의 화소의 동작의 일 예를 나타내는 파형도이고, 도 5a 내지 도 5e는 도 3의 화소의 동작을 설명하기 위한 회로도들이다.

[0061] 도 4를 참조하면, 하나의 프레임 주기는 제1 초기화 구간(P1), 제2 초기화 구간(P2), 문턱 전압 보상 구간(P3), 기입 구간(P4) 및 발광 구간(P5)을 포함할 수 있다.

[0062] 도 4 및 도 5a를 참조하면, 제1 초기화 구간(P1) 동안, 제1 전원 전압(ELVDD)은 제2 전압 레벨(VL)을 갖고, 초기화 제어 신호(GC) 및 발광 제어 신호(EM)는 턴-온 레벨을 가지며, 스캔 신호(GW)는 턴-오프 레벨을 가질 수 있다. 이에 따라, 제2 트랜지스터(T2)가 턴온되어 제2 노드(N2)와 제3 노드(N3)가 연결되고, 제3 트랜지스터(T3)가 턴온되어 제3 노드(N3)와 제4 노드(N4)가 연결될 수 있다. 따라서, 제2 노드(N2), 제3 노드(N3) 및 제4 노드(N4)가 제2 전압 레벨(VL)을 가질 수 있다. 즉, 유기 발광 다이오드(EL)의 애노드 전극이 제2 전압 레벨(VL)을 갖는 제1 전원 전압(ELVDD)으로 초기화될 수 있다. 이 때, 제1 노드(N1)의 전압, 즉, 구동 트랜지스터(TD)의 게이트 전압에는 이전 프레임에서의 발광 휘도에 상응하는 전압이 남아있을 수 있다.

[0063] 도 4 및 도 5b를 참조하면, 제2 초기화 구간(P2) 동안, 제1 전원 전압(ELVDD)은 제2 전압 레벨(VL)을 갖고, 스캔 신호(GW), 초기화 제어 신호(GC) 및 발광 제어 신호(EM)는 턴-온 레벨을 가질 수 있다. 이에 따라, 제1 트랜지스터가 턴온되어 제1 노드(N1)와 제2 노드(N2)가 연결되고, 제2 트랜지스터(T2)가 턴온되어 제2 노드(N2)와 제3 노드(N3)가 연결되며, 제3 트랜지스터(T3)가 연결되어 제3 노드(N3)와 제4 노드(N4)가 연결될 수 있다. 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴온되어 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)가 연결됨에 따라 구동 트랜지스터(TD)의 게이트 전극 및 소스 전극이 연결될 수 있다. 즉, 구동 트랜지스터(TD)는 다이오드 연결될 수 있다. 이에 따라 제1 노드(N1)의 전압, 제2 노드(N2)의 전압 및 제3 노드(N3)의 전압은 제2 전압 레벨(VL)과 구동 트랜지스터(TD)의 문턱 전압( $V_{th}$ 로 표시한다)의 합(즉,  $V_L + V_{th}$ )에 상응하는 값을 가질 수 있다. 즉, 유기 발광 다이오드(EL)의 애노드 전압 및 구동 트랜지스터(TD)의 게이트 전압이  $V_L + V_{th}$ 로 초기화될 수 있다.

[0064] 도 4 및 도 5c를 참조하면, 문턱 전압 보상 구간(P3) 동안, 제1 전원 전압(ELVDD)은 제1 전압 레벨(VH)을 갖고, 스캔 신호(GW), 초기화 제어 신호(GC)는 턴-온 레벨을 가지며, 발광 제어 신호(EM)는 턴-오프 레벨을 가질 수 있다. 이에 따라, 제1 트랜지스터(T1)가 턴온되어 제1 노드(N1)와 제2 노드(N2)가 연결되고, 제2 트랜지스터(T2)가 턴온되어 제2 노드(N2)와 제3 노드(N3)가 연결될 수 있다. 따라서, 구동 트랜지스터(TD)는 다이오드 연

결 상태를 유지하고, 제1 노드(N1)의 전압, 제2 노드(N2)의 전압 및 제3 노드(N3)의 전압은 제1 전압 레벨(VH)과 구동 트랜지스터(TD)의 문턱 전압의 합(즉,  $VH + V_{th}$ )으로 변할 수 있다. 따라서, 제1 커패시터(C1)에는 구동 트랜지스터(TD)의 문턱 전압이 저장될 수 있다.

[0065] 도 4 및 도 5d를 참조하면, 기입 구간(P4) 동안, 제1 전원 전압(ELVDD)은 제1 전압 레벨(VH)을 갖고, 스캔 신호(GW)는 턴-온 레벨을 가지며, 초기화 제어 신호(GC) 및 발광 제어 신호(EM)는 턴-오프 레벨을 가질 수 있다. 이에 따라, 데이터 기입 시, 제1 트랜지스터(T1)가 턴온되어 제1 노드(N1)와 제2 노드(N2)가 연결될 수 있다. 따라서, 데이터 라인(DL)을 통해서 공급되는 데이터 전압(DATA)이 제1 커패시터(C1) 및 제2 커패시터(C2)에 저장될 수 있다. 제1 커패시터(C1) 및 제2 커패시터(C2)는 커패시턴스 비에 따라 차지 셰어링(charge sharing)하여 상기 데이터 전압(DATA)을 저장할 수 있다. 문턱 전압 보상 구간(P3) 동안 제1 커패시터(C1)에 문턱 전압이 저장되므로, 기입 구간(P4) 동안 제1 커패시터(C1)에 문턱 전압이 보상된 데이터 전압(DATA)이 저장될 수 있다. 유기발광 표시 장치의 기입 구간(P4) 동안 화소(PX)행 단위로 데이터 전압(DATA)이 기입되므로, 화소(PX)행에 따라 기입 시간이 다를 수 있다. 본 발명의 실시예들에 따른 유기 발광 표시 장치의 화소(PX)는 데이터 전압(DATA)의 기입 구간(P4) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)를 턴오프시켜 구동 트랜지스터(TD)의 누설 전류로 인해 유기 발광 다이오드(EL)의 애노드 전압이 변동되는 것을 방지할 수 있다. 따라서, 전류 누설에 의한 화소(PX)들 간의 휘도 편차 등의 표시 불량이 개선 내지 방지될 수 있다.

[0066] 도 4 및 도 5e를 참조하면, 발광 구간(P5) 동안 제1 전원 전압(ELVDD)은 제1 전압 레벨(VH)을 갖고, 발광 제어 신호(EM)는 턴-온 레벨을 가지며, 스캔 신호(GW) 및 초기화 제어 신호(GC)는 턴-오프 레벨을 가질 수 있다. 이에 따라, 제 3 트랜지스터가 턴온되어 제3 노드(N3)와 제4 노드(N4)가 연결될 수 있다. 따라서, 구동 트랜지스터(TD)에서 데이터 전압(DATA)에 기초하여 생성되는 구동 전류가 제3 트랜지스터(T3)를 통해 유기 발광 다이오드(EL)의 애노드 전극으로 흐를 수 있다. 따라서, 유기 발광 다이오드(EL)는 데이터 전압(DATA)에 상응하는 휘도로 발광할 수 있다. 동시 발광 구동 방법의 경우, 데이터 기입을 완료한 후 전체 화소(PX)들을 동시에 발광하기 전까지 저장 커패시터에 저장된 데이터 전압(DATA)이 변동되거나, 구동 트랜지스터(TD)의 누설 전류가 발생하여 유기 발광 다이오드(EL)의 애노드 전압이 변동될 수 있다. 그러나, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 데이터가 기입되는 순서대로 화소(PX)들을 화소(PX)행 단위로 순차적으로 발광시키는 순차 발광 구동을 하므로, 데이터 전압(DATA)의 변동 또는 구동 트랜지스터(TD)의 누설 전류로 인해 유기 발광 다이오드(EL)의 애노드 전압이 변동되는 것을 방지할 수 있다.

[0067] 상술한 바와 같이, 본 발명의 실시예들에 따른 화소(PX) 및 이의 구동 방법은 스캔 신호(GW)에 의해 제어되는 제1 트랜지스터(T1)와 초기화 제어 신호(GC)에 의해 제어되는 제2 트랜지스터(T2)를 직렬로 연결함으로써, 기입 구간(P4)에서 제1 노드(N1)와 제3 노드(N3)를 전기적으로 분리할 수 있다. 또한, 구동 트랜지스터(TD)와 유기 발광 다이오드(EL) 사이에 발광 제어 신호(EM)에 의해 제어되는 제3 트랜지스터(T3)를 구비함으로써, 순차 발광 구동 방식을 사용할 수 있다. 따라서, 데이터 전압(DATA)의 기입 구간(P4)에서 구동 트랜지스터(TD)로부터 유기 발광 다이오드(EL)로의 전류가 누설되는 것을 방지할 수 있다.

[0068] 도 6은 도 1의 유기 발광 표시 장치에 포함되는 화소의 다른 예를 나타내는 회로도이다.

[0069] 도 6에서는 도 3을 참조하여 설명한 구성 요소들에 대해 동일한 참조 부호들을 사용하며, 이러한 구성 요소들에 대한 중복되는 설명은 생략하기로 한다. 또한, 도 6의 화소(PX)는 제1 커패시터(C1)가 초기화 전압을 공급받는 것을 제외하면, 도 3의 화소(PX)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.

[0070] 도 6을 참조하면, 화소(PX)는 제1 트랜지스터(T1), 제2 트랜지스터(T2) 제3 트랜지스터(T3), 구동 트랜지스터(TD), 제1 커패시터(C1), 제2 커패시터(C2) 및 유기 발광 다이오드(EL)를 포함할 수 있다.

[0071] 도 3의 화소(PX)에서는 제1 커패시터(C1)가 제1 전원 전압(ELVDD) 라인과 연결되는 것으로 설명하였으나, 도 6의 화소(PX)는 제1 커패시터(C1)가 초기화 전압 공급 배선과 연결될 수 있다. 유기 발광 다이오드(EL)의 애노드 전극 및 구동 트랜지스터(TD)의 게이트 전극은 초기화 전압 공급 배선을 통해 공급되는 초기화 전압으로 초기화될 수 있다.

[0072] 도 7은 도 1의 유기 발광 표시 장치를 포함하는 전자 기기를 나타내는 블록도이고, 도 8은 도 7의 전자 기기가 헤드 마운트 디스플레이로 구현되는 일 예를 나타내는 도면이다.

[0073] 도 7 및 도 8을 참조하면, 전자 기기(200)는 프로세서(210), 메모리 장치(220), 스토리지 장치(230), 입출력 장치(240), 파워 서플라이(250) 및 표시 장치(260)를 포함할 수 있다. 이 때, 표시 장치(260)는 도 1의 표시 장치(100)에 상응할 수 있다. 전자 기기(200)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거

나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 일 실시예에서, 도 8에 도시된 바와 같이, 전자 기기(200)는 헤드 마운트 디스플레이(300)(head mounted display; HMD)로 구현될 수 있다. 다만, 이것은 예시적인 것으로서 전자 기기(200)는 그에 한정되지 않는다. 예를 들어, 전자 기기(200)는 텔레비전, 스마트폰, VR(Virtual Reality) 기기, 휴대폰, 비디오폰, 스마트패드(smart pad), 스마트 워치(smart watch), 태블릿(tablet) PC, 차량용 네비게이션, 컴퓨터 모니터, 노트북 등으로 구현될 수도 있다.

[0074] 프로세서(210)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(210)는 마이크로프로세서(micro processor), 중앙 처리 유닛, 어플리케이션 프로세서 등일 수 있다. 프로세서(210)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통해 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(210)는 주변 구성 요소 상호 연결(Peripheral Component Interconnect; PCI) bus와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(220)는 전자 기기(200)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(220)는 이피롬(Erasable Programmable Read-Only Memory; EPROM) 장치, 이이피롬(Electrically Erasable Programmable Read-Only Memory EEPROM) 장치, 플래시 메모리 장치(flash memory device), 피램(Phase Change Random Access Memory; PRAM) 장치, 알램(Resistance Random Access Memory; RRAM) 장치, 엔에프지엠(Nano Floating Gate Memory; NFGM) 장치, 폴리머램(Polymer Random Access Memory; PoRAM) 장치, 엠램(Magnetic Random Access Memory; MRAM), 에프램(Ferroelectric Random Access Memory; FRAM) 장치 등과 같은 비휘발성 메모리 장치 및/또는 디램(Dynamic Random Access Memory; DRAM) 장치, 에스램(Static Random Access Memory; SRAM) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 스토리지 장치(230)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(240)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(250)는 전자 기기(200)의 동작에 필요한 파워를 공급할 수 있다. 표시 장치(260)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 표시 장치(260)는 입출력 장치(240)에 포함될 수도 있다. 상술한 바와 같이, 표시 장치는 표시 패널 및 패널 구동부를 포함할 수 있다. 표시 패널은 복수의 화소들을 포함하고, 화소들과 연결되는 스캔 라인들, 데이터 라인들, 제1 전원 전압 공급 라인들, 제2 전원 전압 공급 라인들, 초기화 제어 라인들 및 발광 제어 라인들을 포함할 수 있다. 화소들 각각은 제1 노드와 제2 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 제1 트랜지스터, 제1 트랜지스터와 직렬 연결되어 제2 노드와 제3 노드 사이에 결합되고, 게이트 전극으로 초기화 제어 신호를 수신하는 제2 트랜지스터, 제1 전원 전압 공급 라인과 제3 노드 사이에 결합되고, 게이트 전극이 제1 노드에 결합되어 구동 전류를 제어하는 구동 트랜지스터, 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 제3 트랜지스터, 제4 노드와 제2 전원 전압 공급 라인 사이에 결합되고, 구동 전류에 기초하여 발광하는 유기 발광 다이오드, 제1 전원 전압 공급 라인과 제1 노드 사이에 결합되는 제1 커패시터 및 제2 노드와 데이터 라인 사이에 결합되는 제2 커패시터를 포함할 수 있다. 하나의 프레임 주기 동안 유기 발광 표시 장치는 제2 노드 및 제4 노드를 초기화하는 제1 초기화 구간, 구동 트랜지스터의 게이트 전압을 초기화 하는 제2 초기화 구간, 구동 트랜지스터의 문턱 전압을 보상하는 문턱 전압 보상 구간, 데이터 전압이 화소들에 순차적으로 기입되는 기입 구간 및 화소들이 순차적으로 발광하는 발광 구간으로 구분하여 동작할 수 있다.

[0075] 상술한 바와 같이, 전자 기기에 포함되는 표시 장치의 화소는 직렬로 연결되는 제1 및 제2 트랜지스터 및 구동 트랜지스터와 유기 발광 다이오드 사이에 발광 제어 신호에 의해 제어되는 제3 트랜지스터를 구비함으로써, 기입 구간에서 구동 트랜지스터와 유기 발광 다이오드를 전기적으로 분리시킬 수 있다. 또한, 발광 구간에서 제3 트랜지스터를 순차적으로 턴온시켜 유기 발광 다이오드에 구동 전류를 흐르게 함으로써, 순차 발광 구동을 수행할 수 있다. 따라서, 구동 트랜지스터의 누설 전류로 인해 애노드 전압이 변동되는 것이 방지되어 화소들 간의 휘도 편차 등 표시 불량에 방지될 수 있다.

**산업상 이용가능성**

[0076] 본 발명은 표시 장치를 구비한 모든 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 텔레비전, 컴퓨터 모니터, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 스마트패드, 태블릿 PC, 피디에이(PDA), 피엠펜(PMP), MP3 플레이어, 네비게이션, 비디오폰 등에 적용될 수 있다.

[0077] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

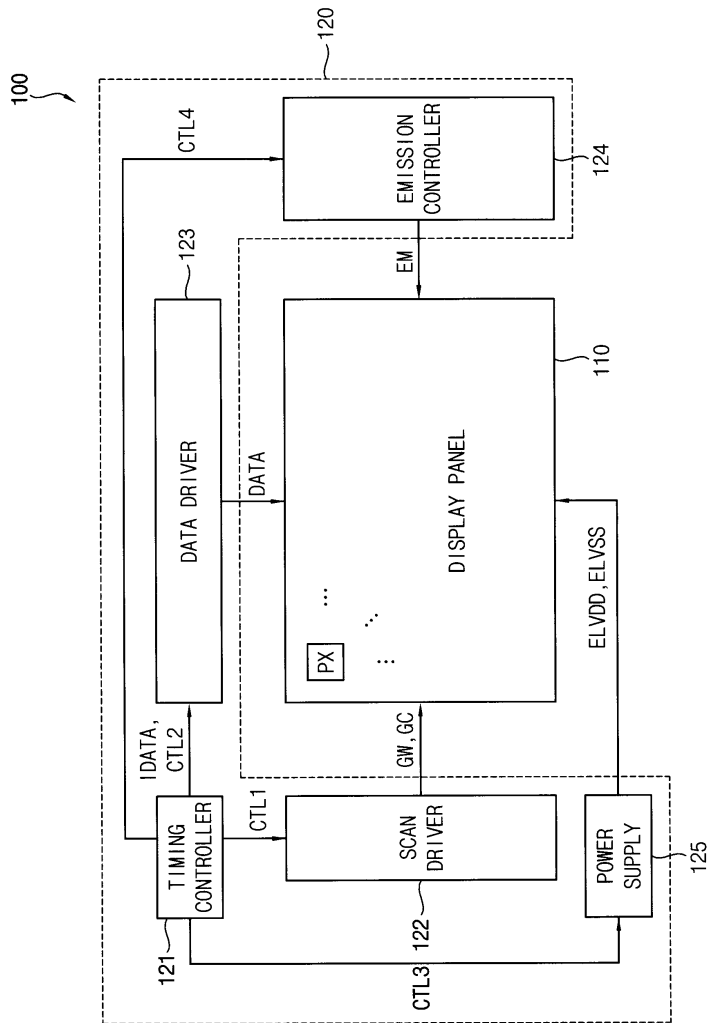
부호의 설명

[0078]

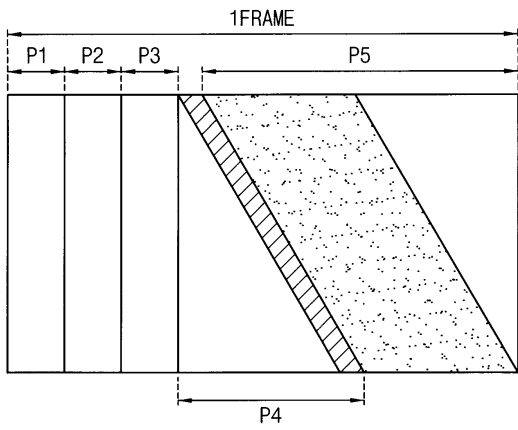
- 100: 유기 발광 표시 장치
- 110: 표시 패널
- 120: 패널 구동부
- 200: 전자 기기
- 300: 헤드 마운트 디스플레이

도면

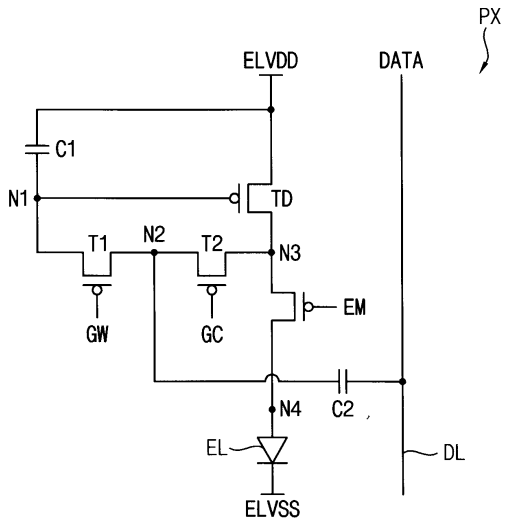
도면1



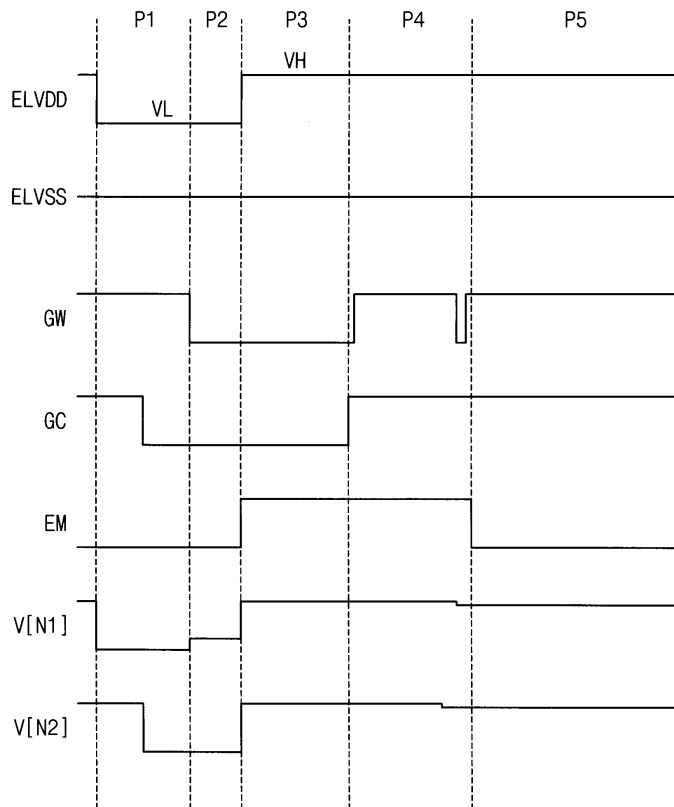
도면2



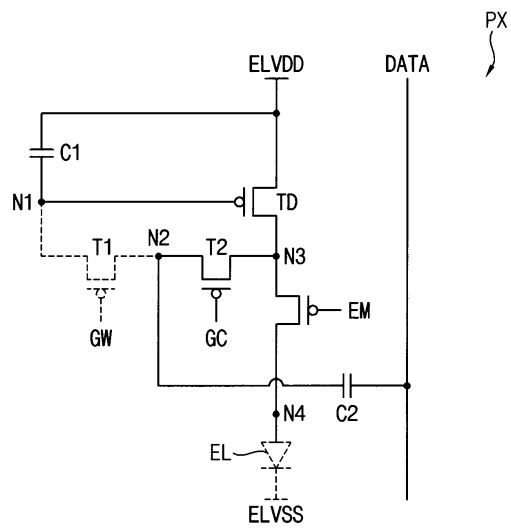
도면3



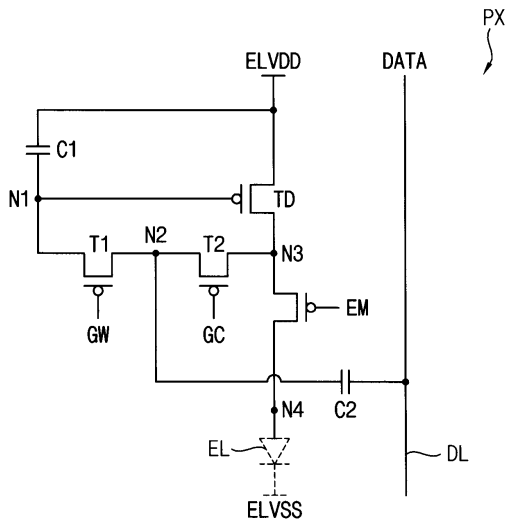
도면4



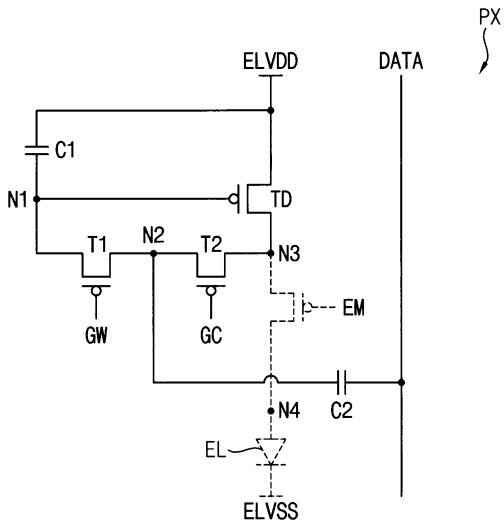
도면5a



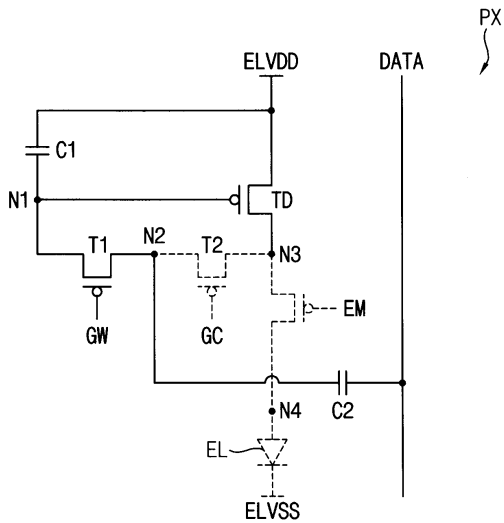
도면5b



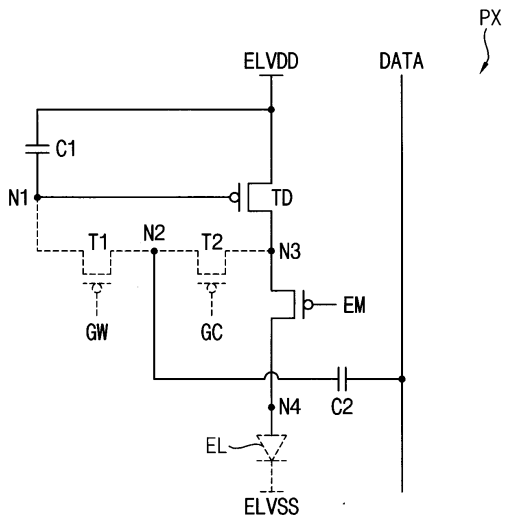
도면5c



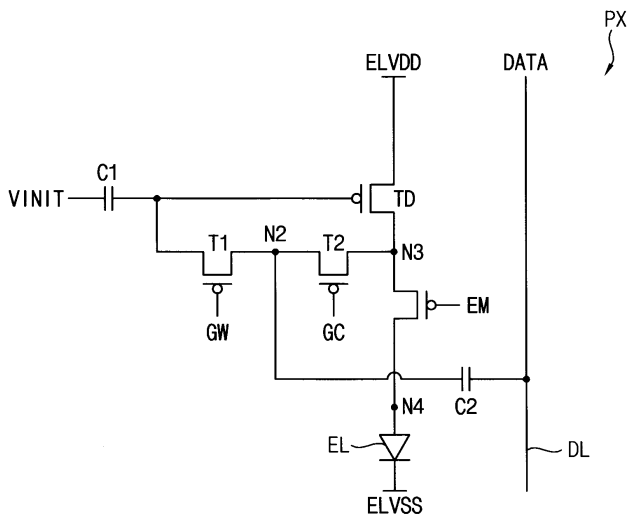
도면5d



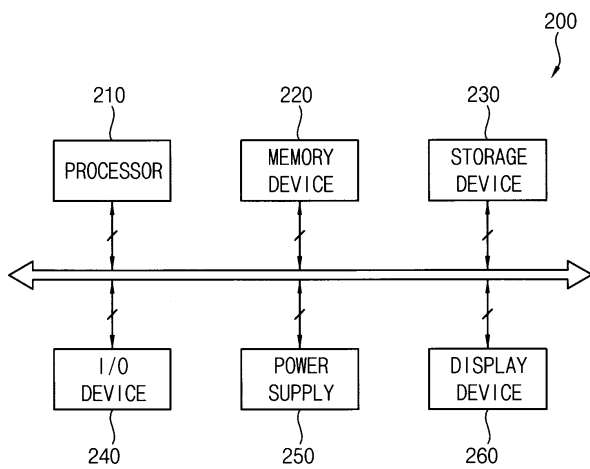
도면5e



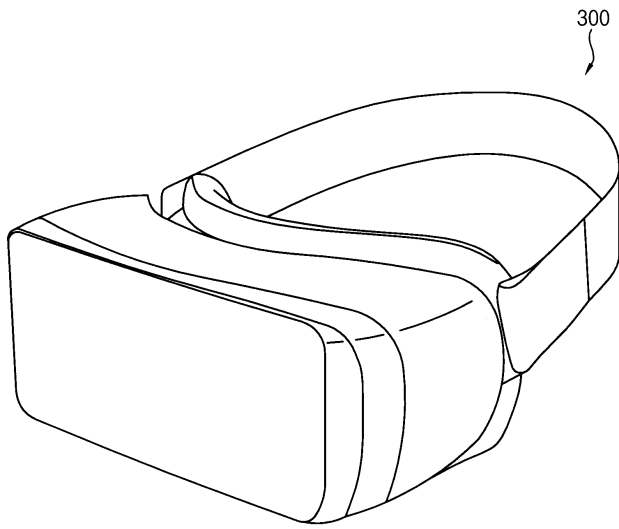
도면6



도면7



도면8



专利名称(译)	包括其的像素和有机发光显示装置		
公开(公告)号	<a href="#">KR1020190098301A</a>	公开(公告)日	2019-08-22
申请号	KR1020180017475	申请日	2018-02-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박준현 이철근 최양화		
发明人	박준현 이철근 최양화		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2320/0214 G09G2320/0233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/08 G09G2320/045 G09G3/3266 G09G3/3275 G09G3/3688 G09G3/3696 H01L27/3248 H01L27/3265		
代理人(译)	英西湖公园		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种有机发光显示装置，包括：显示面板，包括像素；以及显示面板。面板驱动单元被配置为驱动显示面板。每个像素包括：第一晶体管，连接在第一节点和第二节点之间，并被配置为通过栅电极接收扫描信号；以及第二晶体管与第一晶体管串联连接，以耦合在第二节点和第二节点之间，并被配置为通过栅电极接收初始化控制信号；驱动晶体管，其耦合在第一电源电压线和第三节点之间，并被配置为当栅电极耦合至第一节点时控制驱动电压；第三晶体管，耦接在第三节点和第四节点之间，并被配置为通过栅电极接收发光控制信号；有机发光二极管，耦接在第四节点和第二电源电压线之间，并被配置为基于驱动电流发光。第一电容器，耦合在第一电源电压线和第一节点之间；第二电容器，耦合在第二节点和数据线之间。根据本发明，可以防止有机发光二极管的阳极电极的电压改变。

