



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0048356
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0143258
(22) 출원일자 2017년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김영호
경기도 파주시 월롱면 엘지로 245
정일기
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

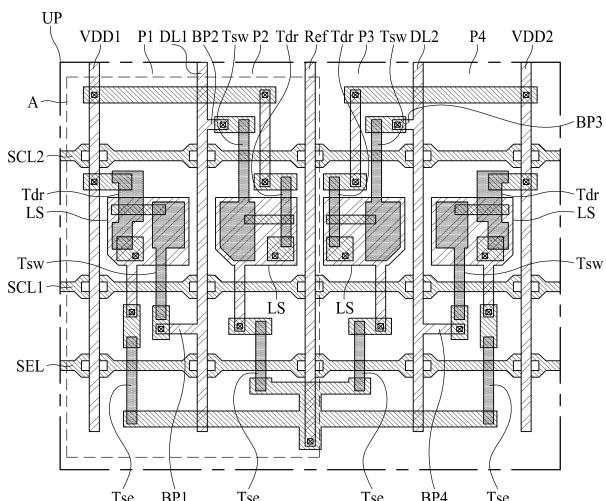
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요 약

본 출원에 따른 유기 발광 표시 장치는, 기판 상에 마련된 제 1 내지 제 4 화소, 제 1 및 제 2 화소에 데이터 신호를 전달하는 제 1 데이터 라인, 제 3 및 제 4 화소에 데이터 신호를 전달하는 제 2 데이터 라인, 제 1 및 제 4 화소에 스캔 신호를 전달하는 제 1 스캔 라인, 제 2 및 제 3 화소에 스캔 신호를 전달하는 제 2 스캔 라인, 제 1 내지 제 4 화소 각각에 마련되고 제 1 또는 제 2 데이터 라인으로부터의 신호를 저장하는 제 1 내지 제 4 커패시터를 포함하며, 제 1 내지 제 4 커패시터는 제 1 스캔 라인과 제 2 스캔 라인 사이에 위치하므로, 수명을 연장할 수 있고, 드라이브 IC를 절감하여 제조 단가를 낮출 수 있으며, 공정 구조의 단순화가 가능하다.

대 표 도 - 도1



(52) CPC특허분류
H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

기판 상에 마련된 제 1 내지 제 4 화소;
 상기 제 1 및 제 2 화소에 데이터 신호를 전달하는 제 1 데이터 라인;
 상기 제 3 및 제 4 화소에 데이터 신호를 전달하는 제 2 데이터 라인;
 상기 제 1 및 제 4 화소에 스캔 신호를 전달하는 제 1 스캔 라인;
 상기 제 2 및 제 3 화소에 스캔 신호를 전달하는 제 2 스캔 라인; 및
 상기 제 1 내지 제 4 화소 각각에 마련되고 상기 제 1 또는 제 2 데이터 라인으로부터의 신호를 저장하는 제 1 내지 제 4 커패시터를 포함하며,
 상기 제 1 내지 제 4 커패시터는 상기 제 1 스캔 라인과 상기 제 2 스캔 라인 사이에 위치하는, 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 데이터 라인은 상기 제 1 화소 방향으로 연장된 제 1 분기부 및 제 2 화소 방향으로 연장된 제 2 분기부를 포함하고,
 상기 제 1 스캔 라인은 상기 제 1 분기부와 상기 제 1 커패시터 사이에 위치하고,
 상기 제 2 스캔 라인은 상기 제 2 분기부와 상기 제 2 커패시터 사이에 위치하는, 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,
 상기 제 2 데이터 라인은 상기 제 3 화소 방향으로 연장된 제 3 분기부 및 제 4 화소 방향으로 연장된 제 4 분기부를 포함하고,
 상기 제 1 스캔 라인은 상기 제 4 분기부와 상기 제 4 커패시터 사이에 위치하고,
 상기 제 2 스캔 라인은 상기 제 3 분기부와 상기 제 3 커패시터 사이에 위치하는, 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 데이터 라인 좌측에 위치하여 상기 제 1 및 제 2 화소에 구동 전원을 공급하는 제 1 전원 라인;
 상기 제 2 데이터 라인 우측에 위치하여 상기 제 3 및 제 4 화소에 구동 전원을 공급하는 제 2 전원 라인; 및
 상기 제 1 데이터 라인과 상기 제 2 데이터 라인 사이에 위치하여 제 1 내지 제 4 화소의 열화를 감지하는 레퍼런스 라인을 더 포함하는, 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,
 상기 제 1 내지 제 4 화소 각각에 마련되는 제 1 내지 제 4 구동부를 더 포함하고,
 상기 제 1 내지 제 4 구동부 각각은,
 상기 제 1 또는 제 2 전원 라인에 접속되는 제 1 소스 전극, 유기 발광 소자와 접속되는 제 1 드레인 전극, 상

기 제 1 또는 제 2 데이터 라인으로부터 신호를 인가받는 제 1 게이트 전극을 포함하며 상기 유기 발광 소자를 발광 시키는 구동 트랜지스터;

상기 제 1 또는 제 2 데이터 라인에 접속되는 제 2 소스 전극, 상기 제 1 게이트 전극에 접속되는 제 2 드레인 전극, 상기 제 1 또는 제 2 스캔 라인에 접속되는 제 2 게이트 전극을 포함하며 상기 유기 발광 소자의 발광을 제어하는 스위칭 트랜지스터;

상기 제 1 또는 제 2 데이터 라인으로부터의 신호를 저장하는 스토리지 커패시터; 및

상기 스토리지 커패시터에 접속되는 제 3 소스 전극, 상기 레퍼런스 라인에 접속되는 제 3 드레인 전극, 센싱 라인에 접속되는 제 3 게이트 전극을 포함하며 상기 센싱 라인으로부터의 신호에 따라 상기 유기 발광 소자의 문턱 전압을 감지할 수 있도록 제어하는 센싱 트랜지스터를 포함하고,

상기 스토리지 커패시터는 상기 제 1 내지 제 4 커패시터 중 어느 하나인, 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 구동 트랜지스터의 액티브층 및 상기 스위칭 트랜지스터의 액티브층을 외부광으로부터 보호하기 위해 제 1 층에 마련되는 차광막을 더 포함하고,

상기 제 1 및 제 2 전원 라인, 상기 제 1 및 제 2 데이터 라인, 및 상기 레퍼런스 라인은 상기 제 1 층에 마련되는, 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서,

상기 차광막이 상기 제 1 드레인 전극 및 상기 스위칭 트랜지스터의 액티브층과 중첩되는 영역에 상기 유기 발광 소자의 제 1 전극이 추가적으로 중첩되어 커패시터 영역을 형성하고,

상기 스토리지 커패시터는 상기 커패시터 영역에 마련되는, 유기 발광 표시 장치.

청구항 8

제 6 항에 있어서,

상기 제 1 층과 다른 층인 제 2 층을 더 포함하고,

상기 제 1 내지 제 3 게이트 전극, 상기 제 1 내지 제 3 소스 전극, 및 상기 제 1 내지 제 3 드레인 전극은 상기 제 2 층에 마련되는, 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 및 제 2 스캔 라인, 및 상기 센싱 라인은 상기 제 2 층에 마련되는, 유기 발광 표시 장치.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 내지 제 4 화소는 모여서 단위 화소를 이루는, 유기 발광 표시 장치.

청구항 11

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 내지 제 4 화소 중 인접한 3개의 화소는 모여서 단위 화소를 이루는, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 출원은 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치는 전자(electron)를 주입하는 음극(cathode)과 정공(hole)을 주입하는 양극(anode) 사이에 발광층이 형성된 구조를 가지며, 음극에서 발생된 전자 및 양극에서 발생된 정공이 발광층 내로 주입되면 주입된 전자 및 정공이 결합하여 엑시톤(exciton)이 생성되고, 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 원리를 이용한 표시 장치이다.

[0003] 이와 같은 유기 발광 표시 장치는 스위칭 소자로서 트랜지스터를 구비하고 있는데, 트랜지스터는 게이트 전극이 액티브층 아래에 위치하는 보텀 게이트(Bottom Gate) 구조와 게이트 전극이 액티브층 위에 위치하는 탑 게이트(Top Gate) 구조로 구분된다.

[0004] 이러한 유기 발광 표시 장치는 스캔 라인들을 구동하기 위한 스캔 구동부와 데이터 라인들을 구동하기 위한 데이터 구동부를 포함하며, 유기 발광 표시 장치가 대형화 및 고해상도화 될수록 요구되는 드라이브 IC의 갯수는 증가하고 있다.

[0005] 그런데 드라이브 IC는 타 소자에 비해 상대적으로 매우 고가이기 때문에, 최근에는 유기 발광 표시 장치의 생산 단가를 낮추기 위하여 드라이브 IC 갯수를 줄이기 위한 여러 방법들이 연구 개발되고 있으며, 이중 하나로써 기존 대비 스캔 라인들의 갯수는 2배로 늘리는 대신 데이터 라인들의 갯수를 1/2배로 줄여 필요로 하는 드라이브 IC의 갯수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 구동방식이 제안되었다.

[0006] 이상 설명한 배경기술의 내용은 본 출원의 발명자가 본 출원의 도출을 위해 보유하고 있었거나, 본 출원의 도출 과정에서 습득한 기술 정보로서, 반드시 본 출원의 출원 전에 일반 공중에게 공개된 공지기술이라 할 수는 없다.

발명의 내용

해결하려는 과제

[0007] 본 출원은 DRD 구동방식의 유기 발광 표시 장치에서 개구율을 최적화하고 공정 구조를 단순화하는 유기 발광 표시 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0008] 전술한 기술적 과제를 달성하기 위한 본 출원에 따른 유기 발광 표시 장치는, 기판 상에 마련된 제 1 내지 제 4 화소, 제 1 및 제 2 화소에 데이터 신호를 전달하는 제 1 데이터 라인, 제 3 및 제 4 화소에 데이터 신호를 전달하는 제 2 데이터 라인, 제 1 및 제 4 화소에 스캔 신호를 전달하는 제 1 스캔 라인, 제 2 및 제 3 화소에 스캔 신호를 전달하는 제 2 스캔 라인, 제 1 내지 제 4 화소 각각에 마련되고 제 1 또는 제 2 데이터 라인으로부터의 신호를 저장하는 제 1 내지 제 4 커퍼시터를 포함하며, 제 1 내지 제 4 커퍼시터는 제 1 스캔 라인과 제 2 스캔 라인 사이에 위치한다.

발명의 효과

[0009] 본 출원에 따른 유기 발광 표시 장치는 개구율을 최적화하는 DRD 구동방식에 의하여, 수명을 연장할 수 있고, 드라이브 IC를 절감하여 제조 단가를 낮출 수 있으며, 공정 구조의 단순화가 가능하다.

[0010] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0011] 도 1은 본 출원의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 2는 도 1에서 A 부분의 확대도로, 제 1 화소 및 제 2 화소를 구체적으로 도시한 평면도이다.

도 3은 도 2의 I-I'에 따른 단면도이다.

도 4는 본 출원의 일 예에 따른 유기 발광 표시 장치의 회로도이다.

도 5는 본 출원의 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0013]

본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0014]

본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0015]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0016]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.

[0017]

시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0018]

제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 출원의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0019]

"제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0020]

"적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0021]

본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0022]

이하에서는 본 출원에 따른 유기 발광 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다.

[0023]

도 1은 본 출원의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

[0024]

도 1은 제 1 화소(P1), 제 2 화소(P2), 제 3 화소(P3) 및 제 4 화소(P4)로 이루어진 단위 화소(UP)를 도시한 것이다.

[0025]

도 1을 참조하면, 본 출원의 일 예에 따른 유기 발광 표시 장치는 제 1 및 제 2 데이터 라인(DL1, DL2), 제 1 및 제 2 스캔 라인(SCL1, SCL2), 제 1 및 제 2 전원 라인(VDD1, VDD2), 센싱 라인(SEL), 레퍼런스 라인(Ref), 차광막(LS), 및 제 1 내지 제 4 구동부를 포함한다.

- [0026] 여기서 상기 제 1 화소(P1)는 제 1 전원 라인(VDD1)과 제 1 데이터 라인(DL1) 사이에 위치하고, 상기 제 2 화소(P2)는 제 1 데이터 라인(DL1)과 레퍼런스 라인(Ref) 사이에 위치하고, 상기 제 3 화소(P3)는 레퍼런스 라인(Ref)과 제 2 데이터 라인(DL2) 사이에 위치하고, 상기 제 4 화소(P4)는 제 2 데이터 라인(DL2)과 제 2 전원 라인(VDD2) 사이에 위치한다.
- [0027] 일 예에 따른 제1 화소(P1), 제2 화소(P2), 제3 화소(P3) 및 제4 화소(P4)는 각각 적색(R), 백색(W), 청색(B), 및 녹색(G)을 발광하는 화소로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 이하 각각의 구성에 대해서 상세히 설명하기로 한다.
- [0028] 상기 제 1 데이터 라인(DL1), 및 제 2 데이터 라인(DL2)은 기판 상에서 제 2 방향, 예로서 세로 방향으로 배열되어 있다. 제 1 데이터 라인(DL1)은 제 1 화소(P1) 및 제 2 화소(P2)에 데이터 신호를 전달한다. 제 2 데이터 라인(DL2)은 제 3 화소(P3) 및 제 4 화소(P4)에 데이터 신호를 전달한다. 구체적으로 제 1 데이터 라인(DL1)은 제 1 화소(P1) 및 제 2 화소(P2)에 구비되는 스위칭 트랜지스터(Tsw)와 연결되고, 제 2 데이터 라인(DL2)은 제 3 화소(P3) 및 제 4 화소(P4)에 구비되는 스위칭 트랜지스터(Tsw)와 연결된다.
- [0029] 본 출원에 따른 유기 발광 표시 장치는 동일한 극성의 데이터 전압을 2개의 화소에 공급할 수 있다. 즉, 하나의 데이터 라인을 통해 2개의 화소를 제어할 수 있으므로, 드라이브 IC의 개수를 줄일 수 있고, 제조 비용을 줄일 수 있다.
- [0030] 상기 제 1 스캔 라인(SCL1), 및 제 2 스캔 라인(SCL2)은 기판 상에서 제1 방향, 예로서 가로 방향으로 배열되어 있다. 제 1 스캔 라인(SCL1)은 제 1 화소(P1) 및 제 4 화소(P4)에 스캔 신호를 전달한다. 제 2 스캔 라인(SCL2)은 제 2 화소(P2) 및 제 3 화소(P3)에 스캔 신호를 전달한다. 구체적으로 제 1 스캔 라인(SCL1)은 제 1 화소(P1) 및 제 4 화소(P4)에 구비되는 스위칭 트랜지스터(Tsw)와 연결되고, 제 2 스캔 라인(SCL2)은 제 2 화소(P2) 및 제 3 화소(P3)에 구비되는 스위칭 트랜지스터(Tsw)와 연결된다. 여기서 제 1 스캔 라인(SCL1), 및 제 2 스캔 라인(SCL2)은 제 2 층에 마련된다.
- [0031] 일 예에 따른 제 1 및 제 2 스캔 라인(SCL1, SCL2)의 영역 중에서 제 1 및 제 2 데이터 라인(DL1, DL2), 제 1 및 제 2 전원 라인(VDD1, VDD2), 및 레퍼런스 라인(Ref)과 교차하는 영역에는 홀이 형성된다. 상기 홀은 제 1 및 제 2 스캔 라인(SCL1, SCL2)과 제 1 및 제 2 데이터 라인(DL1, DL2) 사이의 중첩 영역, 제 1 및 제 2 스캔 라인(SCL1, SCL2)과 제 1 및 제 2 전원 라인(VDD1, VDD2) 사이의 중첩 영역, 제 1 및 제 2 스캔 라인(SCL1, SCL2)과 레퍼런스 라인(Ref) 사이의 중첩 영역을 줄임으로써 신호 간섭을 감소시키는 역할을 한다.
- [0032] 본 출원에 따른 유기 발광 표시 장치는 동일한 극성의 데이터 전압을 2개의 화소에 공급하는 DRD(Double rate driving) 구조를 가지므로, 하나의 단위 화소(UP)는 2개의 스캔 라인을 구비한다. 즉, 하나의 데이터 라인이 2개의 화소에 데이터 신호를 공급하므로, 각 화소마다 스위칭 트랜지스터(Tsw)를 턴 온/오프 하기 위하여 스캔 라인을 2개 구비하여야 한다. 이처럼 DRD 구조에서 스캔 라인을 2개 구비함에 따라 각 화소의 스위칭 트랜지스터(Tsw)를 개별적으로 턴 온/오프 할 수 있다.
- [0033] 예를 들어, 제 1 기간에 제 1 스캔 라인(SCL1) 및 제 1 데이터 라인(DL1)에 하이 신호를 인가하고, 제 2 스캔 라인(SCL2) 및 제 2 데이터 라인(DL2)에 로우 신호를 인가한다. 이 때, 제 1 화소(P1)의 스위칭 트랜지스터(Tsw)가 턴-온 된다. 이와 달리 제 2 기간에 제 2 스캔 라인(SCL2) 및 제 1 데이터 라인(DL1)에 하이 신호를 인가하고, 제 1 스캔 라인(SCL1) 및 제 2 데이터 라인(DL2)에 로우 신호를 인가한다. 이 때, 제 2 화소(P2)의 스위칭 트랜지스터(Tsw)가 턴-온 된다.
- [0034] 이와 같이 본 출원에 따른 유기 발광 표시 장치는 데이터 라인을 공유하는 DRD 방식에 의해 화소를 구동하고, 2개의 스캔 라인을 구비함으로써 각 화소를 개별적으로 조절할 수 있다.
- [0035] 상기 제 1 전원 라인(VDD1) 및 제 2 전원 라인(VDD2)은 기판 상에서 제 2 방향, 예로서 세로 방향으로 배열되어 있다. 제 1 전원 라인(VDD1)과 제 2 전원 라인(VDD2) 사이에는 제 1 및 제 2 데이터 라인(DL1, DL2), 및 레퍼런스 라인(Ref)이 배열되어 있다. 도시하지는 않았지만, 제1 전원 라인(VDD1)의 좌측 및 제2 전원 라인(VDD2)의 우측에는 각각 이웃하는 단위 화소의 데이터 라인이 배열된다.
- [0036] 일 예에 따른 제 1 전원 라인(VDD1)은 제 1 화소(P1) 및 제 2 화소(P2)에 구동 전원을 공급한다. 구체적으로 제 1 전원 라인(VDD1)은 제 1 화소(P1) 및 제 2 화소(P2)에 구비되는 구동 트랜지스터(Tdr)와 각각 연결된다. 제 1 전원 라인(VDD1)은 제1 화소(P1)와 인접하게 위치하기 때문에 제1 화소(P1)에 구비되는 구동 트랜지스터(Tdr)와 연결되는 것이 용이하다. 그러나, 제1 전원 라인(VDD1)은 제2 화소(P2)와는 인접하게 위치하지 않기 때문에 제2

화소(P2)에 구비되는 구동 트랜지스터(Tdr)와 연결되는 것이 용이하지 않고, 따라서 별도의 연결 라인을 통해서 제1 전원 라인(VDD1)과 제2 화소(P2)에 구비되는 구동 트랜지스터(Tdr) 사이의 연결이 이루어진다. 즉, 상기 연결 라인은 컨택홀을 통해서 제1 전원 라인(VDD1) 및 제2 화소(P2) 내에 구비되는 구동 트랜지스터(Tdr)와 각각 연결된다. 참고로, 본 명세서에 첨부된 도면 전체에서 X로 표기된 것은 절연층을 사이에 두고 서로 오버랩되게 형성된 두 개의 구성이 전기적으로 연결될 수 있도록 상기 절연층에 형성된 컨택홀을 의미하는 것이다.

[0037] 상기 제2 전원 라인(VDD2)은 제3 화소(P3) 및 제4 화소(P4)에 구비되는 구동 트랜지스터(Tdr)와 각각 연결된다. 제2 전원 라인(VDD2)은 제4 화소(P4)와 인접하게 위치하기 때문에 제4 화소(P4)에 구비되는 구동 트랜지스터(Tdr)와 연결되는 것이 용이하다. 그러나, 제2 전원 라인(VDD2)은 제3 화소(P3)와는 인접하게 위치하지 않기 때문에 제3 화소(P3)에 구비되는 구동 트랜지스터(Tdr)와 연결되는 것이 용이하지 않고, 따라서 별도의 연결 라인을 통해서 제2 전원 라인(VDD2)과 제3 화소(P3)에 구비되는 구동 트랜지스터(Tdr) 사이의 연결이 이루어진다. 즉, 상기 연결 라인은 컨택홀(X)을 통해서 제2 전원 라인(VDD2) 및 제3 화소(P3)에 구비되는 구동 트랜지스터(Tdr)와 각각 연결된다.

[0038] 상기 센싱 라인(SEL)은 제1 내지 제4 화소(P1, P2, P3, P4)에 구비되는 센싱 트랜지스터(Tse)와 각각 연결된다. 센싱 라인(SEL)은 센싱 신호를 생성하여 센싱 트랜지스터(Tse)에 공급한다. 센싱 트랜지스터(Tse)는 센싱 신호에 응답하여 구동 트랜지스터(Tdr)의 전류를 레퍼런스 라인(Ref)으로 공급한다. 이러한 센싱 라인(SEL)은 제1 스캔 라인(SCL1) 및 제2 스캔 라인(SCL2)과 마찬가지로 제2 층에 형성된다.

[0039] 상기 레퍼런스 라인(Ref)은 기판 상에서 제2 방향, 예로서 세로 방향으로 배열되어 있다. 레퍼런스 라인(Ref)은 제2 데이터 라인(DL2)과 제3 데이터 라인(DL3) 사이에 배열되어 있다.

[0040] 일 예에 따른 레퍼런스 라인(Ref)은 제1 내지 제4 화소(P1, P2, P3, P4) 내에 구비되는 센싱 트랜지스터(Tse)와 각각 연결된다. 레퍼런스 라인(Ref)은 센싱 라인(SEL) 및 센싱 트랜지스터(Tse)에 의해 구동 트랜지스터(Tdr)의 전류를 공급 받을 수 있다.

[0041] 본 출원에 일 예에 따른 유기 발광 표시 장치는, 센싱 라인(SEL), 레퍼런스 라인(Ref), 센싱 트랜지스터(Tse)를 통해 발생한 센싱 결과를 기반으로 보상 전압을 생성하는 보상 회로를 별도로 구비할 수 있다. 따라서 구동 트랜지스터(Tdr)의 열화에 의한 신뢰성 저하를 방지할 수 있고, 구동 트랜지스터(Tdr)의 수명 연장의 효과를 가진다.

[0042] 상기 차광막(LS)은 제1 내지 제4 화소(P1, P2, P3, P4)에 구비되는 구동 트랜지스터(Tdr) 및 스위칭 트랜지스터(Tsw)의 영역을 덮도록 형성됨으로써, 구동 트랜지스터(Tdr)의 액티브층 및 스위칭 트랜지스터(Tsw)의 액티브층 내로 외부광이 입사되는 것을 방지하는 역할을 한다. 차광막(LS)은 반드시 도시된 패턴으로 형성될 필요는 없으며, 상기 구동 트랜지스터(Tdr)의 액티브층 및 스위칭 트랜지스터(Tsw)의 액티브층을 가릴 수 있다면 다양하게 변경될 수 있다.

[0043] 일 예에 따른 차광막(LS)은 제1 화소(P1), 제2 화소(P2), 제3 화소(P3) 및 제4 화소(P4) 각각에 별도로 패턴 형성된다. 즉, 제1 화소(P1)에 패턴 형성된 차광막(LS), 제2 화소(P2)에 패턴 형성된 차광막(LS), 제3 화소(P3)에 패턴 형성된 차광막(LS), 및 제4 화소(P4)에 패턴 형성된 차광막(LS)은 서로 전기적으로 절연되어 있다. 이는 차광막(LS)이 제1 화소(P1), 제2 화소(P2), 제3 화소(P3), 및 제4 화소(P4)에 형성된 구동 트랜지스터(Tdr)와 각각 연결되기 때문이다. 따라서 하나의 화소의 구동 트랜지스터(Tdr)가 동작할 때 차광막(LS)에 전하가 충전되고 충전된 전하가 다른 화소의 구동 트랜지스터(Tdr)에 영향을 끼치는 데이터 섞임의 문제를 방지할 수 있다.

[0044] 일 예에 따른 차광막(LS)은 기판과 구동 트랜지스터(Tdr)의 액티브층 사이의 제1 층에 형성되고 도전성 물질로 이루어진다. 차광막(LS)은 도전성 물질로 이루어지므로 차광막(LS)과 동일한 물질을 배선으로 활용할 수 있다. 따라서 차광막(LS)을 형성하여 외부광을 차단하는 역할을 할 수 있고, 차광막(LS)과 동일한 물질을 기판의 제2 방향, 예로서 세로 방향으로 배열하여 배선으로 활용될 수 있다. 즉, 제1 및 제2 데이터 라인(DL1, DL2), 제1 및 제2 전원 라인(VDD1, VDD2), 레퍼런스 라인(Ref)은 차광막(LS)과 동일한 물질로 형성되고, 제1 층에 마련된다. 마찬가지로 제1 및 제2 데이터 라인(DL1, DL2), 제1 및 제2 전원 라인(VDD1, VDD2), 레퍼런스 라인(Ref) 각각은 별도로 패턴 형성된다.

[0045] 이와 같이 제1 및 제2 데이터 라인(DL1, DL2), 제1 및 제2 전원 라인(VDD1, VDD2), 레퍼런스 라인(Ref)을 제1 층에 형성하면, 공정상 마스크를 절감할 수 있고 공정 구조를 단순화할 수 있다. 종래에는 제1 및 제2 데이터 라인(DL1, DL2), 제1 및 제2 전원 라인(VDD1, VDD2), 레퍼런스 라인(Ref)을 제1 층과 다른 층인 소

스/드레인 전극층에 형성하였다. 다만, 본 출원에 따른 유기 발광 표시 장치에서 제 1 및 제 2 데이터 라인(DL1, DL2), 제 1 및 제 2 전원 라인(VDD1, VDD2), 레퍼런스 라인(Ref)을 제 1 층에 형성하고, 소스/드레인 전극을 게이트 전극과 동일한 층인 제 2 층에 형성하므로, 별도의 소스/드레인 전극층을 형성하지 않아도 된다. 따라서 소스/드레인 전극층을 형성하는 공정을 줄여 마스크를 절감할 수 있고, 공정 구조를 단순화할 수 있다.

[0046] 상기 제 1 내지 제 4 구동부 각각은 구동 트랜지스터(Tdr), 스위칭 트랜지스터(Tsw), 센싱 트랜지스터(Tse), 스토리지 커패시터를 포함한다. 여기서 제 1 구동부에 마련된 스토리지 커패시터는 제 1 커패시터, 제 2 구동부에 마련된 스토리지 커패시터는 제 2 커패시터, 제 3 구동부에 마련된 스토리지 커패시터는 제 3 커패시터, 제 4 구동부에 마련된 스토리지 커패시터는 제 4 커패시터에 해당한다. 이에 대한 구체적인 구성에 대하여는 후술하기로 한다.

[0047] 도 2는 도 1에서 A 부분의 확대도로, 제 1 화소 및 제 2 화소를 구체적으로 도시한 평면도이다. 도 1에서 제 3 화소(P3)와 제 4 화소(P4)는 제 1 화소(P1) 및 제 2 화소(P2)의 모습과 대칭이므로 그에 대한 구체적인 설명은 생략하기로 한다.

[0048] 도 2를 참조하면, 제 1 방향으로 제 1 및 제 2 스캔 라인(SCL1, SCL2)이 형성되어 있고, 제 1 및 제 2 스캔 라인(SCL1, SCL2)과 교차하면서 제 2 방향으로 제 1 전원 라인(VDD1), 제 1 데이터 라인(DL1), 및 레퍼런스 라인(Ref)이 배열되어 있다. 제 1 화소(P1)는 제 1 전원 라인(VDD1)과 제 1 데이터 라인(DL1) 사이에 형성되고, 제 2 화소(P2)는 제 1 데이터 라인(DL1)과 레퍼런스 라인(Ref) 사이에 형성된다.

[0049] 상기 제 1 화소(P1)에는 제 1 구동부, 및 차광막(LS)이 형성되어 있다. 제 1 구동부는 구동 트랜지스터(Tdr), 스위칭 트랜지스터(Tsw), 센싱 트랜지스터(Tse), 제 1 커패시터(Cst1)를 포함한다.

[0050] 상기 구동 트랜지스터(Tdr)는 제 1 게이트 전극(G1), 제 1 소스 전극(S1), 제 1 드레인 전극(D1), 및 제 1 액티브층(A1)을 포함하여 이루어진다.

[0051] 상기 제 1 게이트 전극(G1)은 스위칭 트랜지스터(Tsw)의 제 2 드레인 전극(D2)과 연결되어 있다. 제 1 게이트 전극(G1)은 제 2 드레인 전극(D2)과 같은 층에 형성되어 있으므로, 별도의 컨택홀 없이 연결할 수 있다.

[0052] 상기 제 1 소스 전극(S1)은 제 1 전원 라인(VDD1)과 제 1 컨택홀(CH1)을 통하여 연결되어 있다.

[0053] 상기 제 1 드레인 전극(D1)은 제 1 소스 전극(S1)과 마주하고 있다. 제 1 드레인 전극(D1)은 제 2 컨택홀(CH2)을 통해 차광막(LS)과 연결된다. 도시하지는 않았지만, 제 1 드레인 전극(D1)은 유기 발광 소자의 제 1 전극(애노드 전극)과 연결된다.

[0054] 상기 제 1 액티브층(A1)은 상기 제 1 소스 전극(S1) 및 상기 제 1 드레인 전극(D1)과 각각 연결되어 전자 이동 채널로 기능한다.

[0055] 상기 스위칭 트랜지스터(Tsw)는 제 2 게이트 전극(G2), 제 2 소스 전극(S2), 제 2 드레인 전극(D2), 및 제 2 액티브층(A2)을 포함하여 이루어진다.

[0056] 상기 제 2 게이트 전극(G2)은 제 1 스캔 라인(SCL1)의 일 부분으로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니고 제 1 스캔 라인(SCL1)에서 분기된 구조로 이루어질 수도 있다.

[0057] 상기 제 2 소스 전극(S2)은 제 1 데이터 라인(DL1)과 제 3 컨택홀(CH3)을 통하여 연결되어 있다.

[0058] 상기 제 2 드레인 전극(D2)은 제 2 소스 전극(S2)과 마주하고 있다. 제 2 드레인 전극(D2)은 전술한 바와 같이 구동 트랜지스터(Tdr)의 제 1 게이트 전극(G1)과 연결된다.

[0059] 상기 제 2 액티브층(A2)은 제 2 소스 전극(S2) 및 제 2 드레인 전극(D2)과 각각 연결되어 전자 이동 채널로 기능한다. 이와 같은 제 2 액티브층(A2)은 상대적으로 넓은 면적을 가지고록 형성됨으로써 제 1 커패시터(Cst1)의 용량을 향상시킬 수 있다.

[0060] 상기 센싱 트랜지스터(Tse)는 제 3 게이트 전극(G3), 제 3 소스 전극(S3), 제 3 드레인 전극(D3), 및 제 3 액티브층(A3)을 포함하여 이루어진다.

[0061] 상기 제 3 게이트 전극(G3)은 센싱 라인(SEL)의 일 부분으로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니고 센싱 라인(SEL)에서 분기된 구조로 이루어질 수도 있다.

[0062] 상기 제 3 소스 전극(S3)은 제 5 컨택홀(CH5)을 통해 차광막(LS)과 연결되어 있다. 전술한 바와 같이 제 1 드레인 전극(D1)도 제 2 컨택홀(CH2)을 통해 차광막(LS)과 연결되어 있으므로, 제 3 소스 전극(S3)은 제 1 드레인

전극(D1)과 연결될 수 있다.

[0063] 상기 제 3 드레인 전극(D3)은 상기 제 3 소스 전극(S3)과 마주하고 있으며, 레퍼런스 라인(Ref)과 제 4 컨택홀(CH4)을 통하여 연결되어 있다.

[0064] 상기 제 3 액티브층(A3)은 제 3 소스 전극(S3) 및 제 3 드레인 전극(D3)과 각각 연결되어 전자 이동 채널로 기능한다.

[0065] 여기서 제 1 내지 제 3 게이트 전극(G1, G2, G3), 제 1 내지 제 3 소스 전극(S1, S2, S3), 제 1 내지 제 3 드레인 전극(D1, D2, D3)은 모두 제 2 층에 형성되고 동일한 물질로 형성된다. 이때 제 2 층은 게이트 전극층으로 볼 수 있다.

[0066] 전술한 바와 같이, 제 1 및 제 2 스캔 라인(SCL1, SCL2), 센싱 라인(SEL)도 제 2 층에 형성된다. 따라서 본 출원에 따른 유기 발광 표시 장치는, 종래의 차광층, 게이트 전극층, 소스/드레인 전극층의 3개의 금속층을 가지는 구조에서 하나의 금속층을 제거하여 2개의 금속층으로 화소 회로를 구성하고 있다. 그러므로 종래의 구조에 비하여 공정상 마스크를 절감할 수 있고, 공정 구조를 단순화할 수 있는 효과를 가진다.

[0067] 상기 차광막(LS)은 구동 트랜지스터(Tdr)의 제 1 액티브층(A1) 및 스위칭 트랜지스터(Tsw)의 제 2 액티브층(A2)을 가릴 수 있도록 형성된다. 이와 같은 차광막(LS)은 제 2 컨택홀(CH2)을 통해서 구동 트랜지스터(Tdr)의 제 1 드레인 전극(D1)과 연결된다.

[0068] 일 예에 따른 차광막(LS)이 스위칭 트랜지스터(Tsw)의 제 2 액티브층(A2) 및 구동 트랜지스터(Tdr)의 드레인 전극(D1)과 중첩되는 영역에서 추가적으로 유기 발광 소자의 제 1 전극이 중첩될 수 있다. 이때의 중첩되는 영역을 커패시터 영역(CA)으로 정의한다. 상기 커패시터 영역(CA)은 스토리지 커패시터가 마련되는 영역에 해당하고, 여기서는 제 1 커패시터(Cst1)가 마련되는 영역으로 볼 수 있다.

[0069] 상기 제 1 커패시터(Cst1)는 커패시터 영역(CA)에 마련된다. 제 1 커패시터(Cst1)은 구동 트랜지스터(Tdr)에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 것으로서, 구동 박막 트랜지스터(Tdr)의 게이트 전극(G1) 및 드레인 전극(D1)에 연결된다.

[0070] 이러한 제 1 커패시터(Cst1)는 제 1 스캔 라인(SCL1)과 제 2 스캔 라인(SCL2) 사이에 위치한다. 즉, 커패시터 영역(CA)은 제 1 스캔 라인(SCL1)과 제 2 스캔 라인(SCL2) 사이에 배치된다. 이와 같이 커패시터 영역(CA)이 제 1 스캔 라인(SCL1)과 제 2 스캔 라인(SCL2) 사이에 형성되면, 유기 발광 표시 장치의 개구율을 확보할 수 있다. 이에 대한 자세한 구성은 후술하기로 한다.

[0071] 상기 제 2 화소(P2)에는 제 2 구동부, 및 차광막(LS)이 형성되어 있다. 제 2 구동부는 구동 트랜지스터(Tdr), 스위칭 트랜지스터(Tsw), 센싱 트랜지스터(Tse), 제 2 커패시터(Cst2)를 포함한다. 이하, 전술한 제 1 화소(P1)에서와 동일한 구성에 대한 중복 설명은 생략하고, 달라진 구성에 대하여만 서술하기로 한다.

[0072] 상기 구동 트랜지스터(Tdr)는 제 1 게이트 전극(G1), 제 1 소스 전극(S1), 제 1 드레인 전극(D1), 및 제 1 액티브층(A1)을 포함하여 이루어진다. 여기서 제 1 게이트 전극(G1), 제 1 액티브층(A1)의 중복 설명은 생략한다.

[0073] 상기 제 1 소스 전극(S1)은 제 1 전원 라인(VDD1)과 3개의 컨택홀을 통하여 연결되어 있다. 전술한 바와 같이 제 1 전원 라인(VDD1)은 제 2 화소(P2)와 인접하지 않고 사이에 제 1 데이터 라인(DL1)이 배치되므로 단순하게 연결될 수 없는 구조에 해당한다. 즉, 제 1 전원 라인(VDD1) 및 제 1 데이터 라인(DL1)은 제 1 층에 형성되므로, 제 1 전원 라인(VDD1)에서 제 2 화소(P2)로 전원을 공급하려면 제 2 층에 형성된 배선과 컨택홀을 형성하여 전원을 공급하여야 한다. 이때, 제 6 컨택홀(CH6)을 이용할 수 있다. 제 2 층에 형성된 배선을 통하여 공급된 전원이 제 1 소스 전극(S1)으로 공급되기 위하여 제 2 스캔 라인(SCL2)을 지나야 한다. 이때, 제 2 스캔 라인(SCL2)은 제 2 층에 형성되므로, 컨택홀 없이 배선을 연결하면 채널이 형성되는 문제가 발생한다. 따라서 제 2 층에 형성된 배선을 제 7 컨택홀(CH7)을 통해 제 1 층에 형성된 배선과 연결하고, 제 1 층에 형성된 배선을 제 8 컨택홀(CH8)을 통하여 제 1 소스 전극(S1)과 연결할 수 있다.

[0074] 상기 제 1 드레인 전극(D1)은 제 1 소스 전극(S1)과 마주하고 있다. 제 1 드레인 전극(D1)은 제 10 컨택홀(CH10)을 통해 차광막(LS)과 연결된다.

[0075] 상기 스위칭 트랜지스터(Tsw)는 제 2 게이트 전극(G2), 제 2 소스 전극(S2), 제 2 드레인 전극(D2), 및 제 2 액티브층(A2)을 포함하여 이루어진다. 여기서 제 2 드레인 전극(D2)의 중복 설명은 생략한다.

[0076] 상기 제 2 게이트 전극(G2)은 제 2 스캔 라인(SCL2)의 일 부분으로 이루어질 수 있지만 반드시 그에 한정되는

것은 아니고 제 1 스캔 라인(SCL2)에서 분기된 구조로 이루어질 수도 있다.

[0077] 상기 제 2 소스 전극(S2)은 제 1 데이터 라인(DL1)과 제 9 컨택홀(CH9)을 통하여 연결되어 있다.

[0078] 상기 제 2 액티브층(A2)은 제 2 소스 전극(S2) 및 제 2 드레인 전극(D2)과 각각 연결되어 전자 이동 채널로 가능한다. 이와 같은 제 2 액티브층(A2)은 상대적으로 넓은 면적을 가지도록 형성됨으로써 제 2 커페시터(Cst2)의 용량을 향상시킬 수 있다.

[0079] 상기 센싱 트랜지스터(Tse)는 제 3 게이트 전극(G3), 제 3 소스 전극(S3), 제 3 드레인 전극(D3), 및 제 3 액티브층(A3)을 포함하여 이루어진다. 여기서 제 3 게이트 전극(G3), 제 3 드레인 전극(D3), 제 3 액티브층(A3)의 중복 설명은 생략한다.

[0080] 상기 제 3 소스 전극(S3)은 제 11 컨택홀(CH11)을 통해 차광막(LS)과 연결되어 있다. 전술한 바와 같이 제 1 드레인 전극(D1)도 제 10 컨택홀(CH10)을 통해 차광막(LS)과 연결되어 있으므로, 제 3 소스 전극(S3)은 제 1 드레인 전극(D1)과 연결될 수 있다.

[0081] 다시 도 2를 참조하면, 제 1 데이터 라인(DL1)의 데이터 전압은, 제 1 스캔 라인(SCL1)을 지나 제 1 화소(P1)에 공급되고, 제 2 스캔 라인(SCL2)을 지나 제 2 화소(P1)에 공급된다. 제 1 스캔 라인(SCL1) 및 제 2 스캔 라인(SCL2)은 커페시터 영역(CA)을 사이에 두고 형성되어 있으므로, 하나의 데이터 라인에서 공급되는 데이터 전압이 하나의 스캔 라인을 지나 하나의 채널을 형성하면서 데이터 전압이 공급된다.

[0082] 반면에 하나의 데이터 라인에서 공급되는 데이터 전압이 화소에 공급될 때 2개의 스캔 라인을 지나게 되면 2개의 채널을 형성하게 되어 문제가 발생한다. 따라서 하나의 채널을 형성하려면 컨택홀을 통한 브릿지를 형성하여 하나의 스캔 라인을 넘어야도록 해야한다. 그러나 2개의 스캔 라인 사이에 컨택홀을 마련하고 브릿지를 형성하려면 스캔 라인끼리의 간격을 벌려야 하고, 벌어진 간격만큼 화소 회로가 차지하는 면적이 증가하여 개구율이 감소하는 문제가 발생한다.

[0083] 이와 달리 본 출원에 따른 유기 발광 표시 장치는, 제 1 스캔 라인(SCL1) 및 제 2 스캔 라인(SCL2)이 커페시터 영역(CA)을 사이에 두고 형성되어 있으므로, 전술한 문제가 발생하지 않고, 개구율을 최적화할 수 있다. 예를 들어, 제 1 데이터 라인(DL1)은 제 1 화소(P1) 방향으로 제 1 분기부(BP1)가 연장되어 있고, 제 2 화소(P2) 방향으로 제 2 분기부(BP2)가 연장되어 있다. 이때 제 1 스캔 라인(SCL1)은 제 1 분기부(BP1)와 커페시터 영역(CA) 사이에 위치하고, 제 2 스캔 라인(SCL2)은 제 2 분기부(BP2)와 커페시터 영역(CA) 사이에 위치하므로, 제 1 데이터 라인(DL1)에서 공급되는 데이터 전압은 별도의 브릿지 없이 하나의 스캔 라인을 지날 수 있고, 개구율을 최적화할 수 있다.

[0084] 이는 제 2 데이터 라인(DL2)의 데이터 전압이 제 3 화소(P3) 및 제 4 화소(P4)에 공급될 때 동일하다. 제 3 화소(P3) 및 제 4 화소(P4)는 제 1 화소(P1) 및 제 2 화소(P2)와 레퍼런스 라인(Ref)을 사이에 두고 거울형으로 대칭인 구조이므로, 제 3 분기부(BP3)는 제 2 분기부(BP2)에 대응되고 제 4 분기부(BP4)는 제 1 분기부(BP1)에 대응된다.

[0085] 이와 같이, 본 출원에 따른 유기 발광 표시 장치는 개구율을 최적화한 구조로 수명을 연장할 수 있다. 유기 발광 표시 장치에서 개구율이 최적화되면 전류의 밀도가 감소하게 되고, 전류의 밀도가 감소할 수록 유기 발광 표시 장치의 수명이 늘어난다. 따라서 본 출원에 따른 유기 발광 표시 장치는 개구율이 최적화된 DRD 구조를 가지므로 드라이브 IC의 개수를 줄여 제조 비용을 줄일 수 있고, 유기 발광 표시 장치의 수명을 연장할 수 있다.

[0086] 도 3은 도 2의 I-I'에 따른 단면도이다.

[0087] 도 3을 참조하면, 본 출원에 따른 유기 발광 표시 장치는, 기판(100), 차광막(LS), 제 1 전원 라인(VDD1), 베퍼층(110), 구동 트랜지스터(Tdr), 절연막(120), 평탄화층(130), 제 1 전극(E1), 뱅크(140)를 포함한다.

[0088] 상기 기판(100)은 박막 트랜지스터 어레이 기판으로서, 유리 또는 플라스틱 재질로 이루어질 수 있다. 기판(100)의 일면 상에는 스캔 라인들, 데이터 라인들 및 화소들이 형성된다.

[0089] 상기 차광막(LS)은 기판(100) 상에 형성된다. 차광막(LS)은 구동 트랜지스터(Tdr)의 액티브층(A1)으로 입사하는 외광을 차단하는 역할을 하고 금속성 재료로 형성될 수 있다.

[0090] 상기 제 1 전원 라인(VDD1)은 기판(100) 상에 형성된다. 제 1 전원 라인(VDD1)은 차광막(LS)과 동일한 물질로 형성되고, 차광막(LS)과 함께 제 1 층에 형성된다.

- [0091] 상기 베피층(110)은 차광막(LS) 및 제 1 전원 라인(VDD1)을 덮도록 기판(100) 상에 마련된다. 베피층(110)은 화소 내부로 수분이 침투하는 것을 방지하는 기능을 한다. 이러한 베피층(110)은 무기질연물질 예를 들어, SiO₂(silicon dioxide), SiNx(silicon nitride), 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.
- [0092] 상기 구동 트랜지스터(Tdr)는 베피층(110) 상에 마련된다. 구동 트랜지스터(Tdr)는 유기 발광 소자로 흐르는 전류 량을 제어한다. 이러한 구동 트랜지스터(Tdr)는 제 1 액티브층(A1), 제 1 게이트 전극(G1), 제 1 드레인 전극(D1), 제 1 소스 전극(S1)을 포함한다.
- [0093] 상기 제 1 액티브층(A1)은 베피층(110) 상에 마련된다. 제 1 액티브층(A1)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 산화물(oxide) 및 유기물(organic material) 중 어느 하나로 이루어진 반도체 물질로 구성될 수 있지만, 이에 제한되지 않는다.
- [0094] 상기 제 1 게이트 전극(G1)은 반도체 절연층 상에 형성된다. 이러한 제 1 게이트 전극(G1)은 절연층(120)에 의해 덮인다.
- [0095] 상기 제 1 소스 전극(S1)은 제 1 액티브층(A1)의 일측과 중첩되도록 형성된다. 제 1 소스 전극(S1)은 컨택홀을 통해 제 1 층에 형성된 제 1 전원 라인(VDD1)과 연결될 수 있다.
- [0096] 상기 제 1 드레인 전극(D1)은 제 1 액티브층(A1)의 타측과 중첩되면서 제 1 소스 전극(S1)과 이격되도록 형성된다.
- [0097] 여기서 제 1 게이트 전극(G1), 제 1 소스 전극(S1), 제 1 드레인 전극(D1)은 모두 제 2 층에 형성되고, 동일한 물질로 형성된다. 즉, 제 1 게이트 전극(G1), 제 1 소스 전극(S1), 제 1 드레인 전극(D1)은 동시에 형성될 수 있다.
- [0098] 상기 절연층(120)은 제 1 소스 전극(S1), 제 1 드레인 전극(D1), 및 제 1 게이트 전극(G1)을 덮도록 형성된다. 절연층(120)은 구동 트랜지스터(Tdr)를 외부로부터 절연시키고 공정 중 화학물질, 수분 및 공기로부터 보호한다. 절연층(120)은 일반적으로 전성 및 연성 특성이 낮은 무기물로 형성되거나 실리콘(Si)을 포함하는 무기물로 형성된다.
- [0099] 상기 평탄화층(130)은 구동 트랜지스터(Tdr)를 덮도록 기판(100) 상에 마련된다. 평탄화층(130)은 구동 트랜지스터(Tdr)를 보호하면서 구동 트랜지스터(Tdr) 상에 평탄면을 제공한다. 이러한 평탄화층(130)은 포토 아크릴(photo acryl) 또는 벤조사이클로부텐(benzocyclobutene)과 같은 유기 물질로 이루어질 수 있으나, 공정의 편의를 위해 포토 아크릴 물질로 이루어지는 것이 바람직하다.
- [0100] 상기 제 1 전극(E1)은 애노드 전극으로서, 평탄화층(130) 상에 패턴 형태로 마련된다. 제 1 전극(E1)은 평탄화층(130)에 마련된 컨택홀을 통하여 구동 트랜지스터(Tdr)의 드레인 전극(D1)과 전기적으로 연결됨으로써 구동 트랜지스터(Tdr)로부터 출력되는 데이터 전류를 수신한다. 이러한 제 1 전극(E1)은 반사율이 높은 금속 재질로 이루어질 수 있으며, 예를 들어, 금(Au), 은(Ag), 알루미늄(Al), 몰리브덴(Mo) 또는 마그네슘(Mg) 등의 재질을 포함하거나, 이들의 합금을 포함할 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0101] 상기 뱅크(140)는 제 1 전극(E1)의 가장자리 부분과 박막 트랜지스터(Tdr)를 덮도록 평탄화층(130) 상에 마련되어 개구 영역을 정의한다. 이러한 뱅크(140)는 벤조사이클로부타다이엔(benzocyclobutadiene), 아크릴(acryl), 또는 폴리아미드 등의 유기 물질을 포함할 수 있다. 추가적으로, 뱅크(140)는 검정색 안료를 포함하는 감광재로 형성할 수 있으며, 이 경우에는 뱅크(140)는 차광 부재(또는 블랙 매트릭스)의 역할을 하게 된다.
- [0102] 이와 같이 본 출원에 따른 유기 발광 표시 장치는, 차광막(LS)과 제 1 전원 라인(VDD1)을 동일한 층에 형성하고, 제 1 게이트 전극(G1), 제 1 소스 전극(S1), 제 1 드레인 전극(D1)을 동일한 층에 형성하여, 2개의 금속층의 구조를 가지므로, 3개의 금속층을 가지는 구조에 비하여 공정상 마스크를 절감할 수 있고, 공정 구조를 단순화할 수 있다.
- [0103] 도 4는 본 출원의 일 예에 따른 유기 발광 표시 장치의 회로도로서, 이는 전술한 도 1에 따른 유기 발광 표시 장치를 구성하는 각각의 화소(P1, P2, P3, P4)의 회로도이다.
- [0104] 도 4를 참조하면, 본 출원의 일 예에 따른 유기 발광 표시 장치는 제 1 및 제 2 스캔 라인(SCL1, SCL2), 제 1 및 제 2 데이터 라인(DL1, DL2), 제 1 및 제 2 전원 라인(VDD1, VDD2), 레퍼런스 라인(Ref), 구동 트랜지스터(Tdr), 스위칭 트랜지스터(Tsw), 센싱 트랜지스터(Tse), 제 1 내지 제 4 커패시터(Cst1, Cst2, Cst3, Cst4),

유기 발광 소자(OLED)를 포함한다.

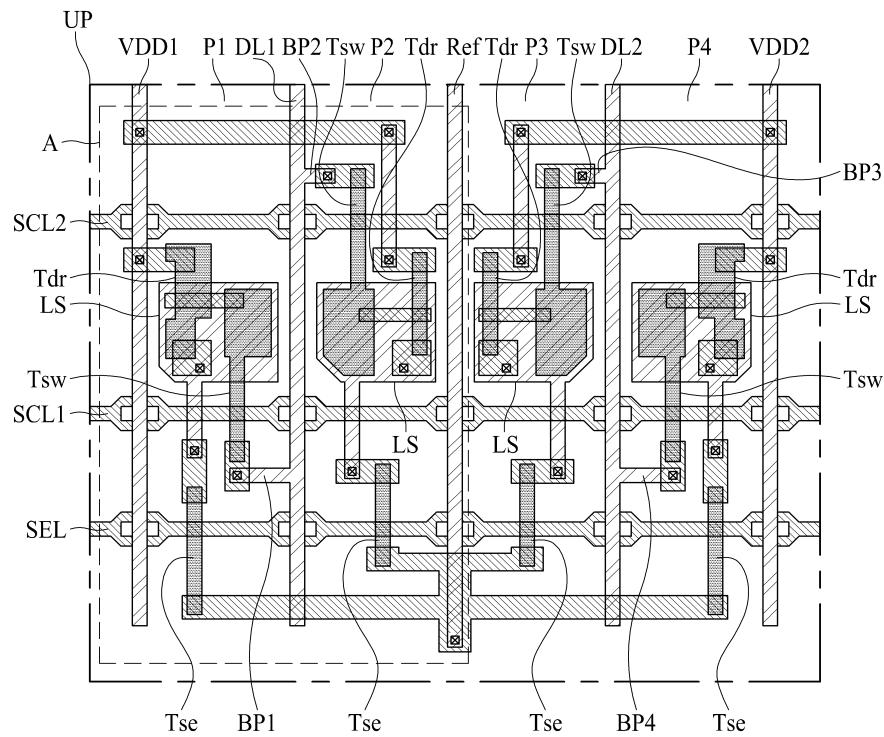
- [0105] 상기 구동 트랜지스터(Tdr)는 스위칭 박막 트랜지스터(Tsw)로부터 공급되는 데이터 전압에 따라 스위칭되어 제 1 또는 제 2 전원 라인(VDD1, VDD2)에서 공급되는 전원으로부터 데이터 전류를 생성하여 유기 발광 소자(OLED)에 공급한다.
- [0106] 상기 스위칭 트랜지스터(Tsw)는 제 1 또는 제 2 스캔 라인(SCL1, SCL2)에 공급되는 게이트 신호에 따라 스위칭되어 제 1 또는 제 2 데이터 라인(DL1, DL2)으로부터 공급되는 데이터 전압을 구동 박막 트랜지스터(Tdr)에 공급한다.
- [0107] 상기 센싱 트랜지스터(Tse)는 화질 저하의 원인이 되는 구동 트랜지스터(Tdr)의 문턱 전압 편차를 센싱하기 위한 것으로서, 이와 같은 문턱 전압 편차의 센싱은 센싱 모드에서 수행한다. 센싱 트랜지스터(Tse)는 센싱 라인(SEL)에서 공급되는 센싱 제어 신호에 응답하여 구동 트랜지스터(Tdr)의 전류를 레퍼런스 라인(Ref)으로 공급한다.
- [0108] 상기 제 1 내지 제 4 커패시터(Cst1, Cst2, Cst3, Cst4)는 구동 트랜지스터(Tdr)에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 것으로서, 구동 트랜지스터(Tdr)의 게이트 단자 및 드레인 단자에 각각 연결된다.
- [0109] 상기 유기 발광 소자(OLED)는 구동 트랜지스터(Tdr)에서 공급되는 데이터 전류에 따라 소정의 광을 발광한다. 상기 유기 발광 소자(OLED)는 구동 트랜지스터(Tdr)의 제 1 드레인 전극에 연결된 제 1 전극(애노드 전극), 및 상기 제 1 전극 위에 차례로 형성된 유기 발광층과 제 2 전극(캐소드 전극)을 포함하여 이루어진다. 유기 발광 소자(OLED)의 제 2 전극은 저전원 라인(VSS)과 연결된다.
- [0110] 도 5는 본 출원의 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다. 이하 도 1과 중복되는 구성에 대한 중복 설명은 생략한다.
- [0111] 도 5를 참조하면, 단위 화소(UP)는 제1 화소(P1), 제2 화소(P2), 제3 화소(P3)로 이루어져 있다. 이와 같이 3개의 서브 화소로 단위 화소(UP)를 이루게 되면 4개의 서브 화소로 단위 화소를 이를때에 비하여 개구율을 증가시킬 수 있다.
- [0112] 즉, 단위 화소(UP)의 사이즈는 고정되므로, 3개의 서브 화소로 단위 화소(UP)를 이루면, 단위 화소(UP) 안에 배치되는 화소 회로의 면적이 감소하게 되고 화소 회로의 면적이 감소한 만큼 개구부의 면적이 증가하게 된다.
- [0113] 도시된 바와 같이, 하나의 단위 화소(UP)에 제 1 전원 라인(VDD1), 제 1 데이터 라인(DL1), 레퍼런스 라인(Ref), 제 2 데이터 라인(DL2)이 형성되어 있고, 이웃하는 단위 화소에는 제 2 전원 라인, 제 1 데이터 라인(DL1), 레퍼런스 라인(Ref), 제 2 데이터 라인(DL2)이 형성되어 있다. 즉, 화소 회로의 전체적인 배치는 도 1에 도시된 화소 회로와 동일하다. 다만, 4개의 서브 화소로 단위 화소(UP)를 이루지 않고, 3개의 서브 화소로 단위 화소(UP)를 이루므로 개구율을 증가시키는 효과를 가진다.
- [0114] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

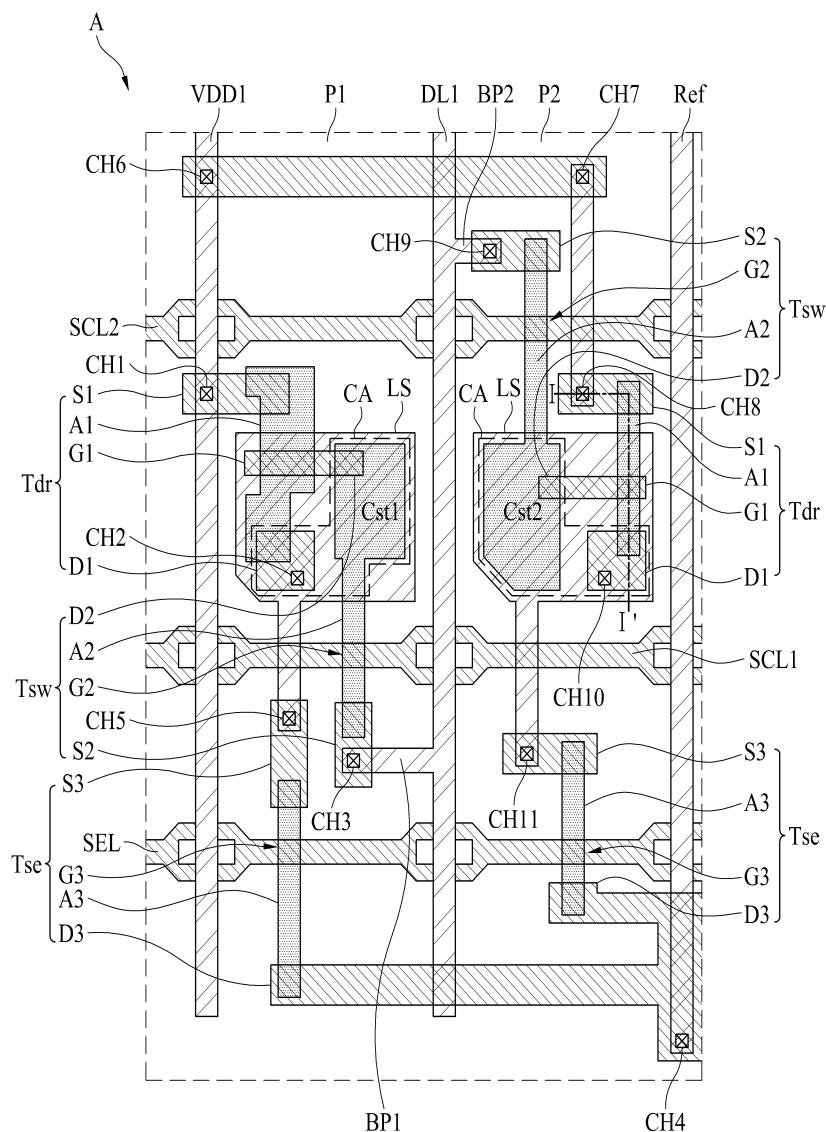
- [0115] 100: 기판 110: 베퍼총
120: 절연층 130: 평탄화층
140: 뱅크층

도면

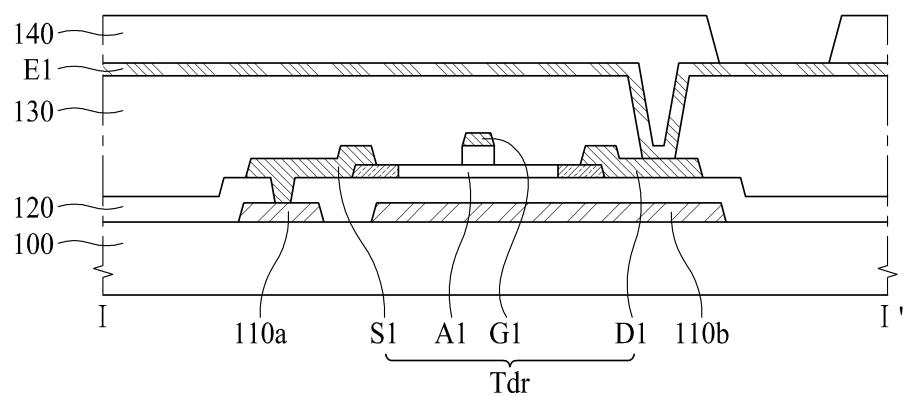
도면1



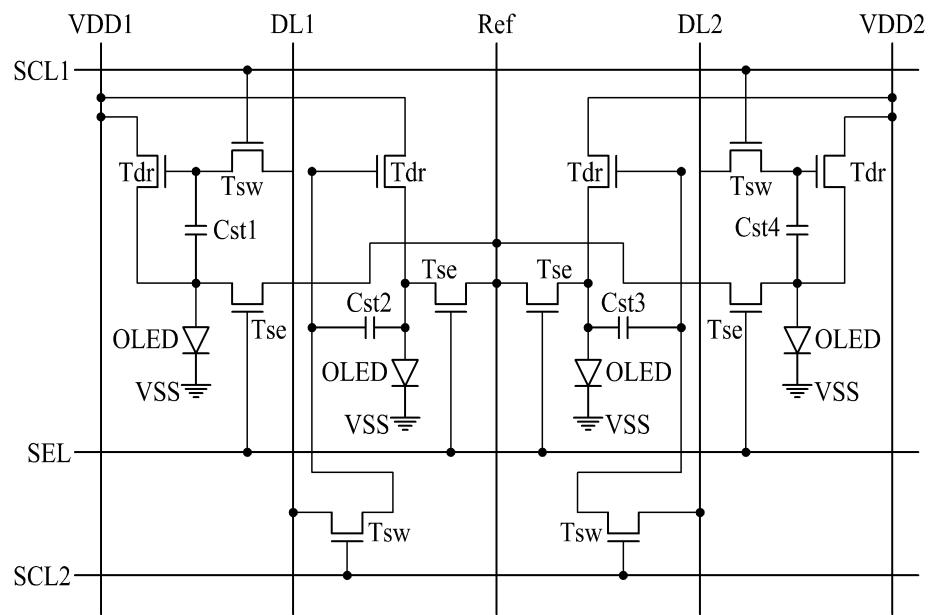
도면2



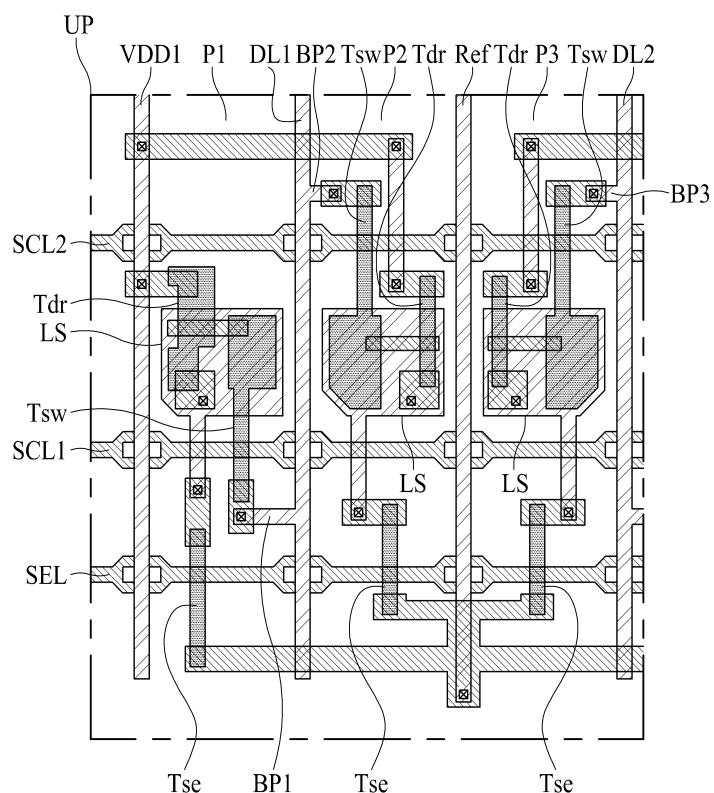
도면3



도면4



도면5



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190048356A	公开(公告)日	2019-05-09
申请号	KR1020170143258	申请日	2017-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김영호 정일기		
发明人	김영호 정일기		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/3211 H01L27/3276		
外部链接	Espacenet		

摘要(译)

根据本申请的有机发光二极管显示器可以将数据信号传输到第一数据线，第三像素和第四像素，以将数据信号传输到设置在基板上的第一至第四像素，第一和第二像素。第二扫描线将扫描信号传输到第二数据线，第一和第四像素，第二扫描线将扫描信号传输到第二和第三像素，以及第一到第四像素用于存储来自第一或第二数据线的信号的第一至第四电容器，第一至第四电容器位于第一扫描线和第二扫描线之间，从而延长了使用寿命，减少驱动器IC可以降低制造成本并简化工艺结构。

