



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0128122
(43) 공개일자 2018년12월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0063175

(22) 출원일자 2017년05월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김규진

경기도 고양시 덕양구 충경로 149 (행신동, 소만
마을1단지아파트) 105동 908호

권기태

경기도 파주시 월롱면 엘씨디로 201 E동 214호 (
덕은리, 정다운마을)

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

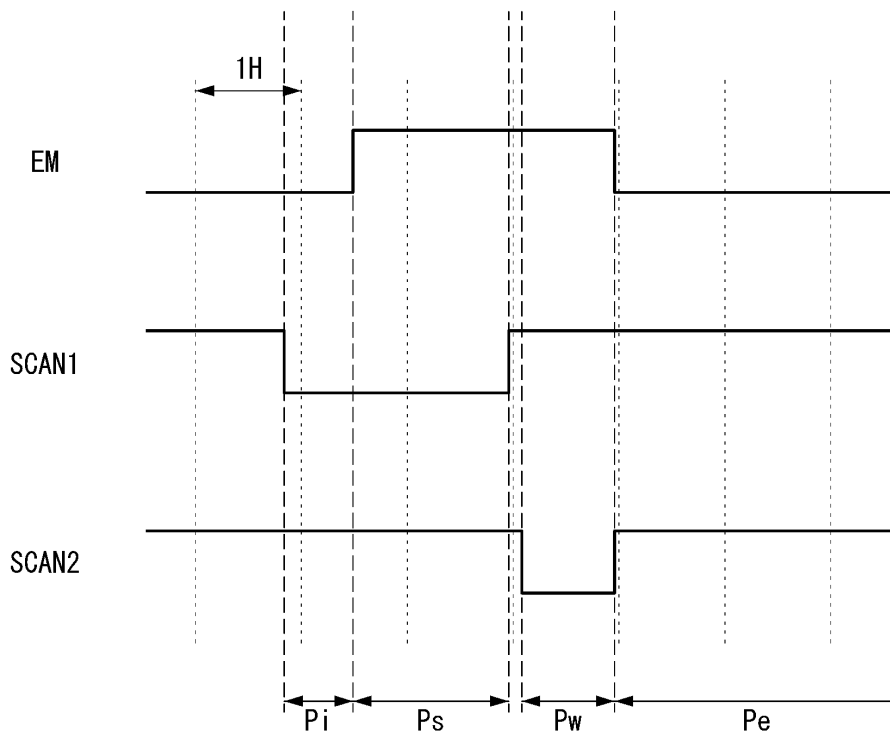
(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광다이오드 표시장치는 유기발광다이오드가 배치되고 게이트라인 및 데이터라인과 연결되는 픽셀들이 구비된 표시패널, 게이트라인을 구동하는 게이트 구동회로 및 데이터라인을 구동하는 데이터 구동회로를 구비한다. 픽셀들 각각은 구동트랜지스터, 제1 및 제2 커패시터, 제1 내지 제5 트랜지스터를 포함한다. 구

(뒷면에 계속)

대표도 - 도3



동트랜지스터는 제1 노드에 연결되는 게이트전극과 제2 노드에 연결되는 드레인전극과 제3 노드에 연결되는 소스전극으로 이루어져서 유기발광다이오드에 인가되는 구동전류를 제어한다. 제1 커패시터는 제1 노드와 제4 노드에 접속되고, 제2 커패시터는 제4 노드와 고전위 구동전압 입력단에 연결된다. 제1 트랜지스터는 제1 스캔신호에 응답하여, 제1 노드 및 제2 노드 간의 전류 경로를 스위칭한다. 제2 트랜지스터는 제2 스캔신호에 응답하여, 데이터라인 및 제4 노드 간의 전류 경로를 스위칭한다. 제3 트랜지스터는 제1 스캔신호에 응답하여, 제3 노드 및 제4 노드 간의 전류 경로를 스위칭한다. 제4 트랜지스터는 에미션신호에 응답하여, 제2 노드 및 유기발광다이오드 간의 전류 경로를 스위칭한다. 제5 트랜지스터는 제1 스캔신호에 응답하여, 이니셜라인 및 유기발광다이오드 간의 전류 경로를 스위칭한다.

(52) CPC특허분류

G09G 2300/043 (2013.01)

G09G 2300/0852 (2013.01)

(72) 발명자

김태훈

경기도 파주시 월롱면 엘씨디로 201 E동 115호 (덕
은리, 정다운마을)

이동현

인천광역시 남구 매소홀로475번길 18 (학익동, 신
동아아파트3차) 19동 903호

명세서

청구범위

청구항 1

유기발광다이오드가 배치되고 게이트라인 및 데이터라인과 연결되는 픽셀들이 구비된 표시패널;

상기 게이트라인을 구동하는 게이트 구동회로; 및

상기 데이터라인을 구동하는 데이터 구동회로를 구비하고;

상기 픽셀들 각각은,

제1 노드에 연결되는 게이트전극과 제2 노드에 연결되는 드레인전극과 제3 노드에 연결되는 소스전극으로 이루어져서, 상기 유기발광다이오드에 인가되는 구동전류를 제어하는 구동트랜지스터;

상기 제1 노드와 제4 노드에 접속되는 제1 커패시터;

상기 제4 노드와 고전위 구동전압 입력단에 연결되는 제2 커패시터;

제1 스캔신호에 응답하여, 상기 제1 노드 및 제2 노드 간의 전류 경로를 스위칭하는 제1 트랜지스터;

제2 스캔신호에 응답하여, 데이터라인 및 상기 제4 노드 간의 전류 경로를 스위칭하는 제2 트랜지스터;

상기 제1 스캔신호에 응답하여, 상기 제3 노드 및 상기 제4 노드 간의 전류 경로를 스위칭하는 제3 트랜지스터;

에미션신호에 응답하여, 상기 제2 노드 및 상기 유기발광다이오드 간의 전류 경로를 스위칭하는 제4 트랜지스터; 및

상기 제1 스캔신호에 응답하여, 이니셜라인 및 상기 유기발광다이오드 간의 전류 경로를 스위칭하는 제5 트랜지스터를 구비하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

이니셜 기간 동안,

상기 제1 커패시터는 상기 고전위 구동전압에서 상기 구동트랜지스터의 턴-온 저항의 전압 강하를 뺀 값으로 초기화되는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 이니셜 기간 동안, 상기 제1 스캔신호 및 상기 에미션신호는 턴-온 전압을 유지하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

k 번째 픽셀라인에 배치된 픽셀들은 k 번째 수평기간 내에서 데이터를 기입받고,

상기 k번째 픽셀라인에 배치된 픽셀들의 이니셜 기간은,

k번째 상기 스캔신호가 (k-3)번째 수평기간 내에서 턴-온 전압이 된 이후부터, k번째 상기 에미션신호가 (k-

2)번째 수평기간 내에서 턴-오프 전압이 되기 이전까지 유지되는 유기발광다이오드 표시장치.

청구항 5

제 4 항에 있어서,

상기 이니셜 기간에 이어지는 센싱 기간 동안,

상기 제2 노드를 플로팅 시켜서 상기 구동트랜지스터의 소스-드레인전극을 경유하는 전류를 이용하여 상기 제2 노드를 충전시키고,

상기 제1 노드와 상기 제2 노드를 쇼트시켜서 상기 제2 노드의 전압 변화량을 상기 제1 노드에 반영함으로써, 상기 제1 커패시터에 상기 구동트랜지스터의 문턱전압을 저장하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 k번째 픽셀라인에 배치된 픽셀들의 센싱 기간은,

k번째 상기 에미션신호가 (k-2)번째 수평기간 내에서 턴-오프 전압이 된 이후부터, k번째 상기 스캔신호가 턴-오프 전압이 되기 이전까지 유지되는 유기발광다이오드 표시장치.

청구항 7

제 6 항에 있어서,

상기 센싱 기간에 이어지는 데이터 기입 기간 동안,

상기 제2 트랜지스터는 k번째 상기 제2 스캔신호에 응답하여 상기 제4 노드에 데이터전압을 충전함으로써, 상기 제2 커패시터는 상기 고전위 구동전압과 상기 데이터전압의 차이값에 해당하는 전압을 충전하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 데이터기입 기간에 이어지는 에미션 기간 동안,

k번째 상기 제1 스캔신호 및 k번째 상기 제2 스캔신호는 턴-오프전압이고, k번째 상기 에미션신호는 턴-온 전압으로 반전되며,

상기 구동트랜지스터의 게이트-소스전압은 서로 직렬로 연결되는 상기 제1 커패시터 및 제2 커패시터의 양단의 전위차에 해당하며, 상기 제1 커패시터 및 제2 커패시터의 양 단의 전위차는 상기 구동트랜지스터의 문턱전압이 반영된 데이터전압값인 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 제4 노드는

상기 구동트랜지스터와 상기 제1 내지 제5 트랜지스터들의 게이트전극을 이루는 게이트 금속층 및 상기 구동트랜지스터와 상기 제1 내지 제5 트랜지스터들의 소스 전극을 이루는 소스 금속층 사이에 위치하는 수평 금속층으로 이루어짐으로써, 상기 제1 커패시터 및 상기 제2 커패시터는 서로 직렬로 연결되는 유기발광다이오드 표시장

치.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광다이오드(OLED)는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광다이오드 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 OLED에 흐르는 구동전류를 제어하기 위해 구동트랜지스터를 포함한다. 그런데, 유기발광 표시장치에서는 공정 편차, 경시적 변화 등의 이유로 픽셀들 간 구동 TFT의 전기적 특성(문턱전압, 전자 이동도)에 편차가 생겨 원하는 계조를 구현하지 못하는 문제가 있다.

[0005] 이를 해결하기 위하여, 구동 TFT의 전기적 특성(문턱전압, 이동도) 편차를, 픽셀 내부에서 보상하는 내부 보상 방식과, 픽셀 외부에서 보상하는 외부 보상 방식이 알려져 있다.

[0006] 내부 보상 방식은 구동 중에 구동 TFT의 전기적 특성 편차를 실시간 보상하기 위해 구동 TFT의 게이트-소스 간 전압을 상기 특성 편차에 무관하게 셋팅하는 방법을 이용한다. 일반적인 내부 보상 방식을 이용하는 유기발광다이오드 표시장치는 데이터기입과 동시에 문턱전압 센싱을 하는 것이 일반적이다. 이에 따라 문턱전압을 센싱하는 기간이 고정되어 있어서 다양한 표시장치들에 적용하기 곤란한 점이 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명에 의한 유기발광다이오드 표시장치는 문턱전압을 센싱하는 기간과 픽셀에 데이터를 기입하는 기간을 분리함으로써, 센싱 기간을 용이하게 가변할 수 있는 유기발광다이오드 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광다이오드 표시장치는 유기발광다이오드가 배치되고 게이트 라인 및 데이터라인과 연결되는 픽셀들이 구비된 표시패널, 게이트라인을 구동하는 게이트 구동회로 및 데이터라인을 구동하는 데이터 구동회로를 구비한다. 픽셀들 각각은 구동트랜지스터, 제1 및 제2 커패시터, 제1 내지 제5 트랜지스터를 포함한다. 구동트랜지스터는 제1 노드에 연결되는 게이트전극과 제2 노드에 연결되는 드레인전극과 제3 노드에 연결되는 소스전극으로 이루어져서 유기발광다이오드에 인가되는 구동전류를 제어한다. 제1 커패시터는 제1 노드와 제4 노드에 접속되고, 제2 커패시터는 제4 노드와 고전위 구동전압 입력단에 연결된다. 제1 트랜지스터는 제1 스캔신호에 응답하여, 제1 노드 및 제2 노드 간의 전류 경로를 스위칭한다. 제2 트랜지스터는 제2 스캔신호에 응답하여, 데이터라인 및 제4 노드 간의 전류 경로를 스위칭한다. 제3 트랜지스터는 제1 스캔신호에 응답하여, 제3 노드 및 제4 노드 간의 전류 경로를 스위칭한다. 제4 트랜지스터는 에미션신호에 응답하여, 제2 노드 및 유기발광다이오드 간의 전류 경로를 스위칭한다. 제5 트랜지스터는 제1 스캔신호에 응답하여, 이니셜라인 및 유기발광다이오드 간의 전류 경로를 스위칭한다.

발명의 효과

[0009] 본 발명에 의한 유기발광다이오드 표시장치는 구동트랜지스터의 문턱전압 센싱 기간과 데이터를 기입하는 기간을 분리함으로써, 센싱 기간을 용이하게 가변할 수 있다. 그 결과, 표시패널이 제작된 이후에도 센싱 기간을

가변함으로써, 패널 특성에 따라 센싱 기간을 가변할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시 예에 따른 유기발광 표시장치를 보여주는 도면.
 도 2는 본 발명의 실시 예에 따른 픽셀 구조를 보여주는 등가 회로도.
 도 3은 도 2에 도시된 픽셀에 인가되는 게이트신호를 보여주는 파형도.
 도 4a 내지 도 4d들은 각각 이니셜 기간, 센싱기간, 데이터기입 기간 및 에미션 기간에 대응되는 픽셀의 등가 회로도.
 도 5는 이니셜 기간의 타이밍을 설명하는 도면.
 도 6은 센싱 기간의 타이밍을 설명하는 도면.
 도 7은 본 발명에 의한 픽셀의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 여러 실시예들을 설명함에 있어서, 실질적으로 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.
- [0012] 본 발명의 실시 예에서는 픽셀을 구성하는 트랜지스터들이 모두 P 타입으로 구현되는 것만을 개시하고 있으나, 본 발명의 기술적 사상은 이에 한정되지 않고 N 타입으로 구현되는 경우에도 적용될 수 있다.
- [0013] 이하, 도 1 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0014] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- [0015] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀들(PXL)이 형성된 표시패널(10)과, 데이터 라인들(14)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(15)을 구동시키기 위한 게이트 구동회로(13)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.
- [0016] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀(PXL)들이 매트릭스 형태로 배치된다. 동일 수평라인 상에 배치된 픽셀(PXL)들은 하나의 픽셀행을 이룬다. 일 픽셀 행에 배치된 픽셀(PXL)들은 일 게이트라인(15)에 접속되며, 일 게이트라인(15)은 적어도 하나 이상의 스캔라인과 적어도 하나 이상의 에미션라인을 포함할 수 있다. 즉, 각 픽셀(PXL)는 1개의 데이터라인(14)과, 적어도 하나 이상의 스캔라인 및 에미션라인에 접속될 수 있다. 픽셀(PXL)들은 도시하지 않은 전원발생부로부터 고전위 및 저전위 구동전압(VDD, VSS)과 초기화전압(Vini)을 공통으로 공급받을 수 있다.
- [0017] 픽셀(PXL)을 구성하는 트랜지스터(TFT)들은 산화물 반도체층을 포함한 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), 또는 IGZO(Indium Gallium Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 또는 유기물(organic) 반도체 등으로 형성될 수 있다.
- [0018] 도 2를 참조하면, 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.

- [0019] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.
- [0020] 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 에미션신호를 생성할 수 있다. 게이트 구동회로(13)는 스캔 구동부와 에미션 구동부를 포함할 수 있다. 스캔 구동부는 각 픽셀행마다 연결된 적어도 하나 이상의 스캔라인을 구동하기 위해 행 순차 방식으로 스캔신호를 생성하여 스캔라인들에 공급할 수 있다. 에미션 구동부는 각 픽셀행마다 연결된 적어도 하나 이상의 에미션라인을 구동하기 위해 행 순차 방식으로 에미션신호를 생성하여 에미션라인들에 공급할 수 있다.
- [0021] 이러한 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있다.
- [0022] 도 2는 본 발명의 픽셀 구조를 보여주는 등가 회로도이다. 도 3은 도 2에 도시된 픽셀에 인가되는 게이트신호를 보여주는 파형도이다.
- [0023] 도 2를 참조하면, 각각의 픽셀(PXL)은 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)를 포함한다.
- [0024] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 적어도 하나의 정공전달층 및 전자전달층과, 발광층(Emission layer, EML)을 포함할 수 있다. 여기서, 정공전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 및 전자저지층(Electron blocking layer, EBL) 등일 수 있다. 그리고, 전자전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL), 및 정공저지층(Hole blocking layer, HBL) 등일 수 있다. 유기발광다이오드(OLED)의 애노드전극은 노드 C에 접속되고, 유기발광다이오드의 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0025] 구동트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)는 제1 노드(n1)에 접속되는 게이트전극, 제2 노드(n2)에 접속되는 드레인전극 및 제3 노드(n3)에 접속되는 소스전극으로 이루어진다.
- [0026] 제1 트랜지스터(T1)는 제1 스캔신호(SCAN1)에 응답하여, 제1 노드(n1) 및 제2 노드(n2) 간의 전류 경로를 스위칭한다. 이를 위해서, 제1 트랜지스터(T1)는 제1 스캔신호(SCAN1)를 입력받는 게이트전극, 제1 노드(n1)에 연결되는 소스전극 및 제2 노드에 연결되는 드레인전극으로 이루어진다.
- [0027] 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)에 응답하여, 데이터라인(14) 및 제4 노드(n4) 간의 전류 경로를 스위칭한다. 이를 위해서, 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)를 입력받는 게이트전극, 데이터라인(14)에 연결되는 드레인전극, 제4 노드(n4)에 연결되는 소스전극으로 이루어진다.
- [0028] 제3 트랜지스터(T3)는 제1 스캔신호(SCAN1)에 응답하여, 제3 노드(n3) 및 제4 노드(n4) 간의 전류 경로를 스위칭한다. 이를 위해서, 제3 트랜지스터(T3)는 제1 스캔신호(SCAN1)를 입력받는 게이트전극, 제3 노드(n3)에 연결되는 소스전극 및 제4 노드(n4)에 연결되는 드레인전극으로 이루어진다.
- [0029] 제4 트랜지스터(T4)는 에미션신호(EM)에 응답하여, 제2 노드(n2) 및 유기발광다이오드(OLED) 간의 전류 경로를 스위칭한다. 이를 위해서, 제4 트랜지스터(T4)는 에미션신호(EM)를 입력받는 게이트전극, 제2 노드(n2)에 연결되는 소스전극 및 유기발광다이오드(OLED)의 애노드 전극에 연결되는 드레인전극으로 이루어진다.
- [0030] 제5 트랜지스터(T5)는 제1 스캔신호(SCAN1)에 응답하여, 이니셜라인 및 유기발광다이오드(OLED) 간의 전류 경로를 스위칭한다. 이를 위해서, 제5 트랜지스터(T5)는 제1 스캔신호(SCAN1)를 입력받는 게이트전극, 이니셜라인에 연결되는 드레인전극 및 유기발광다이오드(OLED)의 애노드 전극에 연결되는 소스전극으로 이루어진다.
- [0031] 제1 커패시터(Cst1)는 제1 노드(n1)와 제4 노드(n4)에 접속된다.
- [0032] 제2 커패시터(Cst2)는 제3 노드(n3)와 제4 노드(n4)에 접속된다.
- [0033] 도 3은 도 2에 도시된 픽셀에 인가되는 게이트신호를 나타내는 파형도이다. 그리고 도 4의 (a) 내지 (d)는 각

각 이니셜 기간, 샘플링기간, 데이터기입 기간 및 에미션 기간에 동작하는 픽셀의 등가 회로도이다.

- [0034] 이니셜 기간(Pi)은 제1 커패시터(Cst1)를 초기화하는 기간이다.
- [0035] 센싱 기간(Ps)은 구동트랜지스터(DT)의 문턱전압을 샘플링하여 제1 커패시터(Cst1)에 저장하는 기간이다.
- [0036] 데이터기입 기간(Pw)은 제2 커패시터(Cst2)에 데이터를 기입하는 기간이다.
- [0037] 에미션 기간(Pe)은 샘플링된 문턱전압을 포함하여 구동트랜지스터(DT)의 소스-게이트 간 전압에 따른 구동전류로 유기발광다이오드(OLED)를 발광시키는 기간이다.
- [0038] 각각의 구동기간의 동작을 세부적으로 살펴보면 다음과 같다.
- [0039] 도 3 및 도 4a를 참조하여 이니셜 기간(Pi) 동안의 픽셀 동작을 살펴보면 다음과 같다.
- [0040] 이니셜 기간(Pi) 동안, 제1 스캔신호(SCAN1) 및 에미션신호(EM)는 턴-온 전압으로 인가되고, 제2 스캔신호(SCAN2)는 턴-오프 전압을 유지한다.
- [0041] 제1 트랜지스터(T1), 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)는 제1 스캔신호(SCAN1)에 의해서 턴-온되고, 제4 트랜지스터(T4)는 제n 에미션신호(EM)에 의해서 턴-온된다. 이니셜 기간(Pi) 동안, 제3 노드(n3), 제2 노드(n2), 제5 노드(n5) 및 초기화전압(Vini) 입력단 방향으로 전류가 흐른다. 그 결과 제2 노드(n2) 및 제5 노드(n5)는 각각 구동트랜지스터(DT) 및 제4 트랜지스터(T4)의 저항에 따른 전압 분배가 이루어진다. 도 4a에서 "Va"는 제3 노드(n3)와 제2 노드(n2)의 전위차를 나타내고, "Vb"는 제2 노드(n2)와 제5 노드(n5)의 전위차를 나타내며, "Vc"는 제5 노드(n5)와 초기화전압(Vini) 입력단 간의 전위차를 나타낸다. 그 결과, 제3 노드(n3)와 제2 노드(n2)와 제5 노드(n5)의 전압의 합(Va+Vb+Vc)은 고전위 구동전압(VDD)과 초기화전압(Vini)의 차이가 된다.
- [0042] 제5 노드(n5)의 전압은 초기화전압(Vini)과 "Vc" 합에 해당한다. 이니셜 기간(Pi) 동안에 유기발광다이오드(OLED)는 발광하지 않기 위해서 제5 노드(n5)의 전압은 저전위 구동전압(VSS)과 동일하게 설정될 수 있다. 즉, 초기화전압(Vini)은 "VSS-Va"의 전압이 되도록 설정될 수 있다.
- [0043] 제1 트랜지스터(T1)가 턴-온되어서 구동트랜지스터(DT)의 게이트전극과 드레인전극은 쇼트되고, 그 결과 제1 노드(n1)의 전압은 "VDD-Va"이 된다. 제3 트랜지스터(T3)가 턴-온되어서 제4 노드(n4)의 전압은 "VDD"가 된다. 그 결과 제1 커패시터(Cst1)는 구동트랜지스터(DT)의 드레인-소스 간의 전위차에 해당하는 "Va"로 초기화된다.
- [0044] 제3 노드(n3) 및 제4 노드(n4)의 전압은 각각 "VDD"가 되기 때문에, 제2 커패시터(Cst2)는 "0V"로 초기화된다.
- [0045] 도 3 및 도 4b를 참조하여 센싱 기간(Ps) 동안의 픽셀 동작을 살펴보면 다음과 같다.
- [0046] 센싱 기간(Ps) 동안, 제1 스캔신호(SCAN1)는 턴-온 전압을 유지하고, 제n 에미션신호(EM)는 턴-오프전압이 된다. 제2 스캔신호(SCAN2)는 턴-오프 전압을 유지한다.
- [0047] 제2 노드(n2)는 제4 트랜지스터(T4)가 턴-오프되어서 플로팅(floating) 상태가 된다. 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐르며, 이 전류(Ids)에 의해 제2 노드(n2) 전위는 고전위 구동전압(VDD)에서 구동트랜지스터 문턱전압(Vth)을 뺀 값(VDD-Vth)까지 높아진다. 이때, 제4 노드(n4)는 고전위 구동전압(VDD)을 유지한다. 그 결과, 제1 커패시터(Cst1)는 구동트랜지스터 문턱전압(Vth)을 저장한다.
- [0048] 도 3 및 도 4c를 참조하여 데이터기입 기간(Pw)의 픽셀 동작을 살펴보면 다음과 같다.
- [0049] 데이터기입 기간(Pw) 동안, 제1 스캔신호(SCAN1)는 턴-오프 전압이 되고, 에미션신호(EM)는 턴-오프전압을 유지한다. 제2 스캔신호(SCAN2)는 턴-온 전압이 된다.
- [0050] 제2 트랜지스터(T2)가 턴-온되어서, 데이터라인(14)으로부터 공급되는 데이터전압(Vdata)은 제4 노드(n4)에 충전된다. 즉, 제4 노드(n4)의 전압은 "VDD-Vdata"가 된다.
- [0051] 제1 트랜지스터(T1)가 턴-오프되어서, 제1 노드(n1)는 플로팅 상태가 된다. 제4 노드(n4)의 전압 변화량은 데이터전압(Vdata)에 해당하고, 제1 커패시터(Cst1)의 커플링 현상에 의해서 제1 노드(n1) 또한 데이터전압(Vdata) 만큼 전위가 변화한다. 즉, 제1 노드(n1)의 전압은 센싱 기간(Ps) 동안 "VDD-Vth"인 상태에서 "VDD-Vth-Vdata"가 된다.
- [0052] 도 3 및 도 4d를 참조하여 에미션 기간(Pe)의 픽셀 동작을 살펴보면 다음과 같다.

- [0053] 에미션 기간(Pe)에서, 제1 스캔신호(SCAN1) 및 제2 스캔신호(SCAN2)는 턴-오프 전압이 되고, 에미션신호(EM)는 턴-온 전압이 된다.
- [0054] 센싱 기간(Ps)과 데이터기입 기간(Pw)에서 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)는 각각 구동트랜지스터 문턱전압(Vth)과 데이터전압(Vdata)을 저장한 상태이다. 따라서, 구동트랜지스터(DT)의 게이트전극과 소스전극의 전위차(Vgs)는 "VDD+Vth"가 된다.
- [0055] 에미션 기간(Pe)에서 유기발광다이오드(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학식 1과 같이 된다. 유기발광다이오드(OLED)는 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.
- [0056] [수학식 1]
- [0057]
$$I_{OLED} = k/2(V_{gs} - V_{th})^2 = k/2(V_{data} + V_{th} - V_{th})^2 = k/2(V_{data})^2$$
- [0058] [수학식 1]에서, k/2는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 나타낸다.
- [0059] [수학식 1]은 구동전류(Ioled) 관계식에서 구동트랜지스터(DT)의 문턱전압(Vth) 성분은 소거된 것을 보여주고, 이는 구동트랜지스터 문턱전압(Vth)의 변화가 구동전류(Ioled)에 영향을 미치지 않는 것을 나타낸다.
- [0060] 도 5 및 도 6은 각각 본 발명에 의한 이니셜 기간 및 센싱 기간의 폭을 설명하는 도면들이다.
- [0061] 도 5 및 도 6은 제k 픽셀라인(Hk) 및 제(k+1) 픽셀라인(H[k+1])들을 구동하는 게이트신호들을 도시하고 있다. 도 5 및 도 6에서 k번째 제1 스캔신호(SCAN1)는 제k 픽셀라인(Hk)에 인가되는 제1 스캔신호를 의미하고, k번째 제2 스캔신호(SCAN2)는 제k 픽셀라인(Hk)에 인가되는 제2 스캔신호를 의미하며, k번째 에미션신호(EM)는 제k 픽셀라인(Hk)에 인가되는 에미션신호를 의미한다. 도 5 및 도 6에서 k번째 수평기간(kth H)은 제k 픽셀라인(Hk)들의 데이터기입 기간을 지칭한다.
- [0062] 도 5를 참조하면, 제k 픽셀라인(Hk)의 이니셜 기간(Pi) 동안 k번째 에미션신호(EM_k) 및 k번째 제1 스캔신호(SCAN1_k)가 턴-온 전압이다.
- [0063] k번째 제1 스캔신호(SCAN1_k)는 (k-3)번째 수평기간([k-3]th H) 내에서 턴-온 전압이 되고, k번째 에미션신호(EM_k)는 (k-2)번째 수평기간([k-2]th H) 내에서 턴-오프 전압이다. 즉, 제k 픽셀라인(Hk)의 이니셜 기간(Pi)은 k번째 제1 스캔신호(SCAN1_k)가 턴-온 전압이 되는 시점이 늦어지고 k번째 에미션신호(EM_k)가 턴-오프 전압이 되는 시점이 이를수록 짧아진다.
- [0064] 이니셜 기간(Pi)은 유기발광다이오드의 쇼트-커런트(short current)로 인한 소비전력을 줄이기 위해서 가급적 짧은 기간이 되도록 설정할 수 있다. 특히, k번째 에미션신호(EM_k)가 턴-오프되는 시점이 늦어지면 제k 픽셀라인(Hk)의 센싱 기간(Ps)이 줄어들기 때문에, k번째 에미션신호(EM_k)는 (k-2)번째 수평기간([k-2]th H)의 1/2 시점이 경과되기 이전에 턴-오프 전압이 되는 것이 바람직하다.
- [0065] 도 6을 참조하면, 제k 픽셀라인(Hk)의 센싱 기간(Ps) 동안 k번째 에미션신호(EM_k)는 턴-오프 전압이고, k번째 제1 스캔신호(SCAN1_k)는 턴-온 전압을 유지한다.
- [0066] k번째 에미션신호(EM_k)는 (k-2)번째 수평기간([k-2]th H) 내에서 턴-오프 전압이 되고, k번째 제1 스캔신호(SCAN1_k)는 (k-1)번째 수평기간([k-1]th H) 내에서 턴-오프 전압이 된다. 즉, k번째 픽셀라인 센싱 기간(Ps)은 k번째 제1 스캔신호(SCAN1_k)가 턴-온 전압이 되는 시점이 늦어지고 k번째 에미션신호(EM_k)가 턴-오프 전압이 되는 시점이 이를수록 길어진다. 즉, k번째 픽셀라인 센싱 기간(Ps)은 2 수평기간 내에서 조절될 수 있다.
- [0067] 도 5 및 도 6에서 살펴본 바와 같이, 본 발명에 의한 이니셜 기간 및 센싱 기간은 게이트신호들의 타이밍을 조절하여 제어될 수 있다. 즉, 패널을 제작한 이후에도 타이밍 컨트롤러의 게이트타이밍 제어신호를 제어하여 이니셜 기간 및 센싱 기간을 제어할 수 있다. 따라서, 본 발명에 의한 픽셀 구조 및 이를 구동하는 게이트신호들은 특정 패널에 한정되지 않고, 다양한 패널에 적용되기에 유리하다.
- [0068] 도 7은 도 2에 도시된 픽셀 구조에서 주요 구성이 형성되는 어레이층의 단면을 나타내는 도면이다. 도 7에서 반도체층(ACT)은 구동트랜지스터(DT), 제1 내지 제5 트랜지스터(T1~T5)의 액티브층에 해당한다. 게이트 금속층(GAT)은 구동트랜지스터(DT), 제1 내지 제5 트랜지스터(T1~T5)의 게이트전극을 형성하는 금속층이고, 소스 금속층(S/D)은 구동트랜지스터(DT), 제1 내지 제5 트랜지스터(T1~T5)의 소스전극과 드레인전극을 형성하는 금속층이

다. 수평 금속층(TM)은 액티브층과 오버랩되는 영역에서 설계되지 않는 트랜지스터가 형성되는 것을 방지하기 위해서 수평으로 형성되는 금속층이다.

[0069] 도 7을 참조하면, 기판(110) 상에 폴리이미드층(P1)이 형성될 수 있다.

[0070] 반도체층(ACT)은 폴리이미드층(P1) 상에 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다.

[0071] 게이트 절연막(GI)은 반도체층(ACT)을 덮도록 형성된다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0072] 게이트 금속층(GAT)은 게이트 절연막(GI) 상에 위치한다. 게이트 금속층(GAT)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다.

[0073] 제1 절연막(ILD1)은 게이트 금속층(GAT)을 덮도록 형성된다. 제1 절연막(ILD1)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0074] 수평 금속층(TM)은 제1 절연막(ILD1) 상에 위치한다. 수평 금속층(TM)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다.

[0075] 제2 절연막(ILD2)은 수평 금속층(TM)을 덮도록 형성된다. 제2 절연막(ILD2)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0076] 소스 금속층(S/D)은 제2 절연막(ILD2) 상에 위치한다. 소스 금속층(S/D)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어질 수 있다.

[0077] 소스 금속층(S/D) 상에는 평탄화막(PLN)이 위치하고, 평탄화막(PLN) 상에는 유기발광다이오드의 애노드 전극(AND)이 위치한다.

[0078] 제1 커패시터(Cst1)는 게이트 금속층(GAT)과 수평 금속층(TM) 사이에 접속되고, 제2 커패시터(Cst2)는 수평 금속층(TM)과 소스 금속층(S/D) 사이에 접속된다. 그 결과, 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)는 직렬로 구성된다. 서로 직렬로 연결되는 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)의 정전용량의 합(Cst_{total})은 아래의 [수학식 2]와 같다.

[0079] [수학식 2]

[0080]
$$Cst_{total} = (Cst1 \times Cst2) / (Cst1 + Cst2)$$

[0081] 이때, Cst1는 제1 커패시터(Cst1)의 정전용량이고, Cst2는 제2 커패시터(Cst2)의 정전용량이다.

[0082] 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)의 크기가 동일할 경우에, 제1 및 제2 커패시터(Cst2)는 하나의 커패시터를 이용할 때 보다 1/2 사이즈로 축소시킬 수 있다. 그 결과, 본 발명의 픽셀 구조는 픽셀 사이즈가 작은 고해상도 구조에 적용하기에 유리하다.

[0083] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

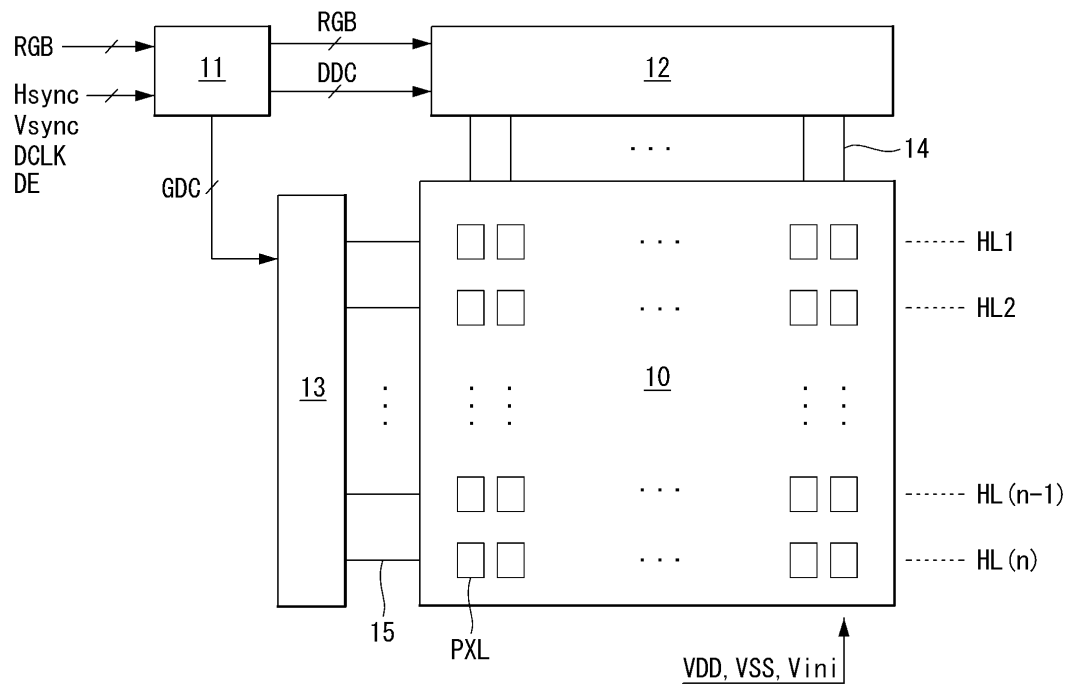
[0084] 10 : 표시패널 11 : 타이밍 컨트롤러

12 : 데이터 구동회로 13 : 게이트 구동회로

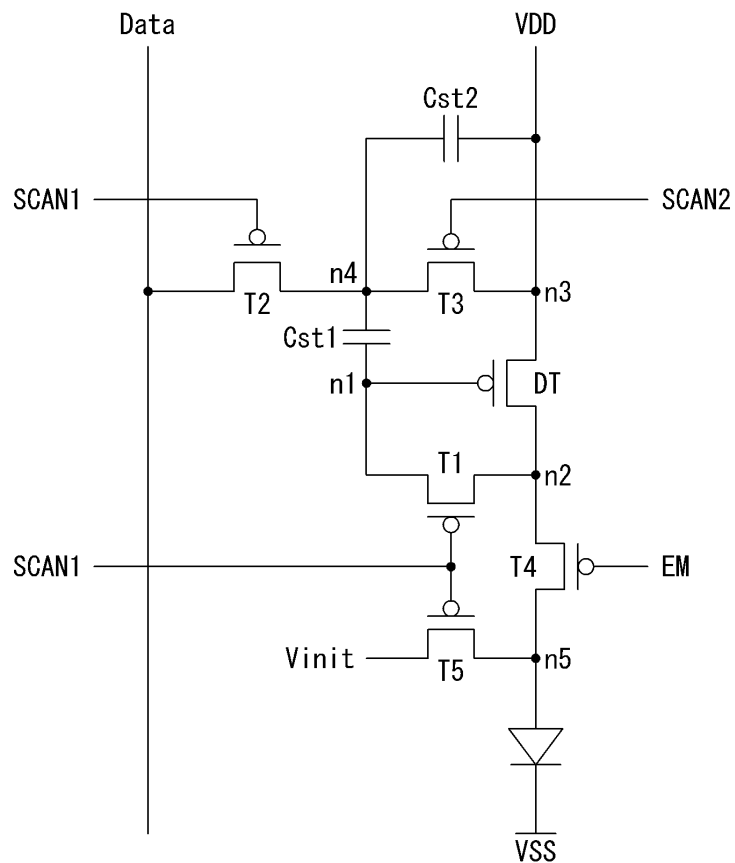
14 : 데이터라인 15 : 게이트라인

도면

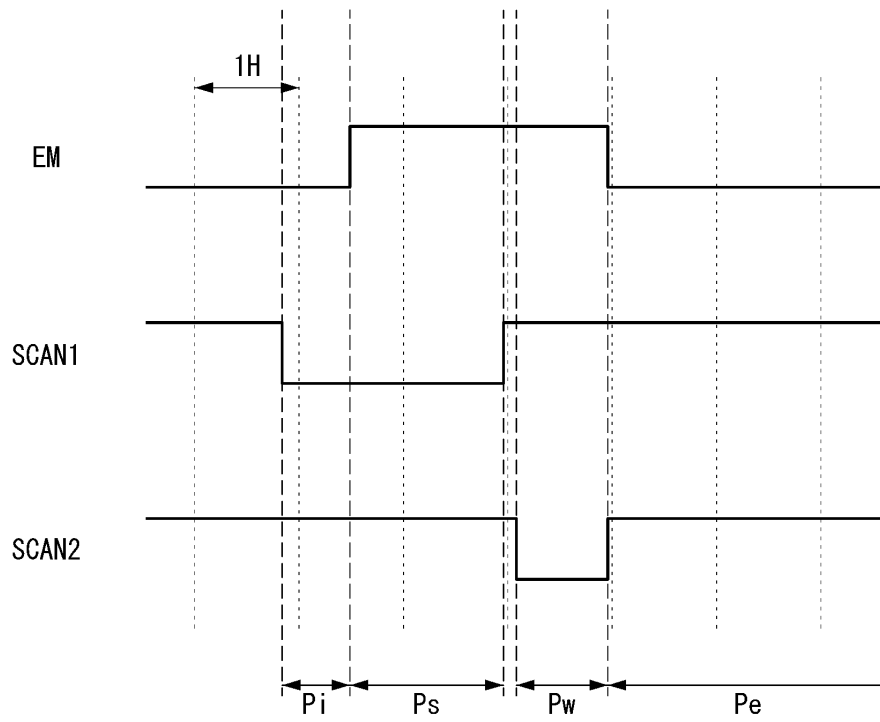
도면1



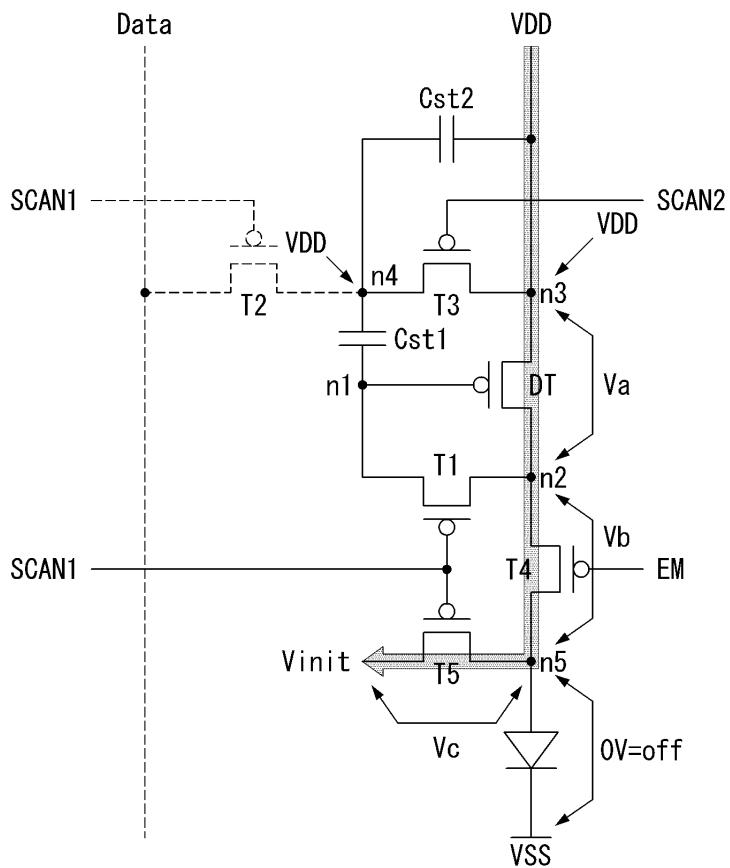
도면2



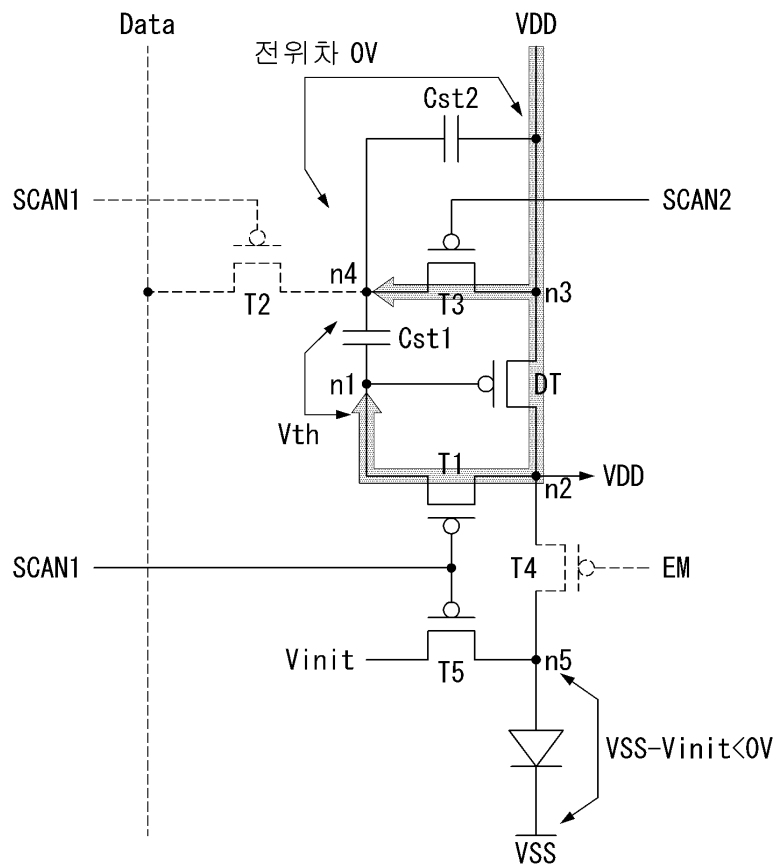
도면3



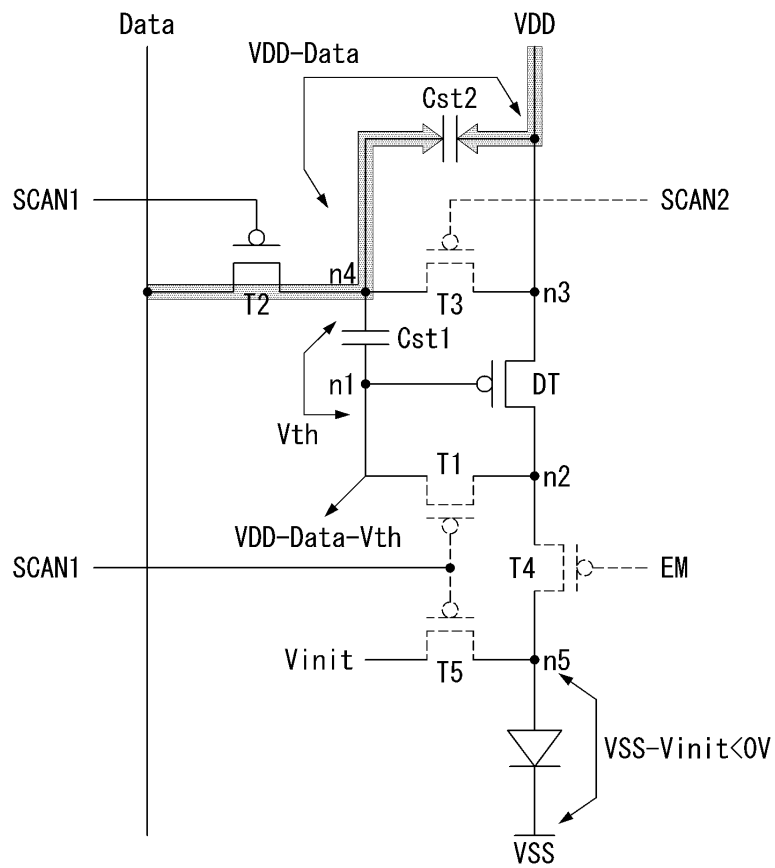
도면4a



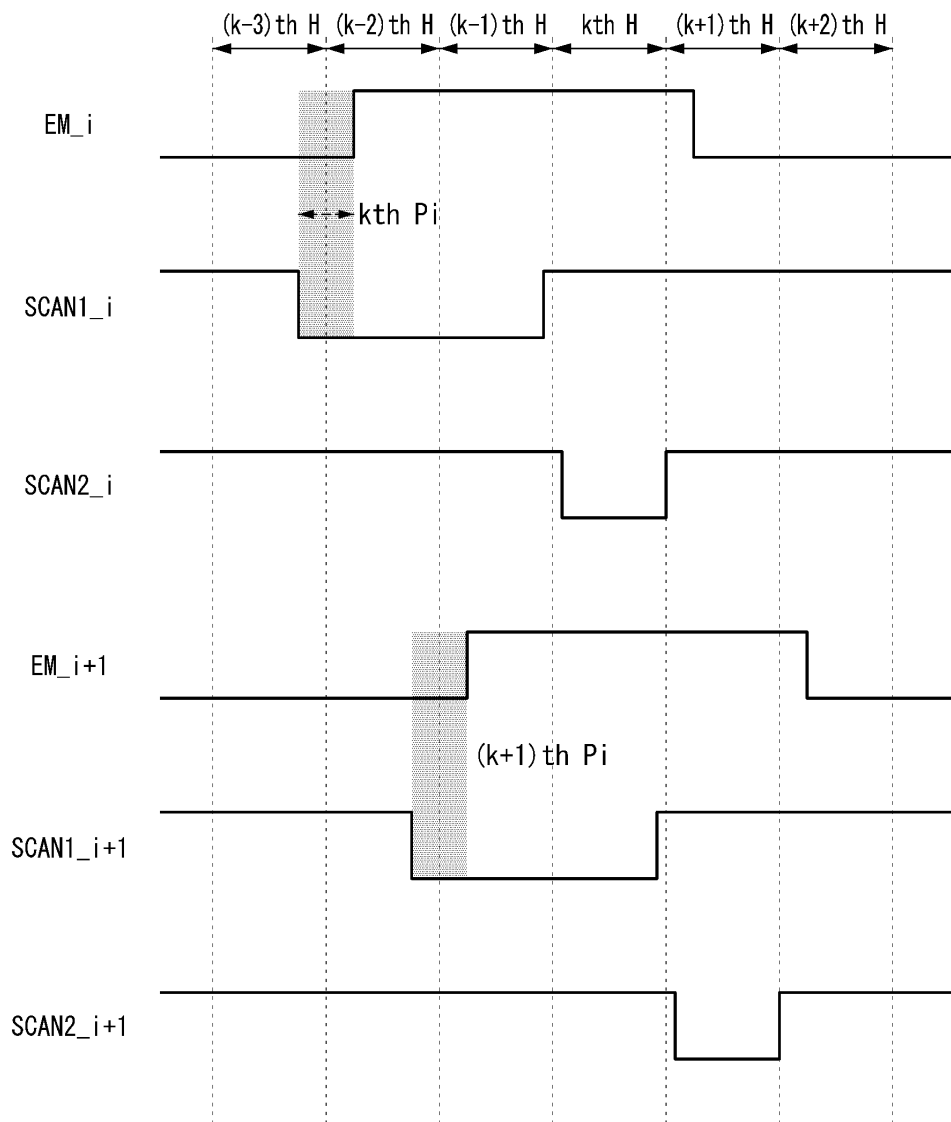
도면4b



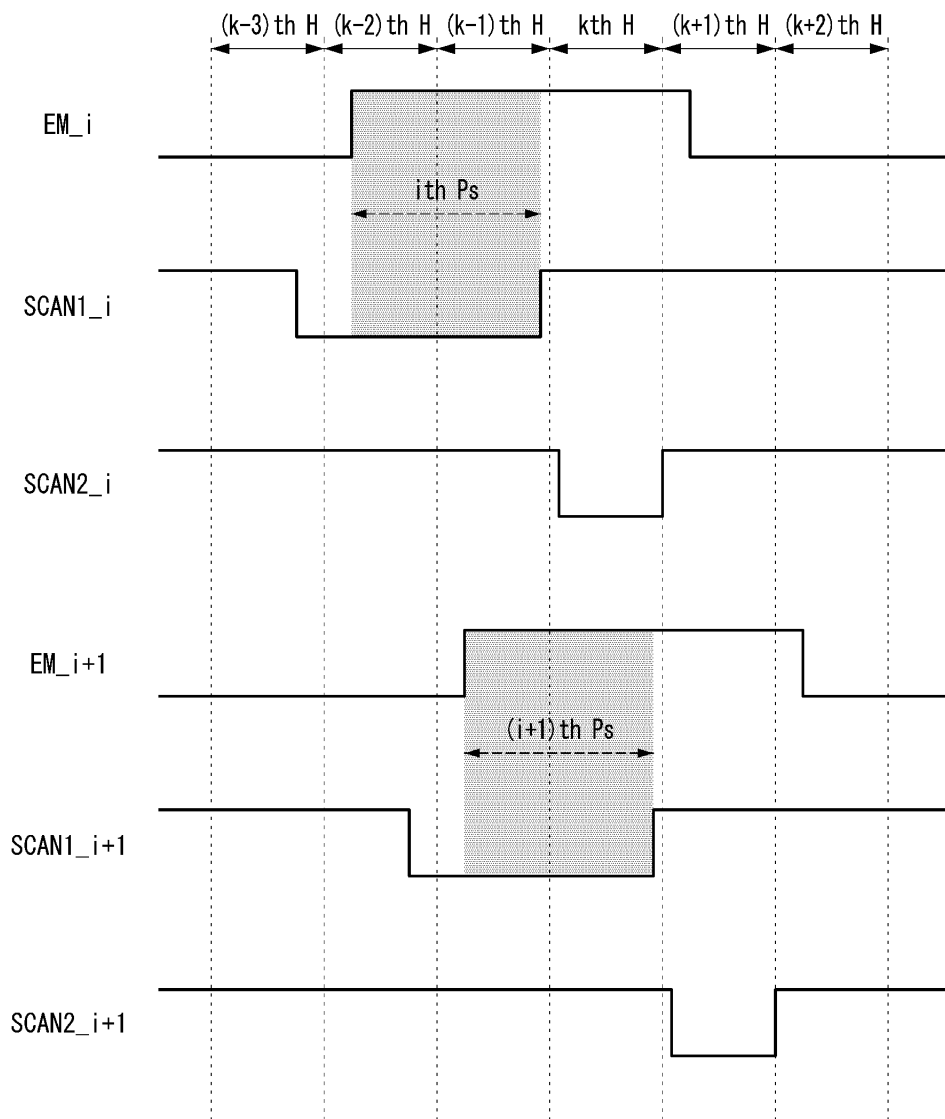
도면4c



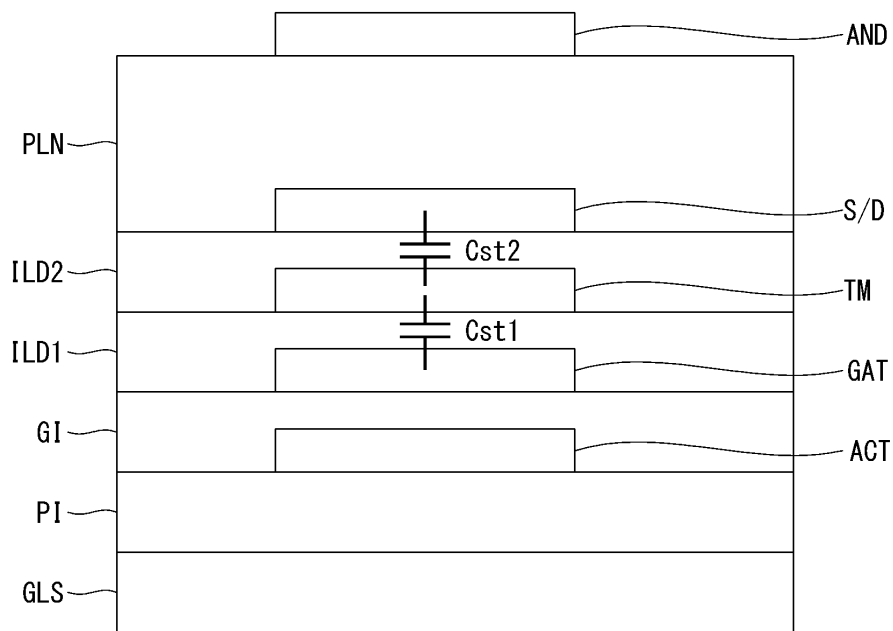
도면5



도면6



도면7



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020180128122A	公开(公告)日	2018-12-03
申请号	KR1020170063175	申请日	2017-05-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYU JIN 김규진 KWON KI TAE 권기태 KIM TAE HUN 김태훈 LEE DONG HYUN 이동현		
发明人	김규진 권기태 김태훈 이동현		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2230/00 G09G2300/043		
外部链接	Espacenet		

摘要(译)

根据显示装置具备的数据驱动电路用于驱动该栅极驱动电路以将有机发光二极管由栅极线驱动，并且被设置在像素中的数据线的显示面板，栅极线和数据线以连接本发明的有机发光二极管的。每个像素包括驱动晶体管，第一和第二电容器，以及第一至第五晶体管。Yirueojyeoseo驱动晶体管连接到第一节点，漏极电极和第三节点的源极电极连接到栅极电极和耦合到控制施加到有机发光二极管的驱动电流的第二节点。第一电容器连接到第一节点和第四节点，第二电容器连接到第四节点和高电势驱动电压输入。第一晶体管响应于第一扫描信号，切换第一节点和第二节点之间的电流路径。第二晶体管响应于第二扫描信号，切换数据线和第四节点之间的电流路径。第三晶体管响应于第一扫描信号，切换第三节点和第四节点之间的电流路径。第四晶体管响应发射信号以切换第二节点和有机发光二极管之间的电流路径。第五晶体管响应于第一扫描信号，切换初始线和有机发光二极管之间的电流路径。

