



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0082662
(43) 공개일자 2018년07월19일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2017-0002883

(22) 출원일자 2017년01월09일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

양건우

경기도 용인시 기흥구 삼성로 1 (농서동)

이기창

경기도 용인시 기흥구 삼성로 1 (농서동)

(뒷면에 계속)

(74) 대리인

강신섭, 문용호, 이용우

전체 청구항 수 : 총 12 항

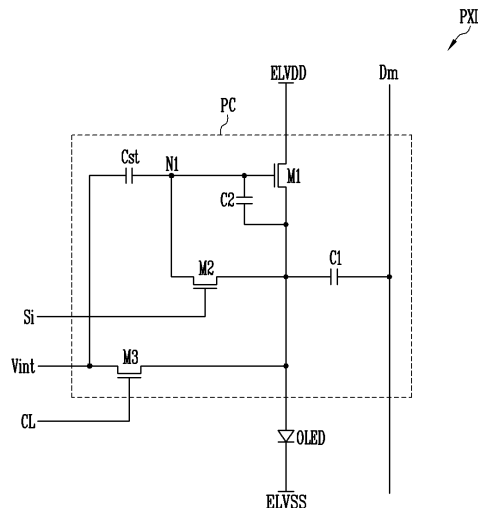
(54) 발명의 명칭 화소 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명은 표시품질을 향상시킬 수 있도록 한 화소에 관한 것이다.

본 발명의 실시예에 의한 화소는 유기 발광 다이오드와; 제 1노드의 전압에 대응하여 제 1구동전원으로부터 상기 유기 발광 다이오드를 경유하여 제 2구동전원으로 흐르는 전류량을 제어하기 위한 제 1트랜지스터와; 상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 주사선으로 주사신호가 공급될 때 턴-온되는 제 2트랜지스터와; 초기화전원과 상기 제 1노드 사이에 접속되는 스토리지 커패시터와; 상기 제 1트랜지스터의 제 2전극과 데이터선 사이에 접속되는 제 1커패시터와; 상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되는 제 2커패시터를 구비한다.

대표도 - 도2



(52) CPC특허분류
G09G 2330/028 (2013.01)

(72) 발명자

이원준

경기도 용인시 기흥구 삼성로 1 (농서동)

김원균

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

유기 발광 다이오드와;

제 1노드의 전압에 대응하여 제 1구동전원으로부터 상기 유기 발광 다이오드를 경유하여 제 2구동전원으로 흐르는 전류량을 제어하기 위한 제 1트랜지스터와;

상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 주사선으로 주사신호가 공급될 때 턴-온되는 제 2트랜지스터와;

초기화전원과 상기 제 1노드 사이에 접속되는 스토리지 커패시터와;

상기 제 1트랜지스터의 제 2전극과 데이터선 사이에 접속되는 제 1커패시터와;

상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되는 제 2커패시터를 구비하는 화소.

청구항 2

제 1항에 있어서,

상기 제 2커패시터는 상기 제 1트랜지스터의 게이트전극과 제 2전극 사이의 채널 커패시터보다 높은 용량으로 설정되는 화소.

청구항 3

제 1항에 있어서,

상기 초기화전원과 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 제어선으로 제어신호가 공급될 때 턴-온되는 제 3트랜지스터를 더 구비하는 화소.

청구항 4

제 1항에 있어서,

상기 제 2트랜지스터는 복수의 트랜지스터가 직렬로 접속되어 구성되는 화소.

청구항 5

한 프레임기간이 초기화기간, 문턱전압 보상기간, 프로그래밍기간 및 발광기간으로 나누어 구동되는 유기전계발광 표시장치에 있어서;

주사선들 및 데이터선들과 접속되도록 위치되는 화소들과;

상기 주사선들로 주사신호를 공급하기 위한 주사 구동부와;

상기 화소들과 공통적으로 접속된 제어선으로 제어신호를 공급하기 위한 제어 구동부와;

상기 화소들로 제 1구동전원, 제 2구동전원 및 초기화전원을 공급하기 위한 전원부를 구비하며;

상기 전원부는 상기 문턱전압 보상기간, 프로그래밍기간 및 발광기간 동안 서로 다른 전압으로 설정되는 상기 제 1구동전원을 공급하는 유기전계발광 표시장치.

청구항 6

제 5항에 있어서,

상기 전원부는

상기 초기화기간, 문턱전압 보상기간 및 프로그래밍기간 동안 제 1전압의 상기 초기화전원을 공급하고, 상기 발

광기간 동안 상기 제 1전압보다 높은 제 5전압의 상기 초기화전원을 공급하는 유기전계발광 표시장치.

청구항 7

제 6항에 있어서,

상기 제 1전압은 상기 유기 발광 다이오드가 비발광되도록 설정되는 유기전계발광 표시장치.

청구항 8

제 6항에 있어서,

상기 전원부는

상기 문턱전압 보상기간 동안 제 2전압의 상기 제 1구동전원을 공급하고, 상기 프로그래밍기간 동안 상기 제 2전압보다 높은 제 3전압의 상기 제 1구동전원을 공급하고, 상기 발광기간 동안 상기 제 3전압보다 높은 제 4전압의 상기 제 1구동전원을 공급하는 유기전계발광 표시장치.

청구항 9

제 8항에 있어서,

상기 제 2전압은 상기 제 1전압보다 낮은 전압으로 설정되는 유기전계발광 표시장치.

청구항 10

제 8항에 있어서,

상기 제 3전압은 상기 화소로 화이트 데이터신호가 공급될 때 상기 화소에 포함된 구동 트랜지스터가 턴-오프되도록 설정되는 유기전계발광 표시장치.

청구항 11

제 5항에 있어서,

i (i 는 자연수)번째 수평라인에 위치되는 화소들 각각은

유기 발광 다이오드와;

제 1노드의 전압에 대응하여 상기 제 1구동전원으로부터 상기 유기 발광 다이오드를 경유하여 상기 제 2구동전원으로 흐르는 전류량을 제어하기 위한 제 1트랜지스터와;

상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 제 i 주사선으로 주사신호가 공급될 때 턴-온되는 제 2트랜지스터와;

상기 초기화전원과 상기 제 1노드 사이에 접속되는 스토리지 커패시터와;

상기 제 1트랜지스터의 제 2전극과 데이터선 사이에 접속되는 제 1커패시터와;

상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되는 제 2커패시터와;

상기 초기화전원과 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 상기 제어선으로 상기 제어신호가 공급될 때 턴-온되는 제 3트랜지스터를 구비하는 유기전계발광 표시장치.

청구항 12

제 11항에 있어서,

상기 제 2커패시터는 상기 제 1트랜지스터의 게이트전극과 제 2전극 사이의 채널 커패시터보다 높은 용량으로 설정되는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 화소 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 표시품질을 향상시킬 수 있도록 한 화소 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0003] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결매체인 표시장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시장치(Liquid Crystal Display Device) 및 유기전계발광 표시장치(Organic Light Emitting Display Device) 등과 같은 표시장치(Display Device)의 사용이 증가하고 있다.

[0004] 표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode)를 이용하여 영상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0005] 유기전계발광 표시장치는 데이터선들 및 주사선들에 접속되는 화소들을 구비한다. 화소들은 일반적으로 유기 발광 다이오드, 유기 발광 다이오드로 흐르는 전류량을 제어하기 위한 구동 트랜지스터를 포함한다. 이와 같은 화소들은 데이터신호에 대응하여 구동 트랜지스터로부터 유기 발광 다이오드로 전류를 공급하면서 소정 휘도의 빛을 생성한다.

[0006] 한편, 화소는 구동 트랜지스터의 문턱전압 편차를 보상하기 위하여 다수의 트랜지스터, 일례로 6개 이상의 트랜지스터 및 복수의 커패시터를 포함할 수 있다. 화소에 다수의 트랜지스터들이 포함되는 경우 고해상도에 적용하기 어렵다. 따라서, 화소에 포함되는 트랜지스터의 수를 최소화하면서 표시품질을 향상시킬 수 있는 화소가 요구되고 있다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명은 화소에 포함되는 트랜지스터의 수를 최소화하면서 표시품질을 향상시킬 수 있도록 한 화소 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0010] 본 발명의 실시예에 의한 화소는 유기 발광 다이오드와; 제 1노드의 전압에 대응하여 제 1구동전원으로부터 상기 유기 발광 다이오드를 경유하여 제 2구동전원으로 흐르는 전류량을 제어하기 위한 제 1트랜지스터와; 상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 주사선으로 주사신호가 공급될 때 턴-온되는 제 2트랜지스터와; 초기화전원과 상기 제 1노드 사이에 접속되는 스토리지 커패시터와; 상기 제 1트랜지스터의 제 2전극과 데이터선 사이에 접속되는 제 1커패시터와; 상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되는 제 2커패시터를 구비한다.

[0011] 실시 예에 의한, 상기 제 2커패시터는 상기 제 1트랜지스터의 게이트전극과 제 2전극 사이의 채널 커패시터보다 높은 용량으로 설정된다.

[0012] 실시 예에 의한, 상기 초기화전원과 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 제어선으로 제어신호가 공급될 때 턴-온되는 제 3트랜지스터를 더 구비한다.

[0013] 실시 예에 의한, 상기 제 2트랜지스터는 복수의 트랜지스터가 직렬로 접속되어 구성된다.

[0014] 본 발명의 실시예에 의한 한 프레임기간이 초기화기간, 문턱전압 보상기간, 프로그래밍기간 및 발광기간으로 나누어 구동되는 유기전계발광 표시장치에 있어서; 주사선들 및 데이터선들과 접속되도록 위치되는 화소들과; 상기 주사선들로 주사신호를 공급하기 위한 주사 구동부와; 상기 화소들과 공통적으로 접속된 제어선으로 제어신호를 공급하기 위한 제어 구동부와; 상기 화소들로 제 1구동전원, 제 2구동전원 및 초기화전원을 공급하기 위한 전원부를 구비하며; 상기 전원부는 상기 문턱전압 보상기간, 프로그래밍기간 및 발광기간 동안 서로 다른 전압으로 설정되는 상기 제 1구동전원을 공급한다.

- [0015] 실시 예에 의한, 상기 전원부는 상기 초기화기간, 문턱전압 보상기간 및 프로그래밍기간 동안 제 1전압의 상기 초기화전원을 공급하고, 상기 발광기간 동안 상기 제 1전압보다 높은 제 5전압의 상기 초기화전원을 공급한다.
- [0016] 실시 예에 의한, 상기 제 1전압은 상기 유기 발광 다이오드가 비발광되도록 설정된다.
- [0017] 실시 예에 의한, 상기 전원부는 상기 문턱전압 보상기간 동안 제 2전압의 상기 제 1구동전원을 공급하고, 상기 프로그래밍기간 동안 상기 제 2전압보다 높은 제 3전압의 상기 제 1구동전원을 공급하고, 상기 발광기간 동안 상기 제 3전압보다 높은 제 4전압의 상기 제 1구동전원을 공급한다.
- [0018] 실시 예에 의한, 상기 제 2전압은 상기 제 1전압보다 낮은 전압으로 설정된다.
- [0019] 실시 예에 의한, 상기 제 3전압은 상기 화소로 화이트 데이터신호가 공급될 때 상기 화소에 포함된 구동 트랜지스터가 턴-오프되도록 설정된다.
- [0020] 실시 예에 의한, i (i 는 자연수)번째 수평라인에 위치되는 화소들 각각은 유기 발광 다이오드와; 제 1노드의 전압에 대응하여 상기 제 1구동전원으로부터 상기 유기 발광 다이오드를 경유하여 상기 제 2구동전원으로 흐르는 전류량을 제어하기 위한 제 1트랜지스터와; 상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 제 i 주사선으로 주사신호가 공급될 때 턴-온되는 제 2트랜지스터와; 상기 초기화전원과 상기 제 1노드 사이에 접속되는 스토리지 커패시터와; 상기 제 1트랜지스터의 제 2전극과 데이터선 사이에 접속되는 제 1커패시터와; 상기 제 1노드와 상기 제 1트랜지스터의 제 2전극 사이에 접속되는 제 2커패시터와; 상기 초기화전원과 상기 제 1트랜지스터의 제 2전극 사이에 접속되며, 상기 제어선으로 상기 제어신호가 공급될 때 턴-온되는 제 3트랜지스터를 구비한다.
- [0021] 실시 예에 의한, 상기 제 2커패시터는 상기 제 1트랜지스터의 게이트전극과 제 2전극 사이의 채널 커패시터보다 높은 용량으로 설정된다.

발명의 효과

- [0023] 본 발명의 실시예에 의한 화소 및 이를 이용한 유기전계발광 표시장치에 의하면 화소에 3개의 트랜지스터가 포함되고, 이에 따라 고해상도 패널에 적용할 수 있다. 또한, 본 발명의 실시예에서는 화소에 데이터신호가 저장되는 프로그래밍기간 동안 제 1구동전원(ELVDD)의 전압을 발광기간보다 낮게 설정하고, 이에 따라 제 1구동전원(ELVDD)으로부터의 누설전류에 의하여 표시품질이 저하되는 것을 방지할 수 있다. 그리고, 본 발명의 실시예에서는 구동 트랜지스터의 게이트전극과 제 2전극 사이에 커패시터를 형성하고, 이에 따라 데이터선의 전압 변화에 대응하여 구동 트랜지스터의 게이트전극 전압 변화량을 최소화할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- 도 2는 도 1에 도시된 화소의 실시예를 나타내는 도면이다.
- 도 3은 도 2에 도시된 화소의 구동방법 실시예를 나타내는 파형도이다.
- 도 4는 도 1에 도시된 화소의 다른 실시예를 나타내는 도면이다.
- 도 5는 도 2에 도시된 화소를 상세하게 설명한 평면도이다.
- 도 6은 도 5의 I-I' 라인에 따른 단면도이다.
- 도 7은 도 5의 II-II' 라인에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하 첨부한 도면을 참고하여 본 발명의 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 기재한다. 다만, 본 발명은 청구범위에 기재된 범위 안에서 여러 가지 상이한 형태로 구현될 수 있으므로 하기에 설명하는 실시예는 표현 여부에 불구하고 예시적인 것에 불과하다.
- [0027] 즉, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수

있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다.

- [0029] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- [0030] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 화소부(100), 주사 구동부(110), 데이터 구동부(120), 제어 구동부(130), 타이밍 제어부(140), 호스트 시스템(150) 및 전원부(160)를 구비한다.
- [0031] 호스트 시스템(150)은 소정의 인터페이스를 통해 영상 데이터(RGB)를 타이밍 제어부(140)로 공급한다. 또한, 호스트 시스템(150)은 수직동기신호(Vsync), 수평동기신호(Hsync), 데이터 인에이블 신호(DE) 및 클럭신호(CLK) 등을 타이밍 제어부(140)로 공급한다.
- [0032] 타이밍 제어부(140)는 호스트 시스템(150)으로부터 출력된 수직동기신호(Vsync), 수평동기신호(Hsync), 데이터 인에이블 신호(DE) 및 클럭신호(CLK) 등에 대응하여 주사 구동제어신호(SCS), 데이터 구동제어신호(DCS), 제어 구동제어신호(CCS) 및 타이밍 신호(TS)를 생성한다.
- [0033] 타이밍 제어부(140)에서 생성된 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급되고, 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 제어 구동제어신호(CCS)는 제어 구동부(130)로 공급되고, 타이밍 신호(TS)는 전원부(160)로 공급된다. 그리고, 타이밍 제어부(140)는 외부로부터 공급되는 데이터(RGB)를 재정렬하여 데이터 구동부(120)로 공급한다.
- [0034] 주사 구동제어신호(SCS)에는 주사 스타트 펄스 및 클럭신호들이 포함될 수 있다. 주사 스타트 펄스는 주사신호의 첫 번째 타이밍을 제어한다. 클럭신호들은 주사 스타트 펄스를 쉬프트시키기 위하여 사용된다.
- [0035] 데이터 구동제어신호(DCS)에는 소스 스타트 펄스 및 클럭신호들이 포함될 수 있다. 소스 스타트 펄스는 데이터의 샘플링 시작 시점을 제어한다. 클럭신호들은 샘플링 동작을 제어하기 위하여 사용된다.
- [0036] 제어 구동제어신호(CCS)는 제어 구동부(130)를 제어한다. 이와 같은 제어 구동제어신호(CCS)에는 제어 스타트 펄스가 포함될 수 있다.
- [0037] 타이밍 신호(TS)는 한 프레임의 기간을 구분하는 신호들이 포함될 수 있다. 일례로, 타이밍 신호(TS)에는 도 3에 도시된 초기화기간, 문턱전압 보상기간, 프로그래밍기간 및 발광기간을 구분하기 위한 신호들이 포함될 수 있다.
- [0038] 주사 구동부(110)는 주사 구동제어신호(SCS)에 대응하여 주사선(S)들로 주사신호를 공급한다. 일례로, 주사 구동부(110)는 도 3에 도시된 바와 같이 초기화기간 및 문턱전압 보상기간 동안 주사선(S)들로 주사신호를 동시에 공급할 수 있다. 그리고, 주사 구동부(110)는 프로그래밍기간 동안 주사선(S)들로 주사신호를 순차적으로 공급할 수 있다. 주사선(S)들로 주사신호가 공급되면 화소들(PXL)이 선택된다. 이를 위하여 주사신호는 화소(PXL)들에 포함된 트랜지스터가 턴-온될 수 있도록 게이트 온 전압으로 설정된다.
- [0039] 추가적으로, 주사 구동부(110)는 박막 공정을 통해서 기판에 실장될 수 있다. 또한, 주사 구동부(110)는 화소부(100)를 사이에 두고 양측에 위치될 수 있다.
- [0040] 데이터 구동부(120)는 데이터 구동제어신호(DCS)에 대응하여 데이터선(D)들로 데이터신호를 공급한다. 일례로, 데이터 구동부(120)는 프로그래밍기간 동안 주사선(S)들로 공급되는 주사신호와 동기되도록 데이터선(D)들로 데이터신호를 공급할 수 있다. 데이터선(D)들로 공급된 데이터신호는 주사신호에 의하여 선택된 화소(PXL)들로 공급된다. 또한, 데이터 구동부(120)는 프로그래밍기간을 제외한 나머지 기간(초기화기간, 문턱전압 보상기간, 발광기간) 동안 데이터선(D)들로 소정의 전압을 공급한다. 여기서, 소정의 전압은 데이터 구동부(120)에서 공급될 수 있는 데이터신호의 전압범위 내의 특정 전압으로 설정될 수 있다.
- [0041] 제어 구동부(130)는 초기화기간 동안 제어선(CL)으로 제어신호를 공급한다. 제어선(CL)으로 제어신호가 공급되면 화소(PXL)들 각각에 포함된 구동 트랜지스터가 초기화된다. 이를 위하여 제어신호는 화소(PXL)들에 포함된 트랜지스터가 턴-온될 수 있도록 게이트 온 전압으로 설정된다. 추가적으로, 제어선(CL)은 화소(PXL)들에 공통적으로 접속되고, 이에 따라 화소(PXL)들은 동시구동 방식으로 구동될 수 있다.

- [0042] 한편, 도 1에서는 제어 구동부(130)가 주사 구동부(110)와 별도의 구동부로도시되었지만, 본 발명이 이에 한정되지는 않는다. 일례로, 제어 구동부(130) 및 주사 구동부(110)는 하나의 구동부로 구현될 수 있다.
- [0043] 전원부(160)는 초기화전원(Vint), 제 1구동전원(ELVDD) 및 제 2구동전원(ELVSS)을 생성하여 화소(PXL)들로 공급한다.
- [0044] 전원부(160)는 초기화기간, 문턱전압 보상기간, 프로그래밍기간 동안 화소(PXL)들로 제 1전압(V1)의 초기화전원(Vint)을 공급하고, 발광기간 동안 제 5전압(V5)의 초기화전원(Vint)을 공급한다. 여기서, 제 5전압(V5)은 제 1전압(V1)보다 높은 전압으로 설정된다.
- [0045] 또한, 전원부(160)는 문턱전압 보상기간 동안 화소(PXL)들로 제 2전압(V2)의 제 1구동전원(ELVDD)을 공급하고, 프로그래밍기간 동안 제 3전압(V3)의 제 1구동전원(ELVDD)을 공급한다. 그리고, 전원부(160)는 발광기간 동안 화소(PXL)들로 제 4전압(V4)의 제 1구동전원(ELVDD)을 공급한다. 여기서, 제 2전압(V2)은 제 4전압(V4)보다 낮은 전압으로 설정된다. 그리고, 제 3전압(V3)은 제 2전압(V2) 및 제 4전압(V4) 사이의 전압으로 설정된다.
- [0046] 전원부(160)는 한 프레임(1F)기간 동안 화소(PXL)들로 소정전압의 제 2구동전원(ELVSS)을 공급한다. 여기서, 제 2구동전원(ELVSS)은 발광기간 동안 화소(PXL)들이 발광될 수 있도록 제 4전압(V4)보다 낮은 전압으로 설정된다.
- [0047] 화소부(100)는 데이터선(D)들, 주사선(S)들 및 제어선(CL)과 접속되도록 위치되는 화소(PXL)들을 구비한다. 화소(PXL)들은 전원부(160)로부터 제 1구동전원(ELVDD), 제 2구동전원(ELVSS) 및 초기화전원(Vint)을 공급받는다.
- [0048] 화소(PXL)들 각각은 프로그래밍기간 동안 데이터선(D)으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소(PXL)는 발광기간 동안 데이터신호에 대응하여 제 1구동전원(ELVDD)으로부터 유기 발광 다이오드(미도시)를 경유하여 제 2구동전원(ELVSS)으로 흐르는 전류량을 제어한다. 이때, 유기 발광 다이오드는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0050] 도 2는 도 1에 도시된 화소의 실시예를 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 제 i주사선(Si) 및 제 m데이터선(Dm)에 접속된 화소를 도시하기로 한다.
- [0051] 도 2를 참조하면, 본 발명의 실시예에 의한 화소(PXL)는 유기 발광 다이오드(OLED)와, 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어하기 위한 화소회로(PC)를 구비한다.
- [0052] 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(PC)에 접속되고, 캐소드전극은 제 2구동전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 발광기간 동안 화소회로(PC)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0053] 화소회로(PC)는 발광기간 동안 데이터신호에 대응하여 제 1구동전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2구동전원(ELVSS)으로 흐르는 전류량을 제어한다. 이를 위하여, 화소회로(PC)는 제 1트랜지스터(M1) 내지 제 3트랜지스터, 스토리지 커패시터(Cst), 제 1커패시터(C1) 및 제 2커패시터(C2)를 구비한다. 제 1트랜지스터(M1) 내지 제 3트랜지스터(M3)는 N형 트랜지스터(예를 들면, NMOS)로 형성된다.
- [0054] 제 1트랜지스터(M1)(또는 구동 트랜지스터)의 제 1전극은 제 1구동전원(ELVDD)에 접속되고, 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 그리고, 제 1트랜지스터(M1)의 게이트전극은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 1노드(N1)의 전압에 대응하여 제 1구동전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2구동전원(ELVSS)으로 흐르는 전류량을 제어한다.
- [0055] 제 2트랜지스터(M2)는 제 1노드(N1)와 제 1트랜지스터(M1)의 제 2전극 사이에 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 제 i주사선(Si)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 i주사선(Si)으로 주사 신호가 공급될 때 턴-온된다.
- [0056] 제 3트랜지스터(M3)는 초기화전원(Vint)과 유기 발광 다이오드(OLED)의 애노드전극 사이에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제어선(CL)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제어선(CL)으로 제어신호가 공급될때 턴-온된다.
- [0057] 스토리지 커패시터(Cst)는 초기화전원(Vint)과 제 1노드(N1) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 데이터신호 및 제 1트랜지스터(M1)의 문턱전압에 대응하는 전압을 저장한다.
- [0058] 제 1커패시터(C1)는 데이터선(Dm)과 제 1트랜지스터(M1)의 제 2전극 사이에 접속된다. 이와 같은 제 1커패시터

(C1)는 데이터선(Dm)의 전압에 대응하여 제 1트랜지스터(M1)의 제 2전극의 전압을 제어한다.

- [0059] 제 2커패시터(C2)는 제 1노드(N1)와 제 1트랜지스터(M1)의 제 2전극 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 제 1트랜지스터(M1)의 게이트전극과 제 2전극 사이에 형성되는 채널 커패시터(미도시)보다 높은 용량을 갖도록 설정된다. 그러면, 제 2트랜지스터(M2)가 턴-오프된 후 데이터선(Dm)의 전압에 대응한 제 1노드(N1)의 전압 변화량을 최소화할 수 있다.
- [0061] 도 3은 도 2에 도시된 화소의 구동방법 실시예를 나타내는 파형도이다.
- [0062] 도 3을 참조하면, 한 프레임(1F) 기간은 초기화기간, 문턱전압 보상기간, 프로그래밍기간 및 발광기간으로 나뉘어진다.
- [0063] 초기화기간 동안 제 1노드(N1) 및 유기 발광 다이오드(OLED)의 애노드전극은 제 1전압(V1)의 초기화전원(Vint)에 의하여 초기화된다.
- [0064] 문턱전압 보상기간 동안 스토리지 커패시터(Cst)에는 제 1트랜지스터(M1)의 문턱전압에 대응되는 전압이 저장된다.
- [0065] 프로그래밍기간 동안 스토리지 커패시터(Cst)에는 데이터신호에 대응되는 전압이 저장된다.
- [0066] 발광기간 동안 유기 발광 다이오드(OLED)는 화소회로(PC)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0067] 동작과정을 설명하면, 먼저 초기화기간 동안 모든 주사선(S)들로 주사신호가 공급되고, 제어선(CL)으로 제어신호가 공급된다.
- [0068] 제어선(CL)으로 제어신호가 공급되면 화소(PXL)들 각각에 포함된 제 3트랜지스터(M3)가 턴-온된다. 제 3트랜지스터(M3)가 턴-온되면 초기화전원(Vint)의 전압이 유기 발광 다이오드(OLED)의 애노드전극으로 공급된다.
- [0069] 주사선(S)들로 주사신호가 공급되면 화소(PXL)들 각각에 포함된 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 초기화전원(Vint)의 전압이 제 1노드(N1)로 공급된다. 즉, 초기화기간 동안 화소(PXL)들 각각에 포함된 유기 발광 다이오드(OLED)의 애노드전극 및 제 1노드(N1)는 제 1전압(V1)(즉, 초기화전원(Vint) 전압)으로 초기화된다. 여기서, 제 1전압(V1)은 유기 발광 다이오드(OLED)가 비발광되도록 설정된다.
- [0070] 문턱전압 보상기간에는 제어선(CL)으로 제어신호의 공급이 중단됨과 아울러 제 1구동전원(ELVDD)이 제 2전압(V2)으로 설정된다. 여기서, 제 2전압(V2)은 제 1전압(V1)보다 낮은 전압으로 설정된다. 그리고, 문턱전압 보상기간 동안 주사선(S)들로 주사신호의 공급이 유지된다.
- [0071] 주사선(S)들로 주사신호가 공급되면 화소(PXL)들 각각에 포함된 제 2트랜지스터(M2)가 턴-온 상태를 유지한다. 제 2트랜지스터(M2)가 턴-온되는 경우, 제 1트랜지스터(M1)는 유기 발광 다이오드(OLED)의 애노드전극으로부터 제 1구동전원(ELVDD)으로 전류가 흐를 수 있도록 다이오드 형태로 접속된다.
- [0072] 제어선(CL)으로 제어신호의 공급이 중단되면 화소(PXL)들 각각에 포함된 제 3트랜지스터(M3)가 턴-오프된다. 그러면, 제 1전압(V1)으로 설정된 제 1노드 및 유기 발광 다이오드(OLED)의 애노드전극으로부터 제 2전압(V2)으로 설정된 제 1구동전원(ELVDD)으로 전류가 공급된다.
- [0073] 이때, 상술한 바와 같이 제 1트랜지스터(M1)가 다이오드 형태로 접속되기 때문에 제 1노드(N1)의 전압은 제 1구동전원(ELVDD)의 제 2전압(V2)에 제 1트랜지스터(M1)의 절대치 문턱전압을 합한 전압으로 설정된다. 즉, 문턱전압 보상기간 동안 제 1노드(N1)에는 제 1트랜지스터(M1)의 문턱전압에 대응하는 전압이 인가된다. 문턱전압 보상기간 동안 스토리지 커패시터(Cst)는 제 1노드(N1)에 인가된 제 1트랜지스터(M1)의 문턱전압에 대응되는 전압을 저장한다.
- [0074] 상술한 초기화기간 및 문턱전압 보상기간에는 모든 주사선(S)들로 주사신호가 동시에 공급된다. 따라서, 초기화기간 및 문턱전압 보상기간에 의하여 화소(PXL)들 각각에 포함된 스토리지 커패시터(Cst)에는 자신과 접속된 제 1트랜지스터(M1)의 문턱전압에 대응되는 전압이 저장된다.
- [0075] 프로그래밍기간에는 주사선(S)들로 주사신호가 순차적으로 공급된다. 그리고, 제 1구동전원(ELVDD)은 제 2전압(V2)보다 높은 제 3전압(V3)으로 설정된다.

- [0076] 제 i주사선(Si)으로 주사신호가 공급되면 제 i주사선(Si)과 접속된 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 제 1노드(N1)와 제 1트랜지스터(M1)의 제 2전극이 전기적으로 접속된다.
- [0077] 데이터선(Dm)으로는 제 i주사선(Si)과 동기되도록 데이터신호가 공급된다. 데이터선(Dm)으로 데이터신호가 공급되면 제 1커패시터(C1)의 커플링에 의하여 제 1트랜지스터(M1)의 제 2전극 및 제 1노드(N1)의 전압이 변경된다. 즉, 프로그래밍기간 동안 제 1노드(N1)의 전압은 데이터신호의 전압에 대응하여 설정된다. 프로그래밍기간 동안 스토리지 커패시터(Cst)는 제 1노드(N1)의 전압을 저장한다. 즉, 스토리지 커패시터(Cst)에는 제 1트랜지스터(M1)의 문턱전압 및 데이터신호에 대응되는 전압이 저장된다.
- [0078] 한편, 프로그래밍기간에는 주사선(S)들로 주사신호가 순차적으로 공급된다. 그러면, 화소(PXL)들에 각각에 포함된 제 2트랜지스터(M2)가 수평라인 단위로 턴-온되고, 이에 따라 화소(PXL)들 각각에 원하는 데이터신호에 대응되는 전압이 저장된다.
- [0079] 프로그래밍기간 동안 제 1구동전원(ELVDD)은 제 3전압(V3)으로 설정된다. 제 3전압(V3)은 화이트 데이터신호가 공급될 때 제 1트랜지스터(M1)가 턴-오프 상태를 유지할 수 있는 전압으로 설정된다.
- [0080] 발광기간에는 제 1구동전원(ELVDD)이 제 3전압(V3)보다 높은 제 4전압(V4)으로 설정된다. 그리고, 발광기간 동안 초기화전원(Vint)은 제 5전압(V5)으로 설정된다.
- [0081] 초기화전원(Vint)이 제 5전압(V5)으로 설정되면, 즉 초기화전원(Vint)이 제 1전압(V1)에서 제 5전압(V5)으로 상승되면 스토리지 커패시터(Cst)의 커플링에 의하여 제 1노드(N1)의 전압이 상승된다. 이때, 제 1트랜지스터(M1)는 제 1노드(N1)의 전압에 대응하여 제 4전압(V4)으로 설정된 제 1구동전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2구동전원(ELVSS)으로 흐르는 전류량을 제어한다. 이를 위하여, 제 4전압(V4) 및 제 5전압(V5)은 화소(PXL)들에서 안정적으로 전류가 공급될 수 있도록 설정될 수 있다.
- [0082] 상술한 바와 같이 본 발명의 실시예에 의한 화소(PXL)들은 한 프레임(1F) 기간 동안 초기화기간, 문턱전압 보상기간, 프로그래밍기간 및 발광기간을 거치면서 소정 휘도의 빛을 생성한다.
- [0083] 본 발명의 실시예에서는 프로그래밍기간 동안 제 1구동전원(ELVDD)은 제 4전압(V4)보다 낮은 제 3전압(V3)으로 설정된다. 그러면, 프로그래밍기간 동안 제 1구동전원(ELVDD)의 누설전류에 의하여 제 1노드(N1)의 전압이 변경되는 것을 방지할 수 있다.
- [0084] 다시 말하여, 프로그래밍기간 동안 제 1구동전원(ELVDD)이 제 4전압(V4)으로 설정되는 경우, 제 1구동전원(ELVDD)의 누설전류에 의하여 제 1노드(N1)의 전압이 변경될 수 있다. 이에 따라 본 발명의 실시예에서는 프로그래밍기간 동안 제 1구동전원(ELVDD)의 전압을 제 4전압(V4)보다 낮은 제 3전압(V3)으로 설정하고, 이에 따라 제 1구동전원(ELVDD)으로부터의 누설전류를 최소화할 수 있다.
- [0085] 또한, 본 발명의 실시예에서는 제 2커패시터(C2)에 의하여 프로그래밍기간 동안 데이터선(Dm)의 전압 변화에 대응한 제 1노드(N1)의 전압 변화를 최소화할 수 있다.
- [0086] 상세히 설명하면, 제 1트랜지스터(M1)의 게이트전극 및 제 2전극 사이에는 채널 커패시터가 형성된다. 따라서, 제 2트랜지스터(M2)가 턴-오프되더라도 데이터선(Dm)의 전압 변화에 대응하여 제 1노드(N1)의 전압이 변경될 수 있다. 일례로, 제 1노드(N1)의 전압은 제 1커패시터(C1) 및 채널 커패시터의 용량에 대응하여 변경될 수 있다.
- [0087] 이를 방지하기 위하여, 본 발명의 실시예에서는 채널 커패시터보다 높은 용량을 갖도록 제 1트랜지스터(M1)의 게이트전극과 제 2전극 사이에 제 2커패시터(C2)를 형성한다. 제 2커패시터(C2)가 형성되면 제 1노드(N1)의 전압은 제 1커패시터(C1) 및 제 2커패시터(C2)의 용량에 대응하여 변경된다.
- [0088] 일례로, 제 1노드(N1)이 전압 변화량은 대략 $\Delta V / (C1 + C2)$ 로 설명될 수 있다. (ΔV 는 데이터선의 전압 변화량) 즉, 채널 커패시터 대신에 높은 용량을 가지는 제 2커패시터(C2)가 형성되는 경우, 데이터선(Dm)의 전압 변화량에 대응한 제 1노드(N1)의 전압 변화량을 최소화할 수 있다.
- [0090] 도 4는 도 1에 도시된 화소의 다른 실시예를 나타내는 도면이다. 도 4를 설명할 때 도 2와 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.
- [0091] 도 4를 참조하면, 본 발명의 실시예에 의한 화소(PXL)는 유기 발광 다이오드(OLED)와, 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어하기 위한 화소회로(PC')를 구비한다.

- [0092] 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(PC')에 접속되고, 캐소드전극은 제 2구동전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 발광기간 동안 화소회로(PC')로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0093] 화소회로(PC')는 발광기간 동안 데이터신호에 대응하여 제 1구동전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2구동전원(ELVSS)으로 흐르는 전류량을 제어한다. 이를 위하여, 화소회로(PC')는 제 1트랜지스터(M1) 내지 제 3트랜지스터, 스토리지 커패시터(Cst), 제 1커패시터(C1) 및 제 2커패시터(C2)를 구비한다.
- [0094] 제 2트랜지스터(M2_1, M2_2)는 제 1노드(N1)와 제 1트랜지스터(M1)의 제 2전극 사이에서 복수의 트랜지스터가 직렬로 접속되어 형성된다. 그리고, 제 2트랜지스터(M2_1, M2_2)의 게이트전극은 제 i주사선(Si)에 접속된다. 이와 같은 제 2트랜지스터(M2_1, M2_2)는 제 i주사선(Si)으로 주사신호가 공급될 때 턴-온된다.
- [0095] 본 발명의 다른 실시예에 의한 화소(PXL)는 제 2트랜지스터(M2_1, M2_2)가 복수의 트랜지스터로 구성될 뿐, 그 외의 구성은 도 2의 화소(PXL)와 동일하다. 제 2트랜지스터(M2_1, M2_2)가 복수의 트랜지스터로 구성되면 누설 전류에 의하여 제 1노드(N1)의 전압이 변경되는 것을 방지할 수 있고, 이에 따라 구동의 신뢰성을 확보할 수 있다.
- [0097] 도 5는 도 2에 도시된 화소를 상세하게 설명한 평면도이며, 도 6은 도 5의 I-I' 라인에 따른 단면도이며, 도 7은 도 5의 II-II' 라인에 따른 단면도이다. 도 5 내지 도 7에서는 설명의 편의성을 위하여 제 i주사선(Si) 및 제 m데이터선(Dm)에 접속된 화소를 도시하기로 한다.
- [0098] 도 5 내지 도 7을 참조하면, 표시 장치는 기판(SUB), 및 기판(SUB) 상의 화소들(PXL)을 포함할 수 있다.
- [0099] 기판(SUB)은 투명 절연 물질을 포함하여 광의 투과가 가능하다. 기판(SUB)은 경성(rigid) 기판일 수 있다. 예를 들면, 기판(SUB)은 유리 기판, 석영 기판, 유리 세라믹 기판 및 결정질 유리 기판 중 하나일 수 있다.
- [0100] 또한, 기판(SUB)은 가요성(flexible) 기판일 수도 있다. 여기서, 기판(SUB)은 고분자 유기물을 포함하는 필름 기판 및 플라스틱 기판 중 하나일 수 있다. 예를 들면, 기판(SUB)은 폴리스티렌(polystyrene), 폴리비닐알코올(polyvinyl alcohol), 폴리메틸메타크릴레이트(Polymethyl methacrylate), 폴리에테르술폰(polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테리미드(polyetherimide), 폴리에틸렌 나프탈레이트(polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate), 트리아세테이트 셀룰로오스(triacetate cellulose), 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate) 중 적어도 어느 하나를 포함할 수 있다. 다만, 기판(SUB)을 구성하는 재료는 다양하게 변화될 수 있으며, 섬유 강화플라스틱(FRP, Fiber reinforced plastic) 등을 포함할 수도 있다.
- [0101] 화소들(PXL)은 주사선(Si), 데이터선(Dm), 제어선(CL), 전원선(PL), 및 초기화 전원선(IPL)에 연결될 수 있다. 주사선(Si) 및 제어선(CL)은 일 방향으로 연장되고, 서로 이격되어 배치될 수 있다. 주사선(Si)은 i번째 주사선호를 인가받을 수 있다. 제어선(CL)은 초기화 기간 동안 제어신호를 인가받을 수 있다. 데이터선(Dm)은 주사선(Si) 및 제어선(CL)과 교차하는 방향으로 연장될 수 있다. 데이터선(Dm)은 데이터신호를 인가받을 수 있다. 전원선(PL)은 주사선(Si) 및 제어선(CL)과 교차하는 방향으로 연장될 수 있다. 전원선(PL)은 제 1구동 전원(도 1 및 도 2의 ELVDD 참조)을 인가받을 수 있다.
- [0102] 초기화 전원선(IPL)은 주사선(Si) 및 제어선(CL)과 교차하는 방향으로 연장될 수 있다. 초기화 전원선(IPL)은 초기화 전원(도 1 및 도 2의 Vint 참조)을 인가받을 수 있다.
- [0103] 화소들(PXL) 각각은 제 1트랜지스터(M1), 제 2트랜지스터(M2), 제 3트랜지스터(M3), 제 1커패시터(C1), 제 2커패시터(C2), 스토리지 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함할 수 있다.
- [0104] 제 1트랜지스터(M1)는 제 1게이트 전극(GE1), 제 1액티브 패턴(ACT1), 제 1드레인 전극(DE1), 및 제 1소스 전극(SE1)을 포함할 수 있다. 제 1게이트 전극(GE1)은 스토리지 커패시터(Cst) 및 제 2커패시터(C2)에 연결될 수 있다. 제 1드레인 전극(DE1)은 제 1콘택 홀(CH1)을 통하여 전원선(PL)과 연결될 수 있다. 제 1소스 전극(SE1)은 유기 발광 다이오드(OLED)의 제 1전극(AD)에 접속될 수 있다.
- [0105] 본 발명의 일 실시예에 있어서, 제 1액티브 패턴(ACT1)과 제 1드레인 전극(DE1) 및 제 1소스 전극(SE1)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제 1드레인 전극(DE1) 및 제

1소스 전극(SE1)은 불순물이 도핑된 반도체층으로 이루어지며, 제 1액티브 패턴(ACT1)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제 1액티브 패턴(ACT1)은 소정 방향으로 연장된 바(bar) 형상을 가지며, 연장된 길이 방향을 따라 복수 회 절곡된 형상을 가질 수 있다. 제 1액티브 패턴(ACT1)은 제 1게이트 전극(GE1)과 중첩된 부분에 해당될 수 있다. 즉, 제 1액티브 패턴(ACT1)은 평면 상에서 볼 때 제 1게이트 전극(GE1)과 중첩할 수 있다. 제 1액티브 패턴(ACT1)이 길게 형성됨으로써 제 1트랜지스터(M1)의 채널 영역이 길게 형성될 수 있다.

[0106] 제 1드레인 전극(DE1)의 일단은 전원선(PL)에 연결되고, 제 1드레인 전극(DE1)의 타단은 제 1액티브 패턴(ACT1)의 일 단에 연결될 수 있다. 제 1소스 전극(SE1)의 일단은 제 1액티브 패턴(ACT1)의 타단에 연결될 수 있다. 제 1소스 전극(SE1)의 타단은 제 3트랜지스터(M3)의 제 3드레인 전극(DE3)에 연결될 수 있다. 또한, 제 1소스 전극(SE1)의 타단은 제 2콘택 홀(CH2)을 통하여 브릿지 패턴(BRP)에 연결될 수 있다.

[0107] 제 2트랜지스터(M2)는 제 2게이트 전극(GE2), 제 2액티브 패턴(ACT2), 제 2드레인 전극(DE2), 및 제 2소스 전극(SE2)을 포함될 수 있다. 제 2게이트 전극(GE2)은 주사선(Si)에 연결될 수 있다. 제 2게이트 전극(GE2)은 주사선(Si)의 일부로 제공되거나, 주사선(Si)으로부터 돌출된 형상으로 제공될 수 있다.

[0108] 본 발명의 실시예에 있어서, 제 2액티브 패턴(ACT2), 제 2드레인 전극(DE2) 및 제 2소스 전극(SE2)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제 2드레인 전극(DE2) 및 제 2소스 전극(SE2)은 불순물이 도핑된 반도체층으로 이루어지며, 제 2액티브 패턴(ACT2)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제 2액티브 패턴(ACT2)은 제 2게이트 전극(GE2)과 중첩된 부분에 해당될 수 있다. 제 2드레인 전극(DE2)의 일단은 제 2액티브 패턴(ACT2)에 연결될 수 있다. 제 2드레인 전극(DE2)의 타단은 제 3 콘택 홀(CH3)을 통해 제2 커패시터(C2)의 제3 하부 전극(LE3)에 연결될 수 있다. 제 2소스 전극(SE2)의 일단은 제 2액티브 패턴(ACT2)에 연결될 수 있다. 제 2소스 전극(SE2)의 타단은 제 1트랜지스터(M1)의 제 1소스 전극(SE1)과 연결될 수 있다. 또한, 제 2소스 전극(SE2)의 타단은 제 2콘택 홀(CH2)을 통하여 제 2커패시터(C2)에 연결될 수 있다.

[0109] 제 3트랜지스터(M3)는 제 3게이트 전극(GE3), 제 3액티브 패턴(ACT3), 제 3드레인 전극(DE3), 및 제 3소스 전극(SE3)을 포함할 수 있다. 제 3게이트 전극(GE3)은 제 6콘택 홀(CH6)을 통하여 제어선(CL)에 연결될 수 있다.

[0110] 본 발명의 실시예에 있어서, 제 3액티브 패턴(ACT3), 제 3드레인 전극(DE3) 및 제 3소스 전극(SE3)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제 3드레인 전극(DE3) 및 제 3소스 전극(SE3)은 불순물이 도핑된 반도체층으로 이루어지며, 제 3액티브 패턴(ACT3)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제 3액티브 패턴(ACT3)은 제 3게이트 전극(GE3)과 중첩된 부분에 해당한다. 제 3드레인 전극(DE3)의 일 단은 제 3액티브 패턴(ACT3)에 연결될 수 있다. 제 3드레인 전극(DE3)의 타단은 제 1트랜지스터(M1)의 제 1소스 전극(SE1)에 연결될 수 있다. 또한, 제 3드레인 전극(DE3)의 타단은 제 2콘택 홀(CH2)을 통하여 브릿지 패턴(BRP)에 연결될 수 있다. 제 3소스 전극(SE3)의 일단은 제 3액티브 패턴(ACT3)에 연결될 수 있다. 제 3소스 전극(SE3)의 타단은 제 4콘택 홀(CH4)을 통하여 초기화 전원선(IPL)에 연결될 수 있다.

[0111] 유기 발광 다이오드(OLED)는 제 1전극(AD), 제 2전극(CD), 및 제 1전극(AD)과 제 2전극(CD) 사이에 제공된 발광층(EML)을 포함할 수 있다. 제 1전극(AD)은 각 화소(PXL)에 대응하는 발광 영역 내에 제공될 수 있다. 제 1전극(AD)은 제 7콘택 홀(CH7)을 통해 브릿지 패턴(BRP)에 연결될 수 있다. 브릿지 패턴(BRP)은 제 2콘택 홀(CH2)을 통하여 제 1소스 전극(SE1)에 연결되므로, 제 1전극(AD)은 제 1소스 전극(SE1)에 전기적으로 연결될 수 있다. 제 1전극(AD)은 전원선(PL)에 전기적으로 연결되어, 제 1전원(도 2 및 도 3의 ELVDD 참조)을 공급받을 수 있다. 제 2전극(CD)은 제 2전원(도 2 및 도 3의 ELVSS 참조)에 접속될 수 있다.

[0112] 스토리지 커패시터(Cst)는 제 1하부 전극(LE1)과 제 1상부 전극(UE1)을 포함할 수 있다. 제 1하부 전극(LE1)은 제 1트랜지스터(M1)의 제 1게이트 전극(GE1)으로 이루어질 수 있다. 제 1상부 전극(UE1)은 제 1게이트 전극(GE1)과 중첩하며, 평면 상에서 볼 때, 제 1하부 전극(LE1)의 적어도 일부를 커버할 수 있다. 제 1하부 전극(LE1)과 제 1상부 전극(UE1)의 중첩 면적을 넓힘으로써 스토리지 커패시터(Cst)의 커패시턴스가 증가될 수 있다. 제 1상부 전극(UE1)은 제 5콘택 홀(CH5)을 통하여 초기화 전원선(IPL)에 연결될 수 있다. 즉, 제 1상부 전극(UE1)은 초기화 전원(Vint)과 동일한 레벨의 전원을 공급받을 수 있다.

[0113] 제 1커패시터(C1)는 제 2하부 전극(LE2)과 제 2상부 전극(UE2)을 포함할 수 있다. 제 2하부 전극(LE2)은 브릿지 패턴(BRP)과 동일한 층 상에서 동일한 물질로 형성될 수 있다. 제 2하부 전극(LE2)은 브릿지 패턴(BRP)의 일부로 제공되거나, 브릿지 패턴(BRP)으로부터 돌출된 형상으로 제공될 수 있다. 평면상에서 볼 때, 제 2상부 전극

(UE2)은 제 2하부 전극(LE2)의 적어도 일부를 커버할 수 있다. 제 2상부 전극(UE2)은 유기 발광 다이오드(OLED)의 제 1전극(AD)과 동일한 층에서 동일한 물질로 형성될 수 있다. 제 2상부 전극(UE2)은 제 1전극(AD)의 일부로 제공되거나, 제 1전극(AD)으로부터 돌출된 형상으로 제공될 수 있다.

- [0114] 제 1커패시터(C1)는 제 2하부 전극(LE2)과 제 2상부 전극(UE2) 사이에 제공되는 중간 전극(ME)을 더 포함할 수 있다. 중간 전극(ME)에 의하여 제 1커패시터(C1)는 제 2하부 전극(LE2)과 중간 전극(ME)으로 구성되는 제 1서브 커패시터, 및 유기 발광 다이오드(OLED)의 제 2상부 전극(UE2)과 중간 전극(ME)으로 구성되는 제 2서브 커패시터를 포함할 수 있다. 제 1서브 커패시터와 제 2서브 커패시터는 병렬 연결되어, 제 1커패시터(C1)의 용량을 증가시킬 수 있다. 중간 전극(ME)은 데이터선(Dm)과 연결될 수 있다. 예를 들면, 중간 전극(ME)은 데이터선(Dm)의 일부로 제공되거나, 데이터선(Dm)으로부터 돌출된 형상으로 제공될 수 있다.
- [0115] 제 2커패시터(C2)는 제 3하부 전극(LE3)과 제 3상부 전극(UE2)을 포함할 수 있다. 제 3하부 전극(LE3)은 제 1상부 전극(UE1)과 동일한 층 상에서 동일한 물질로 형성될 수 있다. 제 3하부 전극(LE3)은 제 1상부 전극(UE1)과 이격되고, 제 3콘택 홀(CH3)을 통하여 제 2소스 전극(SE2)과 전기적으로 연결될 수 있다.
- [0116] 평면상에서 볼 때, 제 3상부 전극(UE3)은 제 3하부 전극(LE3)의 적어도 일부를 커버할 수 있다. 제 3상부 전극(UE3)은 브릿지 패턴(BRP)과 동일층 상에 동일한 물질로 형성될 수 있다. 제 3상부 전극(UE3)은 브릿지 패턴(BRP)의 일부로 제공되거나, 브릿지 패턴(BRP)으로부터 돌출된 형상으로 제공될 수 있다.
- [0117] 하기에서는, 도 5 내지 도 7을 참조하여, 본 발명의 일 실시예에 따른 표시 장치의 구조에 대해 적층 순서에 따라 설명한다.
- [0118] 기판(SUB) 상에 액티브 패턴(ACT)이 제공될 수 있다. 액티브 패턴(ACT)은 제 1액티브 패턴(ACT1) 내지 제 3액티브 패턴(ACT3), 제 1드레인 전극(DE1) 내지 제 3드레인 전극(DE3), 및 제 1소스 전극(SE1) 내지 제 3소스 전극(SE3)을 포함할 수 있다. 제 1액티브 패턴(ACT1) 내지 제 3액티브 패턴(ACT3), 제 1드레인 전극(DE1) 내지 제 3드레인 전극(DE3), 및 제 1소스 전극(SE1) 내지 제 3소스 전극(SE3)은 반도체 물질을 포함할 수 있다.
- [0119] 기판(SUB)과 액티브 패턴(ACT) 사이에는 버퍼층(미도시)이 제공될 수 있다.
- [0120] 액티브 패턴(ACT)이 형성된 기판(SUB) 상에는 게이트 절연막(GI)이 제공될 수 있다.
- [0121] 게이트 절연막(GI) 상에는 주사선(Si), 및 제 1게이트 전극(GE1) 내지 제 3게이트 전극(GE3)이 제공될 수 있다. 주사선(Si), 및 제 1게이트 전극(GE1) 내지 제 3게이트 전극(GE3)은 동일한 공정에서 동일한 물질로 형성될 수 있다. 제 1게이트 전극(GE1)은 스토리지 커패시터(Cst)의 하부 전극(LE)이 될 수 있다. 제 2게이트 전극(GE2)은 주사선(Si)과 일체로 형성될 수 있다.
- [0122] 주사선(Si) 등이 형성된 기판(SUB) 상에는 제 1층간 절연막(IL1)이 제공될 수 있다.
- [0123] 제 1층간 절연막(IL1) 상에는 스토리지 커패시터(Cst)의 제 1상부 전극(UE1), 제어선(CL), 및 제 2커패시터(C2)의 제 3하부 전극(LE3)이 제공될 수 있다. 스토리지 커패시터(Cst)의 제 1상부 전극(UE1), 제어선(CL), 및 제 2커패시터(C1)의 제 3하부 전극(LE3)은 동일한 공정에서 동일한 물질로 형성될 수 있다.
- [0124] 제 1상부 전극(UE)은 제 1하부 전극(LE1)을 커버할 수 있다. 제 1상부 전극(UE1)은 제 1층간 절연막(IL1)을 사이에 두고 제 1하부 전극(LE1)과 함께 스토리지 커패시터(Cst)를 구성할 수 있다.
- [0125] 제 3하부 전극(LE3)은 게이트 절연막(GI)과 제 1층간 절연막(IL1)을 관통하는 제 3콘택 홀(CH3)을 통하여 제 2소스 전극(SE2) 및 제 1게이트 전극(GE1)에 연결될 수 있다. 즉, 제 3콘택 홀(CH3)은 제 1게이트 전극(GE1)도 관통할 수 있다.
- [0126] 제어선(CL)은 제 1층간 절연막(IL1)을 관통하는 제 6콘택 홀(CH6)을 통하여 제 3게이트 전극(GE3)에 연결될 수 있다.
- [0127] 제 1상부 전극(UE1) 등이 배치된 기판(SUB) 상에는 제 2층간 절연막(IL2)이 제공될 수 있다.
- [0128] 제 2층간 절연막(IL2) 상에는 제 2하부 전극(LE2), 제 3상부 전극(UE3), 브릿지 패턴(BRP), 초기화 전원선(IPL) 및 전원선(PL)이 제공될 수 있다. 제 2하부 전극(LE2), 제 3상부 전극(UE3), 브릿지 패턴(BRP), 초기화 전원선(IPL) 및 전원선(PL)은 동일한 공정에서 동일한 물질로 형성될 수 있다.
- [0129] 제 2하부 전극(LE2) 및 제 3상부 전극(UE3)은 브릿지 패턴(BRP)에 연결될 수 있다. 제 3상부 전극(UE3)은 제 2층간 절연막(IL2)을 사이에 두고 제 3하부 전극(LE3)과 함께 제 2커패시터(C2)를 구성할 수 있다. 브릿지 패턴

(BRP)은 게이트 절연막(GI), 제 1층간 절연막(IL1) 및 제 2층간 절연막(IL2)을 관통하는 제 2콘택 홀(CH2)을 통하여 제 1소스 전극(SE1)과 제 3드레인 전극(DE3)에 연결될 수 있다. 초기화 전원선(IPL)은 게이트 절연막(GI), 제 1층간 절연막(IL1) 및 제 2층간 절연막(IL2)을 관통하는 제 4콘택 홀(CH4)을 통하여 제 3소스 전극(SE3)에 연결되고, 제 2층간 절연막(IL2)을 관통하는 제 5콘택 홀(CH5)을 통하여 제 1상부 전극(UE1)에 연결될 수 있다. 전원선(PL)은 게이트 절연막(GI), 제 1층간 절연막(IL1) 및 제 2층간 절연막(IL2)을 관통하는 제 1콘택 홀(CH1)을 통하여 제 1드레인 전극(DE1)에 연결될 수 있다.

- [0130] 브릿지 패턴(BRP) 등이 배치된 기판(SUB) 상에는 제 3층간 절연막(IL3)이 제공될 수 있다.
- [0131] 제 3층간 절연막(IL3) 상에는 데이터선(Dm) 및 중간 전극(ME)이 제공될 수 있다. 데이터선(Dm) 및 중간 전극(ME)은 동일한 공정에서 동일한 물질로 형성될 수 있다. 중간 전극(ME)은 제 3층간 절연막(IL3)을 사이에 두고 브릿지 패턴(BRP)과 함께 제 1서브 커패시터를 구성할 수 있다.
- [0132] 데이터선(Dm) 등이 배치된 기판(SUB) 상에는 보호층(PSV)이 제공될 수 있다.
- [0133] 보호층(PSV) 상에는 제2 상부 전극(UE2) 및 유기 발광 다이오드(OLED)가 제공될 수 있다. 유기 발광 다이오드(OLED)는 제 1전극(AD), 제 2전극(CD), 및 제 1전극(AD)과 제 2전극(CD) 사이에 제공된 발광층(EML)을 포함할 수 있다.
- [0134] 제2 상부 전극(UE2) 및 제 1전극(AD)은 보호층(PSV) 상에 제공될 수 있다. 제2 상부 전극(UE2) 및 제 1전극(AD)은 동일한 공정에서 동일한 물질로 형성되고, 서로 연결될 수 있다. 제2 상부 전극(UE2)은 보호층(PSV)을 사이에 두고 중간 전극(ME)과 함께 제 2서브 커패시터를 구성할 수 있다. 제 1전극(AD)은 제 3층간 절연막(IL3)과 보호층(PSV)을 관통하는 제 7콘택 홀(CH7)을 통하여 브릿지 패턴(BRP)에 연결될 수 있다. 브릿지 패턴(BRP)은 제 2콘택 홀(CH2)을 통하여 제 1소스 전극(SE1)에 연결되므로, 제 1전극(AD)은 제 1소스 전극(SE1)에 전기적으로 연결될 수 있다.
- [0135] 제 1전극(AD) 등이 형성된 기판(SUB) 상에는 각 화소(PXL)에 대응하도록 발광 영역을 구획하는 화소 정의막(PDL)이 제공될 수 있다. 화소 정의막(PDL)은 제 1전극(AD)의 상면을 노출하며 화소(PXL)의 둘레를 따라 기판(SUB)으로부터 돌출될 수 있다.
- [0136] 화소 정의막(PDL)에 의해 둘러싸인 발광 영역에는 발광층(EML)이 제공되며, 발광층(EML) 상에는 제 2전극(CD)이 제공될 수 있다. 제 2전극(CD) 상에는 제 2전극(CD)을 커버하는 봉지막(SLM)이 제공될 수 있다.
- [0137] 제 1전극(AD) 및 제 2전극(CD) 중 하나는 애노드(anode) 전극일 수 있으며, 다른 하나는 캐소드(cathode) 전극일 수 있다. 예를 들면, 제 1전극(AD)는 애노드 전극일 수 있으며, 제 2전극(CD)는 캐소드 전극일 수 있다.
- [0138] 또한, 제 1전극(AD) 및 제 2전극(CD) 중 적어도 하나는 투과형 전극일 수 있다. 예를 들면, 유기 발광 다이오드(OLED)가 배면 발광형 유기 발광 표시 소자인 경우, 제 1전극(AD)이 투과형 전극이며, 제 2전극(CD)이 반사형 전극일 수 있다. 유기 발광 다이오드(OLED)가 전면 발광형 유기 발광 표시 소자인 경우, 제 1전극(AD)이 반사형 전극이며, 제 2전극(CD)이 투과형 전극일 수 있다. 유기 발광 다이오드(OLED)가 양면 발광형 유기 발광 표시 소자인 경우, 제 1전극(AD) 및 제 2전극(CD) 모두 투과형 전극일 수 있다. 본 실시예에서는 유기 발광 다이오드(OLED)이 전면 발광형 유기 발광 표시 소자이며, 제 1전극(AD)이 애노드 전극인 경우를 예로서 설명한다.
- [0139] 제 1전극(AD)은 광을 반사시킬 수 있는 반사막(미도시), 및 반사막의 상부 또는 하부에 배치되는 투명 도전막(미도시)을 포함할 수 있다. 투명 도전막 및 반사막 중 적어도 하나는 브릿지 패턴(BRP)에 연결될 수 있다.
- [0140] 반사막은 광을 반사시킬 수 있는 물질을 포함할 수 있다. 예를 들면, 반사막은 알루미늄(Al), 은(Ag), 크롬(Cr), 몰리브덴(Mo), 백금(Pt), 니켈(Ni) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.
- [0141] 투명 도전막은 투명 도전성 산화물을 포함할 수 있다. 예를 들어, 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 적어도 하나의 투명 도전성 산화물을 포함할 수 있다.
- [0142] 화소 정의막(PDL)은 유기 절연 물질을 포함할 수 있다. 예를 들면, 화소 정의막(PDL)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA, polymethylmethacrylate), 폴리아크릴로니트릴(PAN, polyacrylonitrile), 폴리아미드(PA, polyamide), 폴리아미드(PA, polyamide), 폴리아미드(PA, polyamide), 폴리아릴에테르(PAE, polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 에폭시(epoxy), 벤조시클

로부텐(BCB, benzocyclobutene), 실록산계 수지(siloxane based resin) 및 실란계 수지(silane based resin) 중 적어도 하나를 포함할 수 있다.

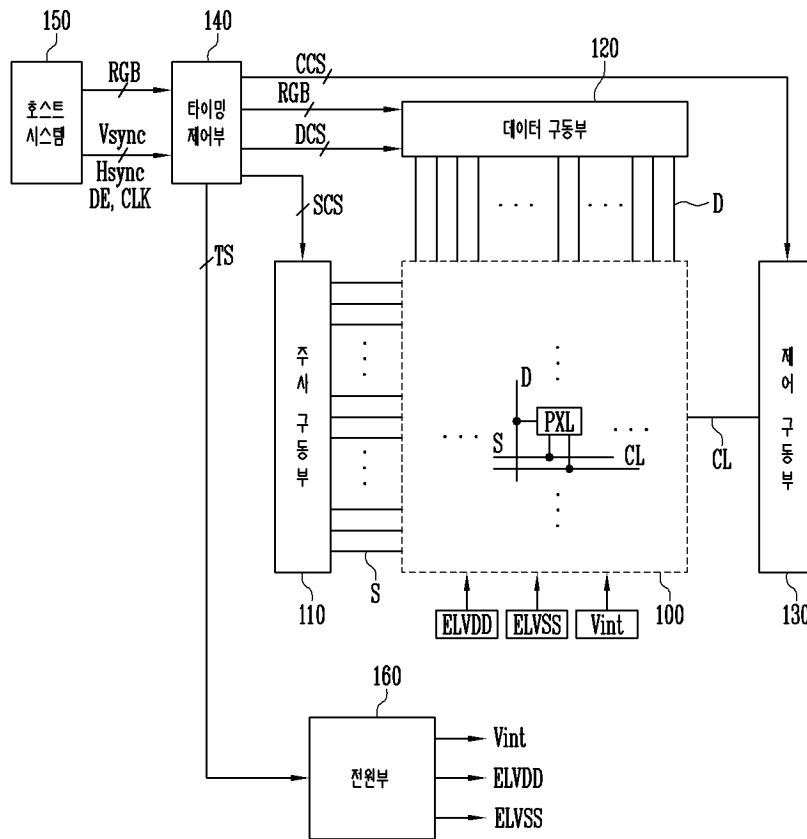
- [0143] 발광층(EML)은 제 1전극(AD)의 노출된 표면 상에 배치될 수 있다. 발광층(EML)은 적어도 광 생성층(light generation layer, LGL)을 포함하는 다층 박막 구조를 가질 수 있다. 예를 들면, 발광층(EML)은 정공을 주입하는 정공 주입층(hole injection layer, HIL), 정공의 수송성이 우수하고 광 생성층에서 결합하지 못한 전자의 이동을 억제하여 정공과 전자의 재결합 기회를 증가시키기 위한 정공 수송층(hole transport layer, HTL), 주입된 전자와 정공의 재결합에 의하여 광을 발하는 광 생성층, 광 생성층에서 결합하지 못한 정공의 이동을 억제하기 위한 정공 억제층(hole blocking layer, HBL), 전자를 광 생성층으로 원활히 수송하기 위한 전자 수송층(electron transport layer, ETL), 및 전자를 주입하는 전자 주입층(electron injection layer, EIL)을 구비할 수 있다. 또한, 발광층(EML) 중 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층, 및 전자 주입층은 서로 인접하는 화소들(PXL)에 공통으로 배치되는 공통층일 수 있다.
- [0144] 광 생성층에서 생성되는 광의 색상은 적색(red), 녹색(green), 청색(blue) 및 백색(white) 중 하나일 수 있으나, 본 실시예에서 이를 한정하는 것은 아니다. 예를 들어, 광 생성층에서 생성되는 광의 색상은 마젠타(magenta), 시안(cyan), 옐로(yellow) 중 하나일 수도 있다.
- [0145] 제 2전극(CD)은 반투과 반사막일 수 있다. 예를 들면, 제 2전극(CD)은 발광층(EML)에서 출사된 광을 투과시킬 수 있을 정도의 두께를 가지는 박형 금속층일 수 있다. 제 2전극(CD)은 발광층(EML)에서 출사된 광의 일부는 투과시키고, 발광층(EML)에서 출사된 광의 나머지는 반사시킬 수 있다.
- [0146] 제 2전극(CD)은 투명 도전막에 비하여 일함수가 낮은 물질을 포함할 수 있다. 예를 들면, 제 2전극(CD)은 몰리브덴(Mo), 텅스텐(W), 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.
- [0147] 발광층(EML)에서 출사된 광 중 일부는 제 2전극(CD)을 투과하지 못하고, 제 2전극(CD)에서 반사된 광은 반사막에서 다시 반사될 수 있다. 즉, 발광층(EML)에서 출사된 광은 반사막 및 제 2전극(CD) 사이에서 공진할 수 있다. 광의 공진에 의하여 유기 발광 다이오드(OLED)의 광 추출 효율은 향상될 수 있다.
- [0148] 반사막 및 제 2전극(CD) 사이의 거리는 발광층(EML)에서 출사된 광의 색상에 따라 상이할 수 있다. 즉, 발광층(EML)에서 출사된 광의 색상에 따라, 반사막 및 제 2전극(CD) 사이의 거리는 공진 거리에 부합되도록 조절될 수 있다.
- [0149] 봉지막(SLM)은 유기 발광 다이오드(OLED)로 산소 및 수분이 침투하는 것을 방지할 수 있다. 봉지막(SLM)은 복수의 무기막(미도시) 및 복수의 유기막(미도시)을 포함할 수 있다. 예를 들면, 봉지막(SLM)은 무기막, 및 무기막 상에 배치된 유기막을 포함하는 복수의 단위 봉지층을 포함할 수 있다. 또한, 봉지막(SLM)의 최상부에는 무기막이 배치될 수 있다. 무기막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 티타늄 산화물, 지르코늄 산화물 및 주석 산화물 중 적어도 하나를 포함할 수 있다.
- [0150] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.
- [0151] 전술한 발명에 대한 권리범위는 이하의 특허청구범위에서 정해지는 것으로써, 명세서 본문의 기재에 구속되지 않으며, 청구범위의 균등 범위에 속하는 변형과 변경은 모두 본 발명의 범위에 속할 것이다.

부호의 설명

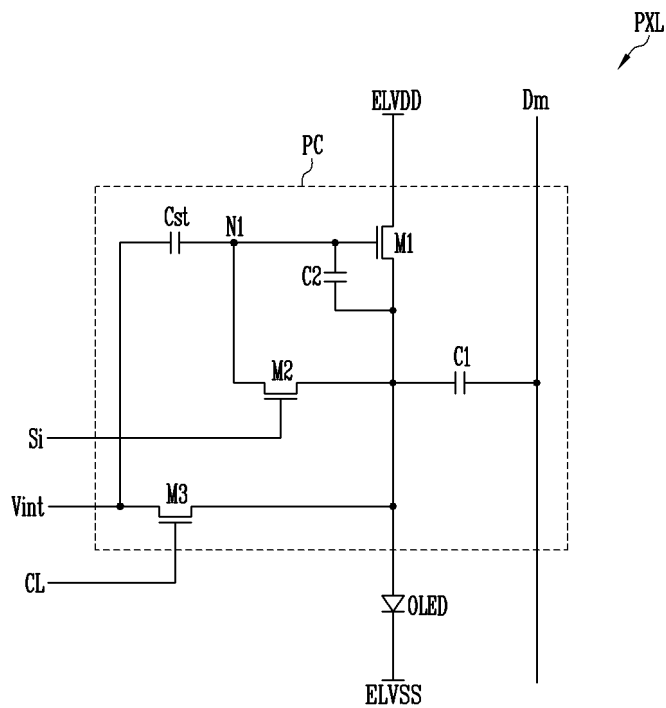
- [0152] 100 : 화소부 110 : 주사 구동부
120 : 데이터 구동부 130 : 제어 구동부
140 : 타이밍 제어부 150 : 호스트 시스템

도면

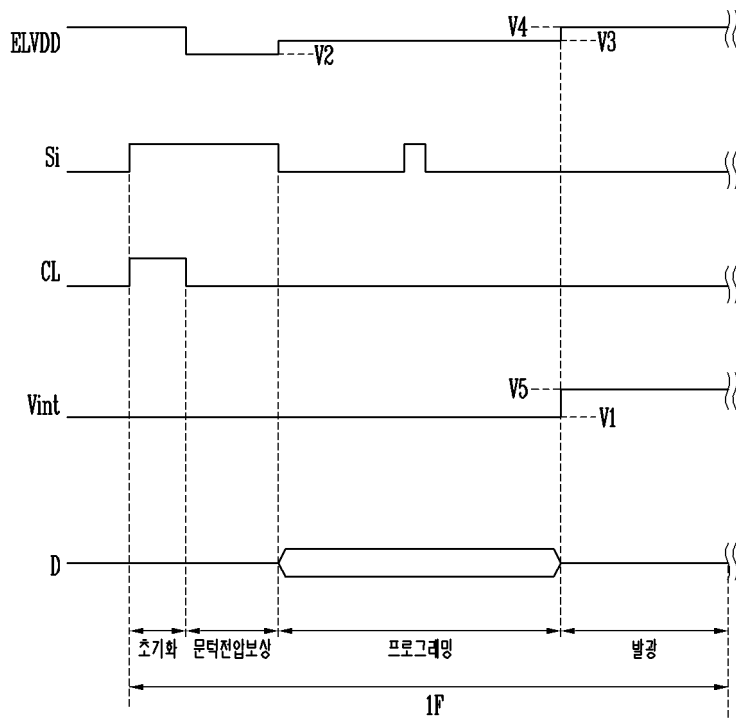
도면1



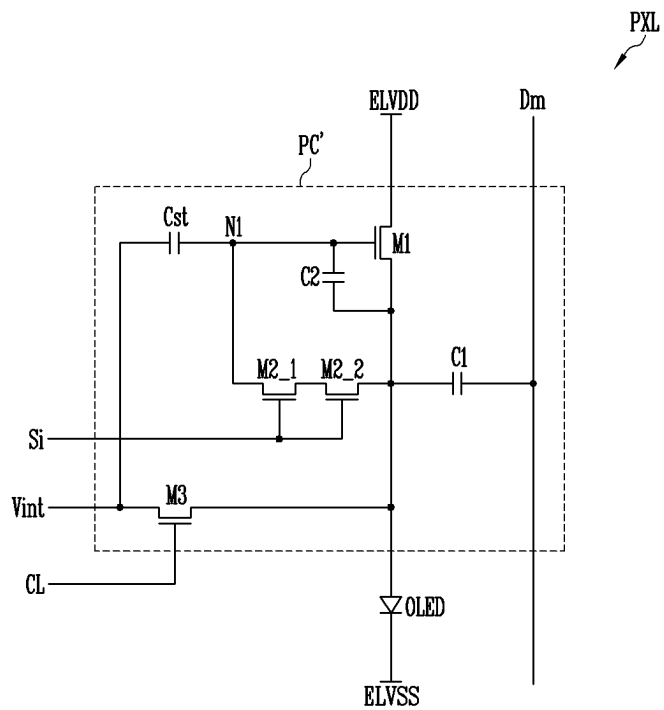
도면2



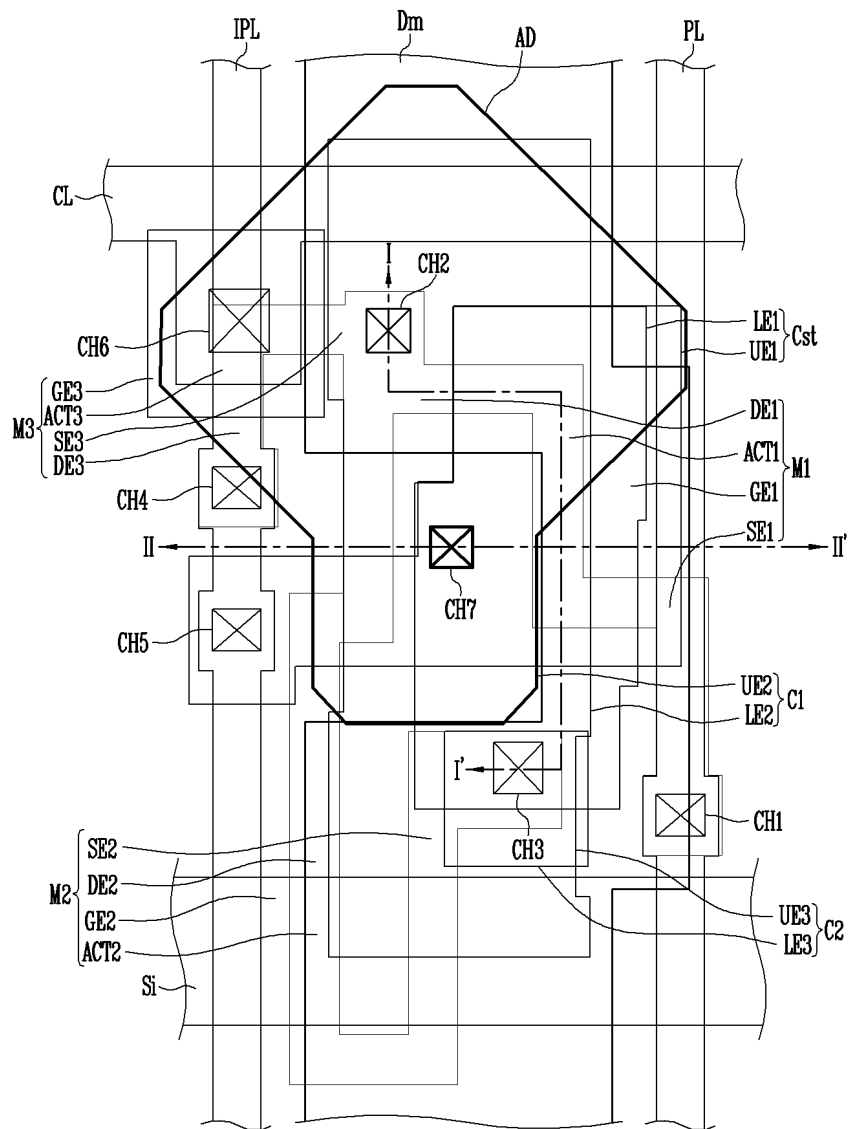
도면3



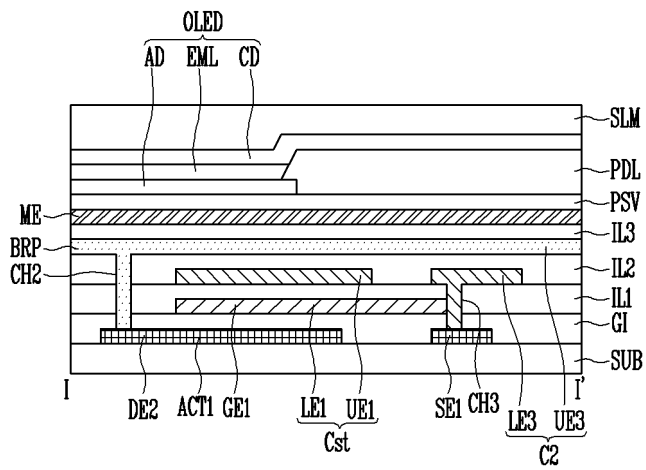
도면4



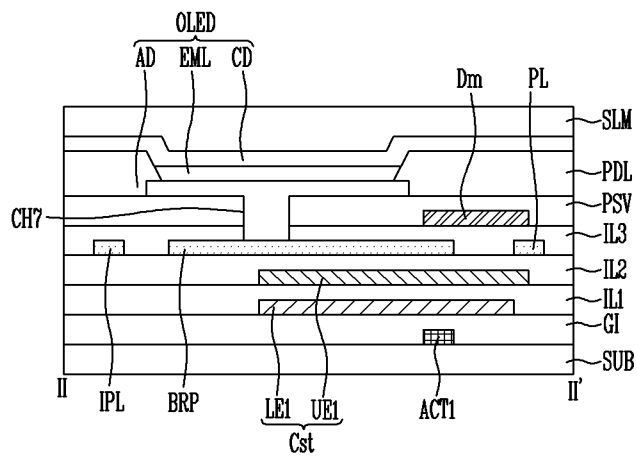
도면5



도면6



도면7



专利名称(译)	使用相同的像素和有机电致发光显示器		
公开(公告)号	KR1020180082662A	公开(公告)日	2018-07-19
申请号	KR1020170002883	申请日	2017-01-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YANG GUN WOO 양건우 LEE GI CHANG 이기창 LEE WON JUN 이원준 KIM WON GYUN 김원균		
发明人	양건우 이기창 이원준 김원균		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2330/028 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/043 H01L27/124 H01L27/1255 H01L27/3276 G09G3/3266 G09G3/3275 G09G2300/0426 G09G2310/08 G09G2330/021 H01L27/3262 H01L27/3265		
代理人(译)	강신섭 Munyongho Yiyongwoo		
外部链接	Espacenet		

摘要(译)

本发明涉及一种能够提高显示质量的像素。根据本发明实施例的像素包括有机发光二极管;第一晶体管,用于控制经由与第一节点的电压对应的有机发光二极管从第一驱动电源流到第二驱动电源的电流;第二晶体管连接在第一晶体管的第一节点和第二电极之间,当扫描信号提供给扫描线时,第二晶体管导通;连接在初始化电源和第一节点之间的存储电容器;第一电容器,连接在第一晶体管的第二电极和数据线之间;并且第二电容器连接在第一节点和第一晶体管的第二电极之间。

