



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0061720
(43) 공개일자 2018년06월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 27/12* (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2016-0161209
(22) 출원일자 2016년11월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이제현
울산광역시 남구 봉월로59번길 36 (신정동)
(74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 20 항

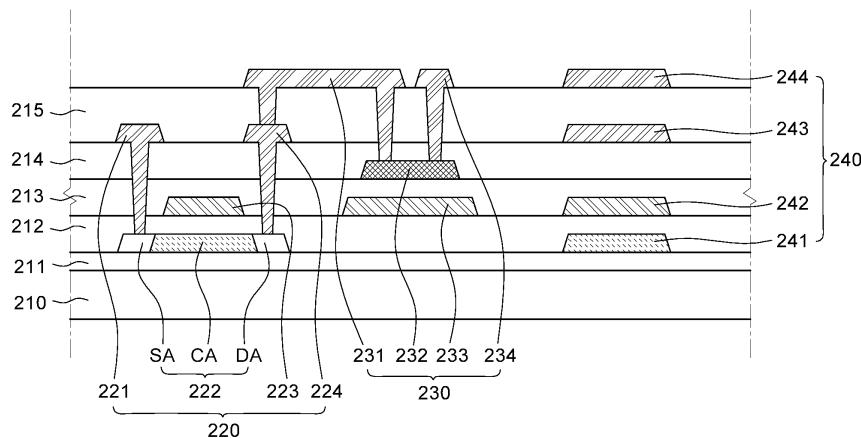
(54) 발명의 명칭 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치 및 유기발광 표시장치 제조방법

(57) 요 약

본 발명은 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치에 관한 것이다. 본 발명의 유기발광 표시장치는 표시영역과 비표시영역으로 정의되는 기판, 표시영역 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, 기판 상에 배치된 산화물 반도체 박막 트랜지스터의 액티브층, 액티브층이 노출되지 않도록 액티브층을 완전히 덮는 쿠드층, 및 LTPS 박막 트랜지스터의 액티브층 상에 배치된 LTPS 박막 트랜지스터의 소스 전극과 드레인 전극을 포함하고, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극, 그리고 산화물 반도체 박막 트랜지스터의 액티브층은 서로 다른 평면상에 배치된다.

대 표 도 - 도2

200



(52) CPC특허분류

H01L 27/1229 (2013.01)

H01L 27/1251 (2013.01)

H01L 27/1262 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3272 (2013.01)

명세서

청구범위

청구항 1

표시영역과 그 일측에 위치하는 비표시영역으로 정의되는 기판;

상기 표시영역에 위치하는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터; 및

상기 산화물 반도체 박막 트랜지스터의 액티브층이 노출되지 않도록 상기 산화물 반도체 박막 트랜지스터의 액티브층을 완전히 덮는 월드층을 포함하고,

상기 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 상기 LTPS 박막 트랜지스터의 액티브층 상에 배치되고,

상기 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 상기 산화물 반도체 박막 트랜지스터의 액티브층과 서로 다른 평면상에 배치되는, 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 건식식각(dry-etch)이 가능한 물질로 이루어진, 유기 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 월드층은, 건식식각에 의한 손상을 최소화하기 위하여, 상기 산화물 반도체 박막 트랜지스터의 액티브층에 접촉하여 배치되는, 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 월드층은 상기 표시영역과 상기 비표시영역을 동시에 덮는, 유기발광 표시장치.

청구항 5

제 3 항에 있어서,

상기 월드층의 두께는 1000Å 이하인, 유기발광 표시장치.

청구항 6

제 3 항에 있어서,

상기 LTPS 박막 트랜지스터의 소스 전극 또는 드레인 전극과 중첩되는 상기 월드층의 두께는, 상기 산화물 반도체 박막 트랜지스터의 액티브층과 중첩되는 상기 월드층의 두께보다 두꺼운, 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 LTPS 박막 트랜지스터의 소스 전극, 드레인 전극, 및 상기 월드층 상에 배치되는 패시베이션층을 더 포함하는, 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극은 상기 패시베이션층 상에 배치되는, 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 월드층 및 상기 패시베이션층은 각각 복수의 콘택홀을 포함하고,

상기 산화물 반도체 박막 트랜지스터의 소스 전극 또는 드레인 전극은 상기 복수의 콘택홀 중 하나를 통해 상기 산화물 반도체 박막 트랜지스터의 액티브층과 연결되는, 유기발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 소스 전극 또는 드레인 전극 중 하나는, 상기 패시베이션층에 형성된 상기 복수의 콘택홀 중 하나를 통해 상기 LTPS 박막 트랜지스터의 드레인 전극과 연결된, 유기발광 표시장치.

청구항 11

제 7 항에 있어서,

상기 월드층의 수소 함량은 상기 패시베이션층의 수소 함량보다 작은, 유기발광 표시장치.

청구항 12

제 1 항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 소스 전극 또는 드레인 전극은 습식식각(wet-etch)이 가능한 물질로 이루어진, 유기발광 표시장치.

청구항 13

제 1 항에 있어서,

상기 LTPS 박막 트랜지스터의 게이트 전극 및 상기 산화물 반도체 박막 트랜지스터의 게이트 전극 각각은 상기 LTPS 박막 트랜지스터의 액티브층 및 상기 산화물 반도체 박막 트랜지스터의 액티브층과 중첩되는 영역에 배치되는, 유기발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 LTPS 박막 트랜지스터의 게이트 전극 및 상기 산화물 반도체 박막 트랜지스터의 게이트 전극은 동일한 평면 상에 배치되는, 유기발광 표시장치.

청구항 15

기판 상에 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 함께 배치되는 유기발광 표시장치 제조방법에 있어서,

상기 기판 상에 상기 LTPS 박막 트랜지스터의 액티브층을 형성하는 단계;

상기 LTPS 박막 트랜지스터의 액티브층 상에 상기 LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계;

상기 LTPS 박막 트랜지스터의 게이트 전극 상에 제1 무기물층을 형성하는 단계;

상기 제1 무기물층 상에 상기 산화물 반도체 박막 트랜지스터의 액티브층을 형성하는 단계;

상기 산화물 반도체 박막 트랜지스터의 액티브층 상에 월드층을 형성하는 단계;

상기 월드층 상에 제1 금속물질층을 형성하는 단계;

상기 제1 금속물질층을 건식에칭(dry-etch)하여 상기 LTPS 박막 트랜지스터의 제1 전극 및 제2 전극을 형성하는

단계;

상기 제1 전극, 상기 제2 전극, 및 상기 월드층 상에 제2 무기물층을 형성하는 단계; 및

상기 제2 무기물층 상에 상기 산화물 반도체 박막 트랜지스터의 제1 전극 및 제2 전극을 형성하는 단계를 포함하는, 유기발광 표시장치 제조방법.

청구항 16

제 15 항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 액티브층, 상기 산화물 반도체 박막 트랜지스터의 제1 전극과 제2 전극, 및 상기 산화물 반도체 박막 트랜지스터의 제1 전극과 제2 전극은 서로 다른 평면 상에 배치되는, 유기발광 표시장치 제조방법.

청구항 17

제 15 항에 있어서,

상기 월드층을 형성하는 단계는 상기 월드층을 상기 기판의 전면에 형성하는 단계를 포함하는, 유기발광 표시장치 제조방법.

청구항 18

제 15 항에 있어서,

상기 LTPS 박막 트랜지스터의 제1 전극 및 제2 전극은 알루미늄을 포함하며, 상기 LTPS 박막 트랜지스터의 제1 전극 및 제2 전극은 상기 산화물 반도체 박막 트랜지스터의 제1 전극 및 제2 전극보다 두껍게 형성되는, 유기발광 표시장치 제조방법.

청구항 19

제 18 항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 제1 전극 및 제2 전극은 습식식각이 가능한 물질인, 유기발광 표시장치 제조방법.

청구항 20

제 15 항에 있어서,

상기 LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계는 상기 산화물 반도체 박막 트랜지스터의 게이트 전극과 상기 LTPS 박막 트랜지스터의 게이트 전극을 동일 평면 상에 동시에 형성하는 단계를 포함하는, 유기발광 표시장치 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치에 관한 것으로서, 보다 상세하게는 하나의 기판에 서로 다른 타입의 박막 트랜지스터들이 배치된 유기발광 표시장치에 관한 것이다.

배경 기술

[0002]

최근, 본격적인 정보화 시대로 접어들에 따라 전기적 정보 신호를 시각적으로 표현하는 디스플레이 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저 소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시 장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빼르게 대체하고 있다.

[0003]

이와 같은 평판 표시 장치의 구체적인 예로는 액정 표시 장치(LCD), 유기발광 표시장치(OLED), 전기 영동 표시 장치(EPD), 플라즈마 표시 장치(PDP) 및 전기 습윤 표시 장치(EWD) 등을 들 수 있다. 특히, 유기발광 표시장치는 자체 발광 특성을 갖는 표시 장치로서, 액정 표시 장치에 비해 시야각, 명암비(contrast ratio), 응답 속도,

소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0004] 유기발광 표시장치는 영상을 표시하기 위한 유기발광소자와 유기발광소자를 구동하기 위한 화소 회로가 배치되는 표시영역 및 표시영역에 인접하고 구동 회로가 배치되는 비표시영역을 포함한다. 특히, 화소 회로 및 구동 회로에는 복수의 박막 트랜지스터가 위치하여 복수의 화소의 유기발광소자를 구동시킨다.

[0005] 박막 트랜지스터는 액티브층을 구성하는 물질에 따라 분류될 수 있다. 그 중 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS) 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 가장 널리 사용되고 있다. 그러나, 현재 유기발광 표시장치에서는 화소 회로 및 구동 회로를 구성하는 박막 트랜지스터로 하나의 기판 상에 LTPS 박막 트랜지스터만 사용하거나 산화물 반도체 박막 트랜지스터만 사용하고 있다. 그러나, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 중 어느 하나만으로 화소 회로 및 구동 회로를 구성하는 경우 다양한 문제가 존재하여, 하나의 유기발광 표시장치에 서로 다른 타입의 박막 트랜지스터를 적용하고자 하는 요구가 존재한다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 발명자들은 상술한 요구를 인식하고, 하나의 기판에 서로 다른 타입의 박막 트랜지스터를 적용하는 기술에 대해 연구하였으며, 다결정 실리콘 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 적용된 유기발광 표시장치를 발명하였다.

[0007] 이에, 본 발명이 해결하고자 하는 과제는 다결정 실리콘 박막 트랜지스터의 소스 전극 및 드레인 전극을 형성하는 과정에서 발생할 수 있는 산화물 반도체층의 심각한 손상을 해결하는데 있다.

[0008] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치가 제공된다. 유기발광 표시장치는 표시영역과 그 일측에 위치하는 비표시영역으로 정의되는 기판, 표시영역에 있는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터, 및 산화물 반도체 박막 트랜지스터의 액티브층이 노출되지 않도록 산화물 반도체 박막 트랜지스터의 액티브층을 완전히 덮는 월드층을 포함하고, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 LTPS 박막 트랜지스터의 액티브층 상에 배치되고, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 산화물 반도체 박막 트랜지스터의 액티브층과 서로 다른 평면상에 배치된다.

[0010] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0011] 본 발명은 멀티 타입의 박막 트랜지스터를 하나의 기판에 적용하면서 발생하는 다양한 문제를 해결할 수 있는 새로운 구조를 갖는 유기발광 표시장치 및 새로운 유기발광 표시장치의 제조 방법을 제공할 수 있다.

[0012] 구체적으로, 본 발명은 산화물 반도체 박막 트랜지스터의 산화물 반도체층 상에 베퍼층을 형성함으로써, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극이 형성되는 식각공정에 의해 산화물 반도체층이 손상되는 것을 최소화할 수 있다.

[0013] 또한, 본 발명은 산화물 반도체 박막 트랜지스터의 산화물 반도체층 상에 배치되는 베퍼층을 기판 전면에 걸쳐 형성함으로써, 공정시간을 단축시키고 비용을 절약할 수 있다.

[0014] 또한, 본 발명은 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극과 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극이 형성되는 위치를 다르게 함으로써, 콘택홀의 깊이를 고르게 하여 공정을 단순화시킬 수 있다.

[0015] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0016]

도 1은 본 발명의 실시예에 따른 유기발광 표시장치의 구성도이다.

도 2는 도 1에 도시된 화소 구조를 개략적으로 보여주는 단면도이다.

도 3a 내지 도 3e는 도 2에 도시된 유기발광 표시장치의 제조공정을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0017]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0018]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0019]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0020]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0021]

소자 또는 층이 다른 소자 또는 층 "상" 또는 "위"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0022]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이를 구성요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0023]

본 명세서에서 트랜지스터의 소스 전극 및 드레인 전극은 실시예에서 정의되거나 도면에 도시된 대로 정해진 것은 아니다. 즉, 화소 회로의 종류나 구성에 따라, 소스 전극과 드레인 전극은 그 위치가 반대일 수 있고, 전극과의 연결관계 또한 다양한 구성으로 이루어질 수 있다.

[0024]

명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0025]

도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0026]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0027]

이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0028]

본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치에서는 적어도 2개의 타입의 박막 트랜지스터가 동일한 기판 상에 형성된다. 멀티 타입의 박막 트랜지스터는 하나의 기판에 형성된 서로 상이한 타입의 박막 트랜지스터를 의미한다. 여기서, 적어도 2개의 타입의 박막 트랜지스터로서 폴리 실리콘 물질을 액티브층으로 하는 박막 트랜지스터와 금속 산화물을 액티브층으로 하는 박막 트랜지스터가 사용된다.

[0029]

먼저, 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치는 폴리 실리콘 물질을 액티브층으로 하는 박막 트랜지스터로서 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 LTPS 박막 트랜지스터가 사용될 수 있다. 폴리 실리콘 물질은 이동도가 높아 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는

멀티플렉서(MUX)에 LTPS 박막 트랜지스터가 적용될 수 있다.

[0030] 다음으로, 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 박막 트랜지스터가 사용될 수 있다. 산화물 반도체 물질은 실리콘 물질과 비교하여 밴드갭이 더 큰 물질이므로 오프(Off) 상태에서 전자가 밴드갭을 넘어가지 못하며, 이에 따라 오프-전류(Off-Current)가 낮다. 따라서, 산화물 반도체 박막 트랜지스터는 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다. 또한, 오프-전류가 작으므로 보조 용량의 크기가 감소될 수 있으므로, 산화물 반도체 박막 트랜지스터는 고해상도 표시 소자에 적합하다.

[0031] 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기발광 표시장치는, 서로 성질이 다른 LPTS 박막 트랜지스터와 산화물 반도체 박막 트랜지스터를 동일 기판 위에 배치함으로써, 보다 나은 기능을 제공할 수 있다.

[0032] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치의 구성도이다.

[0033] 도 1에 도시된 유기발광 표시장치(10)는 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)이 교차되어 각 화소(1)를 정의하는 표시 패널(2), 게이트 드라이버(4), 데이터 드라이버(3), 및 타이밍 컨트롤러(5)를 구비한다. 게이트 드라이버(4)는 복수의 게이트 라인(GL)에 화소(1)에 대한 구동 신호를 전송한다. 데이터 드라이버(3)는 복수의 데이터 라인(DL)에 화소(1)에 대한 데이터 전압을 전송한다. 타이밍 컨트롤러(5)는 외부로부터 입력된 영상 데이터(RGB)를 정렬하여 데이터 드라이버(3)에 공급하고, 게이트 제어 신호(GCS) 및 데이터 제어 신호(DCS)를 출력하여 게이트 드라이버(4) 및 데이터 드라이버(3)를 제어한다.

[0034] 본 발명의 실시예에서 각 화소(1)는 유기발광소자(OLED)와, 유기발광소자(OLED)에 구동 전류를 공급하는 구동 트랜지스터를 포함하여 유기발광소자(OLED)를 독립적으로 구동하는 화소 회로를 구비한다. 그리고, 화소 회로는 문턱전압(Vth) 및 이동도(mobility)와 같은 구동 트랜지스터의 전기적 특성 편차를 보상하고, 유기발광소자(OLED)에 공급되는 전류 차이로 인한 각 화소(1) 간의 휘도 편차를 줄일 수 있다.

[0035] 표시 패널(2)은 서로 교차하는 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)을 구비한다. 복수의 화소(1)들은 이들(GL, DL)의 교차 영역에 배치될 수 있다. 각 화소(1)는 유기발광소자(OLED)와 화소 회로를 구비한다. 그리고, 각 화소(1)는 게이트 라인(GL), 데이터 라인(DL), 고전위 전압 공급 라인(VDDL) 및 저전위 전압 공급 라인(VSSL) 라인에 접속된다. 특히 고전위 전압 공급 라인(VDDL)은 낮은 비저항을 갖는 물질로 이루어지는 것이 바람직하다.

[0036] 게이트 드라이버(4)는 타이밍 컨트롤러(5)로부터 제공된 복수의 게이트 제어 신호(GCS)에 따라 복수의 게이트 라인(GL)에 복수의 게이트 전극 신호를 공급한다. 복수의 게이트 전극 신호는 제1 및 제2 스캔 신호(SCAN1, SCAN2)를 포함할 수 있으며, 이를 신호는 복수의 게이트 라인(GL)을 통해 각 화소(1)에 공급된다. 고전위 전압(VDD)은 저전위 전압(VSS)보다 상대적으로 높은 전압을 갖는다. 저전위 전압(VSS)은 접지 전압일 수 있다.

[0037] 데이터 드라이버(3)는 타이밍 컨트롤러(5)로부터 제공된 복수의 데이터 제어 신호(DCS)에 따라 타이밍 컨트롤러(5)로부터 입력되는 디지털 영상 데이터(RGB)를 기준 감마 전압을 이용하여 데이터 전압(Vdata)으로 변환한다. 그리고 변환된 데이터 전압(Vdata)을 복수의 데이터 라인(DL)에 공급한다. 한편, 데이터 드라이버(3)는 각 화소(1)의 프로그래밍 기간에 데이터 전압(Vdata)을 출력한다.

[0038] 타이밍 컨트롤러(5)는 외부로부터 입력되는 영상 데이터(RGB)를 표시 패널(2)의 크기 및 해상도에 알맞게 정렬하여 데이터 드라이버(3)에 공급한다. 타이밍 컨트롤러(5)는 외부로부터 입력되는 동기 신호들(SYNC), 예를 들어 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync)를 이용해 복수의 게이트 제어 신호 및 데이터 제어 신호(GCS, DCS)를 생성한다. 그리고 생성된 복수의 게이트 제어 신호 및 데이터 제어 신호(GCS, DCS)를 게이트 드라이버(4) 및 데이터 드라이버(3)에 각각 공급함으로써, 게이트 드라이버(4) 및 데이터 드라이버(3)를 제어한다.

[0039] 이하, 본 발명의 실시예에 따른 화소를 구체적으로 설명한다.

[0040] 도 2는 도 1에 도시된 화소 구조를 개략적으로 보여주는 단면도이다. 도 3a 내지 도 3e는 도 2에 도시된 유기발광 표시장치의 제조공정을 나타낸다.

[0041] 도 2에 도시한 바와 같이, 본 발명의 실시예에 따른 화소(1)는 기판(210), 베퍼층(211), LTPS 박막 트랜지스터(220), 산화물 반도체 박막 트랜지스터(230), 및 스토리지 커패시터(240)를 포함한다. 또한, 본 발명의 실시예에 따른 화소(1)는 베퍼층(211), LTPS 게이트 절연층(212), 층간 절연층(213), 쿠드층(214), 및 패시베이션층

(215)을 포함한다.

[0042] 이하에서는, 유기발광 표시장치(200)의 각 구성요소와 제조공정에 대해 상세히 설명한다.

[0043] 도 2 및 도 3a를 참조하면, 기판(210)은 유기발광 표시장치(200)의 다양한 구성요소들을 지지한다. 기판(210)은 유리로 이루어지거나 가요성(flexibility)의 성질을 갖는 플라스틱 물질로 이루어질 수 있다. 예를 들어 기판(210)이 폴리이미드(PI)로 이루어지는 경우, 기판(210) 하부에 유리와 같은 단단한 성질의 지지 기판이 배치된 상황에서 유기발광 표시장치 제조공정이 진행될 수 있고, 이 때 지지 기판은 제조공정 중에 제거된다. 또한, 지지 기판이 제거된 후, 기판(210)을 지지하기 위한 백 플레이트(back plate)가 기판(210) 하부에 배치될 수 있다.

[0044] 기판(210)에는 표시영역 및 비표시영역이 정의될 수 있다. 비표시영역은 표시영역의 일측에 위치될 수 있다. 표시영역은 화소(1)가 배치되어 유기발광 표시장치(200)에서 영상이 표시되는 영역이다. 비표시영역은 표시영역 이외의 영역으로서, 화소(1)를 구동하기 위한 다양한 회로, 배선 등이 배치되는 영역이다.

[0045] 이어서, 베퍼층(211)이 기판(210)의 표면 위에 형성된다. 베퍼층(211)은 기판(210)의 표시영역 및 비표시영역에 형성될 수 있다. 베퍼층(211)은 복수의 박막이 증착된 구조일 수도 있다. 여기서는 편의상 단일층으로 설명한다. 비표시영역에 위치하는 베퍼층(211)의 일부분은 벤딩시에 발생할 수 있는 크랙(Crack)을 최소화하기 위해 패턴이 형성될 수 있다.

[0046] 이어서, 하부보호금속(Bottom Shield Metal)이 베퍼층(211) 상에 형성될 수 있다. 하부보호금속은 화소(1)의 구동 박막 트랜지스터인 LTPS 박막 트랜지스터(220)와 중첩되도록 배치될 수 있으며, 몰리브덴(Mo) 물질로 형성될 수 있다. 하부보호금속은 기판(210) 표면의 포텐셜(potential) 발생 및 외부로부터 유입되는 빛을 근본적으로 차단할 수 있다. 하부보호금속이 형성될 경우, 하부보호금속과 상부의 전극들을 절연시키는 절연층이 추가로 배치될 수 있다.

[0047] 이어서, 기판(210) 또는 하부보호금속 상에 LTPS 박막 트랜지스터(220)의 액티브층(222)이 배치된다. LTPS 박막 트랜지스터(220)의 액티브층(222)은 LTPS 박막 트랜지스터(220) 구동 시 채널이 형성되는 채널 영역(CA), 채널 영역(CA) 양 측의 소스 영역(SA) 및 드레인 영역(DA)을 포함한다. 채널 영역(CA), 소스 영역(SA) 및 드레인 영역(DA)은 이온 도핑(불순물 도핑)에 의해 정의된다.

[0048] LTPS 박막 트랜지스터(220)의 액티브층(222)은 폴리 실리콘을 포함한다. 베퍼층(211) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정 및 결정화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브층(222)이 형성된다. 또한, 충간 절연층(213)을 형성한 후 활성화 공정 및 수소화 공정이 추가적으로 수행되어 액티브층(222)이 완성된다.

[0049] 이어서, LTPS 박막 트랜지스터(220)의 게이트 절연층(212)이 LTPS 박막 트랜지스터(220)의 액티브층(222)과 베퍼층(211) 상에 배치된다. LTPS 박막 트랜지스터(220)의 게이트 절연층(212)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층으로 구성되거나, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)으로 이루어진 다중층으로 구성될 수 있다. LTPS 박막 트랜지스터(220)의 게이트 절연층(212)에는 LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(244) 각각이 LTPS 박막 트랜지스터(220)의 액티브층(222)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 연결되기 위한 컨택홀이 형성된다.

[0050] 이어서, LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 LTPS 박막 트랜지스터(220)의 게이트 전극(223)이 배치된다. LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 몰리브덴(Mo) 등과 같은 금속층을 형성하고, 금속층을 패터닝하여 LTPS 박막 트랜지스터(220)의 게이트 전극(223)이 형성된다. LTPS 박막 트랜지스터(220)의 게이트 전극(223)은 LTPS 박막 트랜지스터(220)의 액티브층(222)의 채널 영역(CA)과 중첩하도록 LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 배치된다.

[0051] 이어서, LTPS 박막 트랜지스터(220)의 액티브층(222)에 대한 도핑 공정을 수행한다. LTPS 박막 트랜지스터(220)의 게이트 전극(223)을 마스크로 하여 하부에 배치된 LTPS 박막 트랜지스터(220)의 액티브층(222)에 불순물을 주입하여, LTPS 박막 트랜지스터(220)의 액티브층(222)의 소스 영역(SA) 및 드레인 영역(DA), 즉, 도핑 영역이 정의될 수 있다.

[0052] 한편, 산화물 반도체 박막 트랜지스터(230)는 산화물 반도체로 이루어지는 액티브층(232)과 전도성 금속으로 이루어지는 게이트 전극(233), 소스 전극(231) 및 드레인 전극(234)을 포함한다. 산화물 반도체 박막 트랜지스터(230)는 상술한 바와 같이 화소 회로의 스위칭 박막 트랜지스터에 적용될 수 있다.

[0053] 도 2 및 도 3a를 참조하면, LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 산화물 반도체 박막 트랜지스터(230)의 게이트 전극(233)이 형성된다. LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 금속층을 형성하고, 금속층을 패터닝하여 산화물 반도체 박막 트랜지스터(230)의 게이트 전극(233)이 형성된다.

[0054] LTPS 박막 트랜지스터(220)의 게이트 전극(223)과 산화물 반도체 박막 트랜지스터(230)의 게이트 전극(233)은 동시에, 그리고 동일한 공정으로 형성될 수 있다. 즉, LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 금속층을 형성하고, LTPS 박막 트랜지스터(220)의 게이트 전극(223)과 산화물 반도체 박막 트랜지스터(230)의 게이트 전극(233)이 동시에 형성되도록 금속층이 패터닝될 수 있다. 이에, LTPS 박막 트랜지스터(220)의 게이트 전극(223)과 산화물 반도체 박막 트랜지스터(230)의 게이트 전극(233)은 동일한 평면 상에서 동일한 물질 및 동일한 두께로 이루어질 수 있다. 이와 같이, LTPS 박막 트랜지스터(220)의 게이트 전극(233)과 산화물 반도체 박막 트랜지스터(230)의 게이트 전극(233)을 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다. 하지만, 이에 제한하는 것은 아니며, LTPS 박막 트랜지스터(220)의 게이트 전극이 액티브층(222) 하부에 배치되거나, 산화물 반도체 박막 트랜지스터(230)의 게이트 전극이 액티브층(232) 상부에 배치될 수도 있다. 또한, LTPS 박막 트랜지스터(220)의 액티브층(222)과 산화물 반도체 박막 트랜지스터(230)의 액티브층(232) 사이에 산화물 반도체 박막 트랜지스터(230)의 게이트 전극과 LTPS 박막 트랜지스터(220)의 게이트 전극이 각각 배치되어, 서로 다른 평면 상에 배치될 수도 있다.

[0055] 이어서, LTPS 박막 트랜지스터(220)의 게이트 전극(223) 및 LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 층간 절연층(213)이 배치된다. 층간 절연층(213)은 다중층으로 구성될 수 있으며, 다중층 중 하나의 층은 질화 실리콘(SiNx)과 같이 수소 함량이 큰 물질로 이루어질 수 있다. 층간 절연층에 포함된 수소는, LTPS 박막 트랜지스터(220)의 수소화 공정시 액티브층(222)으로 확산될 수 있다. 수소화 공정은, LTPS 박막 트랜지스터(220)의 액티브층(222) 내부의 결합이 덜된 공간을 수소로 채워주어 안정화시키는 공정이다. 한편, 다중층 중 다른 층은 수소 함량이 작은 물질로 이루어질 수 있다. 산화물 반도체층(232)이 수소에 노출되는 경우, 산화물 반도체층(232)은 환원될 수 있고, 이에 따라 산화물 반도체 박막 트랜지스터(230)의 임계 전압(threshold voltage; Vth)이 변화될 수 있다. 따라서, 산화물 반도체 박막 트랜지스터(230)의 액티브층(232)과 접하는 층간 절연층은 수소 함량이 작은 물질로 배치되는 것이 바람직하다.

[0056] 층간 절연층(213)에는 LTPS 박막 트랜지스터(220)의 액티브층(222)의 소스 영역(SA) 및 드레인 영역(DA)을 LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(244) 각각에 연결하기 위한 컨택홀이 형성된다.

[0057] 이어서, 층간 절연층(213) 상에 산화물 반도체 박막 트랜지스터(230)의 액티브층(232)이 배치된다. 산화물 반도체 박막 트랜지스터(230)의 액티브층(232)은 금속 산화물로 이루어지고, 예를 들어, IGZO 등과 같은 다양한 금속 산화물로 이루어질 수 있다. 산화물 반도체 박막 트랜지스터(230)의 액티브층(232)은, 금속 산화물을 층간 절연층(213) 상에 증착하고 안정화를 위한 열처리 공정을 수행한 후, 금속 산화물을 패터닝함으로써 형성될 수 있다.

[0058] 이어서, 도 2와 도 3b를 참조하면, 층간 절연층(213) 및 산화물 반도체 박막 트랜지스터(230)의 액티브층(232)을 덮도록 쇼트층(214)이 배치된다. 이어서, 도 2와 도 3를 참조하면, 쇼트층(214)에는 LTPS 박막 트랜지스터(220)의 액티브층(222)의 소스 영역(SA) 및 드레인 영역(DA)을 LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(244) 각각에 연결하기 위한 컨택홀이 형성된다.

[0059] 이어서, 쇼트층(214) 상에 LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(224)이 형성된다. 도2 및 도 3c에서는 LTPS 박막 트랜지스터(220)의 소스 전극(221)과 드레인 전극(224)이 쇼트층(214) 상에 공통으로 배치되는 것으로 도시되었지만, 반드시 이에 한정하는 것은 아니다. 쇼트층(214) 상에는 소스 전극(221)만 배치되고, 드레인 전극(224)은 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231) 및 드레인 전극(234)과 동일한 평면 상에 배치될 수도 있다.

[0060] 쇼트층(214)은 산화물 반도체층(232)과 접하여 배치되기 때문에, 수소 함량이 낮을수록 바람직하다. 쇼트층(214)의 수소 함량은 쇼트층(214) 상부에 배치되는 패시베이션층(215)의 수소 함량보다 낮을 수 있다. 쇼트층(214)은 무기질로 이루어질 수 있으며, 예를 들어 SiOx 또는 SiONx로 이루어질 수 있다.

[0061] 한편, 고전위 전압 공급 라인(VDDL) 및 데이터 라인(DL)은 쇼트층(214) 상에 배치되며, 따라서 LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(224) 역시 고전위 전압 공급 라인(VDDL) 및 데이터 라인(DL)과 동일한 물질로 이루어지는 것이 바람직하다. 고전위 전압 공급 라인(VDDL)은 넓은 면적에 걸쳐서 고전위 전압(VDD)을 손실 없이 전달하여야 한다. 또한, 데이터 라인(DL) 역시 데이터 신호를 멀리 떨어진 화소에까지 손실

없이 전달하여야 한다. 따라서, 고전위 전압 공급 라인(VDDL) 및 데이터 라인(DL)은 비저항이 작은 물질로 형성하는 것이 바람직하다. 따라서, 고전위 전압 공급 라인(VDDL), 데이터 라인(DL) 및 LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(224)은 알루미늄(A1)을 포함하는 다중층으로 이루어질 수 있으며, 예를 들어, 티타늄(Ti), 알루미늄(A1), 티타늄(Ti) 순으로 적층된 3층 구조로 이루어질 수 있다. 알루미늄은 부식에 약한 금속이므로, 알루미늄의 상부 및 하부는 티타늄(Ti)으로 보호될 수 있다.

[0062] 티타늄(Ti), 알루미늄(A1), 티타늄(Ti) 순으로 증착된 금속 물질층은 건식식각(dry-etch) 방식으로 식각되고, 이로써 LTPS 박막 트랜지스터(220)의 소스 전극(221) 또는 드레인 전극(224)으로 패터닝된다. 한편, 건식식각에 의해 산화물 반도체층(232)이 물리적으로 훼손될 수 있고, 이에 따라 산화물 반도체 박막 트랜지스터(230)의 신뢰성을 크게 떨어뜨릴 수 있다.

[0063] 이를 개선하기 위하여, LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(224)이 형성되기 전에, 산화물 반도체 박막 트랜지스터(230)의 액티브층(232) 및 표시영역 전체를 덮는 쉴드층(214)이 배치된다. 본 발명의 실시예에 따른 쉴드층(214)은 별도의 마스크를 필요로 하지 않으므로, 마스크 추가로 발생할 수 있는 공정 시간 및 공정 비용을 절감할 수 있다.

[0064] LTPS 박막 트랜지스터(220)의 소스 전극(221) 또는 드레인 전극(224)의 패터닝 공정시 사용되는 건식식각에 의해 쉴드층(214)의 일부가 손상될 수 있다. 따라서, 식각 공정시에 발생 가능한 손상을 고려하여 산화물 반도체 층(232)이 손상되지 않도록, 쉴드층(214)의 두께가 결정되어야 한다.

[0065] 한편, 고전위 전압 공급 라인(VDDL)은 저항이 작도록 설계되는 것이 좋으므로, 비저항이 작은 알루미늄을 포함하여 두께는 약 5000Å으로 형성될 수 있다. 쉴드층(214)을 포함하지 않는 구조에서는, LTPS 박막 트랜지스터(220)의 소스 전극 및 드레인 전극과 산화물 반도체 박막 트랜지스터(230)의 소스 전극 및 드레인 전극이 동시에 형성될 수 있다. 이 경우, 산화물 반도체 박막 트랜지스터(230)의 소스 전극 및 드레인 전극은 산화물 반도체층(232) 상에 직접 형성된다. 따라서, 고전위 전압 공급 라인(VDDL)과 동시에 형성되는 산화물 반도체 박막 트랜지스터(230)의 소스 전극 및 드레인 전극의 두께 역시 약 5000Å로 형성될 수 있다.

[0066] 이어서, 도 2 및 도 3d를 참조하면, LTPS 박막 트랜지스터(220)의 소스 전극(221) 및 드레인 전극(224) 상에 패시베이션층(215)이 배치된다. 패시베이션층(215)은 쉴드층(214), LTPS 박막 트랜지스터(220)의 소스 전극(221), 및 드레인 전극(224)을 모두 덮도록 배치된다. 패시베이션층(215)은 무기물 또는 유기물로 이루어질 수 있다. 패시베이션층(215)은 무기물로 이루어질 수 있으며, 패시베이션층(215)의 상부로부터 확산될 수 있는 수분 또는 수소를 억제하는 층으로서 기능할 수 있다. 또한, 패시베이션층(215)은 유기물로 구성될 수 있으며, 이 경우에는 평탄화층으로서 기능할 수 있다. 도면에서는 설명의 편의를 위해 패시베이션층(215) 하부에 배치된 각종 절연층들의 표면은 평탄한 것으로 도시되었다. 하지만, 실제로는 LTPS 박막 트랜지스터(220) 및 산화물 반도체 박막 트랜지스터(230)의 구성요소들 또는 이를 등에 의해 단차가 존재할 수 있다. 이에, LTPS 박막 트랜지스터(220) 및 산화물 반도체 박막 트랜지스터(230) 상부를 평평하게 하거나 유기발광소자가 배치되는 표면의 단차를 최소화함으로써, 유기발광소자가 보다 신뢰성 있게 형성될 수 있다.

[0067] 이어서, 도 2 및 도 3e를 참조하면, 패시베이션층(215) 상에 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231) 및 드레인 전극(234)이 배치된다. 한편, 패시베이션층(215)에는 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231) 및 드레인 전극(234)과 산화물 반도체층(232)을 연결하기 위한 콘택홀이 형성된다. 또한, 패시베이션층(215)에는 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231)과 LTPS 박막 트랜지스터(220)의 드레인 전극(224)을 연결하기 위한 콘택홀이 형성된다. 도 2에 도시된 유기발광 표시장치(200)는 LTPS 박막 트랜지스터(220)의 드레인 전극(224)과 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231)이 연결되었지만, 반드시 이에 한정하는 것은 아니다. 화소(1)의 화소 회로의 구성에 따라, LTPS 박막 트랜지스터(220)의 드레인 전극(224)과 산화물 반도체 박막 트랜지스터(230)의 드레인 전극(234)이 서로 연결된 구조일 수도 있다. 또는, LTPS 박막 트랜지스터(220)의 소스 전극(221)과 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231)이 서로 연결된 구조일 수도 있다.

[0068] 한편, LTPS 박막 트랜지스터(220)의 소스 전극(221) 또는 드레인 전극(224) 중 하나와 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231) 또는 드레인 전극(234) 중 하나와 연결하기 위한, 쉴드층(214)과 패시베이션층(215)에 포함된 복수의 콘택홀은 동일한 공정으로 이루어지는 것이 공정 효율 측면에서 바람직하다. 또한, 이를 위해서는 콘택홀들의 깊이는 서로 큰 차이가 없는 것이 바람직하다. 동시에 형성되는 콘택홀들의 깊이가 고르지 않고 차이가 심할 경우에는, 동일한 공정으로 형성하는 과정이 복잡하여 공정 비용이 증가할 수 있다. 즉, 깊이가 다른 콘택홀들을 서로 다른 공정으로 진행한다면 공정 비용과 공정 소요시간이 증가하여 공정 효율성이 낮아

진다. 따라서, 쇠드층(214)의 두께는 콘택홀 공정을 고려하여 결정될 수 있으며, 쇠드층(214)의 두께는 예를 들어 약 1000Å 이하일 수 있다.

[0069] 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231) 또는 드레인 전극(234)은 습식식각(wet-etch)이 가능한 물질로 이루어질 수 있으며, 예를 들어 몰리브덴(Mo)으로 이루어질 수 있다. 하지만 이에 한정하는 것은 아니며, LTPS 박막 트랜지스터(220)의 소스 전극(221) 또는 드레인 전극(224)과 동일한 물질로 이루어질 수도 있다.

[0070] 도 2와 도 3a 내지 도 3e를 참조하면, 스토리지 커패시터(240)가 기판(210) 상에 배치된다. 스토리지 커패시터(240)는 베퍼층(211) 상에 배치된 제1 전극(241)과 LTPS 박막 트랜지스터(220)의 게이트 절연층(212) 상에 형성된 제2 전극(242)을 포함한다. 또한, 스토리지 커패시터(240)는 쇠드층(214) 상에 배치된 제3 전극(243)과 패시베이션층(215) 상에 형성된 제4 전극(244)을 포함한다. 스토리지 커패시터(240)의 제1 전극(241)은 LTPS 박막 트랜지스터(220)의 액티브층(222)과 동일한 물질로 동시에 형성될 수 있다. 스토리지 커패시터(240)의 제2 전극(242)은 LTPS 박막 트랜지스터(220)의 게이트 전극(223)과 동일한 물질로 동시에 형성될 수 있다. 스토리지 커패시터(240)의 제3 전극(243)은 LTPS 박막 트랜지스터(220)의 소스 전극(221) 또는 드레인 전극(224)과 동일한 물질로 동시에 형성될 수 있다. 스토리지 커패시터(240)의 제4 전극(244)은 산화물 반도체 박막 트랜지스터(230)의 소스 전극(231) 또는 드레인 전극(234)과 동일한 물질로 동시에 형성될 수 있다. 이상에서는 스토리지 커패시터(240)가 네 개의 전극(241, 242, 243, 244)을 포함하는 것으로 기재하였지만, 반드시 이에 제한되는 것은 아니다. 예를 들어, 이상에서 설명한 네 개의 전극(241, 242, 243, 244) 중에서 적어도 두 개의 전극을 포함하도록 스토리지 커패시터(240)가 형성될 수 있다. 또한, 스토리지 커패시터(240)은, 충간 절연층(213) 상에서 산화물 반도체층(232)과 동일한 물질로 이루어진 제5 전극을 더 포함할 수도 있다.

[0071] 도면에는 도시되지 않았지만, 패시베이션층(215) 상에는 유기발광소자(OLED)가 배치된다. 유기발광소자(OLED)는 애노드 전극, 유기층, 및 캐소드 전극을 포함한다. 유기층은 특정 색의 광을 발광하기 위한 층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 하나를 포함할 수 있다. 만약, 유기층이 백색 유기 발광층을 포함하는 경우, 유기발광소자(OLED) 상부에 백색 유기 발광층으로부터의 백색 광을 다른 색의 광으로 변환하기 위한 컬러 필터가 배치될 수 있다. 또한, 유기층은 유기 발광층 이외에 정공 수송층, 정공 주입층, 전자 주입층, 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수 있다.

[0072] 이어서, 유기발광소자(OLED) 상에 봉지층이 배치된다. 봉지층은 수분에 취약한 유기발광소자(OLED)가 수분에 노출되지 않도록 유기발광소자(OLED)를 보호하는 역할을 한다. 봉지층은 무기층과 유기층으로 이루어질 수 있으며, 특히 복수의 무기층을 포함하여 구성될 수 있다.

[0074] 본 발명의 다양한 실시예에 따른 유기발광 표시장치 및 유기발광 표시장치 제조 방법은 다음과 같이 설명될 수 있다.

[0075] 본 발명의 일 실시예에 따른 유기 발광 표시는, 표시영역과 그 일측에 위치하는 비표시영역으로 정의되는 기판, 표시영역에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, 및 산화물 반도체 박막 트랜지스터의 액티브층이 노출되지 않도록 산화물 반도체 박막 트랜지스터의 액티브층을 완전히 덮는 쇠드층을 포함하고, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 LTPS 박막 트랜지스터의 액티브층 상에 배치되고, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 산화물 반도체 박막 트랜지스터의 액티브층과 서로 다른 평면상에 배치된다.

[0076] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극은 건식식각이 가능한 물질로 이루어질 수 있다.

[0077] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 쇠드층은 건식식각에 의한 손상을 최소화하기 위해서, 산화물 반도체 박막 트랜지스터의 액티브층에 접촉하여 배치될 수 있다.

[0078] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 쇠드층은 표시영역과 비표시영역을 동시에 덮는다.

[0079] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 쇠드층의 두께는 1000Å 이하일 수 있다.

[0080] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, LTPS 박막 트랜지스터의 소스 전극 또는 드레인 전극과 중첩되는 쇠드층의 두께는, 산화물 반도체 박막 트랜지스터의 액티브층과 중첩되는 쇠드층의 두께보다 두꺼

을 수 있다.

[0081] 본 발명의 일 실시예에 따른 유기발광 표시장치는, LTPS 박막 트랜지스터의 소스 전극, 드레인 전극, 및 쉴드층 상에 배치되는 패시베이션층을 더 포함할 수 있다.

[0082] 본 발명의 일 실시예에 따른 유기발광 표시장치는, 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극은 패시베이션층 상에 배치될 수 있다.

[0083] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 쉴드층 및 패시베이션층은 각각 복수의 콘택홀을 포함하고, 산화물 반도체 박막 트랜지스터의 소스 전극 또는 드레인 전극은 복수의 콘택홀 중 하나를 통해 산화물 반도체 박막 트랜지스터의 액티브층과 연결될 수 있다.

[0084] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 산화물 반도체 박막 트랜지스터의 소스 전극 또는 드레인 전극 중 하나는, 패시베이션층에 형성된 복수의 콘택홀 중 하나를 통해 LTPS 박막 트랜지스터의 드레인 전극과 연결될 수 있다.

[0085] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 쉴드층의 수소 함량은 패시베이션층의 수소 함량보다 작을 수 있다.

[0086] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, 산화물 반도체 박막 트랜지스터의 소스 전극 또는 드레인 전극은 습식식각이 가능한 물질로 이루어질 수 있다.

[0087] 본 발명의 일 실시예에 따른 유기발광 표시장치는, LTPS 박막 트랜지스터의 게이트 전극 및 산화물 반도체 박막 트랜지스터의 게이트 전극 각각은 LTPS 박막 트랜지스터의 액티브층 및 산화물 반도체 박막 트랜지스터의 액티브층과 중첩되는 영역에 배치될 수 있다.

[0088] 본 발명의 일 실시예에 따른 유기발광 표시장치에 있어서, LTPS 박막 트랜지스터의 게이트 전극 및 산화물 반도체 박막 트랜지스터의 게이트 전극은 동일한 평면 상에 배치될 수 있다.

[0089] 본 발명의 일 실시예에 따른 유기발광 표시장치 제조방법에 있어서, 기판 상에 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 함께 배치되며, 기판 상에 LTPS 박막 트랜지스터의 액티브층을 형성하는 단계, LTPS 박막 트랜지스터의 액티브층 상에 LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계, LTPS 박막 트랜지스터의 게이트 전극 상에 제1 무기물층을 형성하는 단계, 제1 무기물층 상에 산화물 반도체 박막 트랜지스터의 액티브층을 형성하는 단계, 산화물 반도체 박막 트랜지스터의 액티브층 상에 쉴드층을 형성하는 단계, 쉴드층 상에 제1 금속물질층을 형성하는 단계, 제1 금속물질층을 건식에칭(dry-etch)하여 LTPS 박막 트랜지스터의 제1 전극 및 제2 전극을 형성하는 단계, 제1 전극, 제2 전극, 및 쉴드층 상에 제2 무기물층을 형성하는 단계, 및 제2 무기물층 상에 산화물 반도체 박막 트랜지스터의 제1 전극 및 제2 전극을 형성하는 단계를 포함한다.

[0090] 본 발명의 일 실시예에 따른 유기발광 표시장치 제조방법에 있어서, 산화물 반도체 박막 트랜지스터의 액티브층, 산화물 반도체 박막 트랜지스터의 제1 전극과 제2 전극, 및 산화물 반도체 박막 트랜지스터의 제1 전극과 제2 전극은 서로 다른 평면 상에 배치된다.

[0091] 본 발명의 일 실시예에 따른 유기발광 표시장치 제조방법에 있어서, 쉴드층을 형성하는 단계는 쉴드층을 기판의 전면에 형성하는 단계를 포함할 수 있다.

[0092] 본 발명의 일 실시예에 따른 유기발광 표시장치 제조방법에 있어서, LTPS 박막 트랜지스터의 제1 전극 및 제2 전극은 알루미늄이 포함할 수 있으며, LTPS 박막 트랜지스터의 제1 전극 및 제2 전극은 산화물 반도체 박막 트랜지스터의 제1 전극 및 제2 전극보다 두껍게 형성될 수 있다.

[0093] 본 발명의 일 실시예에 따른 유기발광 표시장치 제조방법에 있어서, 산화물 반도체 박막 트랜지스터의 제1 전극 및 제2 전극은 습식식각이 가능한 물질로 이루어질 수 있다.

[0094] 본 발명의 일 실시예에 따른 유기발광 표시장치 제조방법에 있어서, LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계는 산화물 반도체 박막 트랜지스터의 게이트 전극과 LTPS 박막 트랜지스터의 게이트 전극을 동일 평면 상에 동시에 형성하는 단계를 포함할 수 있다.

[0095] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한

것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0096]

200: 유기발광 표시장치

210: 기판

211: 베피층

212: LTPS 박막 트랜지스터의 게이트 절연층

213: 충간 절연층

214: 쇼드층

215: 패시베이션층

220: LTPS 박막 트랜지스터

222: LTPS 박막 트랜지스터의 액티브층

221: LTPS 박막 트랜지스터의 소스 전극

224: LTPS 박막 트랜지스터의 드레인 전극

223: LTPS 박막 트랜지스터의 게이트 전극

230: 산화물 반도체 박막 트랜지스터

232: 산화물 반도체 박막 트랜지스터의 액티브층

231: 산화물 반도체 박막 트랜지스터의 소스 전극

234: 산화물 반도체 박막 트랜지스터의 드레인 전극

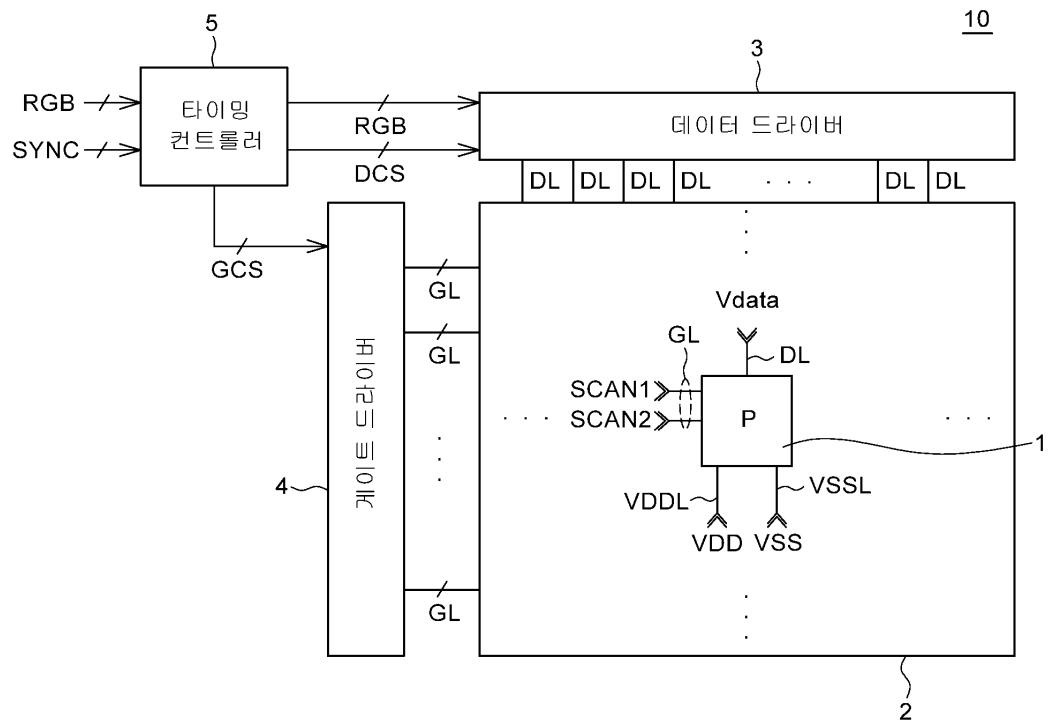
233: 산화물 반도체 박막 트랜지스터의 게이트 전극

240: 스토리지 커패시터

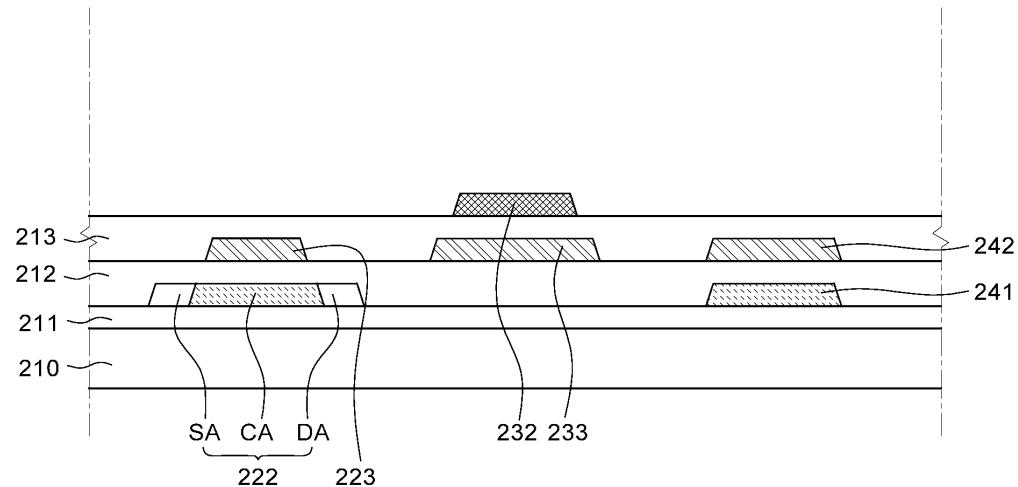
260: 유기발광소자

도면

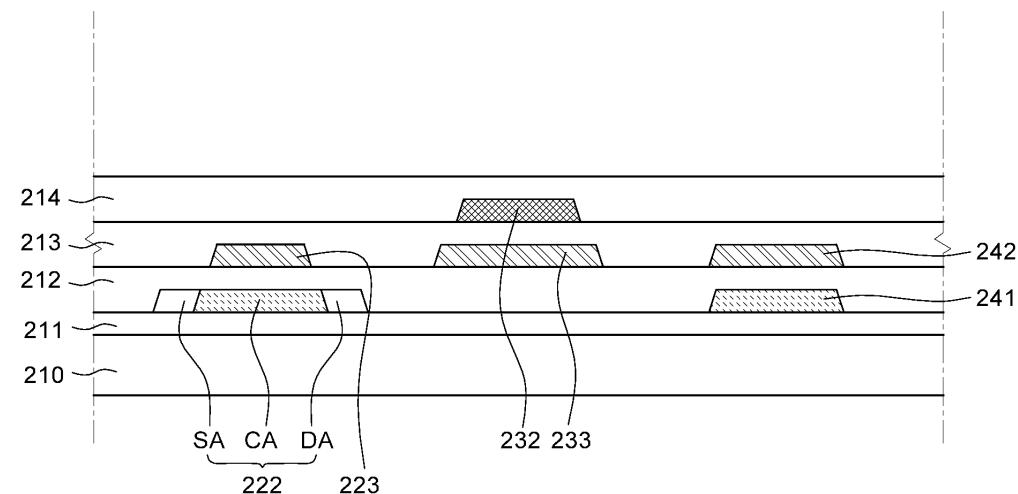
도면1



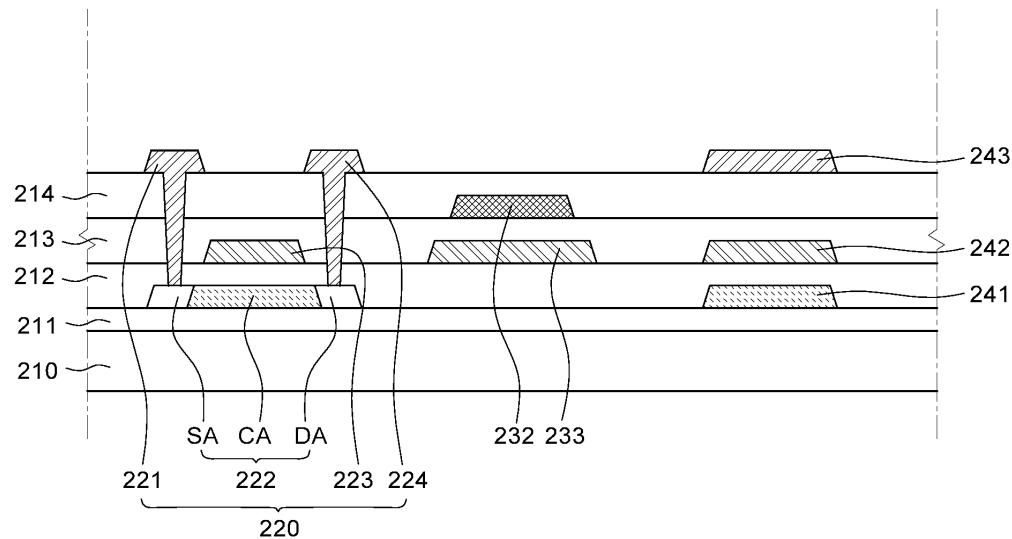
도면3a



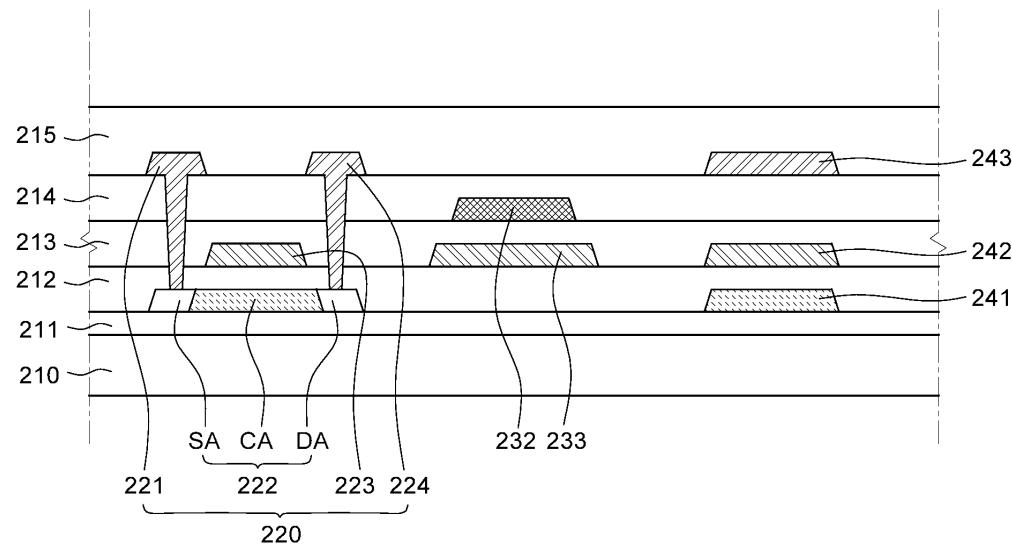
도면3b



도면3c

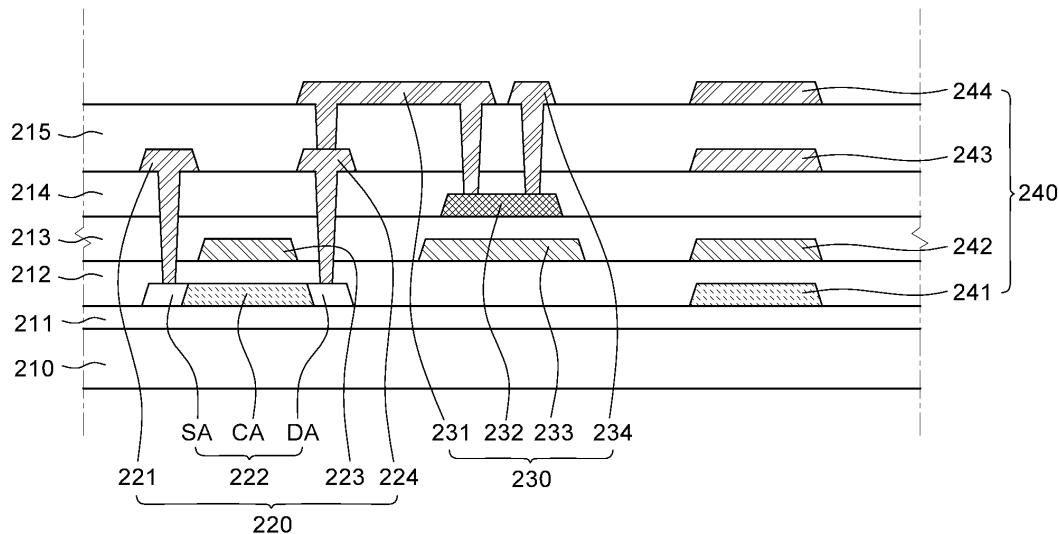


도면3d



도면3e

200



专利名称(译)	一种包括多型薄膜晶体管的有机发光显示装置和制造该有机发光显示装置的方法		
公开(公告)号	KR1020180061720A	公开(公告)日	2018-06-08
申请号	KR1020160161209	申请日	2016-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JEI HYUN 이제현		
发明人	이제현		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/3262 H01L27/3272 H01L27/1229 H01L27/1251 H01L27/1225 H01L27/1262 H01L27/3258		
外部链接	Espacenet		

摘要(译)

200

有机发光显示器技术领域本发明涉及一种包括多型薄膜晶体管的有机发光显示器。本发明的有机发光显示器包括由显示区域和非显示区域限定的基板，位于显示区域上的LTPS薄膜晶体管和氧化物半导体薄膜晶体管，设置在基板上的氧化物半导体薄膜晶体管的有源层，LTPS薄膜晶体管的源电极和漏电极设置在LTPS薄膜晶体管的有源层上，其中LTPS薄膜晶体管的源电极和漏电极，以及氧化物半导体薄膜晶体管被安排在不同的飞机上。

