



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0141366

(43) 공개일자 2016년12월08일

- (51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

- (52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2320/0214 (2013.01)

- (21) 출원번호 10-2016-0053638

- (22) 출원일자 2016년04월30일

심사청구일자 2016년07월07일

- (30) 우선권주장

1020150075330 2015년05월28일 대한민국(KR)

1020150152672 2015년10월30일 대한민국(KR)

- (71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

- (72) 발명자

정상훈

경기도 고양시 일산서구 강선로 141 (일산동, 후곡마을16단지아파트) 1605동 601호

김중철

경기도 파주시 가온로 256 (와동동, 가람마을11단지 동문굿모닝힐아파트) 동문굿모닝힐 1101동 1904호

(뒷면에 계속)

- (74) 대리인!

특허법인으로알

전체 청구항 수 : 총 25 항

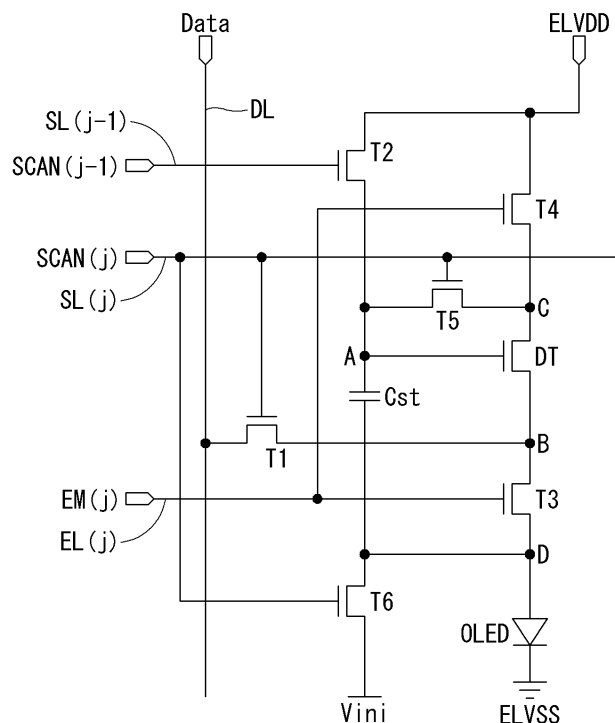
- (54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 명세서의 유기발광 표시장치는 표시패널, 게이트 구동부 및 데이터 구동부를 포함한다. 표시패널은 복수 개의 화소들, 행 방향을 따라 화소들과 연결되는 스캔라인과 에미션라인 및 열 방향을 따라 화소들과 연결되는 데이터 라인을 포함한다. 게이트 구동부는 게이트라인 및 에미션라인을 구동하고, 데이터 구동부는 데이터라인에 데이터

(뒷면에 계속)

대표도 - 도3



전압을 제공한다. j (j 는 자연수)행에 배열되는 화소들은 구동 트랜지스터, 제1 내지 제6 트랜지스터 및 커패시터를 포함한다. 구동 트랜지스터는 노드 A에 연결되는 게이트전극과 노드 B에 연결되는 소스전극 및 노드 C에 연결되는 드레인전극을 포함한다. 제1 트랜지스터는 데이터라인과 노드 B에 접속하며, 제 j 스캔신호에 의해서 스위칭된다. 제2 트랜지스터는 노드 A와 고전위 구동전압의 입력단에 접속하며, 제($j-1$) 스캔신호에 의해서 스위칭된다. 제3 트랜지스터는 노드 B와 상기 유기발광소자(OLED)에 접속하며, 에미션신호에 의해서 스위칭된다. 제4 트랜지스터는 노드 C와 고전위 구동전압의 입력단에 접속하며, 에미션신호에 의해서 스위칭된다. 제5 트랜지스터는 노드 A와 노드 C에 접속하며, 제 j 스캔신호에 의해서 스위칭된다. 제6 트랜지스터는 노드 D와 초기전압 입력단에 접속된다. 그리고, 커패시터는 노드 A와 노드 D에 접속된다.

(52) CPC특허분류

G09G 2330/021 (2013.01)

(72) 발명자

권준영

부산광역시 부산진구 백양관문로 10 303동 1206호
(당감동, 신개금주공3단지아파트)

석정엽

경기도 파주시 후곡로 50 421동 901호 (금촌동, 후곡마을아파트)

성기영

서울특별시 도봉구 도당로27길 24 (방학동)

명세서

청구범위

청구항 1

복수의 화소들이 구비된 표시패널;

상기 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로; 및

상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 포함하고;

상기 복수의 화소들 중에서 n (n 은 자연수)번째 행에 배치된 각 화소는,

노드 A에 연결되는 게이트전극과 노드 B에 연결되는 소스전극 및 노드 C에 연결되는 드레인전극을 포함하며, 유기발광소자에 인가되는 구동전류를 제어하는 구동 트랜지스터;

상기 데이터라인과 상기 노드 B 사이에 접속된 제1 트랜지스터;

상기 노드 A와 고전위 구동전압의 입력단 사이에 접속된 제2 트랜지스터;

상기 노드 B와 상기 유기발광소자에 접속된 제3 트랜지스터;

상기 노드 C와 상기 고전위 구동전압의 입력단에 접속된 제4 트랜지스터;

상기 노드 A와 상기 노드 C에 접속된 제5 트랜지스터;

상기 제3 트랜지스터와 상기 유기발광소자 사이에 노드 D가 위치하고, 상기 노드 D와 초기전압 입력단에 사이에 접속하는 제6 트랜지스터; 및

상기 노드 A와 상기 노드 D 사이에 접속하는 커패시터를 포함하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 $(j-1)$ 행에 배열되는 화소들에 데이터전압을 제공하는 제 $(j-1)$ 스캔신호는 $(j-1)$ 수평기간 동안 턴-온 전압을 유지하고, 상기 제 j 스캔신호는 j 행에 배열되는 화소들에 데이터전압을 제공하는 j 수평기간 동안 턴-온 전압을 유지하며,

상기 j 행에 제공되는 에미션신호는 상기 제 j 스캔신호가 턴-오프 전압으로 반전된 이후에 턴-온 전압을 유지하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 $(j-1)$ 수평기간 동안,

상기 제2 트랜지스터는 상기 제 $(j-1)$ 스캔신호에 응답하여, 상기 고전위 구동전압 입력단으로부터 제공받는 고전위 구동전압을 상기 노드 A에 인가하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제 j 수평기간 동안,

상기 제1 트랜지스터는 상기 제 j 스캔신호에 응답하여, 상기 데이터라인으로부터 제공받는 데이터전압을 상기 노드 B에 인가하고,

상기 제5 트랜지스터는 상기 제 j 스캔신호에 응답하여, 상기 노드 A 및 상기 노드 C를 접속시켜서, 상기 구동 트랜지스터를 동작시키는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

(j+1) 수평기간 동안,

상기 제4 트랜지스터는 상기 에미션 신호에 응답하여, 상기 고전위 구동전압 입력단과 상기 노드 C를 연결하고,

상기 제3 트랜지스터는 상기 에미션 신호에 응답하여 상기 노드 B와 상기 노드 D를 연결하며,

상기 노드 D는 상기 구동전류에 의해서 상기 초기 전압레벨에서 상기 유기발광소자의 전위에 대응하며,

상기 노드 A는 상기 노드 D의 상기 유기발광소자의 전위에서 초기 전압레벨의 전위차가 반영되어, 상기 구동 트랜지스터의 문턱전압값이 보상된 상태에서 상기 유기발광소자가 발광하는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 제6 트랜지스터의 게이트전극은 제(j-1) 스캔라인에 연결되고,

상기 제(j-1) 수평기간 동안에,

상기 제6 트랜지스터는 상기 제(j-1) 스캔신호에 응답하여, 상기 초기전압 입력단으로부터 제공받는 초기전압을 상기 노드 D에 인가하는 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제6 트랜지스터의 게이트전극은 제j 스캔라인에 연결되고,

상기 제j 수평기간 동안에,

상기 제 6 트랜지스터는 상기 제j 스캔신호에 응답하여, 상기 노드 D에 상기 초기전압 입력단으로부터 제공받는 초기전압을 인가하는 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 j 행에 배열되는 화소들은

상기 노드 D 및 초기전압 입력단 사이에 접속하며, 상기 제(j-1) 스캔신호에 의해서 스위칭되는 제7 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제(j-1) 수평기간 동안,

상기 제7 트랜지스터는 상기 제(j-1) 스캔신호에 응답하여, 상기 노드 D에 초기전압을 제공하는 유기발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 초기전압은 상기 유기발광소자의 동작전압보다 작은 전압인 유기발광 표시장치.

청구항 11

제 1 항에 있어서,상기 제(j-1) 수평기간에 이어지는 고전압 유지 기간을 더 포함하며, 상기 고전압 유지 기간 동안에 상기 제(j-1) 스캔신호에 응답하여 상기 노드 A에 고전위 구동전압을 인가하는 유기발광 표시장치.

청구항 12

제 1 항에 있어서,

상기 제2 트랜지스터 및 상기 제5 트랜지스터 중에서 적어도 어느 하나는 더블 게이트 구조인 유기발광 표시장치.

청구항 13

제 1 항에 있어서,

상기 구동 트랜지스터의 반도체층 하부에 금속층을 더 포함하는 유기발광 표시장치.

청구항 14

제 1 항에 있어서,

상기 초기전압의 입력단에서 초기전압을 제공받는 커패시터의 제1 전극은 상기 구동 트랜지스터의 게이트 전극에 대응하여 배치된 유기발광 표시장치.

청구항 15

제 1 항에 있어서,

상기 초기전압의 입력단에서 초기전압을 제공받는 커패시터의 제1 전극은 샘플링 기간에 동작하는 제 5 트랜지스터의 반도체층에 대응하는 영역에 배치된 유기발광 표시장치.

청구항 16

적어도 하나의 트랜지스터를 포함하는 트랜지스터 어레이;

초기전압의 입력단 및 상기 적어도 하나의 트랜지스터 사이에 연결되도록 구현된 커패시터; 및

상기 커패시터는 제 1 전극 및 제 2 전극을 포함하고, 초기전압을 제공받는 상기 제 1 전극의 면적은 상기 제 2 전극의 면적보다 넓은 유기발광 표시장치의 회로.

청구항 17

제 16 항에 있어서,

상기 제 1 전극은 샘플링 기간에 동작하는 트랜지스터의 반도체층에 대응하는 영역에 배치된 유기발광 표시장치의 회로.

청구항 18

제 16 항에 있어서,

상기 트랜지스터 어레이는 가요성 기판에 배치되고,

상기 구동 트랜지스터의 반도체층 하부에 금속층을 포함하는 유기발광 표시장치의 회로.

청구항 19

제 16 항에 있어서,

상기 커패시터의 제 1 전극은 고전위 구동전압의 입력단에 연결되지 않고 상기 초기전압의 입력단에 연결됨으로써 컨택홀의 개수를 줄일 수 있도록 구현된 유기발광 표시장치의 회로.

청구항 20

제 16 항에 있어서,

상기 커패시터의 제 1 전극이 연결된 양극 및 상기 양극에 대응하여 음극을 포함하는 유기발광소자를 포함하고,

상기 구동 트랜지스터는 상기 초기전압을 제공받는 상기 커패시터에 의해 보상되는 유기발광표시장치의 회로.

청구항 21

제 16항에 있어서,

상기 커패시터와 연결된 트랜지스터들 중 적어도 하나는 더블 게이트 구조로 구성된 유기발광 표시장치의 회로.

청구항 22

구동 트랜지스터의 게이트전압을 초기화하는 초기화 기간;

구동 트랜지스터의 문턱전압값을 보상하기 위한 샘플링 기간; 및

유기발광소자를 발광시키는 발광 기간을 포함하는 하나의 프레임에 있어서,

상기 샘플링 기간에 상기 유기발광소자가 나타낼 이미지신호에 대응되는 값이 데이터라인에 입력되며,

상기 초기화 기간 동안 상기 커패시터의 일전극에 초기전압이 인가되도록 구현된 유기발광 표시장치.

청구항 23

제 22 항에 있어서,

상기 샘플링 기간에서 상기 초기화 기간이 유지되는 기간을 포함하도록 구현된 유기발광 표시장치.

청구항 24

제 22 항에 있어서,

상기 샘플링 기간의 초기 구간에 고전압 유지 기간이 더 포함되며, 상기 고전압 유지 기간 동안에 상기 게이트 전압에 응답하여 상기 커패시터의 다른 전극에 고전위 구동전압을 인가하는 유기발광 표시장치.

청구항 25

제 22 항에 있어서,

상기 j번째 행의 화소에 대한 상기 초기화 기간은 (j-1)번째 행의 화소에 데이터 전압을 제공하는 기간과 중첩하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치 및 그의 회로에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광소자(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 자발광 소자인 유기발광소자는 도 1과 같은 구조를 갖는다. 유기발광소자는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공(도면에서 "+"로 표시)과 전자수송층(ETL)을 통과한 전자(도면에서 "-"로 표시)가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0003] 유기발광 표시장치는 유기발광소자를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 유기발광소자에 흐르는 구동전류를 제어하는 구동 트랜지스터(Thin Film Transistor), 구동 트랜지스터의 게이트-소스 간 전압을 한 프레임 동안 일정하게 유지시키는 커패시터, 및 게이트신호에 응답하여 구동 트랜지스터의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스위치 트랜지스터를 포함한다. 구동전류는 데이터전압에 따른 구동 트랜지스터의 게이트-소스 간 전압에 의해 결정되며, 화소의 휘도는 유기발광소자에 흐르는 구동전류의 크기에 비례한다.

[0004] 유기발광 표시장치는 공정 편차, 구동시간 경과에 따른 게이트-바이어스 스트레스(Gate-Bias Stress) 등의 이유로 화소들 간 구동 트랜지스터의 문턱전압이 달라져 동일한 데이터전압에 대해서도 구동전류 편차가 발생하는 문제가 있다. 이를 해결하기 위해 구동 트랜지스터의 문턱전압 변화를 샘플링하고, 문턱전압의 변화가 구동전류에 미치는 영향을 제거하기 위한 유기발광 표시장치의 화소 구조를 이용하기도 한다.

발명의 내용

해결하려는 과제

[0005] 문턱전압 보상을 위한 유기발광 표시장치는 화소에 데이터전압을 충전하기 이전에 구동 트랜지스터의 문턱전압을 샘플링하는 샘플링 기간이 요구된다. 표시패널이 고해상도가 되면서 1 수평기간(H)이 짧아지고, 이에 따라서 샘플링 기간도 줄어들게 된다. 샘플링 기간이 줄어들면 문턱전압의 보상능력이 저하되어 표시패널의 화질품질에 악영향을 줄 수 있다.

[0006] 또한, 유기발광 표시장치는 구동 트랜지스터의 문턱전압을 샘플링하기 위해서 기준전압을 이용하는 경우, 데이터 구동부는 기준전압과 데이터전압을 스윙(swing)하여야 한다. 이때, 데이터전압은 표시하고자 하는 이미지에 대한 데이터 값이다. 따라서, 데이터 구동부의 출력전압은 기준전압과 데이터전압을 교대로 출력하기 때문에 트랜지션(transition)이 많아져서 소비전력이 증가하는 단점이 있다.

[0007] 또한, 트랜지스터가 배치된 기판이 폴리이미드계 물질인 경우 이동전하(mobile charge)가 트랩(trap)되기 쉽다. 따라서, 트랩(trap)된 이동전하는 트랜지스터의 반도체층에 영향을 주고 구동전류를 감소시켜 트랜지스터의 성능을 저하시키는 문제점이 발생할 수 있다.

[0008] 본 명세서의 일 실시예에 따른 해결과제는 효율적인 구동 트랜지스터의 문턱전압 보상을 통해 소비전력을 줄일 수 있는 유기발광 표시장치를 제공하는 것이다.

[0009] 또한, 본 명세서의 일 실시예에 따른 해결과제는 기판에 트랩(trap)된 이동전하(mobile charge)가 트랜지스터의 반도체층에 미치는 영향을 최소화하기 위한 보상회로를 제공하는 것이다.

[0010] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 본 명세서의 일 실시예에 따른 유기발광 표시장치는 표시패널, 게이트 구동회로 및 데이터 구동회로를 포함한다. 표시패널은 복수의 화소들을 구비하고, 게이트 구동회로는 표시패널의 스캔라인들과 에미션라인들을 구동시키며, 데이터 구동회로는 표시패널의 데이터라인들을 구동시킨다. 복수의 화소들 중에서 n (n 은 자연수)번째 행에 배치된 각 화소는 구동 트랜지스터, 제1 내지 제6 트랜지스터, 및 커패시터를 포함한다. 구동 트랜지스터는 노드 A에 연결되는 게이트전극과 노드 B에 연결되는 소스전극 및 노드 C에 연결되는 드레인전극을 포함하며, 유기발광소자에 인가되는 구동전류를 제어한다. 제1 트랜지스터는 데이터라인과 노드 B 사이에 접속되고, 제2 트랜지스터는 노드 A와 고전위 구동전압의 입력단 사이에 접속되며, 제3 트랜지스터는 노드 B와 유기발광소자에 접속된다. 제4 트랜지스터는 노드 C와 고전위 구동전압의 입력단에 접속되고, 제5 트랜지스터는 노드 A와 노드 C에 접속된다. 제3 트랜지스터와 유기발광소자 사이에 노드 D가 위치하고, 제6 트랜지스터는 노드 D와 초기전압 입력단에 접속된다. 그리고, 커패시터는 노드 A와 노드 D 사이에 접속된다.

[0012] 본 명세서의 다른 실시예에 따른 유기발광 표시장치의 회로는 적어도 하나의 트랜지스터를 포함하는 트랜지스터 어레이, 초기전압의 입력단, 및 적어도 하나의 트랜지스터 사이에 연결되도록 구현된 커패시터를 포함하고, 커패시터는 제 1 전극 및 제 2 전극을 포함하며, 초기전압을 제공받는 제 1 전극의 면적은 제 2 전극의 면적보다 넓다.

[0013] 본 명세서의 또 다른 실시예에 따른 유기발광 표시장치는 구동 트랜지스터의 게이트전압을 초기화하는 초기화 기간, 구동 트랜지스터의 문턱전압값을 보상하기 위한 샘플링 기간, 및 유기발광소자를 발광시키는 발광 기간을 포함하는 하나의 프레임에 있어서, 샘플링 기간에 유기발광소자가 나타낼 이미지신호에 대응되는 값이 데이터라인에 입력되며, 초기화 기간 동안 커패시터의 일전극에 초기전압이 인가되도록 구현된다.

발명의 효과

- [0014] 본 명세서의 실시예들은, 구동 트랜지스터의 게이트전극을 초기화하는 과정이 이전의 수평기간 동안에 수행되므로, 문턱전압 샘플링 기간을 충분히 길게 확보할 수 있다. 따라서, 구동 트랜지스터의 문턱전압 보상을 효율적으로 수행할 수 있다.
- [0015] 또한, 본 명세서의 실시예들은, 기준전압을 이용하지 않으므로, 데이터 구동부가 출력하는 데이터전압의 트랜지션(transition)을 줄일 수 있다. 따라서, 데이터 구동부의 소비전력을 줄일 수 있다.
- [0016] 또한, 본 명세서의 실시예들은, 초기화 기간 동안에도 커패시터의 일전극이 연결된 유기발광소자의 애노드 전극에 낮은 전압을 인가함으로써, 커패시터의 다른 전극이 연결된 구동 트랜지스터의 게이트전극을 고전위 구동전압으로 초기화 하는 과정에서 커패시터의 커플링 현상으로 인해서 유기발광소자가 발광 기간 이외에 발광하는 것을 방지할 수 있다.
- [0017] 또한, 본 명세서의 실시예들은, 유기발광소자의 초기화를 샘플링 기간에 진행하고, 커패시터의 일전극이 유기발광소자의 애노드에 연결되며, 커패시터의 다른 전극이 구동 트랜지스터의 게이트전극에 연결된 경우, 샘플링 기간의 초기 구간에서 구동 트랜지스터의 게이트전극에 고전위 구동전압을 공급함으로써, 유기발광소자의 초기화 과정에서 커패시터의 커플링 현상으로 인해서 구동 트랜지스터의 게이트 전극의 전압이 강하되는 것을 방지할 수 있다.
- [0018] 또한, 본 명세서의 실시예들은, 커패시터와 접속하는 트랜지스터들을 더블 게이트 구조로 형성함으로써 누설전류로 인해서 발광 휘도가 왜곡되는 것을 방지할 수 있다.
- [0019] 또한, 본 명세서의 실시예들은, 구동 트랜지스터의 반도체층 하부에 금속층을 배치함으로써, 구동 트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄일 수 있는 효과가 있다.
- [0020] 또한, 본 명세서의 실시예들은, 커패시터의 일전극을 구동 트랜지스터의 게이트전극보다 면적이 넓도록 구현함으로써, 구동 트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄일 수 있는 효과가 있다.
- [0021] 또한, 본 명세서의 실시예들은, 커패시터의 일전극을 샘플링 기간에 동작하는 트랜지스터의 반도체층에 대응하는 영역에 배치함으로써, 트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄일 수 있는 효과가 있다.
- [0022] 또한, 본 명세서의 실시예들은, 커패시터의 일전극을 고전위 구동전압의 입력단에 연결하지 않고 초기전압의 입력단에 연결함으로써, 커패시터의 일전극은 초기전압의 입력단 및 트랜지스터와 하나의 컨택홀을 통해 연결할 수 있기 때문에 화소 내에 컨택홀의 개수를 줄여 설계마진을 확보할 수 있다.
- [0023] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.
- [0024] .

도면의 간단한 설명

- [0025] 도 1은 유기발광소자와 유기발광소자의 발광원리를 보여주는 도면.
- 도 2는 본 발명에 따른 유기발광 표시장치를 보여주는 도면.
- 도 3은 제1 실시예에 의한 화소 구조를 나타내는 도면.
- 도 4는 제1 실시예에 의한 게이트신호를 보여주는 타이밍도.
- 도 5a는 제1 실시예의 화소들의 초기화 기간 동작을 나타내는 등가 회로도.
- 도 5b는 제1 실시예의 화소들의 샘플링 기간 동작을 나타내는 등가 회로도.
- 도 5c는 제1 실시예의 화소들의 발광 기간 동작을 나타내는 등가 회로도.
- 도 6은 제2 실시예에 의한 화소 구조를 나타내는 도면.
- 도 7a는 제2 실시예의 화소들의 초기화 기간 동작을 나타내는 등가 회로도.
- 도 7b는 제2 실시예의 화소들의 샘플링 기간 동작을 나타내는 등가 회로도.

도 7c는 제2 실시예의 화소들의 발광 기간 동작을 나타내는 등가 회로도.

도 8은 제3 실시예에 의한 화소 구조를 나타내는 도면.

도 9a는 제3 실시예의 화소의 초기화 기간 동작을 나타내는 등가 회로도.

도 9b는 샘플링 기간에 대응되는 화소의 등가 회로도.

도 9c는 발광 기간에 대응되는 화소의 등가 회로도.

도 10은 제2 실시예에 의한 게이트신호를 나타내는 타이밍도.

도 11은 제1 실시예에 의한 화소의 변형예를 나타내는 도면.

도 12는 본 발명의 실시예에 의한 화소에서 커패시터가 형성되는 영역의 어레이를 나타내는 도면.

도 13은 도 12에서 I-I'를 따라 절단한 단면을 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0027] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0030] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0031] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0033] 이하 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다.
- [0034] 도 2는 제1 실시예에 따른 유기발광 표시장치를 나타내는 도면이다.
- [0035] 도 2를 참조하면, 실시예에 따른 유기발광 표시장치는 화소들(PXL)이 매트릭스 형태로 배열되는 표시패널(10)과, 데이터라인들(DL)을 구동시키기 위한 데이터 구동부(12)와, 스캔라인(SL) 및 에미션라인(EL)을 구동하는 게이트 구동부(13)와, 데이터 구동부(12) 및 게이트 구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.
- [0036] 표시패널(10)에는 복수 개의 화소(PXL)들이 배치되고, 각각의 화소들은 데이터라인(DL), 스캔라인(SL), 및 에미션라인(EL)과 연결된다. 데이터라인(DL)은 열(Column) 방향으로 배열되고, 데이터 구동부(12)에서 제공받는 데이터전압(Vdata)을 화소(PXL)들에 전달한다. 제1 스캔라인(SL) 내지 제n 스캔라인(SL)은 각각 행(Raw) 방향의

화소행(R#1~R#n)(n은 자연수)에 배열되고, 게이트 구동부(13)에서 제공받는 스캔전압을 화소(PXL)들에 전달한다. 제1 에미션라인(EL) 내지 제n 에미션라인(EL(n))은 각각 행(Raw) 방향의 화소행(R#1~R#n)에 배열되고, 게이트 구동부(13)에서 제공받는 에미션전압을 화소(PXL)들에 전달한다.

- [0037] 화소(PXL)들은 전원발생부로부터 고전위 및 저전위 구동전압(ELVDD, ELVSS)과 초기전압(Vini)을 공통으로 공급 받을 수 있다. 유기발광소자(OLED)의 불필요한 발광이 방지되도록 초기전압(Vini)은 저전위 구동전압보다 충분히 낮은 범위 내에서 선택될 수 있다.
- [0038] 화소(PXL)를 구성하는 트랜지스터들은 산화물 반도체층을 포함하는 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), 또는 ITZO(Indium Tin Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 유기물(organic) 반도체 등으로 형성될 수 있다.
- [0039] 화소(PXL)들 각각은 구동 트랜지스터의 문턱전압 변화를 보상하기 위해 다수의 트랜지스터들과 커패시터들을 포함한다. 본 발명의 실시예에 의한 구체적인 화소 구조는 후술하기로 한다.
- [0040] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동부(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK), 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0041] 데이터 구동부(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다. 데이터 구동부(12)는 데이터전압을 데이터라인(14)에 공급한다. 이때, 데이터전압은 유기발광소자가 나타낼 이미지신호에 대응되는 값일 수 있다.
- [0042] 게이트 구동부(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 에미션신호를 생성한다. 게이트 구동부(13)는 스캔신호를 스캔라인(SL)에 순차적으로 제공하고, 에미션신호(EM[j])를 에미션라인(EL)에 순차적으로 제공한다. 즉, 게이트 구동부(13)는 스캔신호(SCAN)를 제1 스캔라인(SL)부터 제n 스캔라인(SL)에 순차적으로 제공하고, 에미션신호(EM[j])를 제1 에미션라인(EL)부터 제n 에미션라인(EL)에 순차적으로 제공한다. 게이트 구동부(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비표시영역 상에 직접 형성될 수 있다.
- [0043] 도 3은 제1 실시예에 의한 화소 구조를 나타내는 도면이고, 도 4는 도 3에 도시된 화소에 제공되는 구동신호를 나타내는 도면이다.
- [0044] 도 3을 참조하여, j번째 화소 행에 배치된 화소(PXL[j])에 대해서 살펴보면 다음과 같다.
- [0045] j(j는 n 이하의 자연수)번째 화소행(R#j)에 배열되는 화소들(PXL[j])은 제(j-1) 스캔라인(SL[j-1]), 제j 스캔라인(SL[j]), 및 제j 에미션라인(EL[j])과 접속된다.
- [0046] 화소(PXL[j])는 유기발광소자(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6), 및 커패시터(Cst)를 포함한다. 본 발명의 실시예에서는 각 트랜지스터들이 N 타입으로 구현되는 것을 개시하고 있으나, 각 트랜지스터들의 반도체 타입은 이에 한정되지 않는다. 만약 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6)가 P 타입으로 구현되는 경우에는 도 4에 도시되는 게이트신호들(SCAN[j], SCAN[j-1], EM[j])은 반전되어야 한다. N 타입 트랜지스터는 P 타입 트랜지스터에 비해 전류이동이 빨라 스위칭 속도가 향상되는 효과가 있다. 그리고, NMOS 트랜지스터 외에 PMOS 트랜지스터, CMOS 트랜지스터 등으로 구성하는 것도 가능하다.
- [0047] 유기발광소자(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광소자(OLED)는 애노드전극과 캐소드전극 사이에 다층의 유기 화합물층을 포함한다. 유기 화합물층은 적어도 하나의 정공전달층 및 전자전달층과, 발광층(Emission layer, EML)을 포함할 수 있다. 여기서, 정공전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 및 전자저지층(Electron blocking layer, EBL) 등일 수 있다. 그리고, 전자전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL), 및 정공저지층(Hole blocking layer, HBL) 등일 수 있다.

- [0048] 유기발광소자(OLED)의 애노드전극은 노드 D에 접속되고, 유기발광소자(OLED)의 캐소드전극은 저전위 구동전압(ELVSS)의 입력단에 접속된다.
- [0049] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(V_{gs})에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트 전극은 노드 A에 접속되고, 소스전극은 노드 B에 접속되며, 드레인전극은 노드 C에 접속된다.
- [0050] 제1 트랜지스터(T1)의 제1 및 제2 전극은 각각 노드 B와 데이터라인(DL)에 접속되고, 게이트전극은 제j 스캔라인(SL[j])에 접속된다. 즉, 제1 트랜지스터(T1)는 제j 스캔신호(SCAN[j])에 응답하여 스위칭되어서 데이터라인(DL)으로부터 제공받는 데이터전압을 노드 B에 전달한다.
- [0051] 제2 트랜지스터(T2)의 제1 및 제2 전극은 각각 노드 A와 고전위 구동전압(ELVDD)의 입력단에 접속하며, 게이트전극은 제(j-1) 스캔라인(SL[j-1])에 접속된다. 즉, 제2 트랜지스터(T2)는 제(j-1) 스캔신호(SCAN[j-1])에 응답하여 고전위 구동전압(ELVDD)을 노드 A에 전달한다.
- [0052] 제3 트랜지스터(T3)의 제1 및 제2 전극은 각각 노드 B와 유기발광소자(OLED)에 접속하며, 게이트전극은 제j 에미션라인(EL[j])에 접속된다. 즉, 제3 트랜지스터(T3)는 제j 에미션신호(EM[j])에 응답하여 구동 트랜지스터(DT)와 유기발광소자(OLED) 간의 전류 경로를 스위칭한다.
- [0053] 제4 트랜지스터(T4)의 제1 및 제2 전극은 각각 노드 C와 고전위 구동전압(ELVDD)의 입력단에 접속하며, 게이트전극은 제j 에미션라인(EL[j])에 접속된다. 즉, 제4 트랜지스터(T4)는 제j 에미션신호(EM[j])에 응답하여 고전위 구동전압(ELVDD)을 노드 C에 전달한다.
- [0054] 제5 트랜지스터(T5)의 제1 및 제2 전극은 각각 노드 A와 노드 C에 접속하며, 게이트 전극은 제j 스캔라인(SL[j])에 접속된다.
- [0055] 제6 트랜지스터(T6)의 제1 및 제2 전극은 각각 노드 D 및 초기전압(Vini) 입력단에 접속하고, 게이트 전극은 제j 스캔라인(SL[j])에 접속된다.
- [0056] 커패시터(Cst)는 노드 A와 노드 D 사이에 접속된다. 커패시터(Cst)는 소스팔로워(source-follower) 방식에 따라 구동 트랜지스터의 문턱전압을 샘플링하는데 이용될 수 있다.
- [0057] 제1 실시예에서, j 번째 화소행(R#j)에 배치되는 화소의 동작을 도 4와 도 5a 내지 도 5c와 [표 1]을 참조하여 설명하면 다음과 같다. 도 5a 내지 도 5c는 각각 구동신호에 따른 화소의 등가회로도이고, [표 1]은 화소들의 동작 기간에 대응하는 각 노드의 전위를 나타내는 표이다.
- [0058] 제1 실시예의 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6)는 N 타입 트랜지스터로 구현되기 때문에, 각 구동신호의 하이레벨 전압은 트랜지스터들의 턴-온 신호를 의미하고, 각 구동신호의 로우레벨 전압은 트랜지스터들의 턴-오프 전압을 의미한다.
- [0059] 각각의 화소들의 동작은 초기화 기간(T_j), 샘플링 기간(T_s), 및 발광 기간(T_e)을 포함한다. 초기화 기간(T_j), 샘플링 기간(T_s), 및 발광 기간(T_e) 각각은 1 수평기간(1H) 동안에 수행된다. j 수평기간(jH)은 j번째 화소행(R#j)에 제j 스캔신호(SCAN[j])가 제공되는 기간으로 정의될 수 있다.
- [0060] 각 화소들의 하나의 프레임은 구동 트랜지스터의 게이트전압을 초기화하는 초기화 기간(T_j), 구동 트랜지스터의 문턱전압값을 보상하기 위한 샘플링 기간(T_s), 및 유기발광소자를 발광시키는 발광 기간을 포함할 수 있다. 샘플링 기간에 상기 유기발광소자가 나타낼 이미지신호에 대응되는 값이 데이터라인에 입력될 수 있다. 그리고, 초기화 기간 동안 커패시터의 일전극에 초기전압이 인가될 수 있다. 그리고, 샘플링 기간에서 초기화 기간이 유지되는 기간이 포함될 수도 있다.

표 1

[0061]	초기화 기간	샘플링 기간	발광 기간
노드 A	ELVDD	Vdata+Vth	Vdata+Vth+(Voled-Vini)
노드 B	Voled	Vdata	Voled
노드 D	Voled	Vini	Voled

- [0062] 도 5a에서 초기화 기간(T_j)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였

다. 도 4 및 도 5a를 참조하면, 초기화 기간(T_j)은 $(j-1)$ 번째 화소행의 구동에 할당된 $(j-1)$ 번째 수평 기간($[j-1]H$) 동안에 수행된다.

[0063] 초기화 기간(T_j) 동안에, 제 $(j-1)$ 스캔신호(SCAN[$j-1$])는 하이레벨 전압으로 입력되고, 제 j 스캔신호(SCAN[j]) 및 에미션신호(EM[j])는 로우레벨로 입력된다. 제2 트랜지스터(T_2)는 제 $(j-1)$ 스캔신호(SCAN[$j-1$])에 의해서 턴-온되어서, 고전위 구동전압(ELVDD)을 노드 A에 제공한다. 즉, 노드 A는 초기화 기간(T_j) 동안에 고전위 구동전압(ELVDD)으로 초기화된다. 제 j 에미션신호(EM[j])는 턴-오프 전압레벨로 반전되어서, 제3 트랜지스터(T_3)는 턴-오프된다. 따라서, 초기화 기간(T_j) 동안에 구동 트랜지스터(DT)와 유기발광소자(OLED) 간의 전류 경로는 차단된다. 이때, 노드 B와 노드 D는 전 프레임의 발광 기간에 형성되는 유기발광소자의 동작전위(V_{oled})가 인가되어 있는 상태일 수 있으나, 실질적으로 유기발광소자의 동작전위(V_{oled})가 유지되지 못하기 때문에 발광하지는 않는다. 따라서, 편의상 [표 1]에는 노드 B와 노드 D의 전위를 " V_{oled} "로 표기하고자 한다.

[0064] 도 5b에서 샘플링 기간(T_s)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 4 및 도 5b를 참조하면, 샘플링 기간(T_s)은 j 번째 화소행에 배열되는 화소들에 데이터전압을 입력하는 j 번째 수평 기간(jH) 동안에 수행된다.

[0065] 샘플링 기간(T_s) 동안에, 제 $(j-1)$ 스캔신호(SCAN[$j-1$])는 로우레벨 전압으로 반전되고, 제 j 스캔신호(SCAN[j])는 하이레벨 전압으로 반전된다. 에미션신호(EM[j])는 로우레벨을 유지한다. 제 $(j-1)$ 스캔신호(SCAN[$j-1$])가 로우레벨로 반전됨에 따라서 제2 트랜지스터(T_2)는 턴-오프되고, 고전위 구동전압(ELVDD) 입력단과 노드 A 간의 전류 경로는 차단될 수 있다.

[0066] 샘플링 기간(T_s) 동안에, 제5 트랜지스터(T_5)는 제 j 스캔신호(SCAN[j])에 의해서 턴-온되고 노드 A 및 노드 C는 접속된다. 이에 따라서 노드 C는 노드 A의 전위에 대응하는 고전위 구동전압(ELVDD)의 전위가 되고, 노드 C의 전위가 상승함에 따라서 구동 트랜지스터(DT)는 턴-온된다. 구동 트랜지스터(DT)가 턴-온 됨에 따라서 노드 B의 전위는 드레인-소스 간 전류(I_{ds})에 의해 상승하되, 구동 트랜지스터(DT)를 턴-오프시킬 수 있는 전압까지 상승한다. 이와 동시에, 제1 트랜지스터(T_1)는 제 j 스캔신호(SCAN[j])에 의해서 턴-온되어, 데이터전압(V_{data})을 노드 B에 제공한다. 즉, 노드 B의 전위는 V_{data} 가 될 때까지 상승한다. 또한, 샘플링 기간(T_s)에서 제5 트랜지스터(T_5)는 턴-온 됨에 따라서 노드 A와 노드 C는 다이오드 연결(Diode Connection, 구동 트랜지스터의 게이트전극과 드레인전극이 단락(short)되어 구동 트랜지스터가 다이오드처럼 동작함)이 되어, 구동 트랜지스터(DT)의 게이트 전위인 노드 A는 노드 B의 전위(V_{data})와 문턱전압(V_{th})의 합에 해당하는 전위가 된다.

[0067] 그리고, 샘플링 기간(T_s) 동안에 제6 트랜지스터(T_6)는 제 j 스캔신호(SCAN[j])에 의해서 턴-온되어, 초기전압(V_{ini})을 노드 D에 제공한다. 초기전압(V_{ini})은 유기발광소자(OLED)를 동작시키지 않는 전압으로 설정된다. 즉, 샘플링 기간(T_s) 동안에 유기발광소자의 애노드전극에 낮은 전압을 인가함으로써, 유기발광소자가 발광 기간(T_e) 이외에 발광하는 것을 방지할 수 있다.

[0068] 도 5c에서 발광 기간(T_e)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 4 및 도 5c를 참조하면, 발광 기간(T_e)은 샘플링 기간(T_s) 이후부터 그 다음 프레임의 초기화 기간(T_j)까지 연속된다.

[0069] 발광 기간(T_e) 동안, 제 $(j-1)$ 스캔신호(SCAN[$j-1$]) 및 제 j 스캔신호(SCAN[j])는 로우레벨 전압(턴-오프 전압)으로 입력되고, 에미션신호(EM[j])는 하이레벨 전압(턴-온 전압)으로 반전된다. 제3 트랜지스터(T_3)는 에미션신호(EM[j])에 의해서 턴-온되고, 이에 따라서 샘플링 기간(T_s) 동안에 노드 B의 데이터전압에 따라서 구동전류(I_{oled})를 유기발광소자(OLED)에 제공한다.

[0070] 샘플링 기간(T_s) 동안에 초기전압(V_{ini})으로 초기화된 노드 D는 발광 기간(T_e)에서 유기발광소자(OLED)의 동작전위(V_{oled})에 대응한다. 즉, 노드 D는 " $V_{oled}-V_{ini}$ " 만큼의 전위차가 발생하고, 이러한 전위차는 노드 A에도 반영된다. 따라서, 샘플링 기간(T_s)에 " $V_{data}+V_{th}$ "의 전위를 유지하던 노드 A는 " $V_{data}+V_{th}+(V_{oled}-V_{ini})$ "에 대응하는 전위가 된다.

[0071] 발광 기간(T_e) 동안에 노드 B 역시 " V_{oled} "에 대응하는 전위가 된다. 즉, 발광 기간(T_e) 동안에 구동 트랜지스터(DT)의 게이트 전위는 " $V_{data}+V_{th}+(V_{oled}-V_{ini})$ "가 되고, 소스 전위는 " V_{oled} "가 되므로, " $V_{gs}=\{V_{data}+V_{th}+(V_{oled}-V_{ini})\}-V_{oled}=V_{data}+V_{th}-V_{ini}$ "가 된다.

[0072] 따라서, 발광 기간(T_e) 동안에 유기발광소자(OLED)에 흐르는 구동전류(I_{oled})에 대한 관계식은 하기 수학적 1과 같이 된다.

- [0073] [수학식1]
- [0074] $I_{oled} = (k/2)(V_{gs} - V_{th})^2 = (k/2)(V_{data} - V_{ini})^2$
- [0075] 수학식 1에서, k는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 나타낸다.
- [0076] 유기발광소자(OLED)는 구동전류 관계식에 의해 발광함으로써 원하는 계조를 표시할 수 있다. 다시 말해서, 유기발광소자(OLED)의 구동전류(I_{oled}) 관계식은 $k/2(V_{gs} - V_{th})^2$ 인데, 샘플링 시간(T_s)을 통해 프로그래밍된 V_{gs} 에는 V_{th} 성분이 이미 포함되어 있으므로, 최종적인 구동전류(I_{oled}) 관계식에서 V_{th} 성분은 소거되게 된다. 이는 문턱전압(V_{th}) 변화가 구동전류(I_{oled})에 미치는 영향이 최소화된다고 할 수 있다.
- [0077] 제1 실시예에 의한 유기발광 표시장치는 화소의 동작순서에 따라 입력되는 전압값에서 확인할 수 있듯이, 샘플링 시간(T_s)에서 기준전압을 이용하지 않으므로 데이터 구동부(12)가 출력하는 전압의 트랜지션(transition)을 줄일 수 있다. 따라서, 데이터 구동부(12)의 소비전력을 줄일 수 있다.
- [0078] 또한, 제1 실시예에 의한 유기발광 표시장치에서, j 번째 화소행에 대한 초기화 기간은 (j-1) 번째 화소행에 데이터전압을 제공하는 기간과 중첩된다. 따라서, 제1 실시예는 구동 트랜지스터의 샘플링 시간을 충분히 확보할 수 있다. 따라서, 구동 트랜지스터(DT)의 문턱전압 보상을 효율적으로 수행할 수 있다.
- [0079] 도 6은 제2 실시예에 의한 화소 구조를 나타내는 도면이다. 제2 실시예에 의한 화소 구조의 구동신호는 도 4에 도시된 제1 실시예의 화소 구조에 대한 구동신호와 동일하다. 이하 제2 실시예를 설명하는 과정에서 전술한 제1 실시예와 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.
- [0080] 도 6을 참조하여, j 번째 화소 행에 배치된 제j 화소(PXL[j])에 대해서 살펴보면 다음과 같다.
- [0081] 제j 화소(PXL[j])들은 유기발광소자(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6) 및 커패시터(Cst)를 포함한다. 본 발명의 실시예에서는 각 트랜지스터들이 N 타입으로 구현되는 것을 개시하고 있으나, 각 트랜지스터들의 반도체 타입은 이에 한정되지 않는다.
- [0082] 유기발광소자(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다.
- [0083] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(V_{gs})에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트 전극은 노드 A에 접속되고, 소스전극은 노드 B에 접속되며, 드레인전극은 노드 C에 접속된다.
- [0084] 제1 트랜지스터(T1)의 제1 및 제2 전극은 각각 노드 B와 데이터라인(DL)에 접속되고, 게이트 전극은 제j 스캔라인(SL[j])에 접속된다. 즉, 제1 트랜지스터(T1)는 제j 스캔신호(SCAN[j])에 응답하여 스위칭되어서 데이터라인(DL)으로부터 제공받는 데이터전압을 노드 B에 전달한다.
- [0085] 제2 트랜지스터(T2)의 제1 및 제2 전극은 각각 노드 A와 고전위 구동전압(ELVDD)의 입력단에 접속하며, 게이트 전극은 제(j-1) 스캔라인(SL[j-1])에 접속된다. 즉, 제2 트랜지스터(T2)는 제(j-1) 스캔신호(SCAN[j-1])에 응답하여 고전위 구동전압(ELVDD)을 노드 A에 전달한다.
- [0086] 제3 트랜지스터(T3)의 제1 및 제2 전극은 각각 노드 B와 유기발광소자(OLED)의 애노드전극에 접속하며, 게이트 전극은 제j 에미션라인(EL[j])에 접속된다. 즉, 제3 트랜지스터(T3)는 제j 에미션신호(EM[j])에 응답하여 구동 트랜지스터(DT)와 유기발광소자(OLED) 간의 전류 경로를 스위칭한다.
- [0087] 제4 트랜지스터(T4)의 제1 및 제2 전극은 각각 노드 C와 고전위 구동전압(ELVDD)의 입력단에 접속하며, 게이트 전극은 제j 에미션라인(EL[j])에 접속된다. 즉, 제4 트랜지스터(T4)는 제j 에미션신호(EM[j])에 응답하여 고전위 구동전압(ELVDD)을 노드 C에 전달한다.
- [0088] 제5 트랜지스터(T5)의 제1 및 제2 전극은 각각 노드 A와 노드 C에 접속하며, 게이트전극은 제j 스캔라인(SL[j])에 접속된다.
- [0089] 제6 트랜지스터(T6)의 제1 및 제2 전극은 각각 노드 D 및 초기전압(V_{ini}) 입력단에 접속하고, 게이트전극은 제(j-1) 스캔라인(SL[j-1])에 접속된다.
- [0090] 커패시터(Cst)는 노드 A와 노드 D 사이에 접속된다. 커패시터(Cst)는 소스팔로워(source-follower) 방식에 따라 구동 트랜지스터의 문턱전압을 샘플링하는데 이용될 수 있다.

[0091] 제2 실시예에 의한 j 번째 화소행(R#j)에 배치되는 화소의 동작을 도 4와 도 7a 내지 도 7c, 그리도 [표 2]를 참조하여 설명하면 다음과 같다. 도 7a 내지 도 7c는 각각 구동신호에 따른 화소의 등가회로도이며, [표 2]는 화소들의 동작 기간에 대응하는 각 노드의 전위를 나타내는 표이다. 제1 실시예의 동작에서 전술한 실시예의 동작과 동일한 내용에 대해서는 자세한 설명을 생략하기로 한다.

표 2

	초기화 기간	샘플링 기간	발광 기간
노드 A	ELVDD	Vdata+Vth	Vdata+Vth+(Voled-Vini)
노드 B	Voled	Vdata	Voled
노드 D	Vini	Vini	Voled

[0093] 제2 실시예에서, 각각의 화소들을 구동하기 위한 게이트신호들은 제1 실시예의 게이트신호들과 동일하다. 제2 실시예에 의한 화소들의 동작은 초기화 기간(Tj), 샘플링 기간(Ts) 및 발광 기간(Te)을 포함한다.

[0094] 도 7a를 참조하면, 초기화 기간(Tj)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 초기화 기간(Tj) 동안에, 제(j-1) 스캔신호(SCAN[j-1])는 하이레벨 전압으로 입력되고, 제j 스캔신호(SCAN[j]) 및 에미션신호(EM[j])는 로우레벨로 입력된다. 제2 트랜지스터(T2)는 제(j-1) 스캔신호(SCAN[j-1])에 의해서 턴-온되어서, 고전위 구동전압(ELVDD)을 노드 A에 제공한다. 즉, 노드 A는 초기화 기간(Tj) 동안에 고전위 구동전압(ELVDD)으로 초기화된다.

[0095] 제j 에미션신호(EM[j])는 턴-오프 전압레벨로 반전되어서, 제3 트랜지스터(T3)는 턴-오프된다. 따라서, 초기화 기간(Tj) 동안에 구동 트랜지스터(DT)와 유기발광소자(OLED) 간의 전류 경로는 차단된다.

[0096] 그리고 초기화 기간(Tj) 동안에, 제6 트랜지스터(T6)는 제(j-1) 스캔신호(SCAN[j-1])에 의해서 턴-온되어, 초기 전압(Vini)을 노드 D에 제공한다. 이때, 초기전압(Vini)은 저전위 구동전압(ELVSS)보다 낮은 전압을 인가함으로써, 유기발광소자가 발광 기간 이외에 발광하는 것을 방지할 수 있다.

[0097] 도 7b를 참조하면, 샘플링 기간(Ts)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 샘플링 기간(Ts)은 제j 화소(PXL[j])들에 데이터전압을 입력하는 j번째 수평 기간(jH) 동안에 수행된다.

[0098] 샘플링 기간(Ts) 동안에, 제(j-1) 스캔신호(SCAN[j-1])는 로우레벨 전압으로 반전되고, 제j 스캔신호(SCAN[j])는 하이레벨 전압으로 반전된다. 에미션신호(EM[j])는 로우레벨을 유지한다. 제(j-1) 스캔신호(SCAN[j-1])가 로우레벨로 반전됨에 따라서 제2 트랜지스터(T2)는 턴-오프되고, 고전위 구동전압(ELVDD) 입력단과 노드 A 간의 전류 경로는 차단된다.

[0099] 샘플링 기간(Ts) 동안에, 제5 트랜지스터(T5)는 제j 스캔신호(SCAN[j])에 의해서 턴-온되고 노드 A 및 노드 C는 접속된다. 이에 따라서 노드 C는 노드 A의 전위에 대응하는 고전위 구동전압(ELVDD)의 전위가 되고, 노드 C의 전위가 상승함에 따라서 구동 트랜지스터(DT)는 턴-온된다. 구동 트랜지스터(DT)가 턴-온 됨에 따라서 노드 B의 전위는 드레인-소스 간 전류(Ids)에 의해 상승하되, 구동 트랜지스터(DT)를 턴-오프시킬 수 있는 전압까지 상승한다. 이와 동시에, 제1 트랜지스터(T1)는 제j 스캔신호(SCAN[j])에 의해서 턴-온되어, 데이터전압(Vdata)을 노드 B에 제공한다. 즉, 노드 B의 전위는 Vdata가 될 때까지 상승한다. 또한, 샘플링 기간(Ts)에서 제5 트랜지스터(T5)는 턴-온 됨에 따라서 노드 A와 노드 C는 다이오드 연결(Diode Connection, 구동 트랜지스터의 게이트전극과 드레인전극이 단락(short)되어 구동 트랜지스터가 다이오드처럼 동작함)이 되어, 구동 트랜지스터(DT)의 게이트 전위인 노드 A는 노드 B의 전위(Vdata)와 문턱전압(Vth)의 합에 해당하는 전위가 된다.

[0100] 도 7c를 참조하면, 발광 기간(Te)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 발광 기간(Te)은 샘플링 기간(Ts) 이후부터 그 다음 프레임의 초기화 기간(Tj)까지 연속된다.

[0101] 발광 기간(Te) 동안, 제(j-1) 스캔신호(SCAN[j-1]) 및 제j 스캔신호(SCAN[j])는 로우레벨 전압(턴-오프 전압)으로 입력되고, 에미션신호(EM[j])는 하이레벨 전압(턴-온 전압)으로 반전된다. 제3 트랜지스터(T3)는 에미션신호(EM[j])에 의해서 턴-온되고, 이에 따라서 샘플링 기간(Ts) 동안에 노드 B의 데이터전압에 따라서 구동전류(Ioled)를 유기발광소자(OLED)에 제공한다.

[0102] 초기화 기간(Tj) 동안에 초기전압(Vini)으로 초기화 된 노드 D는 발광 기간(Te)에서 유기발광소자(OLED) 동작전위(Voled)에 대응한다. 즉, 노드 D는 "Voled-Vini" 만큼의 전위차가 발생하고, 이러한 전위차는 노드 A에도 반

영된다. 따라서, 샘플링 기간(T_s)에 " $V_{data}+V_{th}$ "의 전위를 유지하던 노드 A는 " $V_{data}+V_{th}+(V_{oled}-V_{ini})$ "에 대응하는 전위가 된다.

- [0103] 발광 기간(T_e) 동안에 노드 B 역시 " V_{oled} "에 대응하는 전위가 된다. 즉, 발광 기간(T_e) 동안에 구동 트랜지스터(DT)의 게이트 전위는 " $V_{data}+V_{th}+(V_{oled}-V_{ini})$ "가 되고, 소스 전위는 " V_{oled} "가 되기 때문에, " $V_{gs}=\{V_{data}+V_{th}+(V_{oled}-V_{ini})\}-V_{oled}=V_{data}+V_{th}-V_{ini}$ "가 된다.
- [0104] 따라서, 발광 기간(T_e) 동안에 유기발광소자(OLED)에 흐르는 구동전류(I_{oled})에 대한 관계식은 상술한 수학적 식 1과 같이 된다.
- [0105] 즉, 제2 실시예는 최종적인 구동전류(I_{oled}) 관계식에서 V_{th} 성분은 소거되게 된다. 이는 문턱전압(V_{th}) 변화가 구동전류(I_{oled})에 미치는 영향이 최소화될 수 있다.
- [0106] 도 8은 제3 실시예에 의한 유기발광 표시장치를 나타내는 도면이다. 도 8은 도 3에 도시된 제1 실시예의 변형된 실시 예이고, 도 8에서 도 3과 동일한 구성에 대해서는 동일한 도면부호를 사용하고 자세한 설명을 생략하기로 한다. 또한, 제3 실시예에 의한 유기발광 표시장치를 구동하기 위한 구동신호는 도 4에 도시된 제1 실시예에 의한 게이트신호들을 이용할 수 있다.
- [0107] 제3 실시예에 의한 유기발광 표시장치는 제7 트랜지스터(T_7)를 더 포함한다. 제7 트랜지스터(T_7)의 제1 전극은 노드 D에 접속되고, 제2 전극은 초기전압(V_{ini}) 입력단에 접속되고, 게이트전극은 ($j-1$) 스캔라인($SL[j-1]$)에 연결되어 제($j-1$) 스캔신호($SCAN[j-1]$)를 입력받는다.
- [0108] 도 9a는 초기화 기간(T_j)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 또한, 도 9a는 도 4에 도시된 초기화 기간(T_j) 동안의 제3 실시예의 화소 동작을 나타내는 등가 회로도이다. 도 4, 도 8, 및 도 9a 내지 도 9c를 참조하면, 제3 실시예에 의한 제7 트랜지스터(T_7)는 제($j-1$) 스캔신호($SCAN[j-1]$)에 응답하여, 노드 D를 초기전압(V_{ini})으로 초기화한다. 이때, 초기전압(V_{ini})은 저전위 구동전압($ELVSS$)보다 낮은 전압을 인가함으로써, 유기발광소자가 발광 기간 이외에 발광하는 것을 방지할 수 있다.
- [0109] 도 9b 및 도 9c는 각각 샘플링 기간(T_s) 및 발광 기간(T_e) 동안, 제3 실시예의 화소 동작을 나타내는 도면으로 샘플링 기간(T_s) 및 발광 기간(T_e)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 샘플링 기간(T_s) 및 발광 기간(T_e)에서 화소의 각 트랜지스터들은 전술한 제1 실시예와 동일한 동작을 수행하므로, 자세한 설명을 생략하기로 한다.
- [0110] 제3 실시예에 의한 유기발광 표시장치는 제($j-1$) 수평기간($[j-1]H$) 동안에는 제7 트랜지스터(T_7)를 이용하여 노드 D를 초기화시키고, 제 j 수평기간 동안에는 제6 트랜지스터(T_6)를 이용하여 노드 D를 초기화시킨다.
- [0111] 도 3의 제1 실시예에서, 노드 D를 초기화하는 동작은 제 j 화소($P[j]$)들의 샘플링 기간인 제 j 수평기간(jH) 동안에만 이루어진다. 제1 실시예에서, 제($j-1$) 수평기간 동안($[j-1]H$) 노드 D는 전기적으로 플로팅(floating) 상태이다. 따라서, 제1 실시예는 제($j-1$) 수평기간($[j-1]H$) 동안 노드 A를 고전위 구동전압($ELVDD$)으로 초기화하는 과정에서, 커패시터(C_{st})의 커플링 현상에 의해서 노드 D의 전압은 순간적으로 상승한다. 따라서, 유기발광소자(OLED)는 순간적으로 발광할 수 있다. 즉, 제1 실시예는 초기화 기간 동안에 의도치 않은 순간에 또는 발광이 되지 않아야 될 때 화소들이 발광할 수도 있다.
- [0112] 이와 비교하여, 도 8에 도시된 제3 실시예는 초기화 기간(T_j) 동안에도 제7 트랜지스터(T_7)를 이용하여 노드 D를 초기전압(V_{ini})으로 초기화시킨다. 즉, 제7 트랜지스터(T_7)는 유기발광소자(OLED)를 동작시키지 않는 초기전압(V_{ini})으로 노드 D를 홀딩시키기 때문에, 노드 D의 전압이 상승하는 것을 방지할 수 있다. 따라서, 제3 실시예는 초기화 기간(T_j) 동안에, 노드 D의 전압이 상승하여 유기발광소자(OLED)의 원하지 않는 발광을 방지할 수 있다. 그리고, 초기화 기간 동안에도 유기발광소자의 애노드 전극에 낮은 전압을 인가함으로써, 구동 트랜지스터의 게이트 전극을 고전위 구동전압으로 초기화하는 과정에서 커패시터의 커플링 현상으로 인해서 유기발광소자가 발광 기간 이외에 발광하는 것을 방지할 수 있다.
- [0113] 도 10은 도 4에 이어서 게이트신호를 나타내는 타이밍도에 대한 제2 실시예이다. 도 10에 도시된 제2 실시예에 의한 게이트신호를 나타내는 타이밍도는 도 3에 도시된 제1 실시예 및 도 8에 도시된 제3 실시예에 의한 화소들에 적용될 수 있다.
- [0114] 제1 실시예 및 제3 실시예에서, 제6 트랜지스터는 샘플링 기간(T_s) 동안에 턴-온 전압으로 인가되는 제 $2j$ 스캔신호($SCAN2[j]$)에 응답하여 노드 D를 초기전압(V_{ini})으로 초기화한다. 즉, 샘플링 기간(T_s) 이전까지 노드 D의 전압은 유기발광소자(OLED)의 동작전위(V_{oled})인 상태에서, 샘플링 기간(T_s) 동안에 초기전압(V_{ini})으로 초기화

된다. 초기전압(Vini)은 유기발광소자(OLED)의 동작전위(Voled) 보다 낮은 전압으로 설정되기 때문에, 초기화 시간(Tj) 동안에 노드 D의 전압은 낮아진다. 제1 실시예의 샘플링 기간(Ts)의 화소 동작은 도 5b와 같이 표현되고, 제3 실시예의 샘플링 기간(Ts)의 화소 동작은 도 9b와 같이 표현된다. 도 5b 및 도 9b에서와 같이, 제1 실시예 및 제3 실시예는 샘플링 기간(Ts) 동안, 노드 A가 플로팅된다. 이처럼 노드 A가 플로팅된 상태에서, 노드 D의 전압이 초기전압(Vini)으로 초기화될 때, 커패시터(Cst)의 커플링 현상에 의해서 노드 A의 전압은 낮아진다. 그 결과, 정상적인 상태에서 "Vdata+Vth"의 전압값으로 샘플링되어야 하는 노드 A의 전압이 낮아지면서 문턱전압(Vth)을 센싱하지 못하는 문제점이 발생한다.

[0115] 이와 비교하여, 도 10에 도시된 제2 실시예에 의한 게이트신호를 나타내는 타이밍도에 의하면, 화소들의 구동 동작은 샘플링 기간(Ts)의 초기 구간에 고전압 유지구간(Th)을 포함한다. 고전압 유지구간(Th) 동안, 제2 트랜지스터(T2)는 제1(j) 스캔신호(SCAN1[j])에 응답하여 노드 A에 고전위 구동전압(ELVDD)을 공급한다. 따라서, 제1 실시예 및 제3 실시예에서, 노드 D가 초기화되므로, 커패시터(Cst)의 커플링 현상에 의해서 노드 A의 전압이 강하되는 것을 방지할 수 있다. 그리고, 샘플링 기간의 초기 구간에서 구동 트랜지스터의 게이트 전극에 고전위 전압을 공급함으로써, 유기발광소자의 초기화 과정에서 커패시터의 커플링 현상으로 인해서 구동 트랜지스터의 게이트 전극의 전압이 강하되는 것을 방지할 수 있다. 그리고, 고전압 유지 기간 동안에 구동 트랜지스터의 게이트전압에 응답하여 커패시터의 다른 전극에 고전위 구동전압을 인가할 수 있으므로, 구동 트랜지스터의 게이트 전극의 전압이 강하되는 것을 방지할 수 있다.

[0116] 제2 실시예에 의한 게이트 신호에서 j 화소행(R#j)에 제공되는 제1 스캔신호(SCAN1[j]) 및 제2 스캔신호(SCAN2[j])는 도 10에 도시한 바와 같이, 펄스 폭이 다르다. 따라서, 도 10에 도시된 제2 실시예의 게이트신호는 별도의 쉬프트레지스터(Shift Register)를 이용하여 각각 개별적으로 출력될 수 있다. 그리고, 제2 실시예에 의한 게이트 신호를 이용하기 위해서 각 화소행(R#1~ R#n)에는 제1 스캔신호(SCAN1[j])를 제공받는 제1 스캔라인 및 제2 스캔신호(SCAN2[j])를 인가받는 제2 스캔라인이 각각 배치될 수 있다.

[0117] 도 11은 도 3에 도시된 제1 실시예의 변형된 실시예를 나타내는 도면이다. 도 11에서 전술한 제1 실시예와 동일한 구성에 대해서는 동일한 도면부호를 사용하고 자세한 설명을 생략하기로 한다.

[0118] 제5 트랜지스터(T5)의 제1 전극 및 제2 전극은 각각 노드 A와 노드 C에 접속하며, 게이트전극은 제j 스캔라인(SL[j])에 접속된다. 제5 트랜지스터(T5)는 더블 게이트 구조로 이루어져서 누설전류를 줄일 수 있다. 제5 트랜지스터(T5)가 턴-오프된 상태에서 누설전류가 발생할 경우에는 커패시터(Cst)의 전위가 낮아진다. 커패시터(Cst)의 전위가 낮아지면, 구동 트랜지스터(DT)의 게이트-소스 전위도 변한다. 구동 트랜지스터(DT)의 게이트-소스 전위는 유기발광소자(OLED)의 휘도를 결정하므로, 제5 트랜지스터(T5)의 누설전류는 발광 휘도를 변화시킨다. 따라서, 커패시터(Cst)와 접속하는 제5 트랜지스터(T5)를 더블 게이트 구조로 구성함으로써, 제5 트랜지스터(T5)의 누설전류를 줄일 수 있고, 발광 휘도가 원치 않게 변화하는 것을 방지할 수 있다.

[0119] 즉, 커패시터(Cst)와 접속하는 트랜지스터의 누설전류가 발생하였을 때에 발광 휘도가 왜곡되는 문제가 발생할 수 있는데, 이러한 문제는 커패시터(Cst)와 접속하는 트랜지스터에 더블 게이트 구조를 적용함으로써 해결될 수 있다.

[0120] 예를 들어, 제2 트랜지스터(T2) 또한 더블 게이트 구조로 형성할 수 있다. 또는, 제2 트랜지스터(T2)나 제5 트랜지스터(T5) 중에서 적어도 어느 하나가 더블 게이트 구조를 갖도록 형성할 수 있다.

[0121] 따라서, 제2 트랜지스터(T2) 및 제5 트랜지스터(T5)의 게이트 구조는 다음의 [표 3]에 도시된 실시예 중에서 어느 하나로 선택될 수 있다.

표 3

제2 트랜지스터	제5 트랜지스터
싱글 게이트	싱글 게이트
싱글 게이트	더블 게이트
더블 게이트	싱글 게이트
더블 게이트	더블 게이트

[0123] 또한, 제2 트랜지스터(T2) 및 제5 트랜지스터(T5)에 더블 게이트 구조를 적용하는 것은 도 6에 도시된 제2 실시예의 화소 구조 및 도 8에 도시된 제3 실시예의 화소 구조에서도 동일하게 적용될 수 있다.

- [0124] 상술한 도 3, 도 6, 및 도 8에 도시된 화소 구조의 실시예들은 각 기술적 특징을 갖는 트랜지스터들 및 커패시터의 구조로 이루어져 있으며, 이러한 화소 구조들은 표시패널의 화소 어레이 구조에서 확인될 수 있다.
- [0125] 도 12는 도 3, 도 6, 및 도 8에서 커패시터(Cst)가 배치되는 영역의 평면 어레이를 나타내는 도면이다. 도 8의 경우, 제6 트랜지스터(T6)는 제7 트랜지스터(T7)로 대체하여 설명할 수 있다.
- [0126] 도 12 및 도 12의 제6 트랜지스터(T6)와 커패시터(Cst)가 형성된 I-I'를 따라 절단한 단면을 나타낸 도 13을 참조하면, 제6 트랜지스터(T6)는 반도체층(220), 드레인전극(241), 소스전극(231)을 포함하고, 커패시터(Cst)는 제1 전극(241) 및 제2 전극을 포함한다. 커패시터(Cst)의 제1 전극(241)은 제6 트랜지스터(T6)의 드레인전극(241)에 연결되며, 제2 전극은 구동 트랜지스터(DT)의 게이트 전극(250)에 해당한다. 이때, 제6 트랜지스터(T6)의 소스전극(231)은 초기전압의 입력단에 연결될 수 있다. 또한, 구동 트랜지스터(DT)의 반도체층(260)은 게이트 전극(250) 아래에 형성되고, 소스 콘택홀(271), 드레인 콘택홀(273)은 각각 다른 트랜지스터의 소스전극 또는 드레인전극과 연결할 수 있다.
- [0127] 커패시터의 제1 전극(241)은 고전위 구동전압의 입력단에 연결하지 않고, 초기전압의 입력단에 연결함으로써 하나의 콘택홀을 공유할 수 있는 설계가 용이하다. 예를 들어, 도 8의 경우 커패시터의 제1 전극은 제6 트랜지스터 및 제7 트랜지스터와 하나의 콘택홀을 공유함으로써 콘택홀의 개수를 감소시키고, 설계마진을 확보할 수 있는 효과가 있다.
- [0128] 상기 트랜지스터들은 기판(110)에 형성되고, 기판(110)은 폴리이미드계열의 절연막을 사용할 수 있다. 이때, 폴리이미드계열의 절연막은 이동전하(mobile charge)를 형성하여 트랜지스터의 반도체층에 영향을 주고, 구동전류를 감소시키는 문제가 발생할 수 있다. 여기서 트랜지스터는 적어도 하나의 트랜지스터들을 포함하는 트랜지스터 어레이라고 할 수 있다. 따라서, 제1 전극(241)은 구동 트랜지스터(DT)의 게이트전극(250) 보다 크게 형성함으로써, 제1 전극(241)에 초기전압(Vini)이 인가될 때 기판(110)에 형성된 이동전하(mobile charge)에 의한 영향을 억제할 수 있다. 따라서, 이동 전하(mobile charge)의 영향으로 구동 트랜지스터(DT)의 구동전류가 감소되는 것을 개선할 수 있는 효과가 있다. 여기서, 초기전압(Vini)은 마이너스 전압일 수 있다.
- [0129] 또는, 구동 트랜지스터(DT)의 반도체층(260)의 하부에 금속층(114)을 배치함으로써, 구동 트랜지스터(DT)의 반도체층(260)에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄일 수 있는 효과가 있다. 이때, 금속층(114)은 구동 트랜지스터(DT)의 반도체층(260)과 크기가 같거나 크게 형성할 수 있다.
- [0130] 또한, 커패시터(Cst)의 제1 전극(241)은 확장하여 구동 트랜지스터(DT)의 문턱전압(Vth)을 샘플링하는 트랜지스터 또는 샘플링 기간에 동작하는 트랜지스터일 수 있다. 그리고, 제5 트랜지스터의 반도체층에 대응하는 영역에 배치함으로써, 제5 트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄여줄 수 있는 효과가 있다. 도 13을 참조하면, 기판(110) 상에 제1 버퍼층(120)이 위치한다. 제1 버퍼층(120)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0131] 제1 버퍼층(120) 상에 금속층(114)이 위치하며, 금속층(114)은 실리콘(Si) 등의 반도체 또는 도전성의 금속, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다.
- [0132] 기판(110)은 유리, 플라스틱 또는 폴리이미드계열의 절연층일 수 있으며, 두 개층 이상으로 형성될 수 있다. 그리고, 기판(110)은 가요성(flexibility)을 갖는 기판일 수도 있다. 따라서, 유기발광 표시장치가 플렉서블(flexible) 유기발광 표시장치인 경우에는 플라스틱 등과 같은 유연한 재질로 이루어질 수도 있다. 또한, 플렉서블(flexible) 구현에 용이한 유기발광소자를 차량용 조명장치나 차량용 표시장치에 적용할 경우, 차량의 구조나 외관의 형상에 맞춰 차량용 조명장치나 차량용 표시장치의 다양한 설계 및 디자인의 자유도가 확보될 수 있다.
- [0133] 금속층(114) 상에는 제2 버퍼층(130)이 위치한다. 제2 버퍼층(130)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0134] 제2 버퍼층(130) 상에는 반도체층(210)이 위치한다. 반도체층(210)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 제6 트랜지스터(T6)의 반도체층(210)은 드레인 영역(214), 소스 영역(215), 저농도 도핑영역(212, 213) 및 이들 사이에 위치하는 채널 영역(211)을 포함한다. 반도체층(210)은 인(P), 비소(As) 및 안티몬(Sb) 등의 n형 불순물을 이용할 수 있으며, 구동 트랜지스터(DT)의 반도체층(260) 역시 제6 트랜지스터(T6)의 반도체층(210)과 동일한 공정으로 형성될 수 있다.

- [0135] 반도체층(210) 상에는 제1 절연막(140)이 위치한다. 제1 절연막(140)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0136] 제6 트랜지스터(T6)의 게이트 전극(220)은 반도체층(210)의 채널 영역(211)상에 위치한다. 게이트 전극(220)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)중 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다. 구동 트랜지스터(DT)의 게이트 전극(250)은 제6 트랜지스터(T6)의 게이트 전극(220)과 동일한 공정으로 형성될 수 있다.
- [0137] 게이트 전극들(220, 250) 상에는 제2 절연막(150)이 위치한다. 제2 절연막(150)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0138] 제2 절연막(150) 상에는 초기전압(Vini) 공급라인과 연결되는 커패시터(Cst)의 제1 전극(241)과 제6 트랜지스터(T6)의 드레인전극(231) 및 소스전극이 위치한다. 도 12 및 도 13에는 커패시터(Cst)의 제1 전극(241)의 일부가 제6 트랜지스터(T6)의 드레인전극에 해당하도록 도시하였지만, 커패시터(Cst)의 제1 전극은 드레인전극 및 게이트 전극 이외에 제2 게이트 전극을 사용할 수 있다. 게이트 전극(220)과 마찬가지로 제2 게이트 전극은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)중에서 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다.
- [0139] 커패시터(Cst)의 제1 전극(241) 및 제6 트랜지스터(T6)의 드레인전극(231) 상에는 제3 절연막(160)이 배치된다. 제3 절연막(160)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0140] 그리고, 커패시터(Cst)의 제1 전극(241)과 연결된 양극 및 양극에 대응하는 음극을 포함하는 유기발광소자를 포함한다. 여기서 양극은 애노드, 및 음극은 캐소드라고 할 수 있다. 그리고, 본 명세서의 유기발광 표시장치는 TV, 모바일(Mobile), 태블릿 PC(Tablet PC), 모니터(Monitor), 스마트워치(Smart Watch), 노트북 컴퓨터(Laptop Computer), 및 차량용 표시장치 등을 포함한 표시장치 등에 적용될 수 있다. 그리고, 플랫(flat) 디스플레이, 벤더블(bendable) 디스플레이, 폴더블(foldable) 디스플레이, 롤러블(rollable) 디스플레이 등 다양한 형태로 구현한 표시장치 등에 적용할 수 있다.
- [0141] 본 명세서의 실시예들은 다음과 같이 설명될 수 있다.
- [0142] 본 명세서의 실시예의 유기발광 표시장치는 복수의 화소들이 구비된 표시패널, 표시패널의 스캔라인들과 에미션 라인들을 구동하는 게이트 구동회로, 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 포함한다. 복수의 화소들 중에서 n (n 은 자연수)번째 행에 배치된 각 화소는, 노드 A에 연결되는 게이트전극과 노드 B에 연결되는 소스전극 및 노드 C에 연결되는 드레인전극을 포함하며, 유기발광소자에 인가되는 구동전류를 제어하는 구동 트랜지스터를 포함한다. 데이터라인과 노드 B 사이에 접속된 제1 트랜지스터, 노드 A와 고전위 구동전압의 입력단 사이에 접속된 제2 트랜지스터, 노드 B와 유기발광소자에 접속된 제3 트랜지스터, 노드 C와 고전위 구동전압의 입력단에 접속된 제4 트랜지스터, 노드 A와 노드 C에 접속된 제5 트랜지스터, 제3 트랜지스터와 유기발광소자 사이에 노드 D가 위치하고, 노드 D와 초기전압 입력단에 사이에 접속하는 제6 트랜지스터, 및 노드 A와 노드 D 사이에 접속하는 커패시터를 포함한다. 따라서, 구동 트랜지스터의 샘플링 기간을 충분히 확보할 수 있으며, 구동 트랜지스터의 문턱전압 보상을 효율적으로 수행할 수 있다.
- [0143] ($j-1$)행에 배열되는 화소들에 데이터전압을 제공하는 제($j-1$) 스캔신호는 ($j-1$) 수평기간 동안 턴-온 전압을 유지하고, 제 j 스캔신호는 j 행에 배열되는 화소들에 데이터전압을 제공하는 j 수평기간 동안 턴-온 전압을 유지하며, j 행에 제공되는 에미션신호는 제 j 스캔신호가 턴-오프 전압으로 반전된 이후에 턴-온 전압을 유지할 수 있다.
- [0144] ($j-1$) 수평기간 동안, 제2 트랜지스터는 제($j-1$) 스캔신호에 응답하여, 고전위 구동전압 입력단으로부터 제공받는 고전위 구동전압을 노드 A에 인가할 수 있다.
- [0145] 제 j 수평기간 동안, 제1 트랜지스터는 제 j 스캔신호에 응답하여, 데이터라인으로부터 제공받는 데이터전압을 노드 B에 인가하고, 제5 트랜지스터는 제 j 스캔신호에 응답하여, 노드 A 및 노드 C를 접속시켜서, 구동 트랜지스터를 동작시킬 수 있다.
- [0146] ($j+1$) 수평기간 동안, 제4 트랜지스터는 에미션 신호에 응답하여, 고전위 구동전압 입력단과 노드 C를 연결하고, 제3 트랜지스터는 에미션 신호에 응답하여 노드 B와 노드 D를 연결하며, 노드 D는 구동전류에 의해서 초기 전압레벨에서 유기발광소자의 전위에 대응하며, 노드 A는 노드 D의 유기발광소자의 전위에서 초기 전압레벨의 전위차가 반영되어, 구동 트랜지스터의 문턱전압값이 보상된 상태에서 유기발광소자가 발광할 수 있다.

- [0147] 제6 트랜지스터의 게이트전극은 제(j-1) 스캔라인에 연결되고, 제(j-1) 수평기간 동안에, 제6 트랜지스터는 제(j-1) 스캔신호에 응답하여, 노드 D에 초기전압 입력단으로부터 제공받는 초기전압을 인가할 수 있다.
- [0148] 제6 트랜지스터의 게이트전극은 제j 스캔라인에 연결되고, 제j 수평기간 동안에, 제6 트랜지스터는 제j 스캔신호에 응답하여, 노드 D에 초기전압 입력단으로부터 제공받는 초기전압을 인가할 수 있다.
- [0149] j 행에 배열되는 화소들은 노드 D 및 초기전압 입력단 사이에 접속하며, 제(j-1) 스캔신호에 의해서 스위칭되는 제7 트랜지스터를 더 포함할 수 있다.
- [0150] 제(j-1) 수평기간 동안, 제7 트랜지스터는 제(j-1) 스캔신호에 응답하여, 노드 D에 초기전압을 제공할 수 있다.
- [0151] 초기전압은 유기발광소자의 동작전압보다 작은 전압일 수 있다.
- [0152] 제(j-1) 수평기간에 이어지는 고전압 유지 기간을 더 포함하며, 고전압 유지 기간 동안에 제(j-1) 스캔신호에 응답하여 노드 A에 고전위 구동전압을 인가할 수 있다.
- [0153] 제2 트랜지스터 및 제5 트랜지스터 중에서 적어도 어느 하나는 더블 게이트 구조일 수 있다.
- [0154] 구동 트랜지스터의 반도체층 하부에 금속층을 더 포함할 수 있다.
- [0155] 초기전압의 입력단에서 초기전압을 제공받는 커패시터의 제1 전극은 구동 트랜지스터의 게이트 전극에 대응하여 배치될 수 있다.
- [0156] 초기전압의 입력단에서 초기전압을 제공받는 커패시터의 제1 전극은 샘플링 기간에 동작하는 제5 트랜지스터의 반도체층에 대응하는 영역에 배치될 수 있다.
- [0157] 본 명세서의 다른 실시예에 따른 유기발광 표시장치의 회로는 적어도 하나의 트랜지스터를 포함하는 트랜지스터 어레이, 초기전압의 입력단, 및 적어도 하나의 트랜지스터 사이에 연결되도록 구현된 커패시터를 포함하고, 커패시터는 제 1 전극 및 제 2 전극을 포함하며, 초기전압을 제공받는 제 1 전극의 면적은 제 2 전극의 면적보다 넓다. 따라서, 구동 트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄일 수 있는 효과가 있다.
- [0158] 제 1 전극은 샘플링 기간에 동작하는 트랜지스터의 반도체층에 대응하는 영역에 배치될 수 있다.
- [0159] 트랜지스터 어레이는 가요성 기판에 배치되고, 구동 트랜지스터의 반도체층
- [0160] 하부에 금속층을 포함할 수 있다.
- [0161] 커패시터의 제 1 전극은 고전위 구동전압의 입력단에 연결되지 않고 초기전압의 입력단에 연결됨으로써 컨택홀의 개수를 줄일 수 있도록 구현할 수 있다.
- [0162] 커패시터의 제 1 전극이 연결된 양극 및 양극에 대응하는 음극을 포함하는 유기발광소자를 포함하고, 구동 트랜지스터는 초기전압을 제공받는 커패시터에 의해 보상될 수 있다.
- [0163] 커패시터와 연결된 트랜지스터들 중 적어도 하나는 더블 게이트 구조로 구성될 수 있다.
- [0164] 본 명세서의 또 다른 실시예에 따른 유기발광 표시장치는 구동 트랜지스터의 게이트전압을 초기화하는 초기화 기간, 구동 트랜지스터의 문턱전압값을 보상하기 위한 샘플링 기간, 및 유기발광소자를 발광시키는 발광 기간을 포함하는 하나의 프레임에 있어서, 샘플링 기간에 유기발광소자가 나타낼 이미지신호에 대응되는 값이 데이터라인에 입력되며, 초기화 기간 동안 커패시터의 일전극에 초기전압이 인가되도록 구현된다. 따라서, 유기발광소자의 초기화 과정에서 커패시터의 커플링 현상으로 인해서 구동 트랜지스터의 게이트 전극의 전압이 강해지는 것을 방지할 수 있다.
- [0165] 샘플링 기간에서 초기화 기간이 유지되는 기간을 포함하도록 구현할 수 있다.
- [0166] 샘플링 기간의 초기 구간에 고전압 유지 기간이 더 포함되며, 고전압 유지 기간 동안에 게이트전압에 응답하여 커패시터의 다른 전극에 고전위 구동전압을 인가할 수 있다.
- [0167] j번째 행의 화소에 대한 초기화 기간은 (j-1)번째 행의 화소에 데이터 전압을 제공하는 기간과 중첩할 수 있다.
- [0168] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

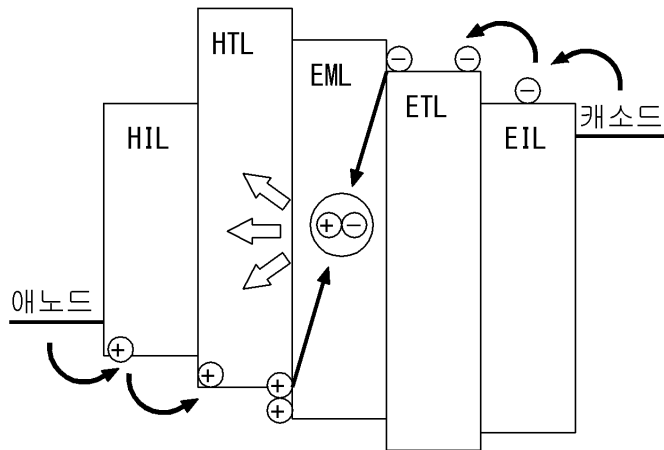
부호의 설명

[0169]

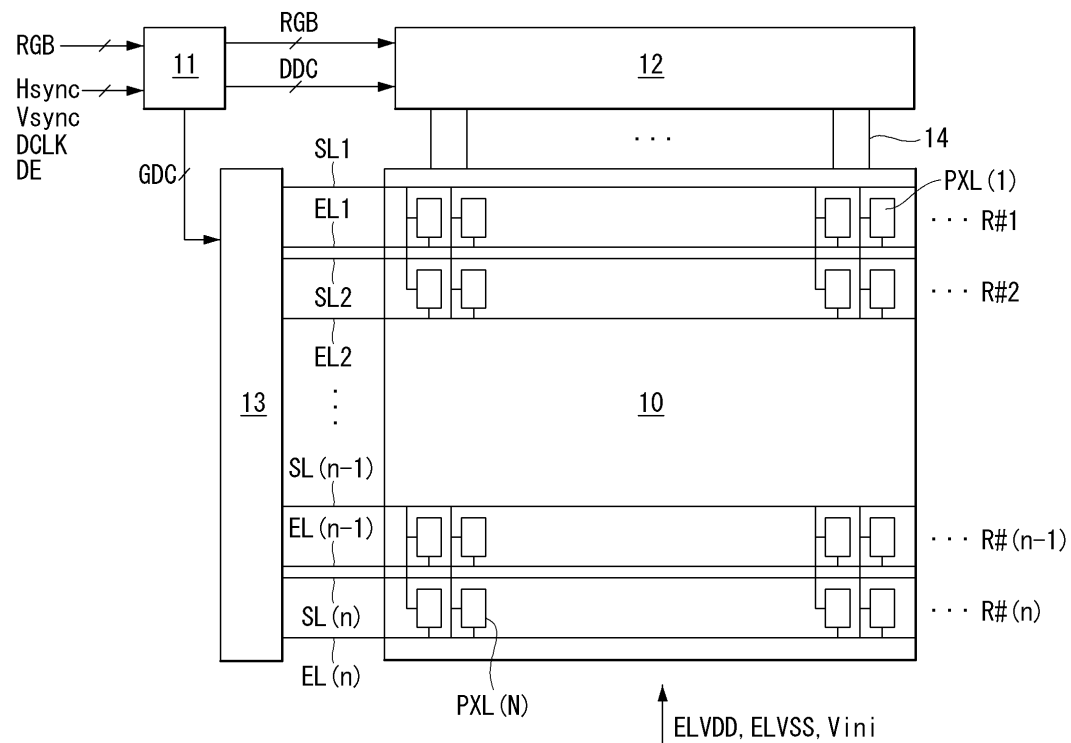
10 : 표시패널 11 : 타이밍 컨트롤러
12 : 데이터 구동부 13 : 게이트 구동부

도면

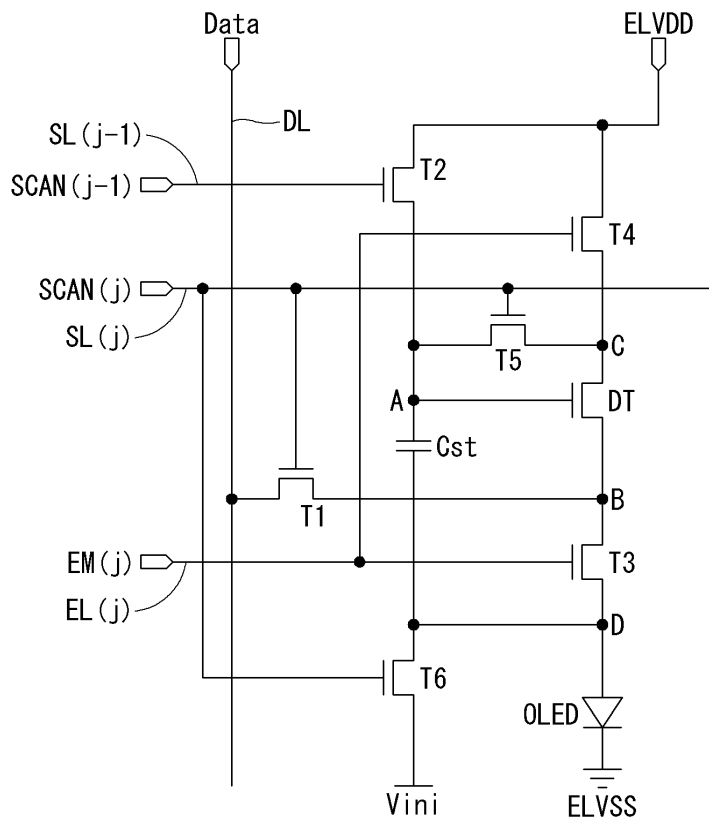
도면1



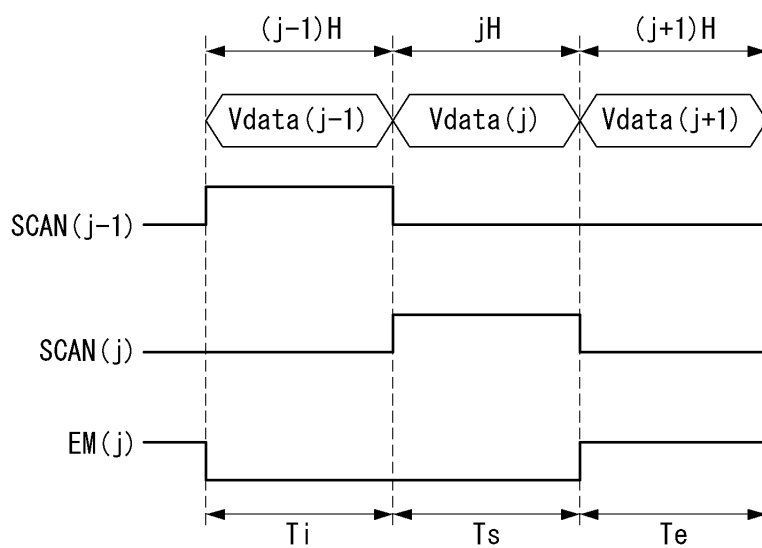
도면2



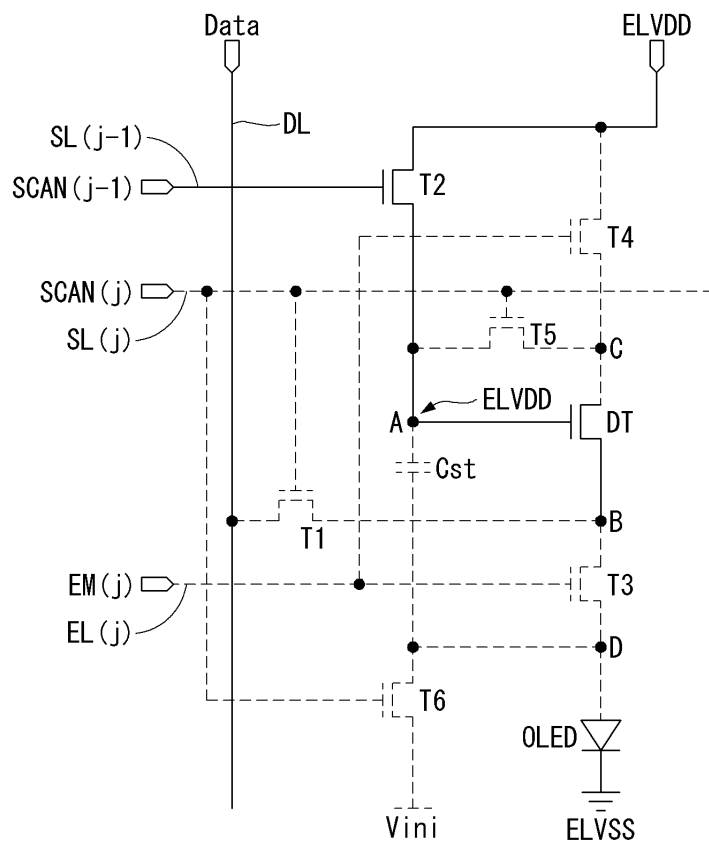
도면3



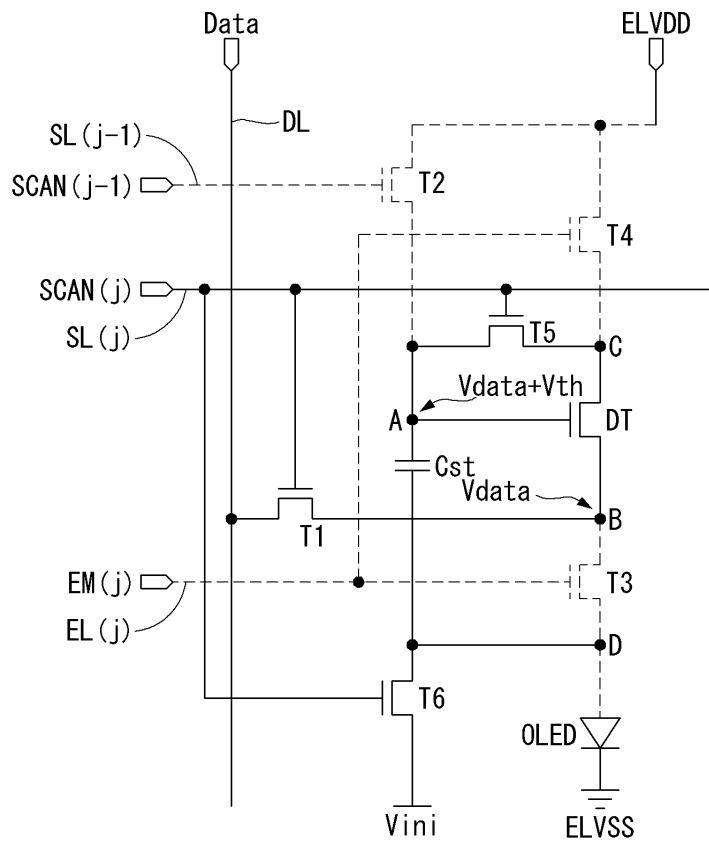
도면4



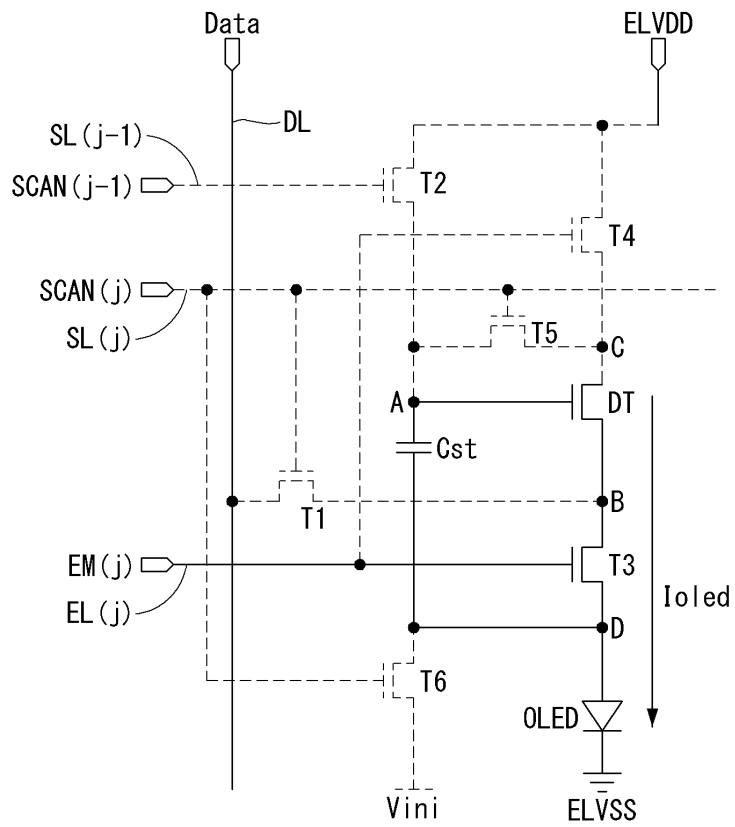
도면5a



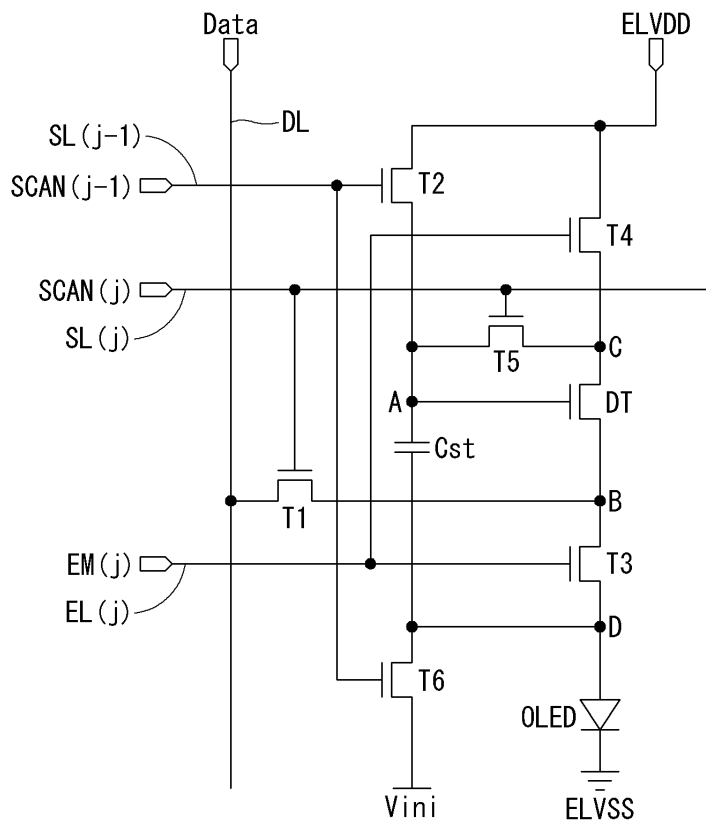
도면5b



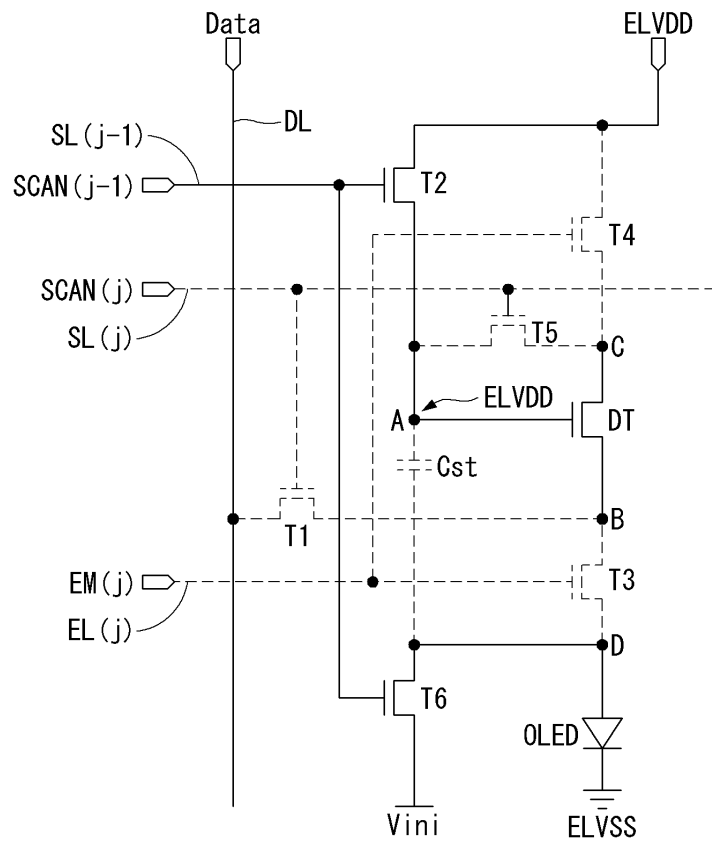
도면5c



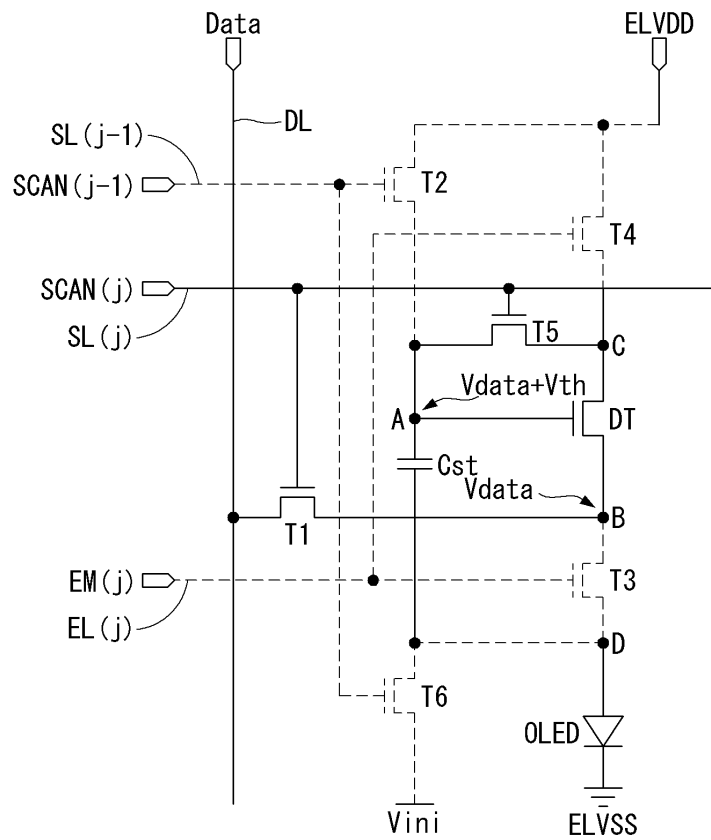
도면6



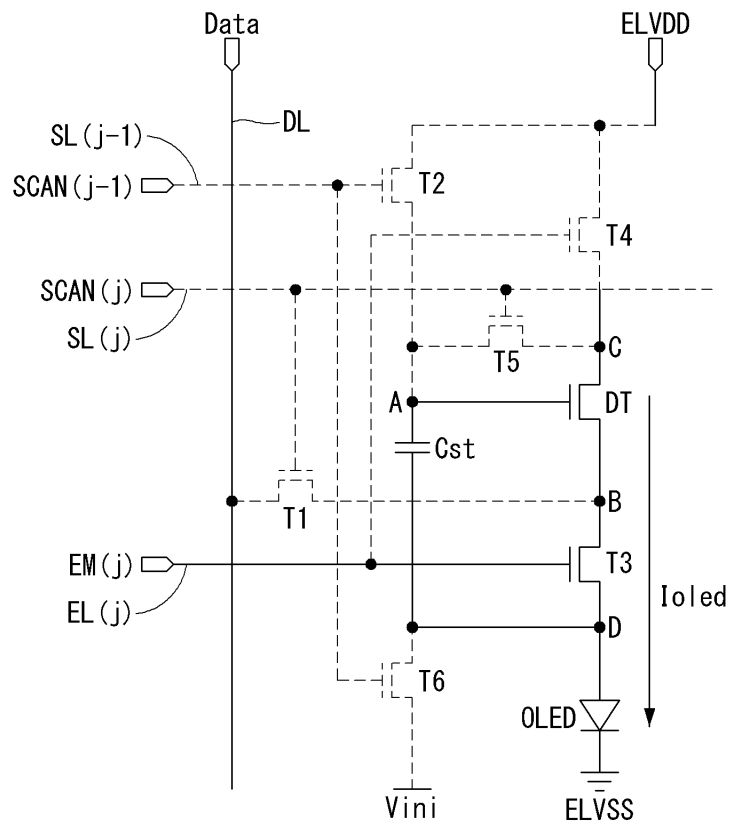
도면7a



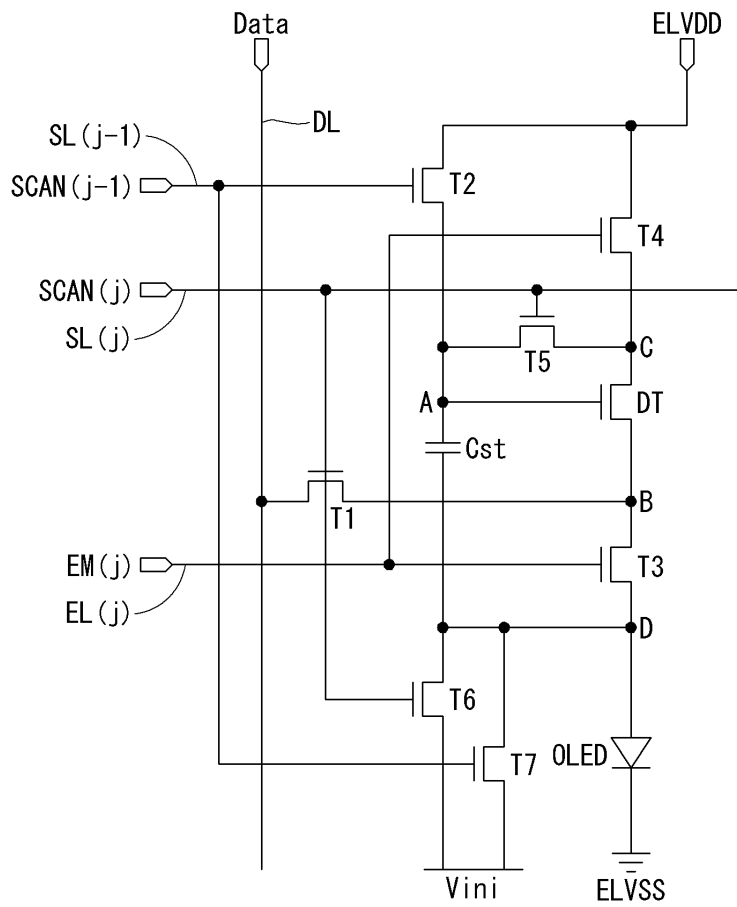
도면7b



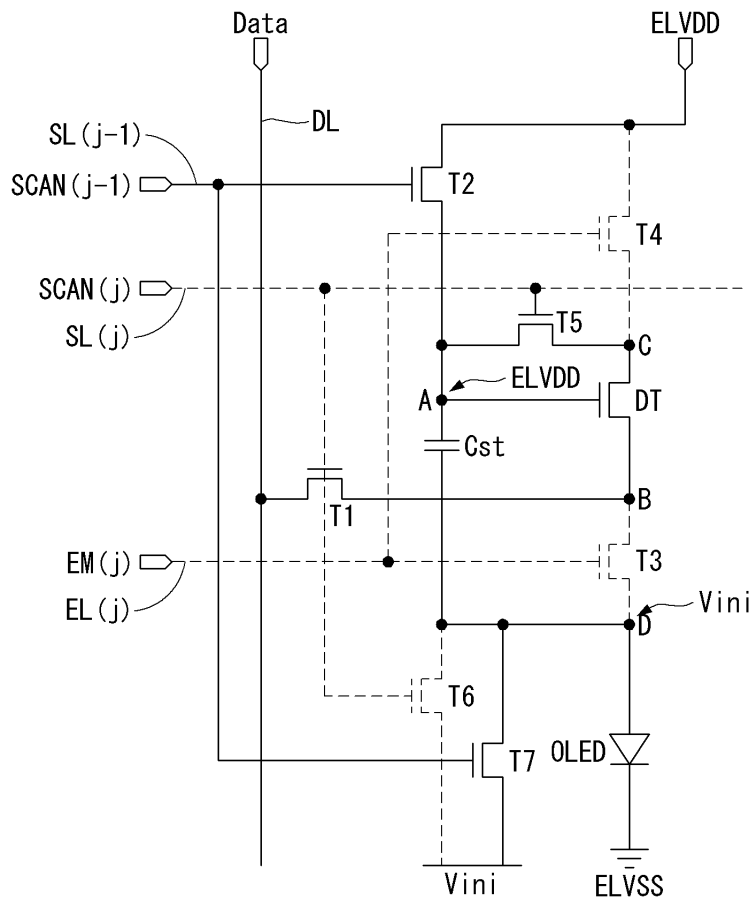
도면7c



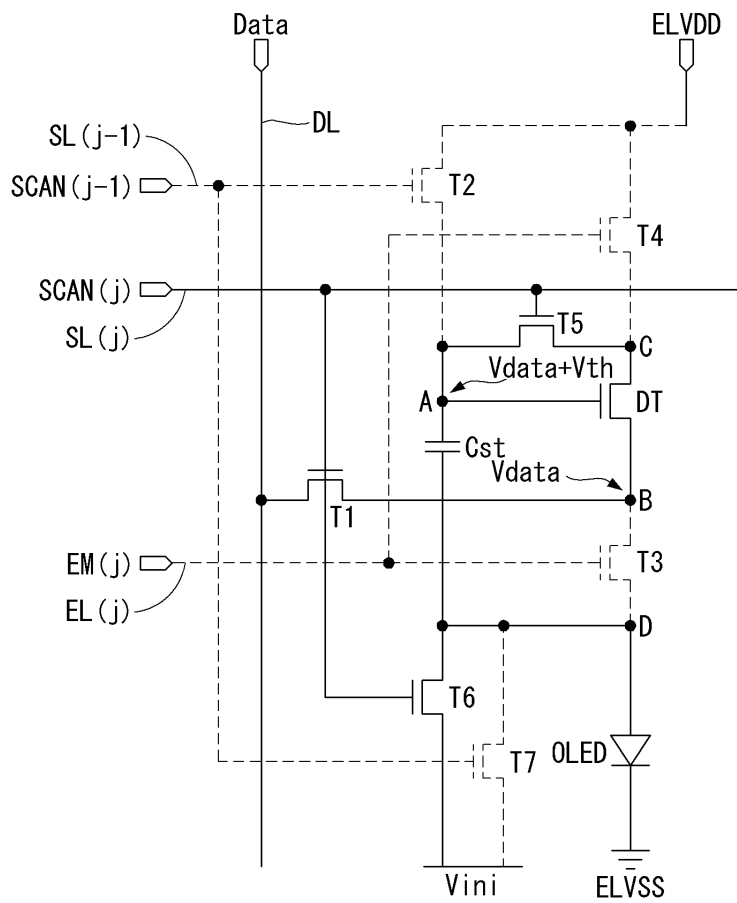
도면8



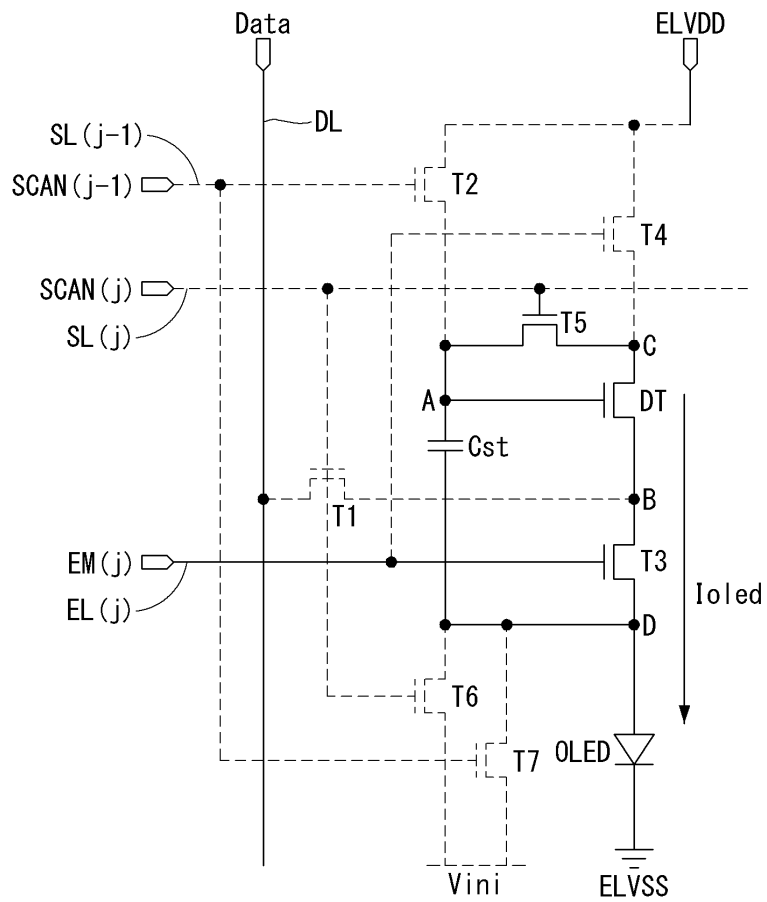
도면9a



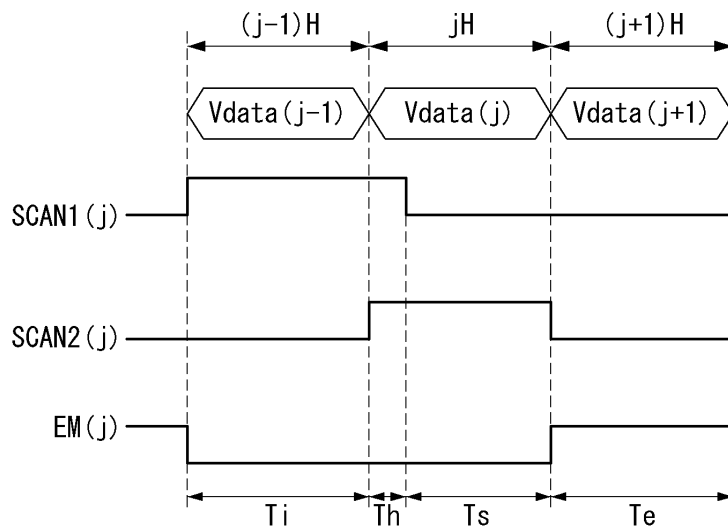
도면9b



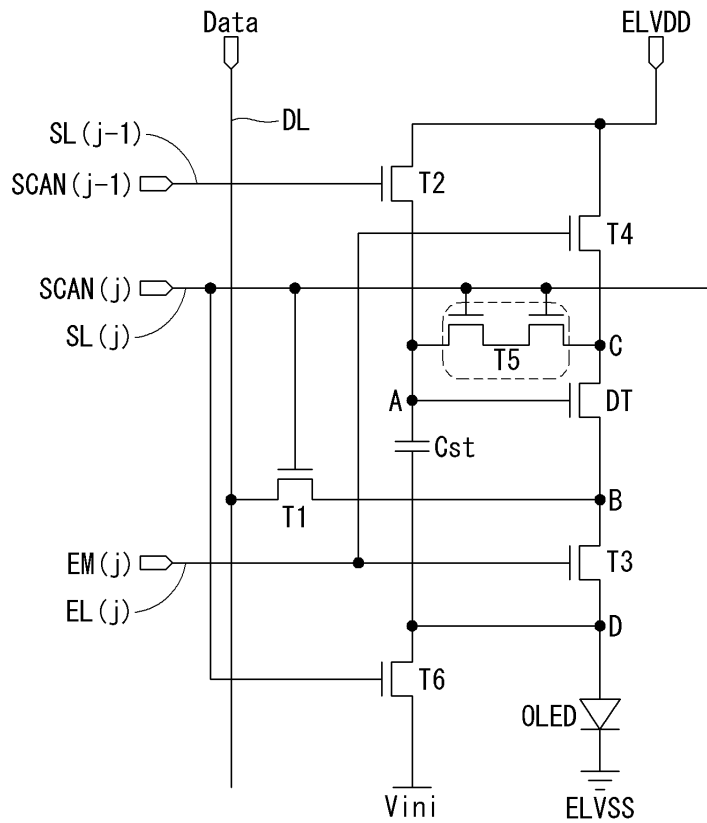
도면9c



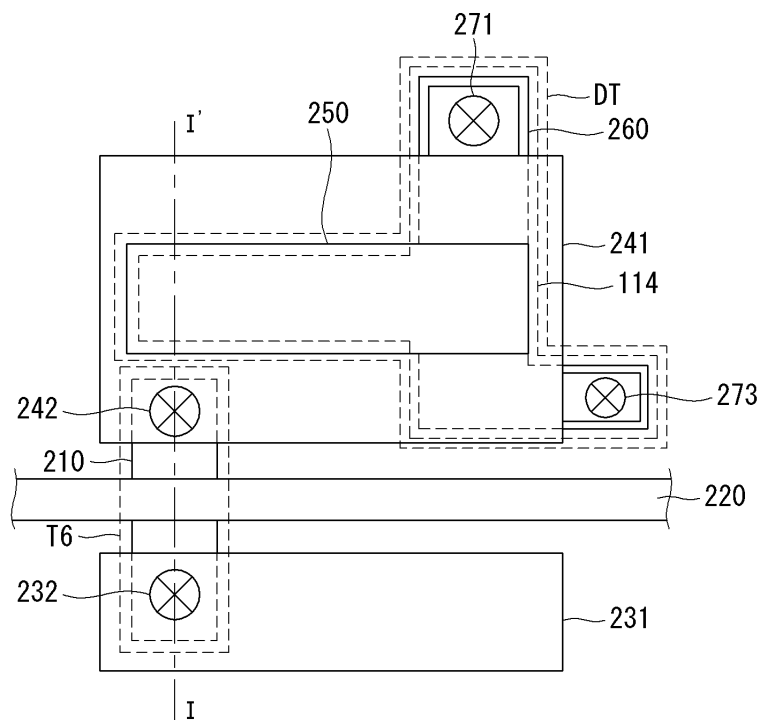
도면10



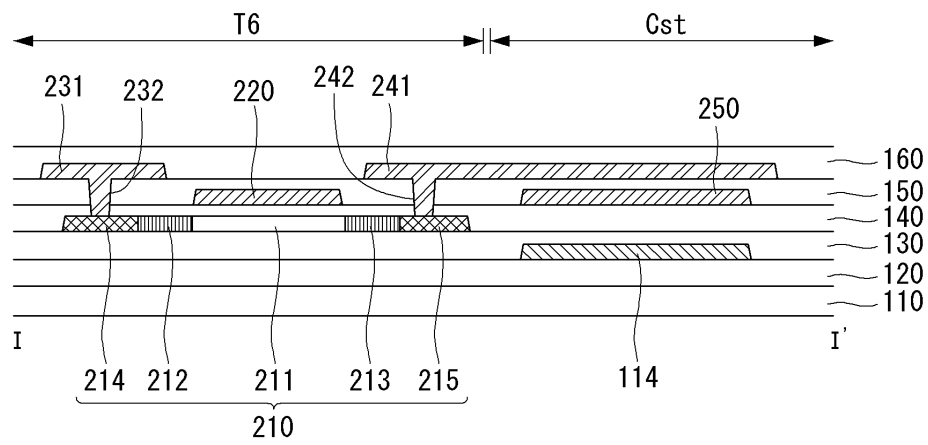
도면11



도면12



도면13



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160141366A	公开(公告)日	2016-12-08
申请号	KR1020160053638	申请日	2016-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG SANG HOON 정상훈 KIM JUNG CHUL 김중철 KWON JUN YOUNG 권준영 SUK JUNG YOUP 석정엽 SUNG KI YOUNG 성기영		
发明人	정상훈 김중철 권준영 석정엽 성기영		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2330/021 G09G2320/0214		
优先权	1020150075330 2015-05-28 KR 1020150152672 2015-10-30 KR		
其他公开文献	KR101801354B1		
外部链接	Espacenet		

摘要(译)

像素，沿行方向连接到像素的扫描线，沿列方向连接到像素的发射线，以及沿列方向连接到像素的数据线。栅极驱动器驱动栅极线和发射线，数据驱动器将数据电压提供给数据线。排列成行j (j是自然数) 的像素包括驱动晶体管，第一至第六晶体管和电容器。驱动晶体管包括连接到节点A的栅电极，连接到节点B的源电极，以及连接到节点C的漏电极。第一晶体管连接到数据线和节点B，并通过j扫描信号切换。第二晶体管节点A和 潜力很大 驱动电压 在输入端 连接， (j-1) 到扫描信号 由 Lt;;第三晶体管连接到节点B和有机发光二极管 (OLED)，并通过发射信号切换。第四晶体管连接到节点C和高电位驱动电压的输入端，并由发射信号切换。第五晶体管连接到节点A和节点C，并且由第j扫描信号切换。第六晶体管连接到节点D和初始电压输入。然后，电容器连接到节点A和节点D. Seong Ki Young

