



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0017328
(43) 공개일자 2016년02월16일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0099974

(22) 출원일자 2014년08월04일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

김연홍

경기도 용인시 기흥구 삼성2로 95 (농서동)

고무순

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

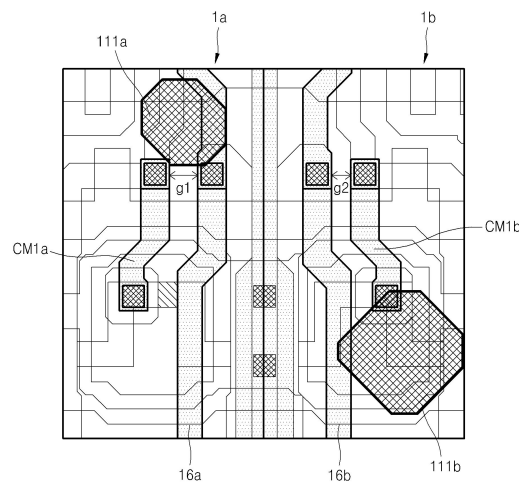
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치를 개시한다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 복수의 화소를 포함하며, 제1 데이터선, 제1 구동 박막 트랜지스터, 및 상기 제1 구동 박막 트랜지스터와 연결되며 상기 제1 데이터선과 동일층에 형성되는 제1 콘택 메탈을 포함하는 제1 화소; 제2 데이터선, 제2 구동 박막 트랜지스터, 및 상기 제2 구동 박막 트랜지스터와 연결되며 상기 제2 데이터선과 동일층에 형성되는 제2 콘택 메탈을 포함하는 제2 화소;를 포함하며, 상기 제1 구동 박막 트랜지스터와 제1 콘택 메탈과의 간격인 제1 간격은, 상기 제2 구동 박막 트랜지스터와 상기 제2 콘택 메탈과의 간격인 제2 간격과 서로 다르다.

대표도 - 도4



(72) 발명자

김광숙

경기도 용인시 기흥구 삼성2로 95 (농서동)

임충열

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

복수의 화소를 포함하는 유기 발광 표시 장치에 있어서,

제1 데이터선, 제1 구동 박막 트랜지스터, 및 상기 제1 구동 박막 트랜지스터와 연결되며 상기 제1 데이터선과 동일층에 형성되는 제1 콘택 메탈을 포함하는 제1 화소;

제2 데이터선, 제2 구동 박막 트랜지스터, 및 상기 제2 구동 박막 트랜지스터와 연결되며 상기 제2 데이터선과 동일층에 형성되는 제2 콘택 메탈을 포함하는 제2 화소;를 포함하며,

상기 제1 구동 박막 트랜지스터와 제1 콘택 메탈과의 간격인 제1 간격은, 상기 제2 구동 박막 트랜지스터와 상기 제2 콘택 메탈과의 간격인 제2 간격과 서로 다른 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 화소는 상기 제1 데이터선과 절연되는 상부층에 배치된 제1 화소 전극을 더 포함하고,

상기 제2 화소는 상기 제2 데이터선과 절연되는 상부층에 배치된 제2 화소 전극을 더 포함하며,

상기 제1 화소 전극의 크기는 상기 제2 화소 전극의 크기와 서로 다른 유기 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 화소 전극은 상기 제1 데이터선과 적어도 일부분 중첩되며,

상기 제2 화소 전극은 상기 제2 데이터선과 적어도 일부분 중첩되는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 화소 전극이 상기 제1 데이터선과 중첩되는 면적은,

상기 제2 화소 전극이 상기 제2 데이터선과 중첩되는 면적과 서로 다른 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 제1 화소는 녹색 화소, 상기 제2 화소는 적색 또는 청색 화소이고,

상기 제1 간격은 상기 제2 간격에 비해 큰 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 제1 화소 및 상기 제2 화소에 포함된 화소 회로가 차지하는 면적은 실질적으로 동일한 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 제1 화소는 상기 제1 구동 트랜지스터와 중첩되어 배치되는 스토리지 캐패시터;를 더 구비하는 유기 발광

표시 장치.

청구항 8

제7항에 있어서,

상기 제1 구동 박막 트랜지스터의 구동 게이트 전극은 상기 스토리지 캐패시터의 제1 전극과 일체(一體)로 구비되는 유기 발광 표시 장치.

청구항 9

제1항에 있어서,

상기 제1 구동 박막 트랜지스터는,

기관;

상기 기관 상에 구비된 구동 반도체층;

상기 구동 반도체층 상의 제1 게이트 절연막; 및

상기 제1 게이트 절연막 상의 구동 게이트 전극;을 포함하며,

상기 구동 반도체층은 굴곡되어 형성된 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 구동 박막 트랜지스터 상의 스토리지 캐패시터;를 더 포함하며,

상기 스토리지 캐패시터는, 제1 전극, 제2 게이트 절연막, 및 제2 전극이 순차적으로 적층되어 구성되며, 상기 제1 전극은 상기 구동 게이트 전극과 일체(一體)로 형성된 유기 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 제1 게이트 절연막은 상기 제2 게이트 절연막에 비해 두께가 두꺼운 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하며, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기 발광 표시 장치(예컨대, 액티브 매트릭스형 유기 발광 표시 장치)는 복수의 게이트 라인, 복수의 소스 라인 및 복수의 전원 라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수의 화소들을 포함한다. 상기 라인들은 복수의 화소들을 개별적으로 구동시키기 위해서 다양한 신호들을 각 화소에 전달한다. 고해상도 구현을 위해 상기 라인들을 인접하게 배치함에 따라, 상기 신호들의 간섭 현상이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들은 화소마다 배선 간격을 다르게 하여 크로스-토크(cross talk)의 효과를 완화할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0005] 일 측면에 따른 유기 발광 표시 장치는 복수의 화소를 포함하며, 제1 데이터선, 제1 구동 박막 트랜지스터, 및 상기 제1 구동 박막 트랜지스터와 연결되며 상기 제1 데이터선과 동일층에 형성되는 제1 컨택 메탈을 포함하는 제1 화소; 제2 데이터선, 제2 구동 박막 트랜지스터, 및 상기 제2 구동 박막 트랜지스터와 연결되며 상기 제2 데이터선과 동일층에 형성되는 제2 컨택 메탈을 포함하는 제2 화소;를 포함하며, 상기 제1 구동 박막 트랜지스터와 제1 컨택 메탈과의 간격인 제1 간격은, 상기 제2 구동 박막 트랜지스터와 상기 제2 컨택 메탈과의 간격인 제2 간격과 서로 다르다.
- [0006] 상기 제1 화소는 상기 제1 데이터선과 절연되는 상부층에 배치된 제1 화소 전극을 더 포함하고, 상기 제2 화소는 상기 제2 데이터선과 절연되는 상부층에 배치된 제2 화소 전극을 더 포함하며, 상기 제1 화소 전극의 크기는 상기 제2 화소 전극의 크기와 서로 다를 수 있다.
- [0007] 상기 제1 화소 전극은 상기 제1 데이터선과 적어도 일부분 중첩되며, 상기 제2 화소 전극은 상기 제2 데이터선과 적어도 일부분 중첩될 수 있다.
- [0008] 상기 제1 화소 전극이 상기 제1 데이터선과 중첩되는 면적은, 상기 제2 화소 전극이 상기 제2 데이터선과 중첩되는 면적과 서로 다를 수 있다.
- [0009] 상기 제1 화소는 녹색 화소, 상기 제2 화소는 적색 또는 청색 화소이고, 상기 제1 간격은 상기 제2 간격에 비해 클 수 있다.
- [0010] 상기 제1 화소 및 상기 제2 화소에 포함된 화소 회로가 차지하는 면적은 실질적으로 동일할 수 있다.
- [0011] 상기 제1 화소는 상기 제1 구동 트랜지스터와 중첩되어 배치되는 스토리지 캐패시터;를 더 구비할 수 있다.
- [0012] 상기 제1 구동 박막 트랜지스터의 구동 게이트 전극은 상기 스토리지 캐패시터의 제1 전극과 일체(一體)로 구비될 수 있다.
- [0013] 상기 제1 구동 박막 트랜지스터는, 기관; 상기 기관 상에 구비된 구동 반도체층; 상기 구동 반도체층 상의 제1 게이트 절연막; 및 상기 제1 게이트 절연막 상의 구동 게이트 전극;을 포함하며, 상기 구동 반도체층은 굴곡되어 형성될 수 있다.
- [0014] 상기 제1 구동 박막 트랜지스터 상의 스토리지 캐패시터;를 더 포함하며, 상기 스토리지 캐패시터는, 제1 전극, 제2 게이트 절연막, 및 제2 전극이 순차적으로 적층되어 구성되며, 상기 제1 전극은 상기 구동 게이트 전극과 일체(一體)로 형성될 수 있다.
- [0015] 상기 제1 게이트 절연막은 상기 제2 게이트 절연막에 비해 두께가 두꺼울 수 있다.

발명의 효과

- [0016] 상술한 바와 같이, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 각 화소의 구동 박막 트랜지스터(T1)과 연결되는 컨택 메탈과 데이터선의 간격을 자동화하여 각 화소 간 차이가 발생할 수 있는 기생 캐패시턴스의 값을 줄일 수 있다. 이에 따라, 각 화소별 간섭 현상의 차이를 최소화할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 인접한 두 화소를 나타낸 개략적인 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 인접한 두 화소의 배선과 화소 전극간의 관계를 나타낸 개략적인 평면도이다.
- 도 5는 도 3의 D-D'선 및 E-E'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고

상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

- [0019] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0020] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0021] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)를 개략적으로 나타낸 블록도이다.
- [0023] 본 발명의 일 실시예에 의한 유기 발광 표시 장치(1000)는 복수의 화소(1)를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 및 제어부(50)를 포함한다.
- [0024] 표시부(10)는 복수의 주사선(SL1 내지 SLn+1), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소(1)를 포함한다. 복수의 주사선(SL1 내지 SLn+1) 및 복수의 발광 제어선(EL1 내지 ELn)은 행 방향인 제2방향으로 연장되고, 복수의 데이터선(DL1 내지 DLm) 및 구동 전압선(ELVDDL)은 열 방향인 제1방향으로 연장되어 있다. 하나의 화소 라인에서 복수의 주사선(SL1 내지 SLn+1)의 n 값은 복수의 발광 제어선(EL1 내지 ELn)의 n 값과 상이할 수 있다.
- [0025] 각 화소(1)는 표시부(10)에 전달되는 복수의 주사선(SL1 내지 SLn+1) 중 세 개의 주사선에 연결되어 있다. 주사 구동부(20)는 복수의 주사선(SL1 내지 SLn+1)을 통해 각 화소(1)에 세 개의 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 제1주사선(SL2~SLn), 제2주사선(SL1~SLn-1) 또는 제3주사선(SL3~SLn+1)으로 주사 신호를 순차적으로 공급한다.
- [0026] 초기화 전압선(IL)은 외부의 전원 공급원(VINT)으로부터 표시부(10) 초기화 전압을 인가받을 수 있다.
- [0027] 또한, 각 화소(1)는 표시부(10)에 연결되는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 표시부(10)에 연결되는 복수의 발광 제어선(EL1 내지 ELn) 중 하나의 발광 제어선에 연결되어 있다.
- [0028] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소(1)에 데이터 신호를 전달한다. 데이터 신호는 제1주사선(SL2~SLn+1)으로 주사 신호가 공급될 때마다 주사 신호에 의해 선택된 화소(1)로 공급된다.
- [0029] 발광 제어 구동부(40)는 복수의 발광 제어선(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호를 생성하여 전달한다. 발광 제어 신호는 화소(1)의 발광 시간을 제어한다. 발광 제어 구동부(40)는 화소(1)의 내부 구조에 따라 생략될 수도 있다.
- [0030] 제어부(50)는 외부에서 전달되는 복수의 영상 신호(R, G, B)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(50)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 및 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS)를 각각 생성하여 전달한다.
- [0031] 복수의 화소(1) 각각은 외부의 제1전원전압(ELVDD) 및 제2전원전압(ELVSS)을 공급받는다. 제1전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2전원전압(ELVSS)은 상기 제1전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다. 제1전원전압(ELVDD)은 구동 전압선(ELVDDL)을 통해 각 화소(1)로 공급된다.
- [0032] 복수의 화소(1) 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 발광한다.
- [0033] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)의 하나의 화소(1)의 등가 회로도이다.
- [0034] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T7) 및 적어도 하나의 스토리지 캐패시터(storage capacitor, Cst)를 포함하는 화소 회로(2)를 포함한다. 그리

고 화소(1)는 화소 회로(2)를 통해 구동 전류를 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.

[0035] 복수의 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제1발광 제어 박막 트랜지스터(T5), 제2발광 제어 박막 트랜지스터(T6) 및 제2초기화 박막 트랜지스터(T7)를 포함한다.

[0036] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1주사 신호(Sn)를 전달하는 제1주사선(14), 제1초기화 박막 트랜지스터(T4)에 제2주사 신호(Sn-1)를 전달하는 제2주사선(24), 제2초기화 박막 트랜지스터(T7)에 제3주사신호(Sn+1)를 전달하는 제3주사선(34), 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(15), 데이터 신호(Dm)를 전달하는 데이터선(16), 제1전원전압(ELVDD)을 전달하는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(22)을 포함한다.

[0037] 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 제1전극(C1)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 구동 소스 전극(S1)은 제1발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 구동 드레인 전극(D1)은 제2발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.

[0038] 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2)은 제1주사선(14)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2)은 데이터선(16)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 스위칭 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 구동 소스 전극(S1)과 연결되어 있으면서 제1발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1주사선(14)을 통해 전달받은 제1주사 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 구동 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0039] 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3)은 제1주사선(14)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 보상 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 구동 드레인 전극(D1)과 연결되어 있으면서 제2발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3)은 스토리지 캐패시터(Cst)의 제1전극(C1), 제1초기화 박막 트랜지스터(T4)의 제1초기화 소스 전극(S4) 및 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1주사선(14)을 통해 전달받은 제1주사 신호(Sn)에 따라 턴 온(turn on)되어 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 구동 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결(diode-connection)시킨다.

[0040] 제1초기화 박막 트랜지스터(T4)의 제1초기화 게이트 전극(G4)은 제2주사선(24)과 연결되어 있다. 제1초기화 박막 트랜지스터(T4)의 제1초기화 드레인 전극(D4)은 초기화 전압선(22)과 연결되어 있다. 제1초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 스토리지 캐패시터(Cst)의 제1전극(C1), 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 함께 연결되어 있다. 제1초기화 박막 트랜지스터(T4)는 제2주사선(24)을 통해 전달받은 제2주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0041] 제1발광 제어 박막 트랜지스터(T5)의 제1발광 제어 게이트 전극(G5)은 발광 제어선(15)과 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5)의 제1발광 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5)의 제1발광 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 구동 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 스위칭 드레인 전극(D2)과 연결되어 있다.

[0042] 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 게이트 전극(G6)은 발광 제어선(15)과 연결되어 있다. 제2발광 제어 박막 트랜지스터(T6)의 제2발광 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 구동 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 보상 소스 전극(S3)과 연결되어 있다. 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)는 발광 제어선(15)을 통해 전달받은 발광 제어

신호(En)에 따라 동시에 턴 온되어 제1전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐르게 된다.

[0043] 제2초기화 박막 트랜지스터(T7)의 제2초기화 게이트 전극(G7)은 제3주사선(S3)에 연결되어 있다. 제2초기화 박막 트랜지스터(T7)의 제2초기화 소스 전극(S7)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 제2초기화 박막 트랜지스터(T7)의 제2초기화 드레인 전극(D7)은 초기화 전압선(V2)과 연결되어 있다. 제2초기화 박막 트랜지스터(T7)는 제3주사선(S3)을 통해 전달받은 제3주사신호(Sn+1)에 따라 턴 온되어 유기 발광 소자(OLED)의 애노드(anode) 전극을 초기화시킨다.

[0044] 스토리지 캐패시터(Cst)의 제2전극(C2)은 구동 전압선(V2)과 연결되어 있다. 스토리지 캐패시터(Cst)의 제1전극(C1)은 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3) 및, 제1초기화 박막 트랜지스터(T4)의 제1초기화 소스 전극(S4)에 함께 연결되어 있다.

[0045] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

[0046] 도 3은 본 발명의 일 실시예에 따른 인접한 두 화소(1a, 1b)를 나타낸 개략적인 평면도이다.

[0047] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 화소(1a) 및 제2 화소(1b)를 포함한다. 제1 화소(1a)는 제1 데이터선(D1a), 제1 구동 박막 트랜지스터(T1a), 및 상기 제1 구동 박막 트랜지스터(T1a)와 연결되며 상기 제1 데이터선(D1a)과 동일층에 형성되는 제1 콘택 메탈(CM1)을 포함한다.

[0048] 제2 화소(1b)는 제2 데이터선(D1b), 제2 구동 박막 트랜지스터(T1b), 및 상기 제2 구동 박막 트랜지스터(T1b)와 연결되며 상기 제2 데이터선(D1b)과 동일층에 형성되는 제2 콘택 메탈(CM2)을 포함한다.

[0049] 상기 제1 구동 박막 트랜지스터(T1a)와 제1 콘택 메탈(CM1)과의 간격인 제1 간격(g1)은, 상기 제2 구동 박막 트랜지스터(T1b)와 상기 제2 콘택 메탈(CM2)과의 간격인 제2 간격(g2)과 서로 다를 수 있다.

[0050] 또한, 제1 화소(1a) 및 제2 화소(1b)는 각각 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제1발광 제어 박막 트랜지스터(T5), 제2발광 제어 박막 트랜지스터(T6), 제2초기화 박막 트랜지스터(T7), 스토리지 캐패시터(Cst), 및 유기 발광 소자(OLED)를 더 포함할 수 있다. 도 3에서는 유기 발광 소자(OLED)는 생략되어 있다.

[0051] 구동 박막 트랜지스터(T1a, T1b)는 구동 반도체층(A1), 구동 게이트 전극(G1), 구동 소스 전극(S1) 및 구동 드레인 전극(D1)을 포함한다. 구동 소스 전극(S1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 소스 영역에 해당하고, 구동 드레인 전극(D1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 드레인 영역에 해당한다. 구동 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 제1전극(C1), 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 및 제1초기화 박막 트랜지스터(T4)의 제1초기화 소스 전극(S4)과 연결된다. 보다 상세하게, 구동 게이트 전극(G1)은 제1전극과 동일한 층에 일체(一體)로 구비된다. 구동 게이트 전극(G1)과 보상 드레인 전극(D3) 및 제1초기화 소스 전극(S4)은 제1콘택홀(51) 및 제2콘택홀(52)을 통한 제1 콘택 메탈(CM1a) 또는 제2 콘택 메탈(CM1b)에 의해 연결된다.

[0052] 구동 박막 트랜지스터(T1a, T1b)의 구동 채널 영역은 굴곡되어 있다. 도 3의 예에서는 구동 박막 트랜지스터(T1a, T1b)의 채널 영역이 'U' 형상으로 배치되어 있다. 이와 같이, 굴곡된 구동 채널 영역을 형성함으로써, 좁은 공간 내에 길게 구동 채널 영역을 형성할 수 있다. 구동 박막 트랜지스터(T1a, T1b)의 구동 채널 영역을 길게 형성할 수 있으므로, 구동 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 이에 따라, 구동 게이트 전압의 크기를 변화시켜 유기 발광 소자(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있게 된다. 그 결과, 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 이러한 구동 박막 트랜지스터(T1a, T1b)의 구동 채널 영역은 'S', 'M', 'W' 등 다양한 형태로 굴곡될 수 있다.

[0053] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(A2), 스위칭 게이트 전극(G2), 스위칭 소스 전극(S2) 및 스위칭 드레인 전극(D2)을 포함한다. 스위칭 소스 전극(S2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 소스 영역에 해당하고, 스위칭 드레인 전극(D2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 드레인 영역에 해당한다. 스위칭 소스 전극(S2)은 제3콘택홀(53)을 통해 데이터선(D1)과 연결된다. 스위칭 드레인 전극(D2)은 구동 박막 트랜지스터(T1a, T1b) 및 제1발광 제어 박막 트랜지스터(T5)와 연결되어 있다. 스위칭 게이트 전극(G2)은 제1주사선(S1)의 일부로 형성된다.

- [0054] 보상 박막 트랜지스터(T3)는 보상 반도체층(A3), 보상 게이트 전극(G3), 보상 소스 전극(S3) 및 보상 드레인 전극(D3)을 포함한다. 보상 소스 전극(S3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(D3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 드레인 영역에 해당한다. 보상 게이트 전극(G3)은 제1주사선(14)의 일부와 제1주사선(14)으로부터 돌출되어 연장된 배선의 일부에 의해 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.
- [0055] 제1초기화 박막 트랜지스터(T4)는 제1초기화 반도체층(A4), 제1초기화 게이트 전극(G4), 제1초기화 소스 전극(S4) 및 제1초기화 드레인 전극(D4)을 포함한다. 제1초기화 소스 전극(S4)은 제1초기화 반도체층(A4)에서 불순물이 도핑된 제1초기화 소스 영역에 해당하고, 제1초기화 드레인 전극(D4)은 제1초기화 반도체층(A4)에서 불순물이 도핑된 제1초기화 드레인 영역에 해당한다. 제1초기화 드레인 전극(D4)은 제2초기화 박막 트랜지스터(T7)와 연결될 수 있고 제1초기화 소스 전극(S4)은 제2컨택홀(52) 및 제1컨택홀(51)에 구비된 제1 컨택 메탈(CM1a) 또는 제2 컨택 메탈(CM1b)을 통해 구동 게이트 전극(G1) 및 스토리지 캐패시터(Ccst)의 제1전극(C1)과 연결될 수 있다. 제1초기화 게이트 전극(G4)은 제2주사선(24)의 일부로 형성된다. 제1초기화 반도체층(A4)은 제1초기화 게이트 전극(G4)과 두 번 오버랩 됨으로써 듀얼 게이트 전극을 형성한다.
- [0056] 제1발광 제어 박막 트랜지스터(T5)는 제1발광 제어 반도체층(A5), 제1발광 제어 게이트 전극(G5), 제1발광 제어 소스 전극(S5) 및 제1발광 제어 드레인 전극(D5)을 포함한다. 제1발광 제어 소스 전극(S5)은 제1발광 제어 반도체층(A5)에서 불순물이 도핑된 제1발광 제어 소스 영역에 해당하고, 제1발광 제어 드레인 전극(D5)은 제1발광 제어 반도체층(A5)에서 불순물이 도핑된 제1발광 제어 드레인 영역에 해당한다. 제1발광 제어 소스 전극(S5)은 제4컨택홀(54)을 통해 구동 전압선(26)과 연결될 수 있다. 제1발광 제어 게이트 전극(G5)은 발광 제어선(15)의 일부로 형성된다.
- [0057] 제2발광 제어 박막 트랜지스터(T6)는 제2발광 제어 반도체층(A6), 제2발광 제어 게이트 전극(G6), 제2발광 제어 소스 전극(S6) 및 제2발광 제어 드레인 전극(D6)을 포함한다. 제2발광 제어 소스 전극(S6)은 제2발광 제어 반도체층(A6)에서 불순물이 도핑된 제2발광 제어 소스 영역에 해당하고, 제2발광 제어 드레인 전극(D6)은 제2발광 제어 반도체층(A6)에서 불순물이 도핑된 제2발광 제어 드레인 영역에 해당한다. 제2발광 제어 드레인 전극(D6)은 제5컨택홀(55)과 연결된 제3 컨택 메탈(CM3)과 제3 컨택 메탈(CM3)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 화소 전극과 연결된다. 제2발광 제어 게이트 전극(G6)은 발광 제어선(15)의 일부로 형성된다.
- [0058] 제2초기화 박막 트랜지스터(T7)는 제2초기화 반도체층(A7), 제2초기화 게이트 전극(G7), 제2초기화 소스 전극(S7) 및 제2초기화 드레인 전극(D7)을 포함한다. 제2초기화 소스 전극(S7)은 제2초기화 반도체층(A7)에서 불순물이 도핑된 제2초기화 소스 영역에 해당하고, 제2초기화 드레인 전극(D7)은 제2초기화 반도체층(A7)에서 불순물이 도핑된 제2초기화 드레인 영역에 해당한다. 제2초기화 소스 전극(S7)은 제6컨택홀(56)을 통해 초기화 전압선(22)과 연결될 수 있고, 제2초기화 드레인 전극(D7)은 제5컨택홀(55)과 연결된 제2컨택 메탈(CM2)과 제2컨택 메탈(CM2)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 화소 전극과 연결된다. 제2초기화 게이트 전극(G7)은 제3주사선(34)의 일부로 형성된다.
- [0059] 스토리지 캐패시터(Cst)의 제1전극(C1)은 구동 게이트 전극(G1)과 직접 연결되며, 제1컨택홀(51) 및 제2컨택홀(52)에 구비된 제1 컨택 메탈(CM1a) 또는 제2 컨택 메탈(CM1b)을 통해 제1초기화 박막 트랜지스터(T4) 및 보상 박막 트랜지스터(T3)와 연결된다. 제1전극(C1)은 플로팅 전극 형태를 가질 수 있으며 구동 반도체층(A1)과 중첩하도록 배치된다.
- [0060] 스토리지 캐패시터(Cst)의 제2전극(C2)은 제1전극(C1)과 중첩하나, 제2전극(C2)이 제1전극(C1)을 완전히 가리도록 중첩하는 것은 아니다. 제2전극(C2)은 제1전극(C1)의 일부를 노출하는 개구(op)를 포함하며 이 개구(op) 내에 제1컨택홀(51)이 형성된다. 인접하는 두 개의 화소(1a, 1b)들에 포함된 제2전극(C2)은 서로 연결될 수 있다. 구동 전압선(26)은 인접하는 두 개의 화소(1a, 1b)들에 공통으로 포함된 제2전극(C2)의 중앙 부분과 제7컨택홀(57)을 통해 연결되어 두 개의 화소(1a, 1b)들에 구동 전압(ELVDD)을 동시에 전달할 수 있다. 즉, 인접하는 두 개의 화소(1a, 1b)들은 공통으로 형성된 제2전극(C2)에 의해 하나의 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.
- [0061] 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)은 모두 동일한 층에 형성되며 제2방향으로 연장된다. 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)은 스토리지 캐패시터(Cst)의 제1전극(C1)과 동일한 층에 형성된다.
- [0062] 제1 데이터선(16a), 제2 데이터선(16b), 구동 전압선(26) 및 초기화 전압선(22)은 모두 동일한 층에 형성되며

제1방향으로 연장된다.

- [0063] 인접하는 두 개의 화소(1a, 1b)들은 구동 전압선(26)을 공유한다. 상세히 구동 전압선은 인접하는 두 개의 화소(1a, 1b)들 사이에 배치되며 제1방향으로 연장되고, 제4컨택홀(54)을 통해 인접하는 두 개의 화소(1a, 1b)들에 각각 포함된 제1발광 제어 박막 트랜지스터(T5)와 연결되고 제7컨택홀(57)을 통해 인접하는 두 개의 화소(1a, 1b)들에 공통으로 포함된 스토리지 캐패시터(Cst)의 제2전극(C2)과 연결된다. 본 발명의 실시예는 인접하는 두 개의 화소(1a, 1b)들이 구동 전압선(26)을 공유함으로써, 구동 전압선(26)의 개수를 줄일 수 있고, 배선의 숫자 감소에 따라 설계 공간 확보가 용이한 특징이 있다.
- [0064] 도 4는 본 발명의 일 실시예에 따른 인접한 두 화소(1a, 1b)의 배선과 화소 전극(111a, 111b)간의 관계를 나타낸 개략적인 평면도이다.
- [0065] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 화소(1a) 및 제2 화소(1b)를 포함한다. 제1 화소(1a)는 제1 데이터선(16a), 제1 구동 박막 트랜지스터(T1a), 및 상기 제1 구동 박막 트랜지스터(T1a)와 연결되며 상기 제1 데이터선(16a)과 동일층에 형성되는 제1 컨택 메탈(CM1)을 포함한다.
- [0066] 제2 화소(1b)는 제2 데이터선(16b), 제2 구동 박막 트랜지스터(T1b), 및 상기 제2 구동 박막 트랜지스터(T1b)와 연결되며 상기 제2 데이터선(16b)과 동일층에 형성되는 제2 컨택 메탈(CM1b)을 포함한다.
- [0067] 상기 제1 구동 박막 트랜지스터(T1a)와 제1 컨택 메탈(CM1a)과의 간격인 제1 간격(g1)은, 상기 제2 구동 박막 트랜지스터(T1b)와 상기 제2 컨택 메탈(CM1b)과의 간격인 제2 간격(g2)과 서로 다를 수 있다.
- [0068] 유기 발광 표시 장치의 화소는 고성능화, 고집적화를 위해서 한정된 공간에 다양한 배선들 및 다양한 박막 트랜지스터가 배치될 수 있다. 이에 따라, 배선들 간의 거리가 좁혀지면서, 배선들 사이에 기생 캐패시턴스가 발생할 수 있다. 이러한 기생 캐패시턴스는 신호들의 간섭 현상을 초래할 수 있다.
- [0069] 또한, 이러한 기생 캐패시턴스의 값은 각 화소마다 다를 수 있다. 즉, 제1 화소(1a)의 제1 컨택 메탈(CM1a)과 제1 데이터선(16a) 간에 존재하는 기생 캐패시턴스의 값과 제2 화소(1b)의 제2 컨택 메탈(CM1b)과 제2 데이터선(16b) 간에 존재하는 기생 캐패시턴스의 값은 서로 다를 수 있다. 기생 캐패시턴스의 값이 각 화소별로 다르다는 것은 각 화소별로 간섭 현상이 달라, 각 화소가 발광하는 색의 휘도가 서로 차이가 날 수 있음을 의미할 수 있다.
- [0070] 이는 제1 화소(1a)에 배치되는 제1 화소 전극(111a)의 크기와 제2 화소(1b)에 배치되는 제2 화소 전극(111b)의 크기가 다르기 때문일 수 있다. 또는, 제1 화소 전극(111a)과 제1 데이터선(16a)이 중첩되는 면적과 제2 화소 전극(111b)과 제2 데이터선(16b)이 중첩되는 면적이 다르기 때문일 수 있다. 또는, 제1 화소(1a)가 발광하는 빛과 제2 화소(1b)가 발광하는 빛이 서로 다르기 때문일 수 있다.
- [0071] 이러한 각 화소별로 발생하는 기생 캐패시턴스의 차이를 줄이기 위해서, 각 화소의 구동 박막 트랜지스터(T1)과 연결되는 컨택 메탈과 데이터선의 간격을 차등화할 수 있다.
- [0072] 제1 화소 전극(111a)은 제1 데이터선(16a) 및 제1 컨택 메탈(CM1a)이 배치된 층보다 상부층에 배치될 수 있다. 제1 화소 전극(111a)은 제1 데이터선(16a)과 절연된다. 예를 들어, 제1 화소 전극(111a)과 제1 데이터선(16a) 사이에는 평탄화막(PL, 도 5 참조)이 개재되어 제1 화소 전극(111a)과 제1 데이터선(16a)을 절연시킬 수 있다. 제1 화소 전극(111a)은 제1 데이터선(16a)과 적어도 일부가 중첩되어 배치될 수 있다. 이러한 중첩 면적은 제1 데이터선(16a)과 제1 컨택 메탈(CM1a) 간에 발생할 수 있는 기생 캐패시턴스에 영향을 줄 수 있다.
- [0073] 제2 화소 전극(111b)은 제2 데이터선(16b) 및 제2 컨택 메탈(CM1b)이 배치된 층보다 상부층에 배치될 수 있다. 제2 화소 전극(111b)은 제2 데이터선(16b)과 절연된다. 예를 들어, 제2 화소 전극(111b)과 제2 데이터선(16b) 사이에는 평탄화막(PL, 도 5 참조)이 개재되어 제2 화소 전극(111b)과 제2 데이터선(16b)을 절연시킬 수 있다. 제2 화소 전극(111b)은 제2 데이터선(16b)과 적어도 일부가 중첩되어 배치될 수 있다. 이러한 중첩 면적은 제2 데이터선(16b)과 제2 컨택 메탈(CM1b) 간에 발생할 수 있는 기생 캐패시턴스에 영향을 줄 수 있다.
- [0074] 일부 실시예에서, 제1 화소 전극(111a)의 크기와 제2 화소 전극(111b)의 크기는 서로 다를 수 있다. 이에 따라, 제1 컨택 메탈(CM1a)과 제1 데이터선(16a) 사이의 간격인 제1 간격(g1) 및 제2 컨택 메탈(CM1b)과 제2 데이터선(16b) 사이의 간격인 제2 간격(g2)을 조정할 수 있다. 예를 들어, 제1 화소 전극(111a)의 크기가 제2 화소 전극(111b)의 크기보다 작은 경우, 제1 간격(g1)을 제2 간격(g2)에 비해 크게 할 수 있다.
- [0075] 일부 실시예에서, 제1 화소 전극(111a)과 제1 데이터선(16a)이 중첩되는 면적은 제2 화소 전극(111b)과 제2 데

이터선(16b)가 중첩되는 면적과 서로 다를 수 있다. 예를 들어, 제1 화소 전극(111a)과 제1 데이터선(16a)가 중첩되는 면적이 제2 화소 전극(111b)과 제2 데이터선(16b)이 중첩되는 면적보다 큰 경우, 제1 간격(g1)은 제2 간격(g2)에 비해서 클 수 있다.

[0076] 일부 실시예에서, 제1 화소(1a)는 녹색 화소이며, 제2 화소(1b)는 적색 또는 청색 화소일 수 있다. 이 경우, 제1 간격(g1)은 제2 간격(g2)에 비해서 클 수 있다. 제1 화소(1a) 및 제2 화소(1b)가 발광하는 색은 제1 화소 전극(111a) 및 제2 화소 전극(111b) 상에 배치되는 중간층의 종류에 따라서 달라질 수 있다. 발광 영역은 제1 및 제2 화소 전극(111a, 111b)을 중심으로 형성될 수 있다.

[0077] 본 실시예들에 있어서, 제1 화소(1a) 및 제2 화소(1b)에 포함된 화소 회로(2, 도 2 참조)가 차지하는 면적은 실질적으로 동일할 수 있다. 즉, 같은 면적 안에서 구동 박막 트랜지스터와 연결되는 콘택 메탈과 데이터선의 간격만이 조정된 것일 수 있다. 이에 따라, 화소 회로(2)가 차지하는 면적은 동일하면서, 내부에 배치되는 배선들 간의 간격만을 조정하여 각 화소에서 서로 상이하게 발생하는 기생 캐패시턴스의 값을 조절할 수 있다.

[0078] 도 5는 도 3의 D-D'선 및 E-E'선을 따라 자른 단면도이다. 도 5에서는 복수의 박막 트랜지스터 중 구동 박막 트랜지스터(T1), 제2발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst)를 도시하고 있다.

[0079] 도 5에서는 발명의 특징을 명확히 나타내기 위하여, 절단선을 따라 자른 단면에 배치되는 일부 배선, 일부 전극, 일부 반도체층과 같은 구성요소 중 구동 박막 트랜지스터(T1), 제2발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst)를 나타내는데 관련성이 적은 구성요소는 생략하여 도시하였다. 따라서, 도 5는 도 3을 실제로 D-D'선 및 E-E'선을 따라 자른 단면도와 차이가 있을 수 있다. 도 5에 있어서, 제2 구동 박막 트랜지스터(T1b)는 구동 박막 트랜지스터(T1), 제2 데이터선(16b)는 데이터선(16), 제2 화소 전극(111b)는 화소 전극(111)로 표시하고 있다.

[0080] 도 5를 참조하면, 기판(110) 상에는 버퍼층(101)이 형성된다. 버퍼층(101)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할을 한다.

[0081] 버퍼층(101) 상에는 구동 박막 트랜지스터(T1)의 구동 반도체층(A1), 및 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 반도체층(A6)이 형성된다. 반도체층(A1, 및 A6)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 도시되지 않았으나, 스위칭 박막 트랜지스터(T2)의 스위칭 반도체층(A2), 보상 박막 트랜지스터(T3)의 보상 반도체층(A3), 제1초기화 박막 트랜지스터(T4)의 제1초기화 반도체층(A4), 제2초기화 박막 트랜지스터(T7)의 제2초기화 반도체층(A7), 제1발광 제어 박막 트랜지스터(T5)의 제1발광 제어 반도체층(A5) 또한 구동 반도체층(A1), 및 제2발광 제어 반도체층(A6)과 연결되어 동시에 형성될 수 있다.

[0082] 반도체층(A1 및 A6)을 덮도록 제1게이트 절연막(GI1)이 기판(110) 전면(全面)에 적층된다. 제1게이트 절연막(GI1)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제1게이트 절연막(GI1)은 반도체층과 게이트 전극들을 절연하는 역할을 한다. 본 발명의 일 실시예에 의하면 제1게이트 절연막(GI1)은 추후에 설명될 제2게이트 절연막(GI2)에 비하여 그 두께가 두꺼운 것이 특징이다. 제1게이트 절연막(GI1)은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제2초기화 박막 트랜지스터(T7), 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)의 반도체층과 게이트 전극들(G1 내지 G7) 사이를 절연하는 역할을 한다. 이러한 제1게이트 절연막(GI1)의 두께가 두꺼운 경우 반도체층과 게이트 전극들(G1 내지 G7) 사이의 기생 커패시턴스가 줄어들 수 있어 유기 발광 표시 장치에 의해 표시되는 이미지의 얼룩이 감소한다. 또한, 구동 박막 트랜지스터(T1)의 경우 구동 반도체층(A1)과 구동 게이트 전극(G1) 사이의 기생 커패시턴스가 줄어들게 되어 구동 게이트 전극(G1)에 인가되는 게이트 전압(Vgs)의 구동 범위(Driving range)가 넓은 범위를 가지게 된다. 이에 따라, 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)에 인가되는 게이트 전압(Vgs)의 크기를 달리하여 유기 발광 소자로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다.

[0083] 제1게이트 절연막(GI1) 상부에 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 게이트 전극(G6), 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1), 스토리지 커패시터(Cst1)의 제1전극(C1)이 형성된다. 또한, 도시되지 않았으나, 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2), 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3), 제1초기화 박막 트랜지스터(T4)의 제1초기화 게이트 전극(G4), 제2초기화 박막 트랜지스터(T7)의 제2초기화 게이트 전극(G7)이 형성된다.

기화 게이트 전극(G7), 제1발광 제어 박막 트랜지스터(T5)의 제1발광 제어 게이트 전극(G5)이 제2발광 제어 게이트 전극(G6), 구동 게이트 전극(G1)과 동시에 형성된다.

[0084]

스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 제1초기화 게이트 전극(G4), 제2초기화 게이트 전극(G7), 제1발광 제어 게이트 전극(G5) 및 제2발광 제어 게이트 전극(G6)은 반도체층과 중첩하는 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)으로부터 정의된다. 따라서, 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 제1초기화 게이트 전극(G4), 제2초기화 게이트 전극(G7), 제1발광 제어 게이트 전극(G5), 제2발광 제어 게이트 전극(G6)을 형성하는 과정은 곧 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)을 형성하는 과정이다. 구동 게이트 전극(G1)은 제1전극(C1)과 일체로 형성된다. 게이트 전극들(G1 내지 G7)의 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0085]

본 발명의 일 실시예에 의하면, 스토리지 커패시터(Cst)는 구동 박막 트랜지스터(T1)와 중첩하여 구비된다. 상세히, 구동 게이트 전극(G1)과 제1전극(C1)이 일체(一體)로 형성되므로 스토리지 커패시터(Cst)와 구동 박막 트랜지스터(T1)가 중첩하여 배치될 수 밖에 없다. 스토리지 커패시터(Cst)는 구동 박막 트랜지스터(T1)와 중첩하여 배치되고 있어서, 스토리지 커패시터(Cst)의 저장 용량을 충분히 확보할 수 있다.

[0086]

게이트 전극들(G1 내지 G7)을 덮도록 제2게이트 절연막(GI2)이 기판(110) 전면(全面)에 적층된다. 제2게이트 절연막(GI2)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제2게이트 절연막(GI2)은 스토리지 커패시터(Cst)의 유전체층 역할을 한다. 스토리지 커패시터(Cst)의 저장 용량을 크게 하기 위해서, 제2게이트 절연막(GI2)은 제1게이트 절연막(GI1)에 비하여 두께가 얇을 수 있다.

[0087]

제2게이트 절연막(GI2) 상부에 스토리지 커패시터(Cst)의 제2전극(C2)이 형성된다. 제2전극(C2)은 제1전극(C1)과 중첩하도록 형성된다. 그러나, 제2전극(C2)은 제1전극(C1)의 일부를 노출하는 개구부(op)를 포함한다. 이 개구부(op) 내에 형성된 제1컨택홀(51)을 통해 제1전극(C1)은 보상 박막 트랜지스터(T3) 및 제1초기화 박막 트랜지스터(T4)와 연결될 수 있다. 제2전극(C2)의 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0088]

스토리지 커패시터(Cst)의 제2전극(C2)을 덮도록 층간 절연막(ILD)이 기판(110) 전면(全面)에 형성된다. 층간 절연막(ILD)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 예컨대 무기 물질은 금속 산화물 또는 금속 질화물일 수 있으며, 구체적으로 무기 물질은 실리콘산화물(SiO_2), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), hafnium산화물(HfO_2), 또는 아연산화물(ZrO_2) 등을 포함할 수 있다. 층간 절연막(ILD1)은 스토리지 커패시터(Cst)와 데이터선(16)을 절연하는 역할을 할 수 있다.

[0089]

층간 절연막(ILD) 상부에는 데이터선(16), 및 제3 컨택 메탈(CM3)이 배치된다. 또한 도시되지 않았지만, 제1 컨택 메탈(CM1a) 및 제2 컨택 메탈(CM1b)이 층간 절연막(ILD) 상부에 배치될 수 있다.

[0090]

데이터선(16), 제1 컨택 메탈(CM1a), 제2 컨택 메탈(CM1b) 및 제3 컨택 메탈(CM3)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0091]

상기 데이터선(16), 제1 컨택 메탈(CM1a), 제2 컨택 메탈(CM1b) 및 제3 컨택 메탈(CM3)을 덮도록 기판(110) 전면(全面)에 평탄화막(PL)이 배치된다. 평탄화막(PL) 상부에는 화소 전극(111)이 형성된다. 화소 전극(111)은 비아홀(VIA)을 통해 제3 컨택 메탈(CM3)과 연결되어, 제2발광 제어 드레인 전극(D6) 및 제2초기화 소스 전극(S7)과 연결된다. 화소 전극(111)은 상기 데이터선(16)과 적어도 일부가 중첩되어 배치될 수 있다.

[0092]

한편, 도 3에서는 도시되어 있지 않지만 도 5에서는 설명의 편의를 위하여 유기 발광 소자의 화소 전극(111)을 도시하였다. 유기 발광 소자는 화소 전극(111) 및 이와 대향하는 대향 전극을 포함하며, 화소 전극(111)과 대향 전극 사이에는 유기 발광층을 포함하는 중간층이 구비된다.

[0093]

중간층(미도시)은 저분자 또는 고분자 유기물에 의해서 형성될 수 있다. 저분자 유기물을 사용할 경우, 중간층은 유기 발광층(organic emission layer)을 구비하고, 그 외에 정공 주입층(HIL: Hole Injection Layer), 정공 수송층(HTL: Hole Transport Layer), 전자 수송층(ETL: Electron Transport Layer), 및 전자 주입층(EIL:

Electron Injection Layer) 중 적어도 하나를 더 구비할 수 있다. 본 실시예는 이에 한정되지 아니하고, 중간층은 유기 발광층을 구비하고, 기타 다양한 기능층을 더 구비할 수 있다. 이들 저분자 유기물은 진공증착의 방법으로 형성될 수 있다. 한편, 중간층이 고분자 유기물로 형성되는 경우에는, 유기 발광층을 중심으로 화소 전극(111) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(111) 상부에 형성될 수 있다.

[0094]

한편, 도 3 및 도 5에서는 박막 트랜지스터의 소스 전극 및 드레인 전극 중 타 배선과 연결되지 않는 소스 전극 및 드레인 전극은 반도체층 각각과 동일한 층으로 형성되고 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 본 발명의 다른 실시예에 따른 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 반도체층 각각과 다른 층으로 형성되고, 콘택홀에 의해 반도체층의 소스 영역 및 드레인 영역과 연결될 수 있다.

[0095]

이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0096]

T1 내지 T7: 박막 트랜지스터

CM1a : 제1 콘택 메탈

CM1b : 제2 콘택 메탈

1: 화소

1a: 제1 화소

1b: 제2 화소

2: 화소 회로

PL : 평탄화막

10: 표시부

14: 제1주사선

15: 발광 제어선

16: 데이터선

16a: 제1 데이터선

16b: 제2 데이터선

20: 주사 구동부

22: 초기화 전압선

24: 제2주사선

26: 구동 전압선

30: 데이터 구동부

34: 제3주사선

40: 발광 제어 구동부

50: 제어부

101: 버퍼층

110: 기판

111a: 제1 화소 전극

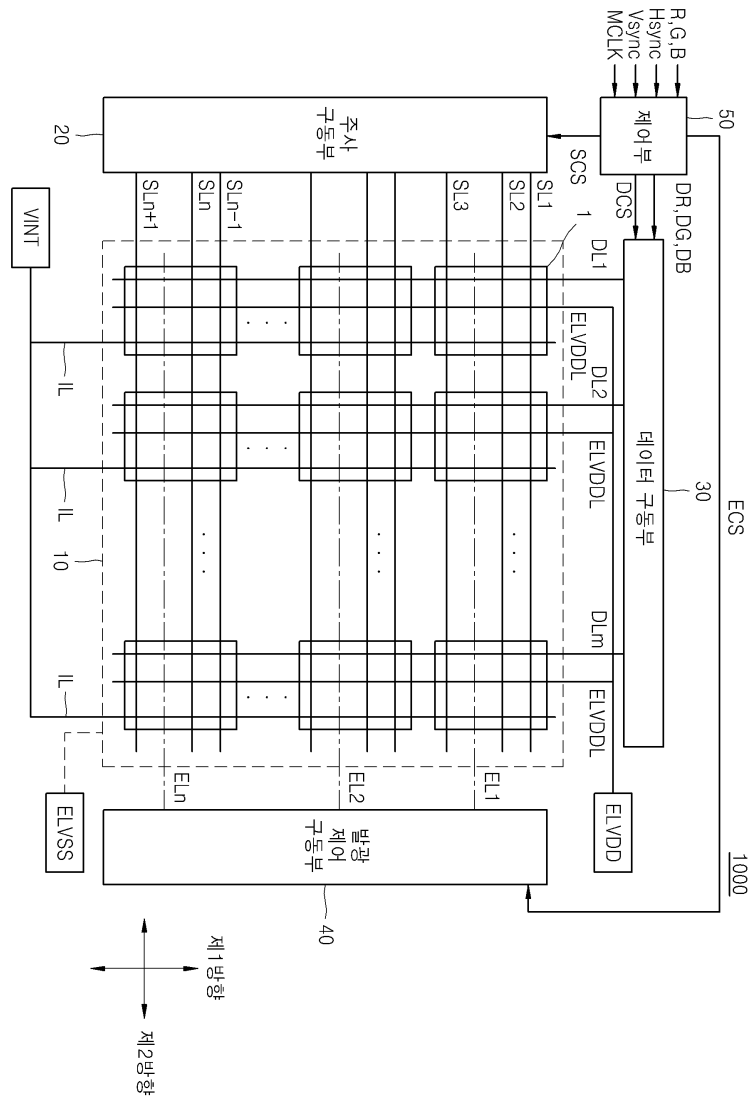
111b: 제2 화소 전극

111: 화소 전극

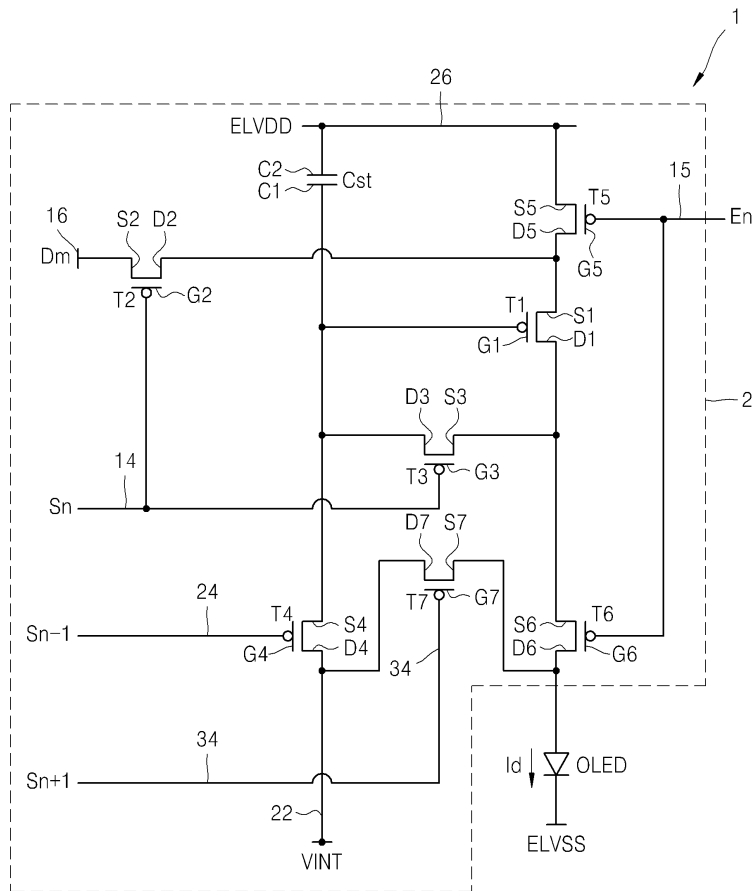
1000: 유기 발광 표시 장치

도면

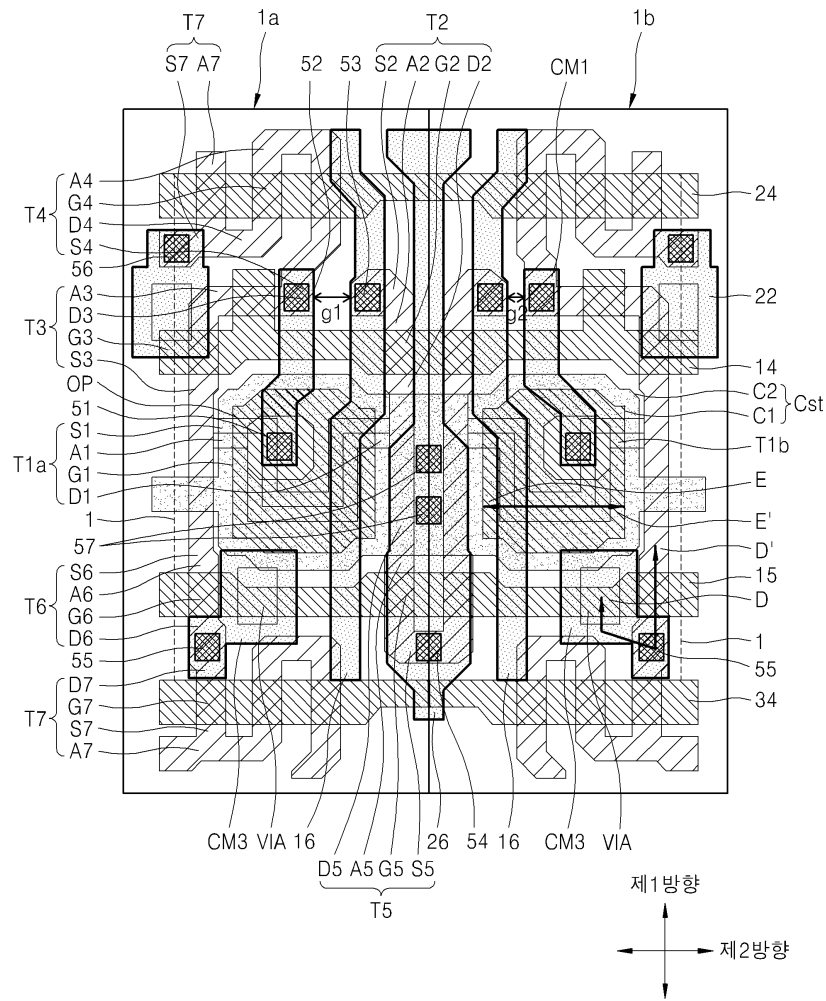
도면1



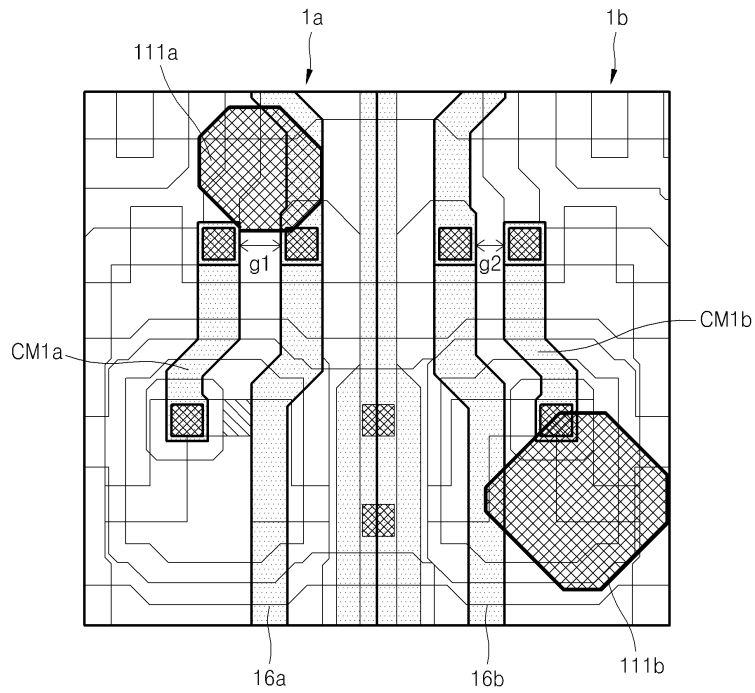
도면2



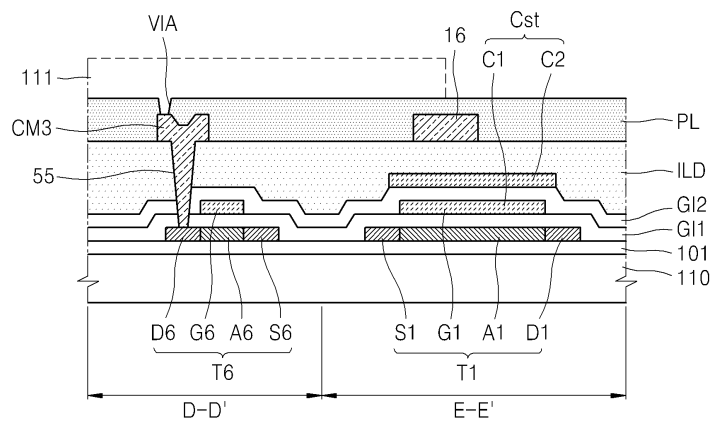
도면3



도면4



도면5



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160017328A	公开(公告)日	2016-02-16
申请号	KR1020140099974	申请日	2014-08-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM YEON HONG 김연홍 KO MOO SOON 고무순 KIM KWANG SUK 김광속 IM CHOONG YOUL 임충열		
发明人	김연홍 고무순 김광속 임충열		
IPC分类号	H01L27/32		
CPC分类号	G09G3/3225 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0262 H01L27/3211 H01L27/3262 H01L27/3265 H01L27/3276 H01L51/5209		
外部链接	Espacenet		

摘要(译)

公开了一种有机发光显示装置。根据本发明的一个实施例，具有多个像素的有机发光显示装置包括：连接到第一数据线的第一像素，第一驱动薄膜晶体管，以及连接到第一驱动薄的第一接触金属薄膜晶体管与第一数据线形成在同一层上；第二像素连接到第二数据线，第二驱动薄膜晶体管和第二接触金属，连接到第二驱动薄膜晶体管并形成在与第二数据线相同的层上。第一驱动薄膜晶体管和第一接触金属之间的第一距离不同于第二驱动薄膜晶体管和第二接触金属之间的第二距离。COPYRIGHT KIPO 2016

