



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0139028
(43) 공개일자 2015년12월11일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/52 (2006.01)

H01L 51/56 (2006.01)

(21) 출원번호 10-2014-0066459

(22) 출원일자 2014년05월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김정환

서울특별시 중랑구 신내1동 800~900 신내우디안
아파트 207동 202호

이현행

경북 칠곡군 석적읍 동중리9길 13, B동 108호 (L
G디스플레이나래원기숙사)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 11 항

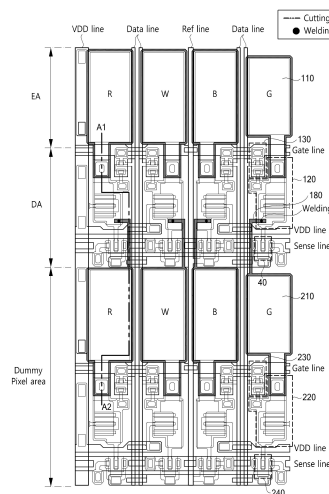
(54) 발명의 명칭 유기발광 디스플레이 장치와 픽셀의 리페어 방법

(57) 요약

본 발명은 더미 픽셀을 이용하여 발광하는 픽셀 영역들 중에서 최외곽에 형성된(마지막 수평 라인에 형성된) 픽셀들의 휘점 또는 암점 불량을 리페어한 유기발광 디스플레이 장치와 픽셀의 리페어 방법에 관한 것이다.

본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 발광 영역과 픽셀 회로 영역을 포함하여 발광하는 복수의 픽셀 영역; 상기 발광하는 복수의 픽셀 영역의 하부에 형성되고, 애노드 전극 및 픽셀 회로 영역을 포함하는 복수의 더미 픽셀 영역; 및 상기 발광하는 복수의 픽셀 영역 중에서 불량이 발생된 제1 픽셀 영역과 대응되는 제1 더미 픽셀 영역의 애노드 전극에서 연장되어, 불량이 발생된 제1 픽셀 영역의 픽셀 회로와 중첩되도록 형성된 브리지 라인; 포함한다.

대표도 - 도6



명세서

청구범위

청구항 1

발광 영역과 픽셀 회로 영역을 포함하여 발광하는 복수의 픽셀 영역;

상기 발광하는 복수의 픽셀 영역의 하부에 형성되고, 애노드 전극 및 픽셀 회로 영역을 포함하는 복수의 더미 픽셀 영역; 및

상기 발광하는 복수의 픽셀 영역 중에서 불량이 발생된 제1 픽셀 영역과 대응되는 제1 더미 픽셀 영역의 애노드 전극에서 연장되어, 불량이 발생된 제1 픽셀 영역의 픽셀 회로와 중첩되도록 형성된 브리지 라인; 포함하는 유기발광 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 제1 픽셀 영역의 픽셀 회로는 드라이빙 박막트랜지스터, 스캔 박막트랜지스터 및 센스 박막트랜지스터를 포함하고,

상기 제1 픽셀 영역의 픽셀 회로의 드라이빙 박막트랜지스터의 입력단이 컷팅되고,

상기 스캔 박막트랜지스터의 출력단이 컷팅되고,

상기 센스 박막트랜지스터와 상기 드라이빙 트랜지스터가 연결되는 부분이 컷팅되어 단락된 유기발광 디스플레이 장치.

청구항 3

제2 항에 있어서,

상기 제1 더미 픽셀 영역의 픽셀 회로의 출력 신호를 상기 브리지 라인을 통해 제1 픽셀 영역의 애노드 전극에 공급하는 유기발광 디스플레이 장치.

청구항 4

제2 항에 있어서,

상기 불량이 발생된 제1 픽셀 영역이 상기 발광하는 복수의 픽셀 영역 중에서 최외곽에 배치된 유기발광 디스플레이 장치.

청구항 5

제2 항에 있어서,

상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로가 중첩된 영역에 형성되어 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로를 연결시키는 웰딩부를 포함하는 유기발광 디스플레이 장치.

청구항 6

제5 항에 있어서,

상기 브리지 라인이 상기 제1 픽셀 영역의 드라이빙 박막트랜지스터의 상부 게이트 전극과 중첩되고,

상기 웰딩부에 의해 상기 브리지 라인과 상기 상부 게이트 전극이 연결된 유기발광 디스플레이 장치.

청구항 7

제5 항에 있어서,

상기 브리지 라인이 상기 제1 픽셀 영역의 드라이빙 박막트랜지스터의 상부 게이트 전극 및 하부 게이트 전극과 중첩되고,

상기 웰딩부에 의해 상기 브리지 라인과 상기 상부 게이트 전극이 연결된 유기발광 디스플레이 장치.

청구항 8

제2 항에 있어서,

상기 브리지 라인 및 제1 픽셀 영역의 픽셀 회로의 메탈층을 통해 상기 제1 픽셀 영역의 애노드 전극과 상기 제1 더미 픽셀 영역의 애노드 전극이 연결된 유기발광 디스플레이 장치.

청구항 9

제1 항에 있어서,

상기 발광하는 복수의 픽셀 영역과 상기 복수의 더미 픽셀 영역은,

상기 제1 픽셀;

기관 상에 형성된 하부 게이트 전극;

상기 하부 게이트 전극을 덮도록 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 액티브 레이어;

상기 액티브 레이어 상에 형성된 식각 방지층;

상기 식각 방지층을 상에 형성된 소스/드레인 메탈층;

상기 소스/드레인 메탈층을 덮도록 형성된 보호층;

상기 보호층 상에 형성된 상부 게이트 전극;

픽셀의 개구부에 형성된 컬러필터;

상기 상부 게이트 전극 및 상기 컬러필터를 덮도록 형성된 평탄화층; 및

상기 평탄화층 상에 형성된 애노드 전극;을 포함하는 유기발광 디스플레이 장치.

청구항 10

디스플레이 패널에 형성되어 발광하는 복수의 픽셀 영역 중에서 최외곽에 배치된 픽셀 영역의 불량을 리페어 하는 방법에 있어서,

발광하는 복수의 픽셀 영역 중에서 불량이 발생된 제1 픽셀 영역과 대응되는 제1 더미 픽셀 영역의 애노드 전극에서 연장되어, 불량이 발생된 제1 픽셀 영역의 픽셀 회로와 중첩되도록 브리지 라인을 형성하고,

상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로가 연결되도록 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로가 중첩된 영역에 웰딩부를 형성하고,

상기 제1 더미 픽셀 영역의 애노드 전극에 입력되는 신호를 상기 제1 픽셀 영역의 애노드 전극에 인가하는 픽셀의 리페어 방법.

청구항 11

제10 항에 있어서,

상기 웰딩부로 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로의 메탈층을 연결시키고,

상기 제1 픽셀 영역의 애노드 전극과 상기 제1 더미 픽셀 영역의 애노드 전극을 연결시키는 픽셀의 리페어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 디스플레이 장치에 관한 것으로, 특히, 더미 픽셀을 이용하여 발광하는 픽셀 영역들 중에서 최외곽에 형성된(마지막 수평 라인에 형성된) 픽셀들의 휘점 또는 암점 불량을 리페어한 유기발광 디스플레이 장치와 픽셀의 리페어 방법에 관한 것이다.

배경 기술

[0002] 유기발광 다이오드(OLED)를 발광시켜 화상을 표시하는 유기발광 디스플레이 장치는 구동방식에 따라 수동 매트릭스(Passive Matrix) 방식과 능동 매트릭스(Active Matrix) 방식으로 나눌 수 있다.

[0003] 수동 매트릭스 방식은 별도의 박막 트랜지스터(thin film transistor, 이하 "TFT"라 함)를 구비하지 않으면서 매트릭스 형태로 픽셀이 배열된 구성을 포함하며, 소비전력이 높아지게 되고 해상도 면에서도 한계가 있다.

[0004] 반면에, 상기 능동 매트릭스 방식은 매트릭스 형태로 배열된 픽셀 각각에 TFT가 형성된 구성을 포함하며, TFT의 스위칭 구동과 스토리지 커패시터(Cst)의 전압 충전에 의해 각각의 픽셀을 구동한다.

[0005] 따라서, 소비전력이 낮고 해상도 면에서도 수동 매트릭스 방식과 대비하여 이점이 있다. 고해상도 및 대면적을 요구하는 표시소자에는 능동 매트릭스 방식의 유기발광소자가 적합하다. 참고로, 이하 본 명세서에서는 '능동 매트릭스 방식의 유기발광 디스플레이 장치'를 간략하게 '유기발광 디스플레이 장치'로 칭하도록 한다.

[0006] 도 1은 일반적인 유기발광 디스플레이 장치의 픽셀 구조를 설명하기 위한 회로도이다. 도 1에서는 디스플레이 패널에 형성된 외부 보상 방식의 픽셀들 중에서 하나의 픽셀의 등가 회로를 표시하고 있다.

[0007] 디스플레이 패널의 각 픽셀은 입력되는 데이터 전류(Ioled)에 의해 발광하는 유기발광 다이오드(OLED)와, 상기 유기발광 다이오드(OLED)를 구동시키기 위한 픽셀 회로(PC)를 포함한다. 또한, 디스플레이 패널에는 상기 유기발광 다이오드(OLED)와 픽셀 회로(PC)에 구동 전원 및 신호를 공급하기 위한 복수의 라인들이 형성되어 있다.

[0008] 여기서, 픽셀 회로(PC)는 제1 스위칭 TFT(ST1), 제2 스위칭 TFT(ST2), 드라이빙 TFT(DT) 및 커패시터(Cst)를 포함한다. 그리고, 복수의 라인들은 데이터 라인(DL), 게이트 라인(GL), 구동전원 라인(PL), 센스신호 라인(SL), 기준전원 라인(RL)을 포함한다.

[0009] 제1 스위칭 TFT(ST1)은 게이트 라인(GL)에 공급되는 스캔 신호(게이트 구동 신호)에 따라 스위칭된다. 제1 스위칭 TFT(ST1)이 턴온되어 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)이 드라이빙 TFT(DT)에 공급된다.

[0010] 드라이빙 TFT(DT)는 제1 스위칭 트랜지스터(ST1)로부터 공급되는 데이터 전압(Vdata)에 따라 스위칭된다. 드라이빙 TFT(DT)의 스위칭에 의해 유기발광 다이오드(OLED)로 흐르는 데이터 전류(Ioled)를 제어한다.

[0011] 게이트 라인(GL)을 통해 스캔 신호가 인가되면 제1 스위칭 TFT(ST1)이 턴온(turn-on) 되고, 이때 제1 스위칭 TFT(ST1)로부터의 신호가 드라이빙 TFT(DT)의 게이트 전극에 입력되어 드라이빙 TFT(DT)가 턴온된다. 드라이빙 TFT(DT)가 턴온되면 구동전원 라인(PL)을 통해 인가된 구동 전류가 유기발광 다이오드(OLED)에 입력되어, 유기발광 다이오드(OLED)가 발광하게 된다.

[0012] 외부 보상을 위해서, 게이트 라인(GL)과 동일 방향으로 형성된 센스신호 라인(SL)이 형성되어 있다. 센스신호 라인(SL)에 인가되는 센스신호(sense)에 따라 스위칭되는 제2 스위칭 TFT(ST2)가 형성되어 있다. 제2 스위칭 TFT(ST2)의 스위칭에 의해 유기발광 다이오드(OLED)로 공급되는 데이터 전류(Ioled)를 데이터 드라이브 IC의 ADC(analog to digital converter)를 이용하여 센싱한다. ADC에서 센싱된 각 픽셀의 센싱 값에 따라 각 픽셀에 공급되는 데이터 전압을 보상하여 드라이빙 TFT(DT)의 문턱전압(Vth) 및 이동도(mobility) 특성의 변화를 보상한다.

[0013] 도 2는 일반적인 유기전계 발광소자의 표시영역 일부에 대한 평면도로서, 전체 픽셀들 중에서 마지막 수평 라인에 배치된 하나의 단위 픽셀을 나타내는 도면이다.

[0014] 도 2에서는 각 픽셀 영역 내에서 픽셀 회로가 형성된 영역을 픽셀 회로 영역(DA)으로 정의하였다. 픽셀 회로는 드라이빙 TFT(20), 스캔 TFT(30) 및 센스 TFT(40)를 포함한다. 그리고, 유기발광 다이오드(OLED)가 형성된 영역을 발광 영역(EA)으로 정의하였다.

[0015] 도 2를 참조하면, 구동전원 라인(VDD line)과 데이터 라인(data line)은 수직 방향으로 형성되어 있고, 게이트 라인(gate line) 및 센스신호 라인(sense line)은 수평 방향으로 형성되어 있다.

- [0016] 데이터 라인(data line)과 게이트 라인(gate line)이 교차되어 발광 영역(EA)이 정의된다. 발광 영역에는 복수의 픽셀이 형성되어 있으며, 레드 픽셀, 그린 픽셀, 블루 픽셀 및 화이트 픽셀이 모여 하나의 단위 픽셀(10)을 구성한다. 게이트 라인(gate line)과 센스신호 라인(sense line) 사이에 픽셀 회로 영역(DA)이 정의된다.
- [0017] 드라이빙 TFT(20)의 소스 전극은 구동전원 라인(VDD line)과 연결되고, 드레인 전극은 유기발광 다이오드(OLED)의 애노드 전극과 연결된다. 그리고, 드라이빙 TFT(20)의 게이트 전극은 스캔 TFT(30)의 드레인 전극과 연결된다. 스캔 TFT(30)의 게이트 전극은 게이트 라인(gate line)과 연결되고, 소스 전극은 데이터 라인(data line)과 연결된다. 센스 TFT(40)의 게이트 전극은 센스신호 라인에 연결되고, 드레인 전극은 드라이빙 TFT(20)의 드레인 전극에 연결되고, 소스 전극은 기준전원 라인(Ref line)에 연결된다.
- [0018] 도 3은 휘점 불량이 발생한 픽셀을 리페어하여 암점화 시킨 것을 나타내는 도면이다.
- [0019] 도 3을 참조하면, 픽셀의 유기발광 다이오드(OLED) 및 픽셀 회로를 제조하는 과정에서 각 TFT들의 특성 저하와, 라인들 및 레이어들 간의 쇼트 발생으로 인해 각 픽셀이 정상적으로 구동되지 않는 불량이 발생할 수 있다.
- [0020] 하나의 픽셀 영역에 형성된 드라이빙 TFT(20), 스캔 TFT(30) 또는 센스 TFT(40)가 정상적으로 구동되지 않을 경우, 유기발광 다이오드로 전류가 인가되지 않아 암점화 불량이 발생할 수 있다. 또한, 드라이빙 TFT(20)의 소스 전극과 드레인 전극이 쇼트되는 경우, 드라이빙 TFT(20)가 정상적으로 구동되지 않고 소스 전극으로 인가된 전압이 바로 드레인 전극으로 직접 인가될 수 있다. 이 경우, 드라이빙 TFT(20)가 오프(off)되지 않고 계속 온(on) 상태가 유지되어 유기발광 다이오드(OLED)가 계속 점등하는 휘점 불량이 발생할 수 있다.
- [0021] 이와 같이, 특정 픽셀에 암점화 또는 휘점화 불량이 발생하는 경우, 암점화된 픽셀 영역은 리페어가 불가하므로 암점화된 상태 그대로 둔다.
- [0022] 그리고, 휘점화된 픽셀 영역은, 휘점화된 픽셀을 구동시키는 픽셀 회로의 드라이빙 TFT(20)와 유기발광 다이오드(OLED)의 애노드 전극이 연결되는 "A" 지점을 레이저 커팅을 통해 끊는다. 즉, 스토리지 커패시터와 유기발광 다이오드(OLED)의 애노드 전극 사이의 개구 영역에서 레이저 커팅을 수행하여 드라이빙 TFT(20)와 유기발광 다이오드(OLED)의 애노드 전극의 연결을 끊는다.
- [0023] 또한, 센스 TFT(40)의 드레인 전극과 드라이빙 TFT(20)가 연결되는 "B" 지점을 레이저 커팅을 통해 끊는다. 또한, 휘점화 불량이 발생한 픽셀의 발광 영역(EA)에 형성된 유기발광 다이오드(OLED)에 웰딩(welding)을 진행하여 애노드 전극과 캐소드 전극을 도통시켜 유기발광 다이오드(OLED)를 암점화 시킨다.
- [0024] 이와 같이, 암점화 불량은 시인성이 낮아 사용자가 암점화 불량을 인지하지 못할 수 있지만, 휘점화 불량은 시인성이 높아 사용자가 휘점화 불량을 바로 인지할 수 있기 때문에 휘점화된 픽셀 영역을 암점화 시킨다.
- [0025] 디스플레이 패널 전체 영역에서 휘점화 불량이 하나만 발생하더라도 불량으로 인지될 수 있어 최종 제품화 시킬 수 없는 문제점이 있다. 반면, 암점화 불량은 디스플레이 패널 전체 영역에서 10~20개 정도가 발생하더라도 디스플레이 장치로 제품화될 수 있어 휘점화 불량이 발생한 픽셀 영역을 암점화로 리페어 한다.
- [0026] 앞에서 설명한 바와 같이, 휘점화 불량은 리페어를 통해 암점화 시킬 수 있지만, 암점화 불량은 리페어가 제한적이어서 제품의 수율을 높이는데 한계가 있다. 유기발광 디스플레이 장치에는 수백만~수천만 개의 픽셀 영역이 존재하므로 전체 픽셀 영역을 불량 없이 제조하는 것에는 어려움이 있고, 수율이 떨어져 제조비용이 상승하는 문제점이 있다.
- [0027] 특히, 디스플레이 패널에 형성된 N개의 수평 라인들 중에서, 첫 번째 수평라인부터 N-1번째 수평라인에 배치된 픽셀 영역들은 암점화 불량이 발생했을 때, 하부에 형성된 픽셀 영역과 연결되도록 리페어를 진행하여 하부에 형성된 픽셀 영역으로부터 신호를 인가받아 암점화 불량을 리페어 할 수 있다.
- [0028] 그러나, 디스플레이 패널 내에서 N번째 수평 라인 즉, 발광하는 픽셀 영역들 중에서 최외곽에 형성된 픽셀 영역들(마지막 수평 라인에 형성된 픽셀 영역들)은 암점화 불량이 발생했을 때, 신호를 인가받을 수 있는 픽셀이 하부에 존재하지 않음으로 구조적으로 리페어를 할 수 없는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0029] 본 발명은 앞에서 설명한 문제점들을 해결하기 위한 것으로서, 마지막 수평 라인에 배치된 픽셀의 휘점 또는 암점 불량을 리페어 할 수 있는 유기발광 디스플레이 장치와 픽셀의 리페어 방법을 제공하는 것을 기술적 과제로

한다.

[0030] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0031] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 발광 영역과 픽셀 회로 영역을 포함하여 발광하는 복수의 픽셀 영역; 상기 발광하는 복수의 픽셀 영역의 하부에 형성되고, 애노드 전극 및 픽셀 회로 영역을 포함하는 복수의 더미 픽셀 영역; 및 상기 발광하는 복수의 픽셀 영역 중에서 불량이 발생된 제1 픽셀 영역과 대응되는 제1 더미 픽셀 영역의 애노드 전극에서 연장되어, 불량이 발생된 제1 픽셀 영역의 픽셀 회로와 중첩되도록 형성된 브리지 라인; 포함한다.

[0032] 본 발명의 실시 예에 따른 픽셀의 리페어 방법은, 디스플레이 패널에 형성되어 발광하는 복수의 픽셀 영역 중에서 최외곽에 배치된 픽셀 영역의 불량을 리페어 하는 방법에 있어서, 발광하는 복수의 픽셀 영역 중에서 불량이 발생된 제1 픽셀 영역과 대응되는 제1 더미 픽셀 영역의 애노드 전극에서 연장되어, 불량이 발생된 제1 픽셀 영역의 픽셀 회로와 중첩되도록 브리지 라인을 형성하고, 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로가 연결되도록 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로가 중첩된 영역에 웰딩부를 형성하고, 상기 제1 더미 픽셀 영역의 애노드 전극에 입력되는 신호를 상기 제1 픽셀 영역의 애노드 전극에 인가한다.

발명의 효과

[0033] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치와 픽셀의 리페어 방법은 더미 픽셀을 이용하여 발광되는 픽셀 영역들 중에서 마지막 수평 라인에 배치된 픽셀 영역의 휘점 또는 암점 불량을 리페어 할 수 있다. 이를 통해, 유기발광 디스플레이 장치의 제조 수율을 높이고, 제조 비용을 절감시킬 수 있다.

[0034] 위에서 언급된 본 발명의 특징 및 효과들 이외에도 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 효과들이 새롭게 파악 될 수도 있을 것이다.

도면의 간단한 설명

[0035] 도 1은 일반적인 유기발광 디스플레이 장치의 픽셀 구조를 설명하기 위한 회로도이다.

도 2는 일반적인 유기전계 발광소자의 표시영역 일부에 대한 평면도로서, 전체 픽셀들 중에서 마지막 수평 라인에 배치된 하나의 단위 픽셀을 나타내는 도면이다.

도 3은 휘점 불량이 발생한 픽셀을 리페어하여 암점화 시킨 것을 나타내는 도면이다.

도 4는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 5는 액티브 영역의 발광하는 픽셀 영역들 중에서 최외곽에 형성된 픽셀들(마지막 수평 라인에 형성된 픽셀들)의 휘점 또는 암점 불량을 리페어 하는 방법을 나타내는 도면이다.

도 6은 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀 구조를 나타내는 평면도로서, 리페어가 이루어진 픽셀들의 웰딩부 및 커팅부를 나타내는 도면이다.

도 7은 도 6에 도시된 A1-A2 선에 따른 단면도로서, 불량이 발생하지 않은 픽셀 영역 및 더미 픽셀 영역의 단면 구조를 도시하고 있다.

도 8은 도 6에 도시된 A1-A2 선에 따른 단면도로서, 불량이 발생한 픽셀 영역에 리페어 구조가 적용된 제1 실시예의 픽셀 영역 및 더미 픽셀 영역의 단면 구조를 도시하고 있다.

도 9는 도 6에 도시된 A1-A2 선에 따른 단면도로서, 불량이 발생한 픽셀 영역에 리페어 구조가 적용된 제2 실시예의 픽셀 영역 및 더미 픽셀 영역의 단면 구조를 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0036] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

- [0037] 한편, 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0038] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.
- [0039] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0040] 본 발명의 실시 예를 설명함에 있어서 어떤 구조물이 다른 구조물 "상에, 상부에" 및 "아래에, 하부에" 형성된 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.
- [0041] 이하, 첨부된 도면을 참조하여 유기발광 디스플레이 장치와 픽셀의 리페어 방법에 대하여 설명하기로 한다.
- [0042] 도 4는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치를 개략적으로 나타내는 도면이다.
- [0043] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는 디스플레이 패널(100) 및 구동 회로부를 포함하여 구성된다.
- [0044] 구동 회로부는 데이터 드라이버, 게이트 드라이버, 타이밍 컨트롤러, 메모리 및 전원 공급부를 포함하며, 복수의 구동집적회로(Drive IC)가 실장된 인쇄회로기판 및 COF(Chip on Film)에 형성된다. FOG(Film on Glass)를 이용하여 디스플레이 패널(100)에 전원 및 구동신호를 공급한다.
- [0045] 타이밍 컨트롤러는 영상 데이터를 프레임 단위로 정렬하여 데이터 드라이버에 공급한다. 또한, 타이밍 컨트롤러는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 데이터 인에이블(DE), 클럭(DCLK)과 같은 타이밍 동기 신호(TSS)에 기초하여 데이터 드라이버와 게이트 드라이버를 드라이빙 모드로 동작시켜 입력된 영상을 표시한다. 또한, 타이밍 컨트롤러는 데이터 드라이버와 게이트 드라이버를 센싱 모드로 동작시켜 각 서브 픽셀에 형성된 드라이빙 TFT(DT)의 특성(문턱전압/이동도)의 센싱이 이루어지도록 한다.
- [0046] 게이트 드라이버는 타이밍 컨트롤러의 모드 제어에 따라 상기 드라이빙 모드와 상기 센싱 모드로 동작한다. 게이트 드라이버는 드라이빙 모드 시, 게이트 드라이버는 타이밍 컨트롤러로부터 공급되는 게이트 제어 신호(GCS)에 따라 1 수평 기간마다 게이트 온 전압 레벨의 스캔 신호(scan)를 생성한다. 게이트 드라이버는 생성된 스캔 신호(scan)를 복수의 게이트 라인(GL)에 순차적으로 공급한다. 그리고, 게이트 드라이버는 센싱 모드 시, 게이트 드라이버는 게이트 온 전압 레벨의 센스 신호(sense)를 생성한다. 그리고, 센스 신호(sense)를 복수의 센스 신호 라인(SL)에 순차적으로 공급한다.
- [0047] 이러한, 게이트 드라이버는 복수의 게이트 라인(GL1-GLm), 복수의 센스 신호 라인(SL1-SLm) 및 전원 라인(PL1-PLn, EVDD 라인)과 연결되어 있다. 게이트 드라이버는 집적 회로(IC) 형태로 형성되어 연성 케이블을 통해 디스플레이 패널(100)에 연결되거나, 또는 각 픽셀(P)의 트랜지스터를 형성할 때, 동일한 공정을 통해 디스플레이 패널(100)의 어레이 기판의 비 표시 영역에 직접 형성될 수도 있다.
- [0048] 데이터 드라이버는 복수의 데이터 라인(DL1 내지 DLn)에 연결되어 있고, 타이밍 컨트롤러의 모드 제어에 따라 디스플레이 모드와 센싱 모드로 동작한다. 데이터 드라이버는 타이밍 컨트롤러에서 공급되는 보정된 영상 데이터를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL)에 공급한다.
- [0049] 메모리에는 전체 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 초기 보상 값이 저장되어 있다. 또한, 디스플레이 패널(100)의 구동에 따른 각 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 경시 보상 데이터가 메모리에 저장되고, 메모리에 저장된 경시 보상 데이터를 로딩하여 경시 보상을 수행할 수 있다. 타이밍 컨트롤러는 메모리로부터 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 초기 보상 값을 로딩하고, 로딩된 보상 값을 보정된 영상 데이터에 반영한다.
- [0050] 디스플레이 패널(100)은 복수의 유기 발광 다이오드(OLED)와 상기 복수의 유기 발광 다이오드(OLED)를 발광시키기 위한 픽셀 회로들이 형성된 어레이 기판과, 상기 복수의 유기 발광 다이오드(OLED)를 봉지하는 봉지 기판을 포함한다.
- [0051] 디스플레이 패널(100)은 복수의 픽셀이 매트릭스 형태로 배열되어 화상이 표시되는 액티브 영역(active area)과, 복수의 링크 라인 및 로그 라인들이 형성된 비 표시 영역(non-display area)을 포함한다.

- [0052] 어레이 기관의 액티브 영역에는 복수의 게이트 라인(GL1-GLm), 복수의 센스 신호 라인(SL1-SLm), 복수의 데이터 라인(DL1-DLn), 복수의 전원 라인(PL1-PLn, EVDD 라인) 및 복수의 기준 전압 라인(RL1-RLn)이 형성되어 있고, 이러한 라인들에 의해 복수의 픽셀(P)이 정의된다. 레드, 그린, 블루 및 화이트 픽셀이 모여 하나의 단위 픽셀을 구성한다.
- [0053] 복수의 픽셀(P) 각각에는 유기 발광 다이오드(OLED) 및 상기 유기 발광 다이오드(OLED)를 발광시키기 위한 픽셀 회로가 형성되어 있다. 픽셀 회로는 드라이빙 TFT, 스캔 TFT 및 센스 TFT를 포함한다.
- [0054] 게이트 라인(GL)에는 게이트 드라이버로부터 스캔 신호(게이트 구동 신호)가 인가된다. 그리고, 센스 신호 라인(SL)에는 게이트 드라이버로부터 센싱 신호(sense)가 인가된다.
- [0055] 복수의 데이터 라인(DL)에는 데이터 드라이버로부터 데이터 전압(이 인가된다. 데이터 전압(Vdata)은 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 보상 전압이 포함될 수 있다.
- [0056] 기준 전압 라인(RL)에는 데이터 드라이버로부터 디스플레이 기준 전압 또는 센싱 프리차징 전압이 선택적으로 공급될 수 있다. 디스플레이 기준 전압은 각 픽셀(P)의 데이터 충전 기간 동안 각 기준 전압 라인(RL)에 공급된다. 센싱 프리차징 전압은 각 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압/이동도를 센싱하는 센싱 기간에 기준 전압 라인(RL)에 공급될 수 있다.
- [0057] 도 5는 액티브 영역의 최외곽에 형성된 픽셀들(마지막 수평 라인에 형성된 픽셀들)의 휘점 또는 암점 불량을 리페어 하는 방법을 나타내는 도면이다.
- [0058] 도 5를 참조하면, 본 발명의 유기발광 디스플레이 장치는 액티브 영역에 발광하는 픽셀 영역들이 형성되어 있고, 발광하는 픽셀 영역들의 하부에 실제로는 발광하지 않는 더미 픽셀들이 형성되어 있다.
- [0059] 액티브 영역의 형성된 N개의 수평 라인들 중에서, N번째 수평 라인에 배치된 픽셀 영역들(최외곽에 형성된 픽셀 영역들)에 불량이 발생하면 상/하로 인접한 2개의 픽셀의 애노드 전극에 인가되는 신호를 공유하도록 리페어 한다. 즉, 발광하는 픽셀 영역들 중에서 마지막 열에 배치된 픽셀 영역에 불량이 발생하면, 불량이 발생한 픽셀 영역의 하측에 형성된 더미 픽셀을 이용하여 리페어 한다.
- [0060] 일 예로서, 실제로 발광하는 픽셀 영역들 중에서 최외곽(마지막 열)에 형성된 제1 픽셀 영역의 픽셀 회로가 정상적으로 형성되지 않아 제1 픽셀 영역에 휘점화 또는 암점화 불량이 발생하면, 제1 픽셀 영역의 픽셀 회로의 드라이빙 TFT와 유기발광 다이오드(OLED)의 애노드 전극의 연결 끊고, 센스 TFT의 드레인 전극과 드라이빙 TFT의 연결을 끊는다.
- [0061] 그리고, 발광하는 픽셀 영역들의 하부에 형성된 더미 픽셀 영역들을 중에서, 불량이 발생된 상기 제1 픽셀 영역의 하측에 형성된 제1 더미 픽셀 영역의 애노드 전극에 인가되는 신호가 상기 제1 픽셀에 인가되도록 웰딩(welding) 공정을 수행하여 불량이 발생된 제1 픽셀 영역을 리페어 한다.
- [0062] 여기서, 실제로 발광하는 픽셀 영역들 중에서 최외곽(마지막 열)에 형성된 제1 픽셀 영역의 픽셀 회로는 컷팅되어 동작하지 않음으로, 제1 픽셀 영역의 픽셀 회로에 인가되어야 하는 구동 신호들은 상기 제1 픽셀 영역의 하측에 형성된 제1 더미 픽셀 영역의 픽셀 회로로 인가시킨다.
- [0063] 한편, 액티브 영역의 형성된 N개의 수평 라인들 중에서, 첫 번째 수평라인부터 N-1번째 수평라인에 배치된 픽셀 영역들에 불량이 발생하면 상/하로 인접한 2개의 픽셀의 애노드 전극에 인가되는 신호를 공유하도록 리페어 한다.
- [0064] 일 예로서, 액티브 영역의 제2 열에 형성된 제2 픽셀 영역의 픽셀 회로가 정상적으로 형성되지 않아 제2 픽셀 영역에 휘점화 또는 암점화 불량이 발생하면, 상기 제2 픽셀 영역의 픽셀 회로의 드라이빙 TFT와 유기발광 다이오드(OLED)의 애노드 전극의 연결 끊고, 센스 TFT의 드레인 전극과 드라이빙 TFT의 연결을 끊는다.
- [0065] 그리고, 상기 제2 픽셀의 하측에 형성된 제3 열의 제3 픽셀 영역의 애노드 전극에 인가되는 신호가 상기 제2 픽셀에 공통으로 인가되도록 웰딩(welding) 공정을 수행하여 불량이 발생된 제2 픽셀 영역을 리페어 한다.
- [0066] 도 6은 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀 구조를 나타내는 평면도로서, 리페어가 이루어진 픽셀들의 웰딩부 및 컷팅부를 나타내는 도면이다.
- [0067] 도 6에서는 암점화 또는 휘점화 불량이 발생한 픽셀 영역을 정상적으로 발광하도록 리페어한 픽셀 영역의 평면 레이아웃을 도시하고 있다.

- [0068] 도 6을 참조하면, 본 발명에서 각 픽셀 영역 내의 픽셀 회로가 형성된 영역을 픽셀 회로 영역(DA)으로 정의하였다. 픽셀 회로는 드라이빙 TFT(120, 220), 스캔 TFT(130, 230) 및 센스 TFT(140, 240)를 포함한다. 그리고, 유기발광 다이오드(110, 210)가 형성된 영역을 발광 영역(EA)으로 정의하였다.
- [0069] 여기서, 드라이빙 TFT(120, 220), 스캔 TFT(130, 230) 및 센스 TFT(140, 240)는 비정질 실리콘(a-Si), 저온다결정 실리콘(LTPSL: Low-Temperature Poly-Silicon) 또는 산화물(oxide)을 액티브(active)의 재료로 이용하여 N타입(N-type) 또는 P타입(P-type)으로 제조될 수 있다.
- [0070] 도 6에서는 발광하는 픽셀 영역들 중에서 최외곽(마지막 열)에 형성된 4개의 픽셀 영역(레드, 그린 블루 및 화이트 픽셀 영역)을 도시하고 있다. 또한, 발광하는 픽셀 영역들의 하부에 형성된 더미 픽셀 영역들을 중에서, 4개의 더미 픽셀 영역(레드, 그린 블루 및 화이트 더미 픽셀 영역)을 도시하고 있다.
- [0071] 데이터 라인(data line)과 게이트 라인(gate line)이 교차되어 발광 영역(EA)이 정의된다. 발광 영역에는 복수의 픽셀이 형성되어 있으며, 레드 픽셀, 그린 픽셀, 블루 픽셀 및 화이트 픽셀이 모여 하나의 단위 픽셀을 구성한다. 게이트 라인(gate line)과 센스신호 라인(sense line) 사이에 픽셀 회로 영역(DA)이 정의된다.
- [0072] 발광하는 픽셀 영역들 중에서 최외곽(마지막 열)에 형성된 4개의 픽셀 영역의 발광 영역(EA)에는 유기발광 다이오드(110)가 형성되어 있다. 그리고, 픽셀 회로 영역(DA)에는 드라이빙 TFT(120), 스캔 TFT(130), 센스 TFT(140)가 형성되어 있다.
- [0073] 또한, 발광하는 픽셀 영역들의 하부에 형성된 4개의 더미 픽셀 영역의 발광 영역(EA)에는 더미 유기발광 다이오드(210)가 형성되어 있다. 여기서, 더미 유기발광 다이오드(210)에는 유기 발광층(EML)이 형성되어 있지 않아 신호가 공급되더라도 실제로는 발광하지 않는다.
- [0074] 픽셀 회로 영역(DA)에는 더미 드라이빙 TFT(220), 더미 스캔 TFT(230), 더미 센스 TFT(240)가 형성되어 있다.
- [0075] 데이터 라인(data line)과 구동전원 라인(VDD line)은 수직 방향으로 형성되어 있다. 수직으로 형성된 구동전원 라인(VDD line)이 수평방향으로 분기되어 드라이빙 TFT(120), 더미 드라이빙 TFT(220)와 접속되고, 발광하는 픽셀 영역의 픽셀 회로에 구성된 드라이빙 TFT(120) 및 더미 픽셀 회로에 구성된 더미 드라이빙 TFT(220)에 구동전원(VDD)이 공급된다.
- [0076] 게이트 라인(gate line) 및 센스신호 라인(sense line)은 수평 방향으로 형성되어 있다. 게이트 라인(gate line)은 스캔 TFT(130)의 게이트 전극, 더미 스캔 TFT(230)의 게이트 전극과 접속되고, 게이트 라인(gate line)을 통해 스캔 신호가 스캔 TFT(130), 더미 스캔 TFT(230)에 인가된다.
- [0077] 센스신호 라인(sense line)은 센스 TFT(140)의 게이트 전극, 더미 센스 TFT(240)의 게이트 전극과 접속되고, 센스신호 라인(sense line)을 통해 센스 신호가 센스 TFT(140), 더미 센스 TFT(240)에 인가된다.
- [0078] 드라이빙 TFT(120), 더미 드라이빙 TFT(220)의 소스 전극은 구동전원 라인(VDD line)과 연결되고, 드레인 전극은 유기발광 다이오드(110)의 애노드 전극(112)과 연결된다. 그리고, 드라이빙 TFT(120)의 게이트 전극은 스캔 TFT(130)의 드레인 전극과 연결된다. 그리고, 더미 드라이빙 TFT(220)의 게이트 전극은 더미 스캔 TFT(230)의 드레인 전극과 연결된다. 스캔 TFT(130)의 게이트 전극, 더미 스캔 TFT(230)는 게이트 라인(gate line)과 연결되고, 소스 전극은 데이터 라인(data line)과 연결된다. 센스 TFT(140), 더미 센스 TFT(240)의 게이트 전극은 센스신호 라인에 연결된다.
- [0079] 센스 TFT(140)의 드레인 전극은 드라이빙 TFT(120)의 드레인 전극에 연결되고, 더미 센스 TFT(240)의 게이트 전극은 더미 드라이빙 TFT(220)의 드레인 전극에 연결된다. 센스 TFT(140)의 소스 전극, 더미 센스 TFT(240)의 소스 전극은 기준전원 라인(Ref line)에 연결된다.
- [0080] 발광하는 픽셀 영역들의 최외곽(마지막 라인)에 형성된 픽셀 영역의 드라이빙 TFT(120), 스캔 TFT(130) 또는 센스 TFT(140)가 정상적으로 구동되지 않을 경우, 유기발광 다이오드(110)로 전류가 인가되지 않아 암점화 불량 발생될 수 있다. 또한, 드라이빙 TFT(120)의 소스 전극과 드레인 전극이 쇼트되는 경우, 드라이빙 TFT(120)가 정상적으로 구동되지 않고 소스 전극으로 인가된 전압이 바로 드레인 전극으로 직접 인가될 수 있다. 이 경우, 드라이빙 TFT(120)가 오프(off)되지 않고 계속 온(on) 상태가 유지되어 유기발광 다이오드(110)가 계속 점등하는 휘점 불량이 발생할 수 있다.
- [0081] 본 발명의 유기발광 디스플레이 장치와 픽셀을 리페어 방법을 통해 발광하는 픽셀 영역들의 최외곽(마지막 라인)에 형성된 픽셀 영역의 암점화 불량 및 휘점화 불량을 모두 리페어 할 수 있다.

- [0082] 먼저, 불량이 발생된 픽셀 영역의 픽셀 회로의 드라이빙 TFT(120)의 입력단인 "C" 지점을 레이저로 컷팅하고, 스캔 TFT(130)의 출력단인 "D" 지점을 레이저로 컷팅하고, 센스 TFT(140)와 드라이빙 TFT(120)가 연결되는 "E" 지점을 컷팅하여, 불량이 발생된 픽셀 영역의 화소 회로가 동작하지 않도록 한다.
- [0083] 그리고, 브리지 라인(180)을 형성하여 발광시킬 픽셀 영역의 애노드 전극(112)과 연결된 메탈층과 더미 픽셀 영역의 애노드 전극(212)을 연결시킨다. 이때, 레이저로 브리지 라인(180)과 픽셀 영역의 애노드 전극(112)이 연결되도록 웰딩부(welding unit)를 형성한다.
- [0084] 이와 같이, 불량이 발생된 픽셀 영역의 애노드 전극(112)과 더미 픽셀 영역의 애노드 전극(212)을 연결시켜 더미 픽셀 영역의 픽셀 회로에서 출력되는 신호를 불량이 발생된 픽셀 영역으로 인가시킬 수 있도록 한다.
- [0085] 이후, 불량이 발생된 픽셀 영역과 대응되는 더미 픽셀 영역의 픽셀 회로가 정상적으로 동작하도록 신호를 인가하고, 더미 픽셀의 유기발광 다이오드(210)의 애노드 전극(212)에 공급되는 신호를 불량이 발생된 픽셀 영역의 유기발광 다이오드(110)의 애노드 전극(112)에 공급한다.
- [0086] 도 7은 도 6에 도시된 A1-A2 선에 따른 단면도로써, 불량이 발생하지 않은 픽셀 영역(pixel area) 및 더미 픽셀 영역(dummy pixel area)의 단면 구조를 도시하고 있다. 도 7에서는 ESL(Etch Stop Layer) 타입의 드라이빙 TFT를 도시하고 있다.
- [0087] 도 7을 참조하면, 기판(101) 상의 픽셀 영역 및 더미 픽셀 영역에 하부 게이트 전극(151)이 형성되어 있다. 이때, 하부 게이트 전극(151)은 스토리지 커패시터(Cst)의 제1 전극으로도 기능한다.
- [0088] 여기서, 하부 게이트 전극(151)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 하부 게이트 전극(151)은 복층(multi layer) 구조로 형성될 수 있다. 이렇게, 하나의 하부 게이트 전극(151)으로 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)을 형성한다. 이때, 하부 게이트 전극(151)은 스캔 라인(scan) 및 센스신호 라인(sense line)과 동일 메탈로 함께 형성된다.
- [0089] 하부 게이트 전극(151)을 덮도록 게이트 절연막(152, GI)이 형성되어 있다. 게이트 절연막(152, GI)은 산화 실리콘(SiO₂) 또는 질화 실리콘(SiNx)의 단일막으로 형성될 수 있고, 산화 실리콘(SiO₂)으로 형성된 제1 막과 질화 실리콘(SiNx)으로 형성된 제2 막으로 형성될 수도 있다.
- [0090] 게이트 절연막(152, GI)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브 레이어(미도시)가 형성되어 있다. 액티브 레이어는 IGO(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 형성된다. 도 7에서는 액티브 레이어가 형성되어 있지 않은 부분의 단면을 도시하고 있다.
- [0091] 게이트 절연막(152, GI)의 상부 및 액티브 레이어의 상부에 식각 방지층(153, ESL: etch stop layer)이 형성되어 있다. 식각 방지층(153)은 산화 실리콘(SiO₂)으로 형성된다.
- [0092] 식각 방지층(153) 상에 소스/드레인 메탈층(154)이 형성되어 있다. 소스/드레인 메탈층(154)로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성된다.
- [0093] 식각 방지층(153) 상부 중에서 액티브 레이어와 중첩되는 영역의 식각 방지층(153)을 관통하여 드라이빙 TFT(D-TFT)의 소스(S)와 드레인(D)이 형성된다. 드라이빙 TFT(D-TFT) 영역에 형성된 소스/드레인 메탈층(154)은 액티브 레이어 상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다.
- [0094] 소스/드레인 메탈층(154)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(154)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 형성될 수 있다. 이때, 소스/드레인 메탈층(154)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다. 여기서, 드라이빙 TFT(D-TFT)의 드레인(D)과 VDD 라인(VDD line)이 연결되어 있다.
- [0095] 드라이빙 TFT(D-TFT)의 소스 전극/드레인 전극을 덮도록 보호막(155, PAS)이 형성되어 있다. 보호막(155, PAS)은 산화 실리콘(SiO₂) 물질로 형성된다.
- [0096] 보호막(155, PAS) 상에 상부 게이트 전극(156, SD2)이 형성되어 있다. 상부 게이트 전극(156, SD2)은 드라이

빙 TFT(D-TFT)의 상부 게이트 및 스토리지 커패시터(Cst)의 제2 전극(상부 전극)으로 기능한다.

[0097] 상부 게이트 전극(156, SD2)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 형성되고, 제2 층은 ITO(indium tin oxide)를 재료로 이용하여 형성될 수 있다. 이렇게, 하나의 상부 게이트 전극(156, SD2)으로 드라이빙 TFT(D-TFT)의 상부 게이트 및 스토리지 커패시터(Cst)의 제2 전극(상부 전극)을 형성한다.

[0098] 픽셀 영역의 개구부에는 컬러필터(157, C/F)가 형성되고, 컬러필터(157) 및 TFT들을 덮도록 평탄화층(158)이 형성된다. 각 픽셀 영역을 구분시키기 위해서 픽셀 영역의 비 발광 부분에 बैं크(159)가 형성된다.

[0099] 개구부의 평탄화층 상에 유기발광 다이오드의 애노드 전극(112)이 형성되고, 도면에 도시하지 않았지만, 애노드 전극 상에 발광층(EML)이 형성되고, 기판 전면에 공통으로 캐소드 전극이 형성된다.

[0100] 도 7에 도시된 발광되는 픽셀 영역과 더미 픽셀 영역의 구조에서, 더미 픽셀 영역의 애노드 전극(212)이 발광되는 픽셀 영역의 상부 게이트 전극(156)과 중첩되도록 형성되어 있다. 즉, 더미 픽셀 영역의 애노드 전극(212)의 길이가 연장되어 브리지 라인(180)이 된다.

[0101] 제1 실시 예에 따른 픽셀 영역의 리페어 구조

[0102] 도 8은 도 6에 도시된 A1-A2 선에 따른 단면도로써, 불량이 발생한 픽셀 영역에 리페어 구조가 적용된 제1 실시 예의 픽셀 영역 및 더미 픽셀 영역의 단면 구조를 도시하고 있다.

[0103] 도 6 및 도 8을 결부하여 설명하면, 더미 픽셀 영역에 형성된 애노드 전극(212)의 길이가 연장되어 형성된 브리지 라인(180)이 상측에 위치하는 픽셀 영역의 픽셀 회로와 중첩되고, 레이저로 브리지 라인(180)과 픽셀 영역의 픽셀 회로가 연결되도록 웰딩부(160)를 형성한다.

[0104] 구체적으로, 더미 픽셀 영역의 애노드 전극(212)에서 그 길이가 연장되어 형성된 브리지 라인(180)이 발광될 픽셀 영역의 드라이빙 TFT(120)의 최상위 메탈층 즉, 상부 게이트 전극(156)과 중첩되도록 한다.

[0105] 그리고, 발광시킬 픽셀 영역의 애노드 전극(112)과 연결된 메탈층과 더미 픽셀 영역의 애노드 전극(212)이 연결되도록, 브리지 라인(180)과 상부 게이트 전극(156)이 중첩된 영역에 웰딩부(160, welding unit)를 형성한다. 이때, 웰딩부(160)는 패널의 전면에서 레이저를 이용하여 형성한다.

[0106] 이와 같이, 더미 픽셀을 이용하여 발광되는 픽셀 영역들 중에서 마지막 수평 라인에 배치된 픽셀 영역의 휘점 또는 암점 불량을 리페어 할 수 있다. 이를 통해, 유기발광 디스플레이 장치의 제조 수율을 높이고, 제조 비용을 절감시킬 수 있다.

[0107] 제2 실시 예에 따른 픽셀 영역의 리페어 구조

[0108] 도 9는 도 6에 도시된 A1-A2 선에 따른 단면도로써, 불량이 발생한 픽셀 영역에 리페어 구조가 적용된 제2 실시 예의 픽셀 영역 및 더미 픽셀 영역의 단면 구조를 도시하고 있다.

[0109] 도 6 및 도 9를 결부하여 설명하면, 더미 픽셀 영역에 형성된 애노드 전극(212)의 길이가 연장되어 형성된 브리지 라인(180)이 상측에 위치하는 픽셀 영역의 픽셀 회로와 중첩되고, 레이저로 브리지 라인(180)과 픽셀 영역의 픽셀 회로가 연결되도록 웰딩부(170)를 형성한다.

[0110] 구체적으로, 더미 픽셀 영역의 애노드 전극(212)에서 그 길이가 연장되어 형성된 브리지 라인(180)이 발광될 픽셀 영역의 드라이빙 TFT(120)의 최상위 메탈층 즉, 상부 게이트 전극(156)과 중첩되도록 한다.

[0111] 그리고, 발광시킬 픽셀 영역의 애노드 전극(112)과 연결된 메탈층과 더미 픽셀 영역의 애노드 전극(212)이 연결되도록, 브리지 라인(180)과 상부 게이트 전극(156) 및 하부 게이트 전극(151)이 중첩된 영역에 웰딩부(170)를 형성한다. 이때, 웰딩부(170)는 패널의 배면에서 레이저를 이용하여 형성한다.

[0112] 이와 같이, 더미 픽셀을 이용하여 발광되는 픽셀 영역들 중에서 마지막 수평 라인에 배치된 픽셀 영역의 휘점 또는 암점 불량을 리페어 할 수 있다. 이를 통해, 유기발광 디스플레이 장치의 제조 수율을 높이고, 제조 비용을 절감시킬 수 있다.

[0113] 도 7 내지 도 9에서는 ESL(Etch Stop Layer) 타입의 드라이빙 TFT의 구조를 도시하고 설명하였다. 그러나, 이

에 한정되지 않고, ESL 타입뿐만 아니라 BCE(Back Channel Etching) 타입의 드라이빙 TFT에도 도 6 내지 도 9를 참조하여 설명한 픽셀의 리페어 구조를 적용할 수 있다.

[0114] 또한, 도 7 내지 도 9에서는 드라이빙 TFT에 대해서만 구조를 도시하고 설명하였으나, 스캔 TFT 및 센스 TFT에 드라이빙 TFT와 동일한 구조를 가지도록 형성될 수 있다.

[0115] 본 발명의 유기발광 디스플레이 장치와 픽셀의 리페어 방법은, 최외곽에 형성된 픽셀 영역에 불량이 발생되면 더미 픽셀의 출력 신호를 불량 발생된 최외곽 픽셀 영역에 인가한다. 이를 통해, 최외곽 픽셀 영역의 암점화 및 휘점화 불량을 리페어 할 수 있다.

[0116] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는, 상기 제1 픽셀 영역의 픽셀 회로는 드라이빙 박막트랜지스터, 스캔 박막트랜지스터 및 센스 박막트랜지스터를 포함하고, 상기 제1 픽셀 영역의 픽셀 회로의 드라이빙 박막트랜지스터의 입력단이 컷팅되고, 상기 스캔 박막트랜지스터의 출력단이 컷팅되고, 상기 센스 박막트랜지스터와 상기 드라이빙 트랜지스터가 연결되는 부분이 컷팅되어 단락되어 있다.

[0117] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 상기 제1 더미 픽셀 영역의 픽셀 회로의 출력 신호를 상기 브리지 라인을 통해 제1 픽셀 영역의 애노드 전극에 공급한다.

[0118] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 상기 불량이 발생된 제1 픽셀 영역이 상기 발광하는 복수의 픽셀 영역 중에서 최외곽에 배치되어 있다.

[0119] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로가 중첩된 영역에 형성되어 상기 브리지 라인과 제1 픽셀 영역의 픽셀 회로를 연결시키는 웰딩부를 포함한다.

[0120] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 상기 브리지 라인이 상기 제1 픽셀 영역의 드라이빙 박막트랜지스터의 상부 게이트 전극과 중첩되고, 상기 웰딩부에 의해 상기 브리지 라인과 상기 상부 게이트 전극이 연결되어 있다.

[0121] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 상기 브리지 라인이 상기 제1 픽셀 영역의 드라이빙 박막트랜지스터의 상부 게이트 전극 및 하부 게이트 전극과 중첩되고, 상기 웰딩부에 의해 상기 브리지 라인과 상기 상부 게이트 전극이 연결되어 있다.

[0122] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 상기 브리지 라인 및 제1 픽셀 영역의 픽셀 회로의 메탈층을 통해 상기 제1 픽셀 영역의 애노드 전극과 상기 제1 더미 픽셀 영역의 애노드 전극이 연결되어 있다.

[0123] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

[0124] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0125] 100: 디스플레이 패널

101: 기판

110: 유기발광 다이오드

112: 애노드 전극

120: 드라이빙 TFT

130: 스캔 TFT

140: 센스 TFT

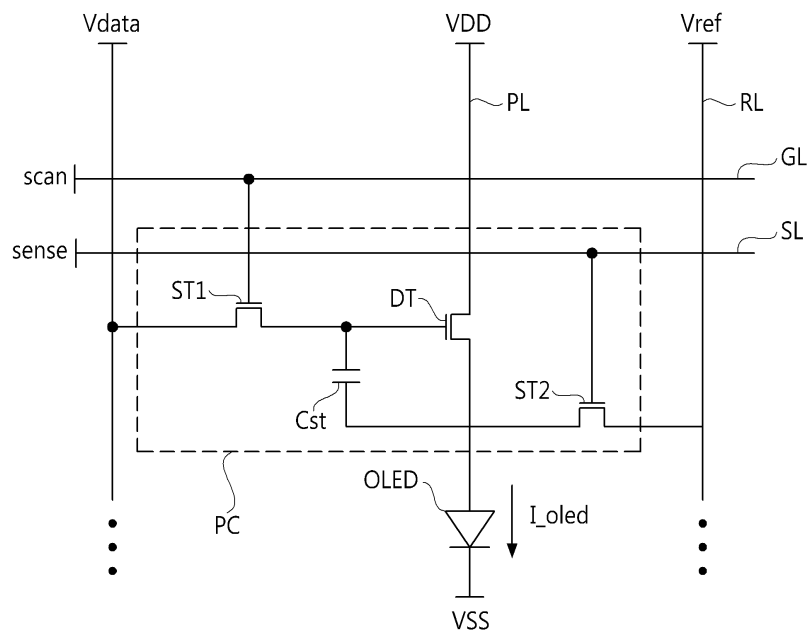
151: 하부 게이트 전극

152: 게이트 절연막

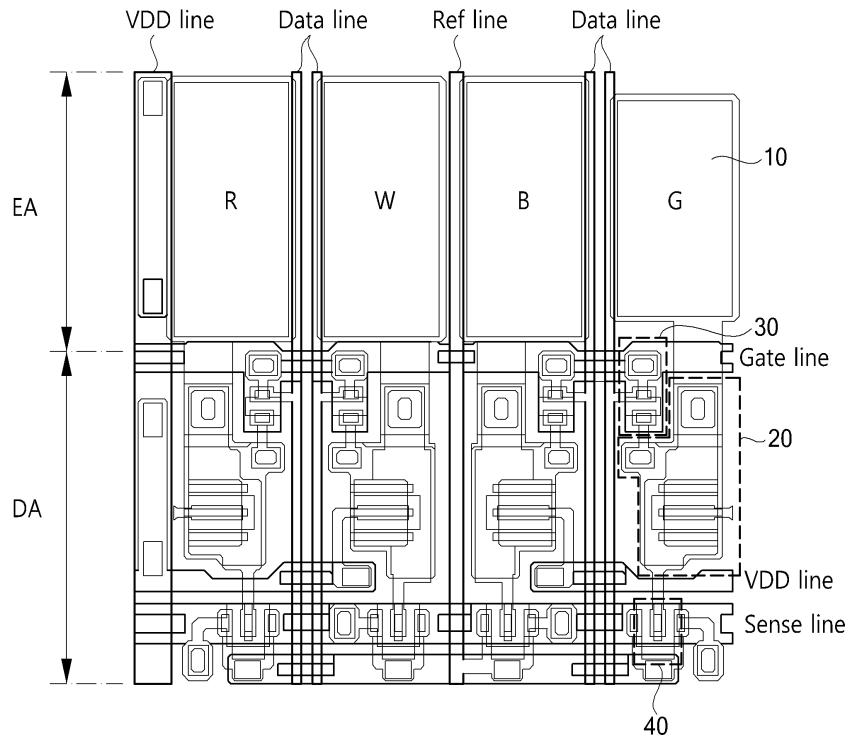
- 153: 식각 방지층
- 154: 소스/드레인 메탈층
- 155: 보호층
- 156: 상부 게이트 전극
- 157: 컬러필터
- 158: 평탄화층
- 159: बैं크
- 160, 170: 웰딩부
- 180: 브리지 라인
- 210: 더미 유기발광 다이오드
- 212: 애노드 전극
- 220: 더미 드라이빙 TFT
- 230: 더미 스캔 TFT
- 240: 더미 센스 TFT

도면

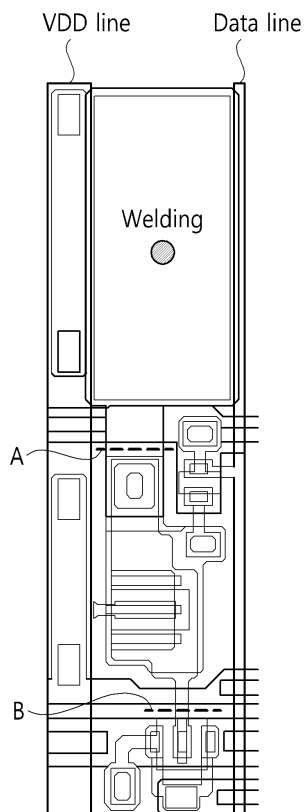
도면1



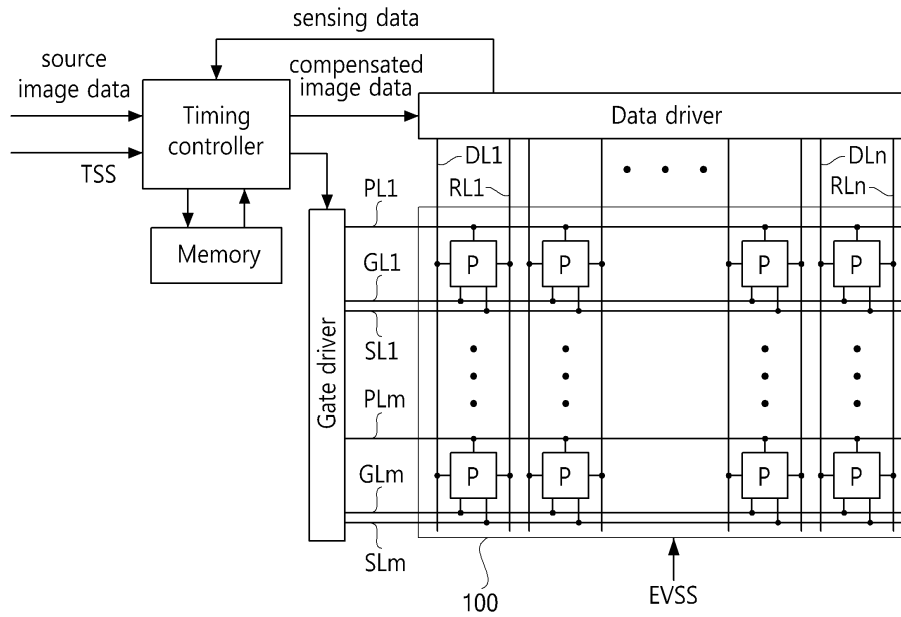
도면2



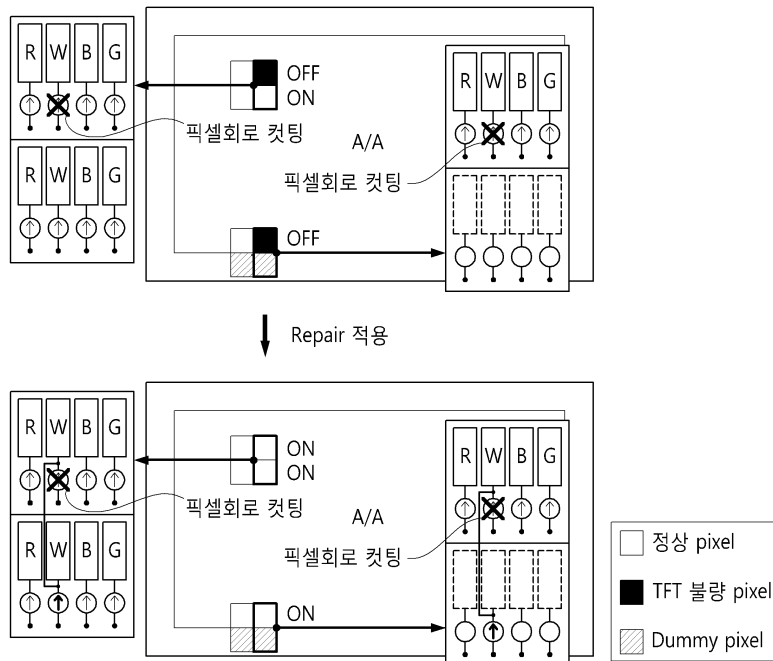
도면3



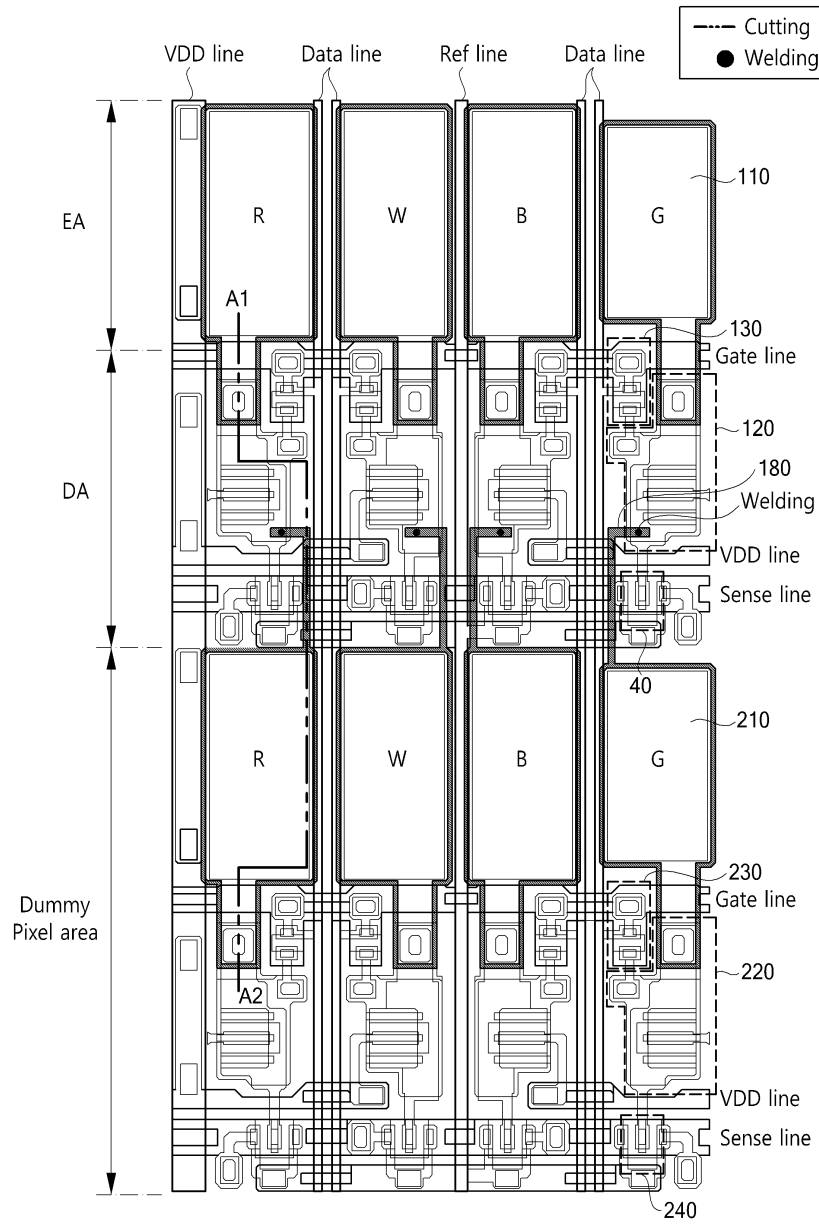
도면4



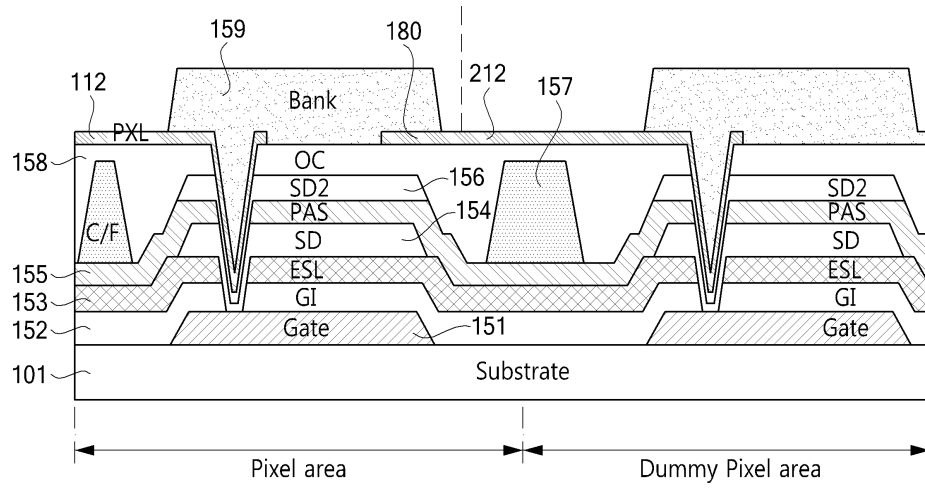
도면5



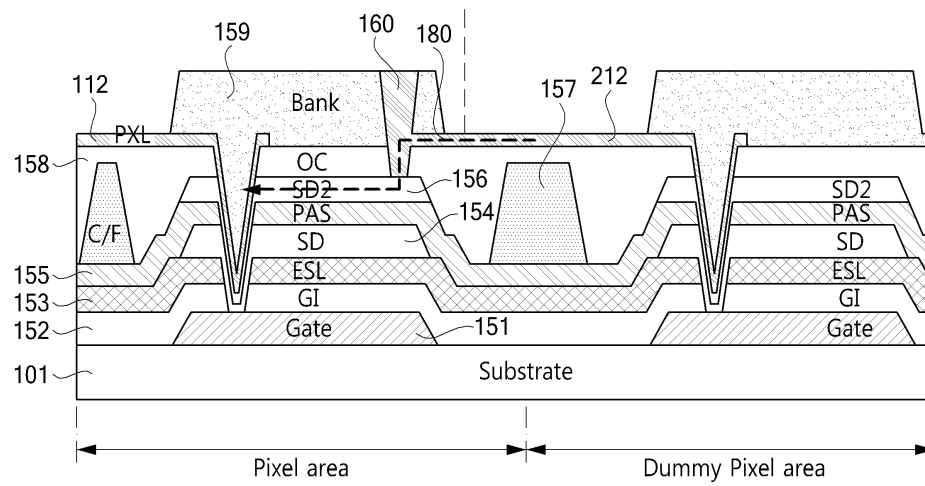
도면6



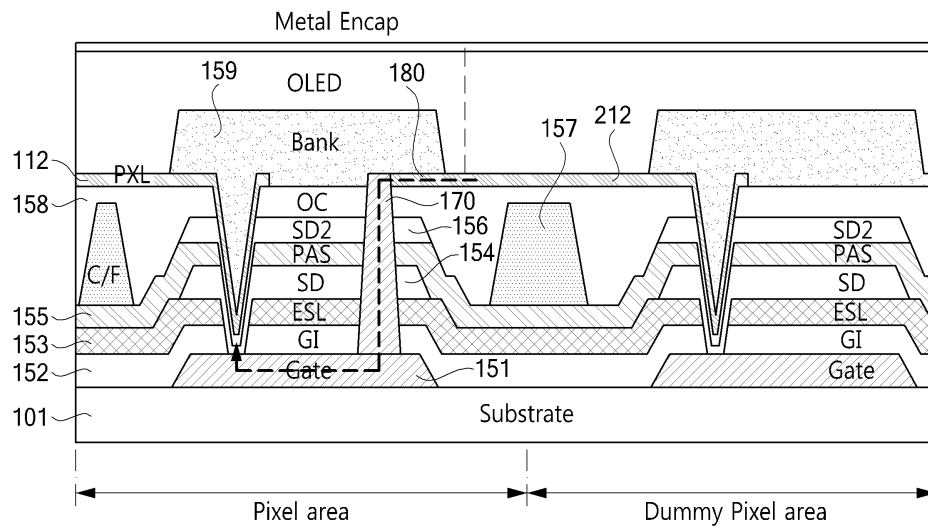
도면7



도면8



도면9



专利名称(译)	标题：有机发光显示装置和像素修复方法		
公开(公告)号	KR1020150139028A	公开(公告)日	2015-12-11
申请号	KR1020140066459	申请日	2014-05-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONGHWAN KIM 김정환 HYUNHAENG LEE 이현행		
发明人	김정환 이현행		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	G09G3/3233 G09G2300/0413 G09G2330/08 G09G2330/10 H01L27/322		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，该有机发光显示装置通过使用虚设像素修复在发光的像素区域中形成在最外侧（最后水平线）上的像素的亮点或暗点的缺陷而获得，并且涉及像素的修复方法。根据本发明的实施例，有机发光显示装置包括：通过包括发光区域和像素电路区域发光的多个像素区域；多个虚设像素区域，形成在发光的像素区域的下部，包括阳极和像素电路区域；以及桥接线，被配置为从与第一像素区域对应的第一虚设像素区域的阳极电极延伸，在第一像素区域上产生缺陷，在发光的像素区域中，并且与第一像素电路中的像素电路重叠生成缺陷的像素区域。

