



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0085385
(43) 공개일자 2015년07월23일

(51) 국제특허분류(Int. C1.)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2014-0005207
(22) 출원일자 2014년01월15일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
손용덕
경기도 용인시 기흥구 삼성2로 95 (농서동)
서준선
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

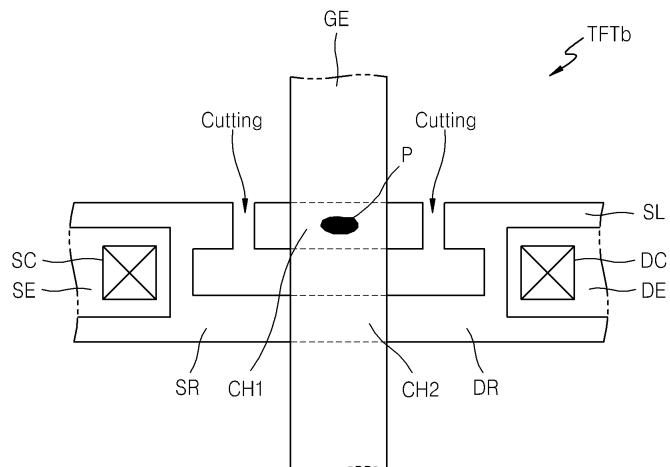
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막 트랜지스터의 리페어 방법, 리페어된 박막 트랜지스터를 포함하는 장치, 및 유기 발광 표시 장치

(57) 요 약

박막 트랜지스터의 리페어 방법, 리페어된 박막 트랜지스터를 포함하는 장치, 및 유기 발광 표시 장치가 제공된다. 박막 트랜지스터의 리페어 방법에 따르면, 상기 박막 트랜지스터는 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 병렬로 연결되는 제1 채널과 제2 채널을 포함하는 반도체 층, 및 상기 제1 채널 및 상기 제2 채널과 적어도 일부가 중첩하는 게이트 전극을 포함한다. 상기 박막 트랜지스터의 불량이 검사된다. 상기 제1 채널과 상기 제2 채널 중에서, 상기 게이트 전극과 쇼트 불량이 발생한 불량 채널이 식별된다. 상기 불량 채널이 상기 소스 영역으로부터 분리된다. 상기 불량 채널이 상기 드레인 영역으로부터 분리된다.

대 표 도 - 도4



명세서

청구범위

청구항 1

소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 병렬로 연결되는 제1 채널과 제2 채널을 포함하는 반도체 층, 및 상기 제1 채널 및 상기 제2 채널과 적어도 일부가 중첩하는 게이트 전극을 포함하는 박막 트랜지스터의 리페어 방법으로서,

상기 박막 트랜지스터의 불량을 검사하는 단계;

상기 제1 채널과 상기 제2 채널 중에서 불량이 발생한 불량 채널을 식별하는 단계;

상기 불량 채널을 상기 소스 영역으로부터 분리하는 단계; 및

상기 불량 채널을 상기 드레인 영역으로부터 분리하는 단계를 포함하는 박막 트랜지스터의 리페어 방법.

청구항 2

제1 항에 있어서,

상기 불량 채널을 상기 소스 영역과 상기 드레인 영역으로부터 분리하는 단계는, 상기 불량 채널이 상기 소스 영역 및 상기 드레인 영역으로부터 전기적으로 절연되도록 상기 소스 영역과 상기 드레인 영역에 레이저를 조사하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 리페어 방법.

청구항 3

제1 항에 있어서,

상기 불량 채널을 상기 소스 영역과 상기 드레인 영역으로부터 전기적으로 분리함으로써 리페어된 박막 트랜지스터의 식별자, 및 상기 리페어된 박막 트랜지스터의 상기 불량 채널의 채널 번호에 따라 결정되는 동작 모드를 저장하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 리페어 방법.

청구항 4

제3 항에 있어서,

상기 제1 채널과 상기 제2 채널을 통해 훌러야 할 전류가 상기 제1 채널과 상기 제2 채널 중에서 상기 불량 채널이 아닌 정상 채널을 통해 흐르도록, 상기 식별자 및 상기 동작 모드를 기초로 상기 리페어된 박막 트랜지스터의 상기 게이트 전극에 인가되는 전압을 보정하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 리페어 방법.

청구항 5

제1 항에 있어서,

상기 제1 채널의 종횡비는 상기 제2 채널의 종횡비와 동일한 것을 특징으로 하는 박막 트랜지스터의 리페어 방법.

청구항 6

제1 항에 있어서,

상기 제1 채널의 종횡비는 상기 제2 채널의 종횡비와 상이한 것을 특징으로 하는 박막 트랜지스터의 리페어 방법.

청구항 7

제1 항 내지 제6 항 중 어느 한 항에 따른 박막 트랜지스터의 리페어 방법에 의해 리페어된 박막 트랜지스터를

포함하는 장치로서,

기판;

상기 기판 상에 배치되고, 소스 영역, 드레인 영역, 상기 소스 영역과 상기 드레인 영역 사이에 전기적으로 연결되는 정상 채널, 및 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연되고 상기 정상 채널에 인접하게 배치되고 불량이 발생한 불량 채널을 포함하는 반도체 층; 및

상기 기판 상에 배치되고, 상기 정상 채널 및 상기 불량 채널과 적어도 일부가 중첩하는 게이트 전극을 포함하는 것을 특징으로 하는 리페어된 박막 트랜지스터를 포함하는 장치.

청구항 8

제7 항에 있어서,

상기 불량 채널과 상기 게이트 전극은 도전성 파티클에 의해 전기적으로 단락되는 것을 특징으로 하는 리페어된 박막 트랜지스터를 포함하는 장치.

청구항 9

제7 항에 있어서,

상기 게이트 전극은 상기 반도체 층 상에 배치되는 것을 특징으로 하는 리페어된 박막 트랜지스터를 포함하는 장치.

청구항 10

제7 항에 있어서,

상기 게이트 전극은 상기 기판과 상기 반도체 층 사이에 위치하는 것을 특징으로 하는 리페어된 박막 트랜지스터를 포함하는 장치.

청구항 11

기판; 및

상기 기판 상에 배열되는 적어도 하나의 픽셀을 포함하는 표시 패널을 포함하고,

상기 적어도 하나의 픽셀은 소스 영역, 드레인 영역, 상기 소스 영역과 상기 드레인 영역 사이에 전기적으로 연결되는 제1 채널 및 제2 채널을 포함하는 반도체 층, 및 상기 제1 채널 및 상기 제2 채널과 적어도 일부가 중첩하는 게이트 전극을 포함하는 이중 채널 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,

상기 적어도 하나의 픽셀은,

상기 이중 채널 박막 트랜지스터에 전기적으로 연결되는 화소 전극;

상기 화소 전극 상의 유기 발광층; 및

상기 유기 발광층 상의 대향 전극을 더 포함하며,

상기 이중 채널 박막 트랜지스터는 상기 유기 발광층에 구동 전류를 제공하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제11 항에 있어서,

상기 제1 채널은 적어도 2개의 굴곡부를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,

상기 제1 채널은 평면에서 바라볼 때 "ㄹ"자의 형상을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제11 항에 있어서,

상기 제2 채널의 채널 길이는 상기 제1 채널의 채널 길이보다 짧은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제15 항에 있어서,

상기 제2 채널은 평면에서 바라볼 때 직선 형상을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제11 항에 있어서,

상기 적어도 하나의 픽셀은,

게이트 라인과 소스 라인에 연결되고, 상기 게이트 라인을 통해 입력되는 스캔 신호에 응답하여 상기 소스 라인을 통해 입력되는 데이터 신호를 전달하는 스위칭 트랜지스터;

상기 전달된 데이터 신호에 대응하는 전압을 충전하는 커패시터; 및

상기 커패시터에 충전된 전압에 대응하는 구동 전류를 생성하는 상기 이중 채널 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제17 항에 있어서,

상기 제1 채널 또는 상기 제2 채널에 불량이 발생한 경우, 불량이 발생한 상기 제1 채널 또는 상기 제2 채널은 상기 소스 영역 및 상기 드레인 영역으로부터 분리되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제18 항에 있어서,

상기 소스 영역 및 상기 드레인 영역으로부터 분리된 상기 제1 채널 또는 상기 제2 채널을 포함하는 상기 이중 채널 박막 트랜지스터를 포함하는 픽셀의 픽셀 어드레스, 및 상기 소스 영역 및 상기 드레인 영역으로부터 분리된 채널의 채널 번호에 따라 결정되는 동작 모드를 저장하는 메모리를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제19 항에 있어서,

외부로부터 RGB 데이터(RGB Data)를 수신하고, 상기 RGB 데이터에 대응하는 디지털 영상 데이터(Data)를 생성하는 타이밍 컨트롤러;

상기 디지털 영상 데이터(Data)를 수신하고, 상기 메모리에 저장된 상기 픽셀 어드레스 및 동작 모드를 기초로 보정된 디지털 영상 데이터(CData)를 생성하는 데이터 보정부;

상기 보정된 디지털 영상 데이터(CData)를 기초로 상기 데이터 신호를 생성하고, 상기 데이터 신호를 상기 적어도 하나의 픽셀에 제공하는 소스 드라이버; 및

상기 스캔 신호를 상기 적어도 하나의 픽셀에 제공하는 게이트 드라이버를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 박막 트랜지스터의 리페어 방법, 상기 리페어 방법에 의해 리페어된 박막 트랜지스터를 포함하는 장치, 및 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터는 게이트, 소스, 드레인, 및 채널로 구성되며, 스위칭 소자로 기능한다. 박막 트랜지스터는 게이트에 인가되는 전압에 따라 텐 온 또는 텐 오프된다. 텐 온 상태에서는 소스와 드레인 사이에 전류가 흐르고, 텐 오프 상태에서는 소스와 드레인 사이에 전류가 흐르지 않는다. 박막 트랜지스터의 채널에 불량이 발생한 경우, 박막 트랜지스터는 항상 텐 온되거나 텐 오프되어 스위칭 소자로서의 기능을 수행할 수 없게 된다. 이 경우, 채널에 불량이 발생한 박막 트랜지스터를 리페어해야 하지만, 박막 트랜지스터의 크기가 점점 작아지고 있기 때문에 박막 트랜지스터를 리페어하기가 쉽지 않다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하고자 하는 과제는 박막 트랜지스터의 리페어 방법, 상기 리페어 방법에 의해 리페어된 박막 트랜지스터를 포함하는 장치, 및 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 일 측면에 따르면, 박막 트랜지스터의 리페어 방법이 제공된다. 상기 박막 트랜지스터는 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 병렬로 연결되는 제1 채널과 제2 채널을 포함하는 반도체 층, 및 상기 제1 채널 및 상기 제2 채널과 적어도 일부가 중첩하는 게이트 전극을 포함한다. 상기 박막 트랜지스터의 리페어 방법에 따르면, 상기 박막 트랜지스터의 불량이 검사된다. 상기 제1 채널과 상기 제2 채널 중에서 불량이 발생한 불량 채널이 식별된다. 상기 불량 채널이 상기 소스 영역으로부터 분리된다. 상기 불량 채널이 상기 드레인 영역으로부터 분리된다.

[0005] 상기 박막 트랜지스터의 리페어 방법의 일 예에 따르면, 상기 불량 채널을 상기 소스 영역과 상기 드레인 영역으로부터 분리하는 단계는, 상기 불량 채널이 상기 소스 영역 및 상기 드레인 영역으로부터 전기적으로 절연되도록 상기 소스 영역과 상기 드레인 영역에 레이저를 조사하는 단계를 포함할 수 있다.

[0006] 상기 박막 트랜지스터의 리페어 방법의 다른 예에 따르면, 상기 불량 채널을 상기 소스 영역과 상기 드레인 영역으로부터 전기적으로 분리함으로써 리페어된 박막 트랜지스터의 식별자, 및 상기 리페어된 박막 트랜지스터의 상기 불량 채널의 채널 번호에 따라 결정되는 동작 모드를 저장하는 단계가 더 포함될 수 있다.

[0007] 상기 박막 트랜지스터의 리페어 방법의 또 다른 예에 따르면, 상기 제1 채널과 상기 제2 채널을 통해 흘러야 할 전류가 상기 제1 채널과 상기 제2 채널 중에서 상기 불량 채널이 아닌 정상 채널을 통해 흐르도록, 상기 식별자 및 상기 동작 모드를 기초로 상기 리페어된 박막 트랜지스터의 상기 게이트 전극에 인가되는 전압을 보정하는 단계가 더 포함될 수 있다.

[0008] 상기 박막 트랜지스터의 리페어 방법의 또 다른 예에 따르면, 상기 제1 채널의 종횡비는 상기 제2 채널의 종횡비와 동일할 수 있다.

[0009] 상기 박막 트랜지스터의 리페어 방법의 또 다른 예에 따르면, 상기 제1 채널의 종횡비는 상기 제2 채널의 종횡비와 상이할 수 있다.

[0010] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 장치는 상기 박막 트랜지스터의 리페어 방법에 의해 리페어된 박막 트랜지스터를 포함한다. 상기 장치는 기판, 상기 기판 상에 배치되고, 소스 영역, 드레인 영역, 상기 소스 영역과 상기 드레인 영역 사이에 전기적으로 연결되는 정상 채널, 및 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연되고 상기 정상 채널에 인접하게 배치되고 불량이 발생한 불량 채널을 포함하는 반도체 층, 및 상기 기판 상에 배치되고, 상기 정상 채널 및 상기 불량 채널과 적어도 일부가 중첩하는 게이트 전극을 포함한다.

[0011] 상기 리페어된 박막 트랜지스터를 포함하는 장치의 일 예에 따르면, 상기 불량 채널과 상기 게이트 전극은 도전

성 파티클에 의해 전기적으로 단락될 수 있다.

[0012] 상기 리페어된 박막 트랜지스터를 포함하는 장치의 다른 예에 따르면, 상기 게이트 전극은 상기 반도체 층 상에 배치될 수 있다.

[0013] 상기 리페어된 박막 트랜지스터를 포함하는 장치의 또 다른 예에 따르면, 상기 게이트 전극은 상기 기판과 상기 반도체 층 사이에 위치할 수 있다.

[0014] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 유기 발광 표시 장치는 기판, 및 상기 기판 상에 배열되는 적어도 하나의 픽셀을 포함하는 표시 패널을 포함한다. 상기 적어도 하나의 픽셀은 소스 영역, 드레인 영역, 상기 소스 영역과 상기 드레인 영역 사이에 전기적으로 연결되는 제1 채널 및 제2 채널을 포함하는 반도체 층, 및 상기 제1 채널 및 상기 제2 채널과 적어도 일부가 중첩하는 게이트 전극을 포함하는 이중 채널 박막 트랜지스터를 포함한다.

[0015] 상기 유기 발광 표시 장치의 일 예에 따르면, 상기 적어도 하나의 픽셀은, 상기 이중 채널 박막 트랜지스터에 전기적으로 연결되는 화소 전극, 상기 화소 전극 상의 유기 발광층, 및 상기 유기 발광층 상의 대향 전극을 더 포함할 수 있다. 상기 이중 채널 박막 트랜지스터는 상기 유기 발광층에 구동 전류를 제공할 수 있다.

[0016] 상기 유기 발광 표시 장치의 다른 예에 따르면, 상기 제1 채널은 적어도 2개의 굴곡부를 가질 수 있다. 상기 제1 채널은 평면에서 바라볼 때 "ㄹ"자의 형상을 가질 수 있다.

[0017] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 제2 채널의 채널 길이는 상기 제1 채널의 채널 길이보다 짧을 수 있다. 상기 제2 채널은 평면에서 바라볼 때 직선 형상을 가질 수 있다.

[0018] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 적어도 하나의 픽셀은, 게이트 라인과 소스 라인에 연결되고, 상기 게이트 라인을 통해 입력되는 스캔 신호에 응답하여 상기 소스 라인을 통해 입력되는 데이터 신호를 전달하는 스위칭 트랜지스터, 상기 전달된 데이터 신호에 대응하는 전압을 충전하는 커패시터, 및 상기 커패시터에 충전된 전압에 대응하는 구동 전류를 생성하는 상기 이중 채널 박막 트랜지스터를 포함할 수 있다.

[0019] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 제1 채널 또는 상기 제2 채널에 불량이 발생한 경우, 불량이 발생한 상기 제1 채널 또는 상기 제2 채널은 상기 소스 영역 및 상기 드레인 영역으로부터 분리될 수 있다.

[0020] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 유기 발광 표시 장치는 상기 소스 영역 및 상기 드레인 영역으로부터 분리된 상기 제1 채널 또는 상기 제2 채널을 포함하는 상기 이중 채널 박막 트랜지스터를 포함하는 픽셀의 픽셀 어드레스, 및 상기 소스 영역 및 상기 드레인 영역으로부터 분리된 채널의 채널 번호에 따라 결정되는 동작 모드를 저장하는 메모리를 더 포함할 수 있다.

[0021] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 유기 발광 표시 장치는, 외부로부터 RGB 데이터(RGB Data)를 수신하고, 상기 RGB 데이터에 대응하는 디지털 영상 데이터(Data)를 생성하는 타이밍 컨트롤러, 상기 디지털 영상 데이터(Data)를 수신하고, 상기 메모리에 저장된 상기 픽셀 어드레스 및 동작 모드를 기초로 보정된 디지털 영상 데이터(CData)를 생성하는 데이터 보정부, 상기 보정된 디지털 영상 데이터(CData)를 기초로 상기 데이터 신호를 생성하고, 상기 데이터 신호를 상기 적어도 하나의 픽셀에 제공하는 소스 드라이버, 및 상기 스캔 신호를 상기 적어도 하나의 픽셀에 제공하는 게이트 드라이버를 더 포함할 수 있다.

[0022] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0023] 본 발명에 따르면, 박막 트랜지스터가 복수의 채널을 가지고 있기 때문에 어느 한 채널에 불량이 발생하더라도 나머지 다른 채널을 이용하여 박막 트랜지스터를 스위칭 소자로 동작시킬 수 있다. 채널의 개수가 감소함에 따라 박막 트랜지스터의 구동 전류가 감소하지만, 구동 전류의 감소는 리페어된 박막 트랜지스터의 어드레스를 저장하는 메모리 및 데이터 보정부를 이용하여 보상될 수 있다. 특히, 유기 발광 표시 장치의 구동 트랜지스터는 다른 스위칭 트랜지스터에 비해 면적이 크기 때문에, 채널 불량의 가능성성이 상대적으로 높다. 그러나 본 발명에 따르면 채널을 이중화함으로써 채널 불량이 발생하더라도 유기 발광 표시 장치의 구동 트랜지스터는 리페어 될 수 있다. 따라서, 유기 발광 표시 장치 전체를 불량으로 처리하여 폐기하지 않아도 되므로, 생산 비용을 줄일 수 있다.

도면의 간단한 설명

[0024]

도 1은 일 실시예에 따른 이중 채널 박막 트랜지스터를 개략적으로 도시한 평면도이다.

도 2는 도 1의 이중 채널 박막 트랜지스터를 절취선을 따라 절취한 단면을 개략적으로 도시한 단면도이다.

도 3은 도 1에 도시된 이중 채널 박막 트랜지스터(TFTa)의 제1 채널(CH1)에 불량이 발생한 경우의 단면도를 개략적으로 도시한다.

도 4는 일 실시예에 따라서 리페어된 박막 트랜지스터를 개략적으로 도시하는 평면도를 도시한다.

도 5은 불량이 발생한 단채널 박막 트랜지스터를 개략적으로 도시한 평면도이다.

도 6은 도 5에 도시된 단채널 박막 트랜지스터가 리페어된 경우의 평면도를 개략적으로 도시한다.

도 7는 다른 실시예에 따라서 리페어된 박막 트랜지스터를 개략적으로 도시하는 평면도를 도시한다.

도 8은 도 7에 도시된 리페어된 박막 트랜지스터를 절취선을 따라 절취한 단면을 개략적으로 도시한 단면도이다.

도 9는 일 실시예에 따라 이중 채널 박막 트랜지스터를 포함하는 하나의 서브 픽셀의 예시적인 등가 회로도를 도시한다.

도 10은 도 9에 도시된 서브 픽셀을 예시적으로 도시한 평면도이다.

도 11은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0025]

본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0026]

이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0027]

이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0028]

도 1은 일 실시예에 따른 이중 채널 박막 트랜지스터를 개략적으로 도시한 평면도이다. 도 2는 도 1의 이중 채널 박막 트랜지스터를 절취선을 따라 절취한 단면을 개략적으로 도시한 단면도이다.

[0029]

도 1 및 도 2를 참조하면, 기판(SUB), 반도체 층(SL) 및 게이트 전극(GE)을 포함하는 이중 채널 박막 트랜지스터(TFTa)가 도시된다. 반도체 층(SL)은 소스 영역(SR), 드레인 영역(DR), 소스 영역(SR)과 드레인 영역(DR) 사이에 병렬로 연결되는 제1 채널(CH1) 및 제2 채널(CH2)을 포함한다.

[0030]

기판(SUB)은 실리콘 산화물(SiO_2)을 주성분으로 하는 투명 재질의 유리 물질, 또는 투명한 플라스틱 물질로 이루어진 절연성 기판일 수 있다. 기판(SUB)은 박막 금속 물질로 이루어진 도전성 기판일 수 있다. 기판(SUB)은 플렉서블 기판 또는 리지드 기판일 수 있다. 기판(SUB) 상에는 불순물 이온의 확산 및 수분이나 외기의 침투를 방지하고, 평탄화된 표면을 제공하기 위한 베퍼층(미 도시)이 배치될 수 있다. 베퍼층은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 알루미늄옥사이드, 알루미늄나이트라이드, 티타늄옥사이드 또는 티타늄나이트라이드 등과 같은 무기 절연 물질을 포함할 수 있다. 베퍼층은 폴리이미드, 폴리에스테르, 아크릴 등의 유기 절연 물질을 함유할 수도 있고, 예시한 물질들의 적층체 또는 유기 절연 물질과 무기 절연 물질의 적층체로 형성될 수 있다.

[0031]

기판(SUB) 상에 반도체 층(SL)이 배치될 수 있다. 반도체 층(SL)은 불순물이 도핑되어 도전성을 갖는 소스 영역(SR)과 드레인 영역(DR)을 포함한다. 반도체 층(SL)은 소스 영역(SR)과 드레인 영역(DR) 사이를 연결하는 제1 채널(CH1) 및 제2 채널(CH2)을 포함한다. 예를 들면, 기판(SUB) 상부에 반도체 물질 층(미 도시), 예컨대,

비정질 실리콘 층을 먼저 증착한 후 이를 결정화함으로써 폴리실리콘 층(미 도시)이 형성될 수 있다. 상기 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 이와 같이 형성된 폴리실리콘 층은 포토리소그래피 공정에 의해, 소스 영역(SR), 제1 및 제2 채널들(CH1, CH2), 및 드레인 영역(DR)을 포함하는 액티브 패턴으로 패터닝될 수 있다. 다른 예에 따르면, 비정질 실리콘 층을 먼저 패터닝한 후, 결정화함으로써, 소스 영역(SR), 제1 및 제2 채널들(CH1, CH2), 및 드레인 영역(DR)을 포함하는 액티브 패턴이 형성될 수도 있다.

[0032] 반도체 층(SL)은 실리콘 기반의 원소 반도체로 형성될 수도 있지만, 다른 예들에 따르면 반도체 층(SL)은 화합물 반도체, 예컨대, 산화물 반도체나 유기물 반도체로 형성될 수도 있다.

[0033] 소스 영역(SR)과 드레인 영역(DR)에는 선택적인 이온 주입 공정이 수행되어, 불순물이 주입될 수 있다. 소스 영역(SR)과 제1 채널(CH1) 및 제2 채널(CH2) 사이에 저농도 소스 영역(미 도시)이 개재되고, 드레인 영역(DR)과 제1 채널(CH1) 및 제2 채널(CH2) 사이에 저농도 드레인 영역(미 도시)이 개재될 수 있다.

[0034] 제1 채널(CH1)과 제2 채널(CH2)은 서로 인접하게 배치되며, 소스 영역(SR)과 드레인 영역(DR) 사이에 병렬로 배치되는 도전성 경로를 제공한다. 즉, 이중 채널 박막 트랜지스터(TFTa)가 턴 온되면, 소스 영역(SR)과 드레인 영역(DR)은 제1 채널(CH1)과 제2 채널(CH2) 모두를 통해 전기적으로 연결된다. 이중 채널 박막 트랜지스터(TFTa)가 턴 오프되면, 제1 채널(CH1)과 제2 채널(CH2) 모두 비반전되므로, 소스 영역(SR)과 드레인 영역(DR)은 서로 전기적으로 절연된다. 도 1에서 제1 채널(CH1)과 제2 채널(CH2)은 동일한 종횡비를 갖는 것으로 도시되어 있지만, 이는 예시적이며, 제1 채널(CH1)과 제2 채널(CH2)은 서로 다른 종횡비를 가질 수도 있다.

[0035] 반도체 층(SL) 상에는 반도체 층(SL)을 덮는 게이트 절연막(GI)이 배치될 수 있다. 게이트 절연막(GI)은 산화물, 질화물, 산질화물, 또는 이들의 조합으로 이루어질 수 있다.

[0036] 게이트 절연막(GI) 상에는 반도체 층(SL)의 제1 및 제2 채널(CH1, CH2)과 적어도 일부가 중첩하는 게이트 전극(GE)이 배치될 수 있다. 게이트 절연막(GI) 상에 도전성 물질 층(미 도시)이 적층되고, 상기 도전성 물질 층은 포토리소그래피 공정 및 식각 공정을 통해 게이트 전극(GE)으로 패터닝될 수 있다. 게이트 전극(GE)은 몰리브덴(Mo), 몰리브덴 텉스텐(MoW), 알루미늄(Al)계 합금 등과 같은 금속 또는 금속들의 합금으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 또한, 게이트 전극(GE)은 몰리브덴(Mo)/알루미늄(Al)/몰리브덴(Mo)의 적층 구조를 가질 수도 있다.

[0037] 게이트 전극(GE)은 소스 영역(SR)과 드레인 영역(DR)에 불순물을 주입하는 공정에서 이온 마스크로 기능할 수 있다. 제1 채널(CH1) 및 제2 채널(CH2)은 소스 영역(SR)과 드레인 영역(DR) 사이의 반도체 층(SL)으로서 게이트 전극(GE)과 중첩하는 부분으로 정의될 수 있다.

[0038] 이중 채널 박막 트랜지스터(TFTa)은 다른 박막 트랜지스터나 유기 발광 다이오드와 같은 다른 소자와 전기적으로 연결될 수 있다. 예를 들면, 이중 채널 박막 트랜지스터(TFTa)는 소스 콘택(SC)을 통해 소스 영역(SR)에 전기적으로 연결되는 소스 전극(SE) 및/또는 드레인 콘택(DC)을 통해 드레인 영역(DR)에 전기적으로 연결되는 드레인 전극(DE)을 통해 다른 소자와 전기적으로 연결될 수 있다. 이중 채널 박막 트랜지스터(TFTa)는 반도체 층(SL)을 이용하여 다른 소자와 전기적으로 연결될 수도 있다. 예컨대, 이중 채널 박막 트랜지스터(TFTa)의 소스 영역(SR) 또는 드레인 영역(DR)은 다른 박막 트랜지스터(미 도시)의 드레인 영역(DR) 또는 소스 영역(SR)일 수 있다.

[0039] 이중 채널 박막 트랜지스터(TFTa)의 제1 채널(CH1) 또는 제2 채널(CH2)에 불량이 발생할 수 있다. 도 1에 도시된 이중 채널 박막 트랜지스터(TFTa)의 제1 채널(CH1)에 불량이 발생한 경우의 단면도를 개략적으로 도시한다.

[0040] 도 3에 도시된 바와 같이, 제조 공정 중에 도전성 파티클(P)로 인하여 제1 채널(CH1)과 게이트 전극(GE)이 서로 단락될 수 있다. 불량이 발생한 제1 채널(CH1)은 불량 채널로 지칭되고, 불량이 발생하지 않은 제2 채널(CH2)은 정상 채널로 지칭될 수 있다. 제1 채널(CH1)의 불량으로 인하여, 게이트 전극(GE)에 인가되는 전압과 상관 없이, 소스 영역(SR)과 드레인 영역(DR)은 항상 전기적으로 연결될 수 있다. 이중 채널 박막 트랜지스터(TFTa)의 도전형에 따라, 제1 채널(CH1)의 불량으로 인하여 소스 영역(SR)과 드레인 영역(DR)은 항상 전기적으로 절연될 수도 있다. 제2 채널(CH2)은 정상적으로 동작하지만, 제1 채널(CH1)과 제2 채널(CH2)이 병렬로 연결되어 있기 때문에, 이중 채널 박막 트랜지스터(TFTa)는 더 이상 스위칭 소자로 기능할 수 없다.

- [0041] 도 4는 일 실시예에 따라서 리페어된 박막 트랜지스터를 개략적으로 도시하는 평면도를 도시한다.
- [0042] 도 3과 함께 도 4를 참조하면, 도 4에 도시된 바와 같이 리페어된 박막 트랜지스터(TFTb)의 제1 채널(CH1)은 소스 영역(SR) 및 드레인 영역(DR)으로부터 분리된다.
- [0043] 표준 제조 공정에 따라서, 테스트 공정에서 이중 채널 박막 트랜지스터(TFTA)을 포함하는 장치가 정상적으로 동작하는 지의 여부가 검사된다. 상술한 바와 같이, 도 3에 도시된 이중 채널 박막 트랜지스터(TFTA)는 제1 채널(CH1)에 발생한 불량으로 인하여 스위칭 소자로 기능할 수 없다. 테스트 공정에서 이중 채널 박막 트랜지스터(TFTA)의 불량이 확인될 수 있다.
- [0044] 이중 채널 박막 트랜지스터(TFTA)의 불량 채널이 식별된다. 이중 채널 박막 트랜지스터(TFTA)의 제1 채널(CH1)에 불량이 발생한 것인지 제2 채널(CH2)에 불량이 발생한 것인지 확인될 수 있다. 예를 들면, 시험자는 이중 채널 박막 트랜지스터(TFTA)를 현미경으로 관찰함으로써, 도 3에 도시된 바와 같이 도전성 파티클(P)이 제1 채널(CH1) 상에 존재한다는 것을 파악할 수 있다. 다른 예에 따르면, 시험자는 전기적 테스트를 통해 제1 채널(CH1)이 불량 채널임을 확인할 수도 있다.
- [0045] 시험자는 불량이 발생한 제1 채널(CH1)을 소스 영역(SR)과 드레인 영역(DR)으로부터 분리할 수 있다. 예를 들면, 제1 채널(CH1)에 인접한 소스 영역(SR)의 일부분에 레이저를 조사함으로써 소스 영역(SR)의 상기 일부분이 절단될 수 있다. 제1 채널(CH1)은 소스 영역(SR)으로부터 전기적으로 절연될 수 있다. 또한, 제1 채널(CH1)에 인접한 드레인 영역(DR)의 일부분에 레이저를 조사함으로써 드레인 영역(DR)의 상기 일부분이 절단될 수 있다. 제1 채널(CH1)은 드레인 영역(DR)으로부터 전기적으로 절연시킬 수 있다. 따라서, 제1 채널(CH1)은 소스 영역(SR)과 드레인 영역(DR)을 전기적으로 연결하는 전기적 경로로 기능할 수 없게 된다.
- [0046] 전기적 절연을 위한 레이저 조사를 위하여, 제1 채널(CH1)에 인접한 소스 영역(SR)의 상기 일부분과 드레인 영역(DR)의 상기 일부분은 도전성 물질에 의해 가려지지 않을 수 있다. 예컨대, 금속 패턴들은 소스 영역(SR)의 상기 일부분과 드레인 영역(DR)의 상기 일부분의 상측에 배치되지 않을 수 있다.
- [0047] 제1 채널(CH1)은 소스 영역(SR)과 드레인 영역(DR)으로부터 전기적으로 절연되기 때문에, 박막 트랜지스터(TFTb)는 제2 채널(CH2)을 통해 스위칭 소자로서 기능할 수 있다. 즉, 박막 트랜지스터(TFTb)는 정상적인 박막 트랜지스터로 리페어될 수 있다.
- [0048] 제1 채널(CH1)이 제거됨으로써, 소스 영역(SR)과 드레인 영역(DR) 사이의 전류는 감소하게 된다. 즉, 제1 채널(CH1)에 발생한 불량으로 인하여 제1 채널(CH1)이 제거되지 않았다면, 게이트 전극(GE)에 문턱 전압 이상의 전압이 인가될 경우에, 제1 채널(CH1)과 제2 채널(CH2) 모두를 통해 소정 크기의 전류가 흐를 것이다. 그러나, 제1 채널(CH1)이 제거되었기 때문에, 제2 채널(CH2)을 통해서만 전류가 흐르게 되며, 이 전류의 크기는 제1 채널(CH1)이 제거되기 전의 전류의 크기보다 작게 된다. 예컨대, 박막 트랜지스터(TFTb)가 스위칭 소자로서 디지털 회로로 동작할 경우에 큰 문제가 발생하지 않을 것이지만, 박막 트랜지스터(TFTb)가 게이트 전극(GE)에 비례하는 전류를 흘려야 하는 아날로그 소자로 동작할 경우에는 소스 영역(SR)과 드레인 영역(DR) 사이에 흐르는 전류의 크기가 감소하기 때문에, 리페어된 박막 트랜지스터(TFTb)는 정상적인 동작을 수행할 수 없다. 이러한 문제를 해결하기 위하여, 박막 트랜지스터(TFTb)를 포함하는 장치는 메모리 및 데이터 보정부를 더 포함할 수 있다.
- [0049] 메모리는 리페어된 박막 트랜지스터(TFTb)의 식별자, 및 리페어된 박막 트랜지스터(TFTb)의 제거된 채널(본 예에서, 제1 채널(CH1))의 채널 번호에 따라 결정되는 동작 모드를 저장할 수 있다. 데이터 보정부는 정상적인 이중 채널 박막 트랜지스터(TFTA)의 제1 채널(CH1)과 제2 채널(CH2)을 통해 흘러야 할 전류가 리페어된 박막 트랜지스터(TFTb)의 잔존하는 채널(본 예에서, 제2 채널(CH2))을 통해 흐르도록, 메모리에 저장된 식별자 및 동작 모드를 기초로 리페어된 박막 트랜지스터(TFTb)의 게이트 전극(GE)에 인가되는 전압을 보정할 수 있다. 메모리 및 데이터 보정부에 대하여 도 11을 참조로 더욱 자세히 설명한다.
- [0050] 도 5은 불량이 발생한 단채널 박막 트랜지스터를 개략적으로 도시한 평면도이다. 도 6은 도 5에 도시된 단채널 박막 트랜지스터가 리페어된 경우의 평면도를 개략적으로 도시한다.
- [0051] 도 5를 참조하면, 단채널 박막 트랜지스터(TFTp)가 도시된다. 단채널 박막 트랜지스터(TFTp)는 소스 영역(SR)과 드레인 영역(DR) 사이에 하나의 채널(CH)이 배치된다는 점을 제외하고 이중 채널 박막 트랜지스터(TFTA)와 실질적으로 동일하다.
- [0052] 도 5에 도시된 바와 같이, 도전성 파티클(P)로 인하여 채널(CH)에 불량이 발생할 수 있다. 예컨대, 도전성 파

티클(P)은 채널(CH)과 게이트 전극(GE) 사이에 쇼트(short)를 유발할 수 있다. 이 경우, 단채널 박막 트랜지스터(TFTp)는 항상 턴 온 또는 턴 오프되기 때문에, 스위칭 소자로서 기능할 수 없다.

[0053] 도 6을 참조하면, 게이트 전극(GE)에 도전성 파티클(P)을 둘러싸는 홀(H)을 형성하여 도전성 파티클(P)을 게이트 전극(GE)과 전기적으로 분리시킴으로써 단채널 박막 트랜지스터(TFTp)는 리페어될 수 있다. 그러나, 박막 트랜지스터를 포함하는 장치들이 고집적화되면서 박막 트랜지스터의 크기가 작아지고 있기 때문에, 도 6에 도시된 바와 같이 홀(H)을 형성하면서, 게이트 전극(GE)이 절단되거나 반도체 층(SL)의 패턴이 절단될 수 있다. 이 경우, 단채널 박막 트랜지스터(TFTp)의 리페어는 실패하게 된다. 게이트 전극(GE)이 절단될 경우, 해당 박막 트랜지스터뿐만 아니라 게이트 전극(GE)을 포함하는 도전 패턴에 연결된 다른 박막 트랜지스터들도 정상적인 동작을 수행할 수 없게 된다.

[0054] 도 7는 다른 실시예에 따라서 리페어된 박막 트랜지스터를 개략적으로 도시하는 평면도를 도시한다. 도 8은 도 7에 도시된 리페어된 박막 트랜지스터를 절취선을 따라 절취한 단면을 개략적으로 도시한 단면도이다.

[0055] 도 7 및 도 8을 참조하면, 리페어된 박막 트랜지스터(TFTc)가 도시된다. 리페어된 박막 트랜지스터(TFTc)는 게이트 전극(GE)이 기판(SUB)과 반도체 층(SL) 사이에 개재되는 바텀 게이트(bottom gate) 타입이라는 점을 제외하고는 도 3에 도시된 리페어된 박막 트랜지스터(TFTb)와 실질적으로 동일하다. 도 3에 도시된 리페어된 박막 트랜지스터(TFTb)는 게이트 전극(GE)이 반도체 층(SL) 상에 배치되는 탑 게이트(top gate) 타입이다.

[0056] 리페어된 박막 트랜지스터(TFTc)는 기판(SUB), 게이트 전극(GE) 및 반도체 층(SL)을 포함한다. 게이트 전극(GE)과 반도체 층(SL) 사이에 게이트 절연막(GI)이 개재된다. 반도체 층(SL)은 게이트 절연막(GI) 상에 배치되고, 소스 영역(SR), 드레인 영역(DR), 소스 영역(SR)과 드레인 영역(DR) 사이에 전기적으로 연결되는 제2 채널(CH2), 및 소스 영역(SR) 및 드레인 영역(DR)과 전기적으로 절연되고 제2 채널(CH2)에 인접하게 배치되고 불량이 발생한 제1 채널(CH1)을 포함한다. 불량이 발생한 제1 채널(CH1)은 불량 채널로 지칭되고, 불량이 발생하지 않은 제2 채널(CH2)은 정상 채널로 지칭될 수 있다.

[0057] 게이트 전극(GE)은 기판(SUB)과 게이트 절연막(GI) 사이에 개재되고, 적어도 일부가 제1 채널(CH1) 및 제2 채널(CH2)과 중첩한다. 도 8에 도시된 바와 같이, 게이트 전극(GE)과 제1 채널(CH1) 사이에 도전성 파티클(P)이 개재되어, 게이트 전극(GE)과 제1 채널(CH1) 사이에 쇼트 불량이 발생할 수 있다. 그러나, 제1 채널(CH1)은 소스 영역(SR) 및 드레인 영역(DR)과 전기적으로 절연되어 있으므로, 제1 채널(CH1)의 불량은 리페어된 박막 트랜지스터(TFTc)의 동작에 영향을 주지 않는다. 리페어된 박막 트랜지스터(TFTc)가 턴 온되면 제2 채널(CH2)을 통해 소스 영역(SR)과 드레인 영역(DR)은 전기적으로 연결된다. 리페어된 박막 트랜지스터(TFTc)는 제2 채널을 통해 스위칭 소자로서 동작할 수 있다.

[0058] 상술한 실시예들에 따른 박막 트랜지스터들(TFTA, TFTb, TFTc)을 포함하는 장치는 예컨대 유기 발광 표시 장치일 수 있다. 아래에서는 상술한 실시예들에 따라 이중 채널 박막 트랜지스터를 포함하는 유기 발광 표시 장치에 대하여 설명한다.

[0059] 도 9는 일 실시예에 따라 이중 채널 박막 트랜지스터를 포함하는 하나의 서브 픽셀의 예시적인 등가 회로도를 도시한다.

[0060] 도 9를 참조하면, 박막 트랜지스터들(T1, T2, T3, T4, T5, T6), 스토리지 커패시터(storage capacitor, Cst), 및 유기 발광 소자(organic light emitting diode, OLED)를 포함하는 서브 픽셀(SP)이 도시된다. 서브 픽셀(SP)은 신호 라인들(12, 14, 16, 32, 34, 42)에 연결된다. 유기 발광 소자(organic light emitting diode, OLED)는 박막 트랜지스터(T1)으로부터 구동 전류(Id)를 공급받아 발광한다.

[0061] 박막 트랜지스터들(T1-T6)은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)로 지칭될 수 있다.

[0062] 신호 라인들(12, 14, 16, 32, 34, 42)은 스캔 신호(Sn)를 전달하는 게이트 라인(14), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 게이트 라인(12), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어 라인(16), 게이트 라인(14)과 교차하며 데이터 신호(Dm)를 전달하는 소스 라인(32), 구동 전압(ELVDD)을 전달하며 소스 라인(32)과 평행하게 연장되는 구동 전압 라인(34), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압 라인(42)으로 지칭될 수 있다.

[0063]

구동 박막 트랜지스터(T1)는 게이트 전극(G1)에 인가되는 제어 신호에 의해 제어되고 병렬로 연결되는 2개의 채널을 포함하는 이중 채널 박막 트랜지스터일 수 있다. 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1 전극(Cst1)에 연결된다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압 라인(34)에 연결된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결된다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.

[0064]

스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 게이트 라인(14)에 연결되고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 소스 라인(32)과 연결된다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)에 연결되며, 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압 라인(34)에 연결된다. 스위칭 박막 트랜지스터(T2)는 게이트 라인(14)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 소스 라인(32)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0065]

보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 게이트 라인(14)에 연결된다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)에 연결되며, 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)에 연결된다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 공통으로 연결된다. 보상 박막 트랜지스터(T3)는 게이트 라인(14)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

[0066]

초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 게이트 라인(12)에 연결되고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압 라인(42)에 연결된다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 공통으로 연결된다. 초기화 박막 트랜지스터(T4)는 이전 게이트 라인(12)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0067]

동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어 라인(16)에 연결되고, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압 라인(34)에 연결되며, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)에 공통으로 연결된다.

[0068]

발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어 라인(16)에 연결되고, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)에 공통으로 연결된다. 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode)에 연결된다. 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어 라인(16)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어, 구동 박막 트랜지스터(T1)에서 생성되는 구동 전류(Id)가 유기 발광 소자(OLED)에 흐르게 한다.

[0069]

스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압 라인(34)에 연결된다. 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 공통으로 연결된다.

[0070]

유기 발광 소자(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)에 연결된다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)가 공급하는 구동 전류(Id)를 전달받아 발광한다. 복수의 서브 픽셀들(SP)의 유기 발광 소자들(OLED)은 화상을 표시한다.

[0071]

이하에서, 본 발명의 도 9에 도시된 유기 발광 표시 장치의 한 서브 픽셀의 구체적인 동작 과정을 상세히 설명한다.

[0072]

초기화 기간 동안 이전 게이트 라인(12)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압

라인(42)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.

[0073] 이후, 데이터 프로그래밍 기간 중 게이트 라인(14)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다. 이때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다. 소스 라인(32)을 통해 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)만큼 감소한 보상 전압($Dm-Vth$)이 스토리지 커패시터(Cst)의 제1 전극(Cst1)에 인가된다. 스토리지 커패시터(Cst)의 양단에는 각각 구동 전압(ELVDD)과 보상 전압($Dm-Vth$)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차($ELVDD-Dm+Vth$)에 대응하는 전하가 저장된다.

[0074] 이후, 발광 기간 동안 발광 제어 라인(16)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다. 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압($Dm-Vth$)과 구동 전압(ELVDD) 간의 전압 차($ELVDD-Dm+Vth$)에 대응하는 구동 전류(Id)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 소자(OLED)에 공급된다. 발광 기간 동안 스토리지 커패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 $ELVDD-Dm+Vth$ 으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압(Vgs), 즉, $ELVDD-Dm+Vth$ 에서 문턱 전압(Vth)을 차감한 값의 제곱, 즉, $(ELVDD-Dm)^2$ 에 비례한다. 따라서, 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.

[0075] 도 9에서 구동 박막 트랜지스터(T1)가 다양한 실시예들에 따른 이중 채널 박막 트랜지스터(TFTA, TFTb, TFTc)인 것으로 예시되었지만, 다른 박막 트랜지스터들(T2-T6)도 다양한 실시예들에 따른 이중 채널 박막 트랜지스터(TFTA, TFTb, TFTc)일 수 있다.

[0076] 이하에서, 도 9에 도시한 유기 발광 표시 장치의 서브 픽셀의 상세 구조에 대하여 도 10을 참고하여 상세하게 설명한다.

[0077] 도 10은 도 9에 도시된 서브 픽셀을 예시적으로 도시한 평면도이다.

[0078] 도 10을 참조하면, 일 실시예에 따른 유기 발광 표시 장치의 서브 픽셀(SP)은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst), 및 유기 발광 소자(OLED)를 포함한다. 서브 픽셀(SP)는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En), 초기화 전압(Vint), 데이터 신호(Dm), 및 구동 전압(ELVDD)을 각각 인가하는 게이트 라인(14), 이전 게이트 라인(12), 발광 제어 라인(16), 초기화 전압 라인(42), 소스 라인(32), 및 구동 전압 라인(34)에 연결된다. 게이트 라인(14), 이전 게이트 라인(12), 발광 제어 라인(16), 및 초기화 전압 라인(42)은 행 방향을 따라 연장되고, 소스 라인(32), 및 구동 전압 라인(34)은 열 방향을 따라 연장된다.

[0079] 서브 픽셀(SP)은 반도체 층(SL), 제1 도전층(M1), 제2 도전층(M2), 제3 도전층(M3), 및 제4 도전층(M4)을 포함할 수 있다. 반도체 층(SL), 제1 도전층(M1), 제2 도전층(M2), 제3 도전층(M3), 및 제4 도전층(M4)의 사이에는 절연막들이 개재된다. 서브 픽셀(SP)은 유기 발광층을 포함하는 중간층(미 도시)과 대향 전극층(미 도시)을 더 포함한다.

[0080] 반도체 층(SL)은 구동 박막 트랜지스터(T1)의 제1 구동 액티브 패턴(Act1a) 및 제2 구동 액티브 패턴(Act1b), 스위칭 박막 트랜지스터(T2)의 스위칭 액티브 패턴(Act2), 보상 박막 트랜지스터(T3)의 보상 액티브 패턴(Act3), 초기화 박막 트랜지스터(T4)의 초기화 액티브 패턴(Act4), 동작 제어 박막 트랜지스터(T5)의 동작 제어 액티브 패턴(Act5), 및 발광 제어 박막 트랜지스터(T6)의 발광 제어 액티브 패턴(Act6)을 포함한다. 반도체 층(SL)은 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 채널을 포함할 수 있다. 반도체 층(SL)은 설계에 따라 다양한 형상을 가질 수 있다.

[0081] 제1 도전층(M1)은 이전 게이트 라인(12), 게이트 라인(14), 및 발광 제어 라인(16)을 포함할 수 있다. 제1 도전층(M1)은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6) 각각의 게이트 전극들(g1-g6)을 포함할 수 있다. 제2 도전층(M2)은 커패시터(Cst)의 제2 전극(Cst2)을 포함할 수 있다. 제3 도전층(M3)은 소스 라인(32), 구동 전압 라인(34) 및 연결 라인(36)을 포함할 수 있다. 제4 도전층(M4)은 초기화 전압

라인(42) 및 화소 전극(44)을 포함할 수 있다.

[0082] 구동 박막 트랜지스터(T1)는 소스 영역(s1), 드레인 영역(d1), 제1 채널을 포함하는 제1 구동 액티브 패턴(Act1a), 제2 채널을 포함하는 제2 구동 액티브 패턴(Act1b), 및 적어도 일부가 제1 채널과 제2 채널과 중첩하는 구동 게이트 전극(g1)을 포함한다. 제1 채널은 제1 구동 액티브 패턴(Act1a)에서 구동 게이트 전극(g1)과 중첩하는 부분으로 정의되고, 제2 채널은 제2 구동 액티브 패턴(Act1b)에서 구동 게이트 전극(g1)과 중첩하는 부분으로 정의된다.

[0083] 구동 박막 트랜지스터(T1)의 제1 채널은 소스 영역(s1)과 드레인 영역(d1) 사이에 전기적으로 연결되며, 적어도 2개의 굴곡부를 가질 수 있다. 예컨대, 제1 채널은 도 10에 도시된 바와 같이 평면에서 바라볼 때 "L"자의 형상을 가질 수 있다. 도 10에 도시된 바와 같이 제1 채널은 큰 면적을 차지하기 때문에 제조 공정 중에 도전성 파트클에 의해 불량이 발생할 가능성이 높다. 일 실시예에 따라서 구동 박막 트랜지스터(T1)는 제1 채널 외에 제2 채널을 포함한다.

[0084] 구동 박막 트랜지스터(T1)의 제2 채널은 소스 영역(s1)과 드레인 영역(d1) 사이에 제1 채널과 병렬로 전기적으로 연결된다. 도 10에 도시된 바와 같이 제2 채널은 제1 채널의 채널 길이보다 짧은 채널 길이를 가지며, 평면에서 바라볼 때 직선 형상을 가질 수 있다. 제2 채널의 종횡비는 제1 채널의 종횡비보다 클 수 있다.

[0085] 제1 채널에 불량이 발생할 경우, 제1 채널은 소스 영역(s1)과 드레인 영역(d1)으로부터 전기적으로 분리될 수 있다. 구동 박막 트랜지스터(T1)는 제2 채널을 통해 구동 전류(Id)를 생성하여, 유기 발광 소자(OLED)에 공급할 수 있다. 제2 채널에도 불량이 발생할 수 있다. 이 경우, 제2 채널은 소스 영역(s1)과 드레인 영역(d1)으로부터 전기적으로 분리될 수 있다. 구동 박막 트랜지스터(T1)는 제1 채널을 통해 구동 전류(Id)를 생성하여, 유기 발광 소자(OLED)에 공급할 수 있다. 따라서, 구동 박막 트랜지스터(T1)는 제1 채널 또는 제2 채널에 불량이 발생하더라도 리페어될 수 있다.

[0086] 스토리지 커페시터(Cst)는 제1 전극(Cst1)으로 기능하는 구동 게이트 전극(g1)과 제2 전극(Cst2)을 포함한다. 제2 전극(Cst2)은 구동 게이트 전극(g1) 상에 배치된다. 제2 전극(Cst2)은 최대의 커페시턴스를 얻기 위하여 구동 게이트 전극(g1)과 최대로 중첩하도록 설계될 수 있다. 제2 전극(Cst2)은 적어도 하나의 콘택 플러그(34p1)를 통해 구동 전압 라인(34)에 연결될 수 있다. 제2 전극(Cst2)은 구동 게이트 전극(g1)과 연결 라인(36) 사이에 연결되는 콘택 플러그(36p1)가 관통할 수 있는 개구부(Cst2op)를 포함한다.

[0087] 스위칭 박막 트랜지스터(T2)는 스위칭 액티브 패턴(Act2), 및 게이트 라인(14)의 일부인 스위칭 게이트 전극(g2)을 포함한다. 스위칭 액티브 패턴(Act2)은 스위칭 게이트 전극(g2)과 중첩하는 채널 영역, 및 소스 영역(s2)과 드레인 영역(d2)을 포함한다. 소스 영역(s2)은 콘택 플러그(32p1)를 통해 소스 라인(32)에 연결될 수 있다. 드레인 영역(d2)은 반도체 층(SL)을 따라 구동 박막 트랜지스터(T1)의 소스 영역(s1)에 연결된다.

[0088] 보상 박막 트랜지스터(T3)는 보상 액티브 패턴(Act3), 및 게이트 라인(14)의 일부인 보상 게이트 전극(g3)을 포함한다. 보상 액티브 패턴(Act3)은 보상 게이트 전극(g3)과 중첩하는 채널 영역, 및 소스 영역(s3)과 드레인 영역(d3)을 포함한다. 소스 영역(s3)은 반도체 층(SL)을 따라 구동 박막 트랜지스터(T1)의 드레인 영역(d1)에 연결된다. 드레인 영역(d3)은 콘택 플러그(36p2)를 통해 연결 라인(36)에 연결될 수 있다. 즉, 보상 박막 트랜지스터(T3)의 드레인 영역(d3)은 연결 라인(36)을 통해 구동 게이트 전극(g1)에 전기적으로 연결된다. 도 10에 도시된 바와 같이, 보상 게이트 전극(g3)은 2개의 게이트 전극을 갖는 듀얼 게이트 전극으로 형성되어, 누설 전류를 감소시킬 수 있다.

[0089] 초기화 박막 트랜지스터(T4)는 초기화 액티브 패턴(Act4), 및 이전 게이트 라인(12)의 일부인 초기화 게이트 전극(g4)을 포함할 수 있다. 초기화 액티브 패턴(Act4)은 초기화 게이트 전극(g4)과 중첩하는 채널 영역, 및 소스 영역(s4)과 드레인 영역(d4)을 포함한다. 소스 영역(s4)은 콘택 플러그(42p)를 통해 초기화 전압 라인(42)에 연결된다. 드레인 영역(d4)은 콘택 플러그(36p2)를 통해 연결 라인(36)에 연결된다. 도 10에 도시된 바와 같이, 초기화 게이트 전극(g4)은 2개의 게이트 전극을 갖는 듀얼 게이트 전극으로 형성되어, 누설 전류를 감소시킬 수 있다.

[0090] 동작 제어 박막 트랜지스터(T5)는 동작 제어 액티브 패턴(Act5), 및 발광 제어 라인(16)의 일부인 동작 제어 게이트 전극(g5)을 포함한다. 동작 제어 액티브 패턴(Act5)은 동작 제어 게이트 전극(g5)과 중첩하는 채널 영역, 및 소스 영역(s5)과 드레인 영역(d5)을 포함한다. 드레인 영역(d5)은 반도체 층(SL)을 따라 구동 박막 트랜지스터(T1)의 소스 영역(s1)에 연결된다. 소스 영역(s5)은 콘택 플러그(34p2)를 통해 구동 전압 라인(34)에 연결된다.

- [0091] 발광 제어 박막 트랜지스터(T6)는 발광 제어 액티브 패턴(Act6), 및 발광 제어 라인(16)의 일부인 발광 제어 게이트 전극(g6)을 포함한다. 발광 제어 액티브 패턴(Act6)은 발광 제어 게이트 전극(g6)과 중첩하는 채널 영역, 및 소스 영역(s6)과 드레인 영역(d6)을 포함한다. 소스 영역(s6)은 반도체 층(SL)을 따라 구동 박막 트랜지스터(T1)의 드레인 영역(d1)에 연결된다. 드레인 영역(d6)은 콘택 플러그(44p)를 통해 화소 전극(44)에 연결된다.
- [0092] 화소 전극(44)은 제2 전극(Cst2) 상에 배치될 수 있으며, 상부에 배치되는 유기 발광층을 포함하는 중간층에 전류를 제공할 수 있다. 상기 중간층에 인가된 전류는 상기 중간층 상의 대향 전극(미 도시)으로 전달된다.
- [0093] 도 9에 도시된 등가 회로도와 도 10에 도시된 평면도는 예시적이며, 설계에 따라 다양하게 변형될 수 있다.
- [0094] 도 11은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- [0095] 도 11을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 타이밍 컨트롤러(140), 데이터 보정부(150) 및 메모리(160)를 포함한다.
- [0096] 유기 발광 표시 장치(100)는 예컨대, 스마트 폰, 태블릿 PC, 노트북 PC, 모니터, TV 등과 같은 전자 장치의 영상 표시를 위한 부품일 수 있다.
- [0097] 표시 패널(110)은 행렬로 배열되는 복수의 픽셀들(P)을 포함한다. 픽셀들(P) 각각은 소정 개수(예컨대, 3개, 2개, 또는 4개)의 서브 픽셀들(SP)을 포함한다. 픽셀(P)은 제1 색상(예컨대, 녹색)을 표시하는 서브 픽셀(SP), 제2 색상(예컨대, 적색)을 표시하는 서브 픽셀(SP), 및 제3 색상(예컨대, 청색)을 표시하는 서브 픽셀(SP)을 포함할 수 있다. 다른 예에 따르면, 픽셀(P)은 제4 색상(예컨대, 백색)을 표시하는 서브 픽셀(SP)을 더 포함할 수 있다. 또 다른 예에 따르면, 표시 패널(110)에는 제1 색상(예컨대, 녹색)을 표시하는 서브 픽셀(SP) 및 제2 색상(예컨대, 적색)을 표시하는 서브 픽셀(SP)을 포함하는 제1 픽셀(P)과 제1 색상(예컨대, 녹색)을 표시하는 서브 픽셀(SP) 및 제3 색상(예컨대, 청색)을 표시하는 서브 픽셀(SP)을 포함하는 제2 픽셀(P)이 교대로 배열될 수 있다.
- [0098] 표시 패널(110)에는 제1 방향(예컨대, 행 방향)으로 연장되는 복수의 게이트 라인들(GL) 및 제2 방향(예컨대, 열 방향)으로 연장되는 복수의 소스 라인들(SL)이 배열된다. 게이트 라인들(GL) 및 소스 라인들(SL)은 서브 픽셀들(SP)에 전기적으로 연결된다.
- [0099] 서브 픽셀들(SP)은 예컨대 도 9 및 도 10에 도시된 서브 픽셀(SP)을 포함할 수 있다. 상술한 바와 같이, 서브 픽셀(SP)은 이중 채널 박막 트랜지스터를 포함할 수 있다. 서브 픽셀(SP)은 게이트 라인(GL)을 통해 입력되는 스캔 신호(Sn)에 응답하여 소스 라인(SL)을 통해 입력되는 데이터 신호(Dm)를 전달하는 스위칭 트랜지스터(예컨대, 도 9의 스위칭 박막 트랜지스터(T2)), 스위칭 트랜지스터로부터 전달된 데이터 신호(Dm)에 대응하는 전압(예컨대, 도 9의 서브 픽셀에서 ELVDD-Dm+Vth)을 충전하는 커패시터(예컨대, 도 9의 스토리지 커패시터(Cst)), 및 커패시터에 충전된 전압에 대응하는 구동 전류(Id)를 생성하는 이중 채널 박막 트랜지스터(예컨대, 구동 박막 트랜지스터(T1))를 포함할 수 있다. 상술한 바와 같이, 이중 채널 박막 트랜지스터는 소스 영역, 드레인 영역, 및 소스 영역과 드레인 영역 사이에 별렬로 연결되는 제1 채널 및 제2 채널을 포함한다.
- [0100] 제1 채널 또는 제2 채널에 불량이 발생할 수 있다. 예컨대, 제1 채널 또는 제2 채널과 게이트 전극 사이에 쇼트 불량이 발생할 수 있다. 아래에서 용이한 설명을 위하여 예컨대 제1 채널에 불량이 발생한 것으로 가정한다. 제1 채널을 불량 채널로 지칭하고, 제2 채널을 정상 채널로 지칭한다. 불량 채널은 소스 영역 및 드레인 영역과 전기적으로 분리된다. 예컨대, 레이저를 이용하여 불량 채널에 인접한 소스 영역 및 드레인 영역이 절단될 수 있다. 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 제1 채널과 제2 채널을 통해 생성되는데, 리페어 공정으로 인하여 리페어된 구동 박막 트랜지스터(T1)는 제1 채널이 제거되어 제2 채널로만 전류가 생성된다. 따라서, 구동 박막 트랜지스터(T1)의 제2 채널을 통해 데이터 신호(Dm)에 대응하는 구동 전류(Id)가 생성될 수 있도록, 구동 박막 트랜지스터(T1)의 구동 게이트 전극(g1)에 인가되는 전압이 보정되어야 한다.
- [0101] 메모리(160)는 리페어된 구동 박막 트랜지스터(T1)를 포함하는 서브 픽셀(SP)의 픽셀 어드레스(Addr)를 저장할 수 있다. 메모리(160)는 리페어된 구동 박막 트랜지스터(T1)의 제1 채널과 제2 채널 중 어느 채널을 소스 영역과 드레인 영역으로부터 분리하였는지에 따라 결정되는 동작 모드(mod)를 저장할 수 있다. 예컨대, 제1 채널이 분리된 경우, 동작 모드(mod)는 1일 수 있다. 예컨대, 제2 채널이 분리된 경우, 동작 모드(mod)는 2일 수 있다. 제1 채널과 제2 채널의 종횡비가 동일한 경우, 메모리(160)는 리페어된 구동 박막 트랜지스터(T1)를 포함하는 서브 픽셀(SP)의 어드레스만을 저장할 수 있다.

[0102] 제1 채널과 제2 채널의 종횡비는 서로 상이할 수 있다. 도 10에 도시된 바와 같이, 제2 채널의 종횡비는 제1 채널의 종횡비보다 클 수 있다. 즉, 제2 채널은 제1 채널보다 전류 구동 능력이 더 클 수 있다. 예컨대, 제2 채널의 전류 구동 능력이 제1 채널의 전류 구동 능력의 2배이라고 가정한다. 동작 모드가 1인 경우, 제2 채널은 1.5배의 전류를 생성하여야 한다. 동작 모드가 2인 경우, 제1 채널은 3배의 전류를 생성하여야 한다. 이를 위해, 구동 게이트 전극(g1)에 인가되는 전압이 보정될 수 있다.

[0103] 데이터 보정부(150)는 구동 게이트 전극(g1)에 인가되는 전압을 보정하기 위하여, 메모리에 저장된 픽셀 어드레스(Addr) 및 동작 모드(mod)를 기초로, 리페어된 구동 박막 트랜지스터(T1)를 포함하는 서브 픽셀(SP)에 제공되는 데이터를 보정할 수 있다. 예컨대, 동작 모드(mod)가 1인 경우, 리페어된 구동 박막 트랜지스터(T1)가 제2 채널로 1.5배의 구동 전류를 생성할 수 있도록 픽셀 어드레스(Addr)에 대응하는 데이터를 보정할 수 있다. 예컨대, 동작 모드(mod)가 2인 경우, 리페어된 구동 박막 트랜지스터(T1)가 제1 채널로 3배의 구동 전류를 생성할 수 있도록 픽셀 어드레스(Addr)에 대응하는 데이터를 보정할 수 있다.

[0104] 타이밍 컨트롤러(140)는 게이트 드라이버(120), 및 소스 드라이버(130)를 제어할 수 있다. 타이밍 컨트롤러(140)는 입력된 프레임에 대한 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 클록(CLK) 및 RGB 데이터(RGB DATA)를 입력 받고, 제1 제어 신호(CON1), 및 제2 제어 신호(CON2)를 포함하는 복수의 제어 신호들을 생성할 수 있다. 예컨대, 타이밍 컨트롤러(140)는 수평 동기 신호(HSYNC)와 수직 동기 신호(VSYNC)에 기초하여 제1 제어 신호(CON1), 제2 제어 신호(CON2) 및 디지털 영상 데이터(Data)를 생성할 수 있다.

[0105] 데이터 보정부(150)는 디지털 영상 데이터(Data)를 수신하고, 메모리(150)에 저장된 픽셀 어드레스(Addr) 및 동작 모드(mod)를 기초로 보정된 디지털 영상 데이터(CData)를 생성한다. 보정된 디지털 영상 데이터(CData)는 픽셀 어드레스(Addr)에 대응하는 데이터가 동작 모드(mod)에 따라 보정된 것이다.

[0106] 소스 드라이버(130)는 제2 제어 신호(CON2) 및 보정된 디지털 영상 데이터(CData)에 응답하여, 소스 라인들(SL1-SLn)을 구동할 수 있다. 소스 드라이버(130)는 보정된 디지털 영상 데이터(CData)를 계조 전압을 갖는 데이터 신호들로 변환하고, 상기 데이터 신호들을 소스 라인들(SL1-SLn)을 통해 서브 픽셀들(SP)에 순차적으로 제공할 수 있다. 픽셀 어드레스(Addr)에 해당하는 서브 픽셀(SP)은 보정된 디지털 영상 데이터(CData)를 수신하고, 리페어된 구동 박막 트랜지스터(T1)는 정상 채널만을 이용하여 보정 전의 디지털 영상 데이터(Data)에 대응하는 구동 전류(Id)를 생성한다. 픽셀 어드레스(Addr)에 해당하는 서브 픽셀(SP)은 보정 전의 디지털 영상 데이터(Data)에 대응하는 휘도로 발광할 수 있다.

[0107] 게이트 드라이버(120)는 제1 제어 신호(CON1)에 응답하여, 게이트 라인들(GL1-GLm)을 순차적으로 구동할 수 있다. 예컨대, 제1 제어 신호(CON1)는 게이트 드라이버(120)가 게이트 라인들(GL1-GLm)의 스캐닝을 시작하도록 지시하는 지시 신호일 수 있다. 게이트 드라이버(120)는 스캔 신호를 생성하고, 게이트 라인들(GL1-GLm)을 통해 서브 픽셀들(SP)에 스캔 신호를 순차적으로 제공할 수 있다.

[0108] 게이트 드라이버(120), 소스 드라이버(130), 및 타이밍 컨트롤러(140)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 게이트 드라이버(120)는 표시 패널(110)과 함께 동일한 기판 상에 형성될 수도 있다.

[0109] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

[0110] 100: 유기 발광 표시 장치

110: 표시 패널

120: 게이트 드라이버

130: 소스 드라이버

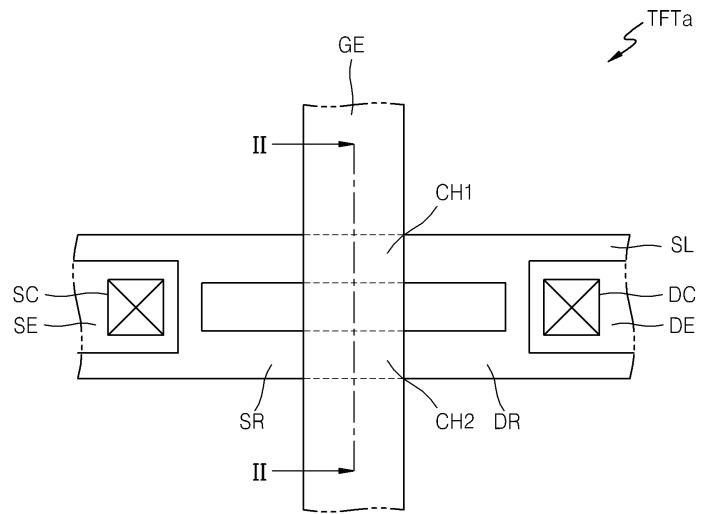
140: 타이밍 컨트롤러

150: 데이터 보정부

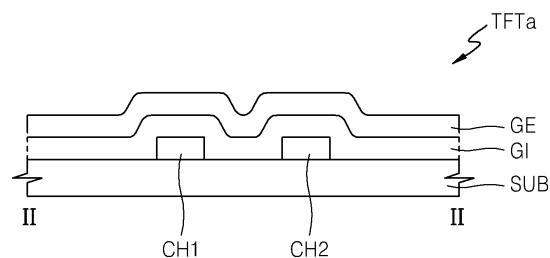
160: 메모리

도면

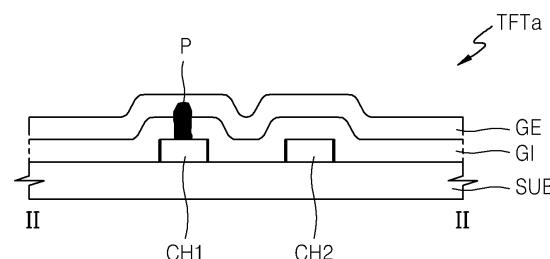
도면1



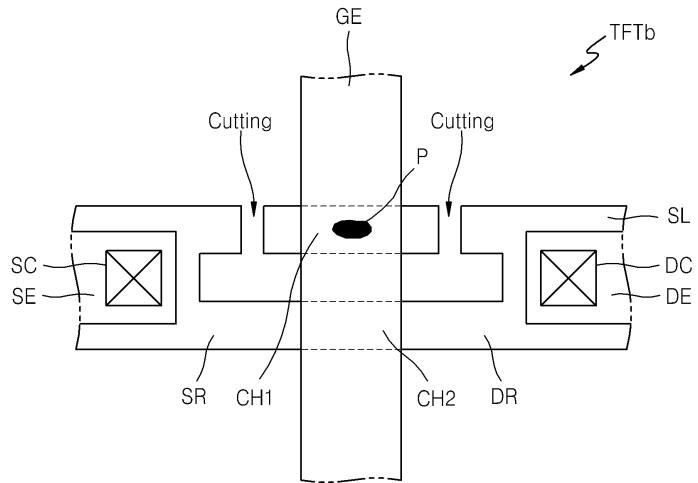
도면2



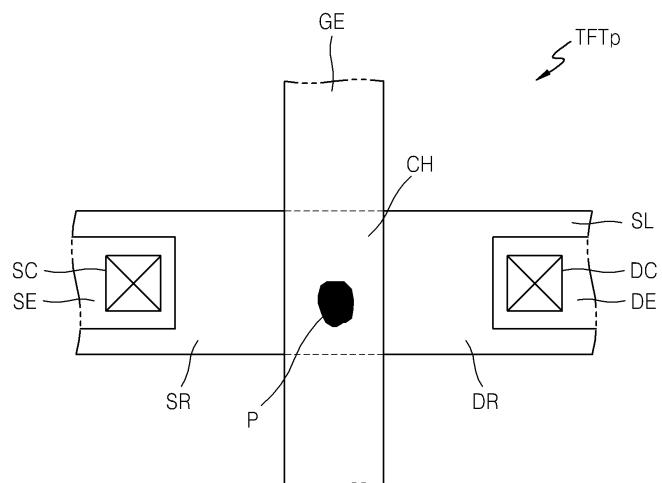
도면3



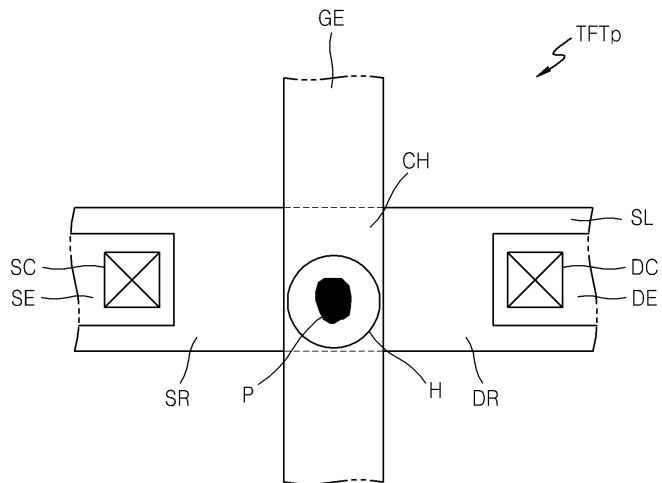
도면4



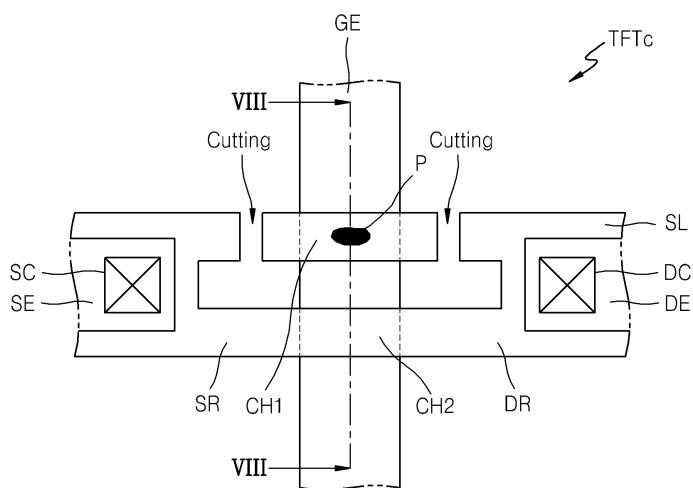
도면5



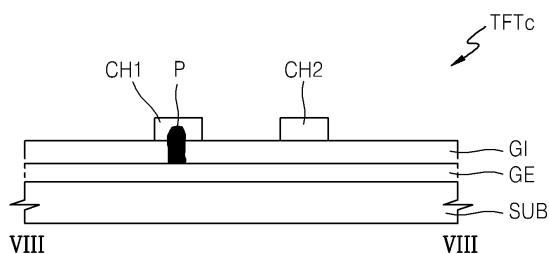
도면6



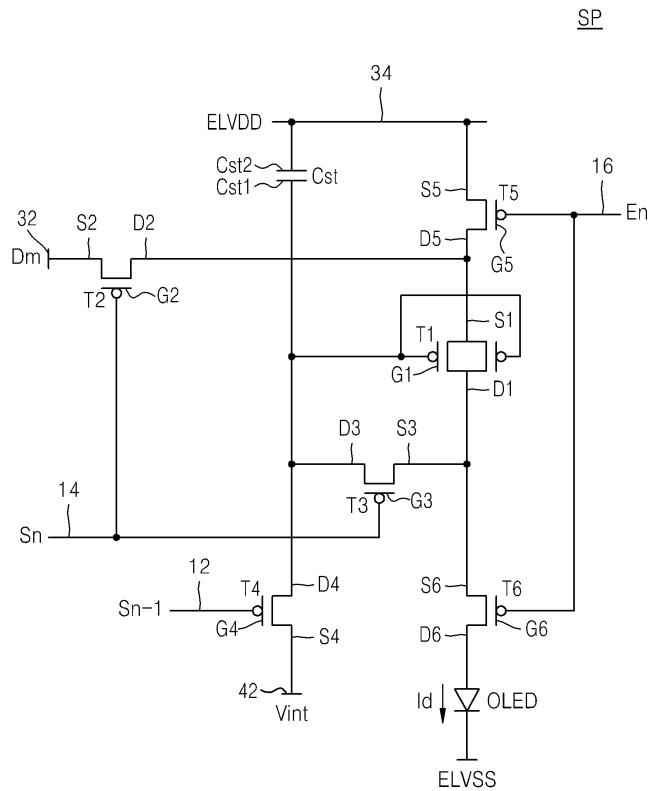
도면7



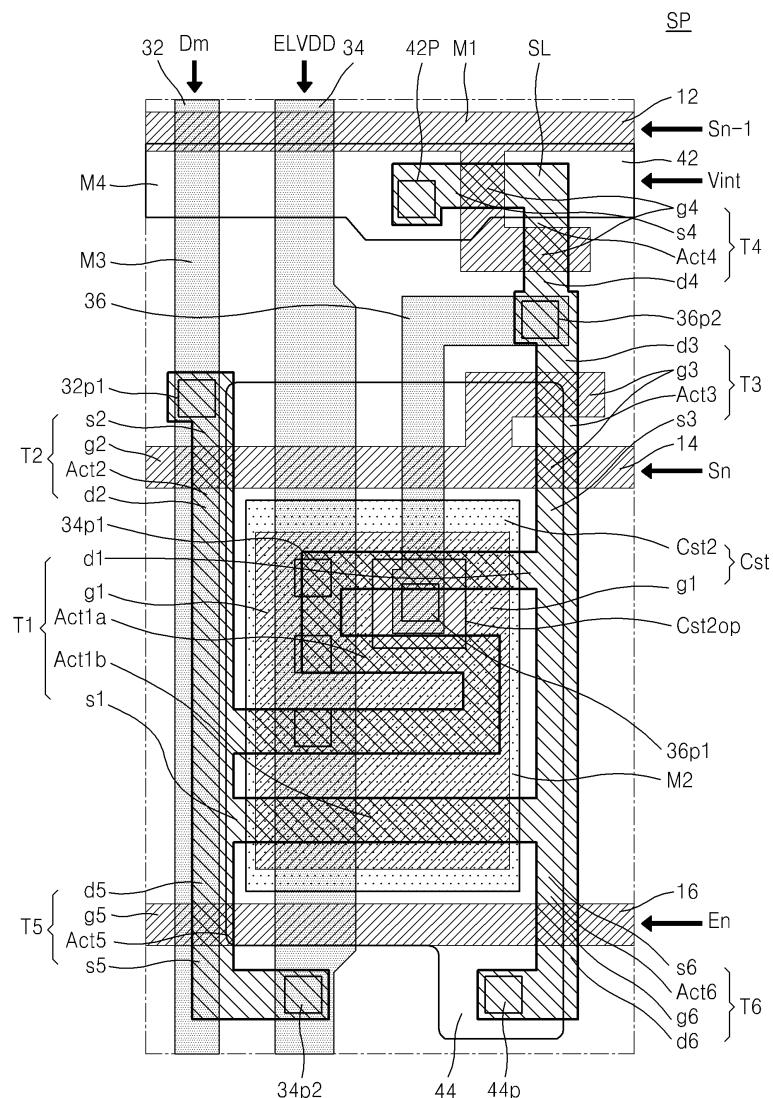
도면8



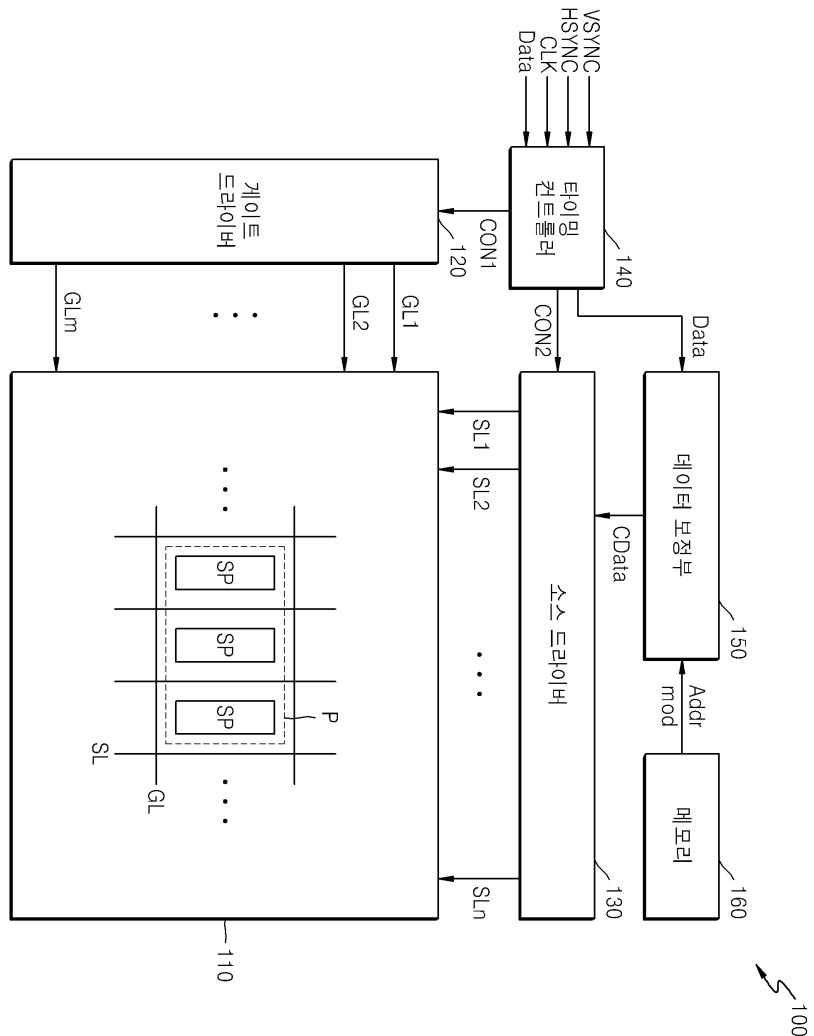
도면9



도면10



도면11



专利名称(译)	标题 : 薄膜晶体管的修复方法 , 包含修复的薄膜晶体管的装置 ,		
公开(公告)号	KR1020150085385A	公开(公告)日	2015-07-23
申请号	KR1020140005207	申请日	2014-01-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SON YONG DUCK 손용덕 SEO JUN SEON 서준선		
发明人	손용덕 서준선		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L29/78696 H01L27/3244 H01L2251/568		
外部链接	Espacenet		

摘要(译)

提供了薄膜晶体管的修复方法 , 包括修复后的薄膜晶体管的设备和有机发光显示器。根据薄膜晶体管的修复方法 , 所述薄膜晶体管包括半导体层 , 所述半导体层包括源极区 , 漏极区以及并联连接在源极区和漏极区之间的第一沟道和第二沟道 , 并且栅电极与沟道和第二沟道的至少一部分重叠。如果是薄膜晶体管的缺陷被检查。在第一通道和第二通道中 , 识别出与栅电极发生短路故障的缺陷通道。有缺陷的通道与源区域分离。并且有缺陷的沟道与漏极区域分离。

