



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0078917  
(43) 공개일자 2015년07월08일

(51) 국제특허분류(Int. Cl.)

*H01L 27/32* (2006.01)

(21) 출원번호 10-2013-0168770

(22) 출원일자 2013년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤성욱

경기 고양시 덕양구 화신로 298, 804동 1604호 (화정동, 별빛마을8단지아파트)

(74) 대리인

김기문

전체 청구항 수 : 총 14 항

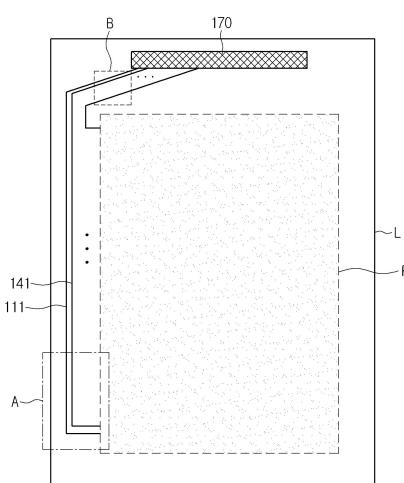
(54) 발명의 명칭 유기전계발광 표시장치

### (57) 요 약

본 발명은 유기전계발광 표시장치를 개시한다. 개시된 본 발명의 유기전계발광 표시장치는, 표시영역과 비표시영역으로 구분되는 기판; 상기 기판의 비표시영역 상에 형성된 제1링크배선; 상기 제1링크배선 상에서 기판 전면에 형성된 제1층간절연막; 상기 제1층간절연막 상에 형성된 전원연결배선; 상기 전원연결배선 상에서 기판 전면에 형성된 제2층간절연막; 상기 제2층간절연막 상에 형성된 제2링크배선을 포함하는 것을 특징으로 한다.

따라서, 본 발명에 따른 유기전계발광 표시장치는, 표시영역에서 스토리지 커패시터의 정전용량을 확보하고, 고해상도를 구현할 수 있다. 또한, 비표시영역에서 기생 커패시터의 편차를 개선하여 링크 배선 간의 신호 지연 편차를 개선하고 화질 품위를 향상할 수 있다.

**대 표 도** - 도1



## 명세서

### 청구범위

#### 청구항 1

표시영역과 비표시영역으로 구분되는 기판;  
상기 기판의 비표시영역 상에 형성된 제1링크배선;  
상기 제1링크배선 상에서 기판 전면에 형성된 제1층간절연막;  
상기 제1층간절연막 상에 형성된 전원연결배선;  
상기 전원연결배선 상에서 기판 전면에 형성된 제2층간절연막;  
상기 제2층간절연막 상에 형성된 제2링크배선을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 2

제 1 항에 있어서,  
상기 제1링크배선과 상기 전원연결배선은 상기 제1층간절연막을 사이에 두고 중첩되도록 형성되고,  
상기 제2링크배선과 상기 전원연결배선은 상기 제2층간절연막을 사이에 두고 중첩되도록 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 3

제 2 항에 있어서,  
상기 제1링크배선과 상기 전원연결배선 중첩영역에 형성된 제1기생커패시터와, 상기 제2링크배선과 상기 전원연결배선 중첩영역에 형성된 제2기생커패시터는 동일한 커패시터값으로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 4

제 3 항에 있어서,  
상기 제1층간절연막과 제2층간절연막의 두께를 조절하여 동일한 커패시터값을 갖는 제1기생커패시터와 제2기생커패시터가 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 5

제 4 항에 있어서,  
상기 제1층간절연막의 두께와 제2층간절연막의 두께의 비(ratio)는,  
상기 제1층간절연막의 유전율과 제2층간절연막의 유전율의 비(ratio)와 동일하게 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 기판의 표시영역 상에 형성되어 화소영역을 정의하는 스캔배선 및 데이터배선;

상기 스캔배선과 이격하여 형성되는 센싱배선;

상기 데이터배선과 이격하여 형성되는 전원배선 및 기준전압배선;

상기 스캔배선에 연결되는 스위칭 트랜지스터;

상기 센싱배선에 연결되는 샘플링 트랜지스터;

상기 스위칭 트랜지스터 및 상기 전원배선에 연결되는 구동 트랜지스터;

상기 구동 트랜지스터와 연결되고, 상기 구동 트랜지스터를 덮는 스토리지 커패시터;

상기 스토리지 커패시터 상부에 형성되는 유기발광다이오드를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 7

제 6 항에 있어서,

상기 스캔배선 및 상기 센싱배선은 비표시영역으로 연장되어 형성되고,

상기 스캔배선 및 상기 센싱배선은 각각 상기 제1링크배선 또는 상기 제2링크배선과 연결되는 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 8

제 7 항에 있어서,

상기 제1링크배선은 상기 스캔배선 또는 상기 센싱배선과 동일층에서 일체로 형성되고,

상기 제2링크배선은 상기 제1층간절연막과 제2층간절연막에 형성된 콘택홀을 통해 상기 상기 스캔배선 또는 상기 센싱배선과 연결되는 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 9

제 6 항에 있어서,

상기 전원연결배선은 상기 데이터배선, 전원배선 및 기준전압배선과 동일층에서 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 10

제 9 항에 있어서,

상기 전원연결배선은 상기 데이터배선, 전원배선 및 기준전압배선과 동일물질로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 11

제 9 항에 있어서,

상기 전원연결배선은 상기 전원배선 또는 기준전압배선과 일체로 형성되는 것을 특징으로 하는 유기전계발광 표

시장치.

### 청구항 12

제 6 항에 있어서,  
상기 스토리지 커패시터는,  
상기 제2층간절연막 상에 형성된 제1커패시터전극;  
상기 제1커패시터전극 상에 형성된 제3층간절연막; 및  
상기 제3층간절연막 상에 형성된 제2커패시터전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 13

제 12 항에 있어서,  
상기 표시영역에 형성된 상기 스토리지 커패시터의 제1커패시터전극은 상기 비표시영역에 형성된 제2링크배선과 동일층에서 형성된 것을 특징으로 하는 유기전계발광 표시장치.

### 청구항 14

제 13 항에 있어서,  
상기 제1커패시터전극과 상기 제2링크배선은 동일물질로 형성된 것을 특징으로 하는 유기전계발광 표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것으로, 보다 구체적으로는 기생 커패시터의 편차를 개선하여 신호 지연을 방지하고 고해상도를 구현할 수 있는 유기전계발광 표시장치에 관한 것이다.

### 배경 기술

[0002] 최근, 본격적인 정보화 시대로 접어들에 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display)분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판표시장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이 같은 평판표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기전계발광 표시장치(Organic Light Emitting Display: OLED), 전기영동표시장치(Electrophoretic Display: EPD, Electric Paper Display), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro luminescence Display Device: ELD) 및 전기습윤표시장치(Electro-Wetting Display: EWD) 등을 들 수 있다. 이들은 공통적으로 영상을 구현하는 평판표시패널을 필수적인 구성요소로 하는데, 평판 표시패널은 고유의 발광물질 또는 편광물질층을 사이에 두고 대면 합착된 한 쌍의 기판을 포함하여 이루어진다.

[0004] 이러한 평판표시장치 중 하나인 유기전계발광 표시장치(Organic light emitting diode display device)는 자발광소자인 유기발광소자를 포함하므로, 비발광소자인 액정표시장치에 사용되는 별도의 광원이 필요하지 않기 때문에 경량 박형이 가능하다. 또한, 액정표시장치에 비해 시야각 및 대비비가 우수하며, 소비전력 측면에서도 유리하며, 직류 저전압 구동이 가능하고, 응답속도가 빠르며, 내부 구성요소가 고체이기 때문에 외부충격에 강하

고, 사용 온도범위도 넓은 장점을 가지고 있다.

[0005] 상기 유기발광소자는 유리 기판 위에 ITO 등으로 이루어진 양극(anode)과 알루미늄(Al) 등으로 이루어진 음극(cathode) 사이에 유기물로 형성된 유기발광층을 중착하여 전기장을 가함으로 빛을 내는 소자이다. 상기 유기발광 소자의 양극과 음극 사이에 전압을 인가하면, 양극으로부터 정공이 주입되고, 음극으로부터 전자가 주입된 후, 각각 이동을 통해 발광층에서 만나 엑시톤(exiton)을 생성한다. 유기전계발광 표시장치는 상기 생성된 엑시톤(exiton)이 기저상태로 떨어지면서 방출되는 빛을 이용할 수 있다.

[0006] 종래 유기전계발광 표시장치는 표시영역과 비표시영역으로 구분되며, 상기 표시영역에는 다수의 박막 트랜지스터를 포함한다. 이때, 상기 다수의 박막 트랜지스터 중 구동 박막 트랜지스터의 문턱전압 편차에 기인하여 화소들 간에 휘도가 불균일하게 형성될 수 있다. 화소들 간 구동 박막 트랜지스터의 문턱전압 편차를 보상하기 위해, 각 화소마다 전압보상 또는 전류보상회로(예를 들어 4개의 트랜지스터와 1개의 커패시터(4T1C), 4개의 트랜지스터와 2개의 커패시터(4T2C), 5개의 트랜지스터와 2개의 커패시터(5T2C), 6개의 트랜지스터와 1개의 커패시터(6T1C), 6개의 트랜지스터와 2개의 커패시터(6T2C))를 갖는 보상화소 구조가 제안되고 있다.

[0007] 그러나, 보상화소 구조는 보상 기능을 수행하기 위해 많은 수의 소자(예를 들어 전술한 4개의 트랜지스터와 1개의 커패시터(4T1C), 4개의 트랜지스터와 2개의 커패시터(4T2C), 5개의 트랜지스터와 2개의 커패시터(5T2C), 6개의 트랜지스터와 1개의 커패시터(6T1C), 6개의 트랜지스터와 2개의 커패시터(6T2C))들을 구비해야 한다. 이로 인해, 고해상도의 표시장치로 갈수록 화소의 크기가 줄어들어 소자와 커패시터가 한 화소내에 형성되지 못하는 문제점이 있다. 특히, 커패시터는 표시장치를 구동하기 위해서 일정한 정전용량이 확보되어야 하는데, 정전용량을 확보하기 위해서는 어느 정도 이상의 면적이 반드시 필요하게 된다. 즉, 종래의 보상화소 구조는 커패시터의 정전용량을 확보하면서 고해상도의 표시장치를 구현하기에 적합하지 않은 문제점이 있다.

## 발명의 내용

### 해결하려는 과제

[0008] 본 발명은 표시영역에서 스토리지 커패시터의 정전용량을 확보하고, 고해상도를 구현할 수 있는 유기전계발광 표시장치를 제공하는데 그 목적이 있다.

[0009] 또한, 본 발명은 비 표시영역에서 기생 커패시터의 편차를 개선하여 링크 배선 간의 신호 지연 편차를 개선하고 화질 품위를 향상시키는 유기전계발광 표시장치를 제공하는데 다른 목적이 있다.

### 과제의 해결 수단

[0010] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 유기전계발광 표시장치는, 표시영역과 비표시영역으로 구분되는 기판; 상기 기판의 비표시영역 상에 형성된 제1링크배선; 상기 제1링크배선 상에서 기판 전면에 형성된 제1충간절연막; 상기 제1충간절연막 상에 형성된 전원연결배선; 상기 전원연결배선 상에서 기판 전면에 형성된 제2충간절연막; 상기 제2충간절연막 상에 형성된 제2링크배선을 포함하는 것을 특징으로 한다.

## 발명의 효과

[0011] 본 발명에 따른 유기전계발광 표시장치는, 표시영역에서 스토리지 커패시터의 정전용량을 확보하고, 고해상도를 구현할 수 있는 제 1 효과가 있다.

[0012] 또한, 본 발명에 따른 유기전계발광 표시장치는, 비 표시영역에서 기생 커패시터의 편차를 개선하여 링크 배선 간의 신호 지연 편차를 개선하고 화질 품위를 향상시키는 제 2 효과가 있다.

## 도면의 간단한 설명

[0013] 도 1은 본 발명에 따른 유기전계발광 표시장치의 평면도를 도시한 도면이다.

도 2는 본 발명에 따른 유기전계발광 표시장치의 일 화소영역을 등가적으로 나타내는 등가회로도이다.

도 3은 본 발명에 따른 유기전계발광 표시장치의 일 화소영역의 단면도를 도시한 도면이다.

도 4는 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 평면도이다.

도 5는 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 단면도이다.

도 6은 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 평면도이다.

도 7은 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 또한 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0015] 도 1은 본 발명에 따른 유기전계발광 표시장치의 평면도를 도시한 도면이다.

[0016] 도 1을 참조하면, 본 발명의 유기전계발광 표시장치는 표시영역(P)과 비표시영역(L)으로 구분된다. 상기 표시영역은 다수의 화소영역으로 이루어진다. 상기 화소영역은 다수의 스캔배선과 데이터배선이 교차하여 정의된다.

[0017] 상기 비표시영역(L)은 상기 표시영역(P)의 화소영역을 구동하는 구동부를 포함한다. 상기 구동부에는 타이밍 구동부(미도시)와 데이터 구동부(170) 등이 포함된다. 상기 데이터 구동부(170)에는 다수의 링크 배선이 연결된다. 상기 링크 배선은 제1링크배선(111)과 제2링크배선(141)으로 이루어 질 수 있다.

[0018] 즉, 본 발명에 따른 유기전계발광 표시장치는 듀얼 링크(dual link) 구조를 적용함에 따라 동일한 수의 링크 배선을 기준보다 적은 폭에 설계할 수 있어 유기전계발광 표시장치의 베젤 폭을 감소시킬 수 있게 된다. 상기 제1 링크배선(111)과 제2링크배선(141)은 서로 다른 층에 형성될 수 있다.

[0019] 이를 확대하여 도시한 도면들을 참조하여 자세히 검토하면 다음과 같다.

[0020] 도 2는 본 발명에 따른 유기전계발광 표시장치의 일 화소영역을 등가적으로 나타내는 등가 회로도이다.

[0021] 도 2를 참조하면, 표시영역에 형성된 다수의 화소영역 중 하나의 화소영역에서의 등가 회로도를 도시한다. 도시한 바와 같이, 스캔배선(SCAN), 센싱배선(SEN), 데이터배선(DL), 전원배선(Vdd) 및 기준전압배선(Vref)이 배치된다. 상기 각각의 배선들은 비표시영역(도 1 참고, L)으로 연장되도록 형성될 수 있다.

[0022] 스캔배선(SCAN)과 데이터배선(DL)은 서로 교차하여 화소영역(P)을 정의한다. 스캔배선(SCAN)과 이격하며 센싱배선(SEN)이 배치되고, 데이터배선(DL)과 이격하며 기준전압배선(Vref)과 전원배선(Vdd)이 배치된다.

[0023] 화소영역에는 다수의 트랜지스터, 예를 들면 제1 내지 제3트랜지스터(T1, T2, T3)와, 커페시터(C)와 유기발광다이오드(E)가 구성될 수 있다. 여기서, 제1 내지 제3트랜지스터(T1, T2, T3)를 P타입의 트랜지스터가 사용되는 것을 예로 설명한다. 한편, N타입의 트랜지스터가 제1 내지 제3트랜지스터(T1, T2, T3)로서 사용될 수 있음을 당업자에게 있어 자명하고, 더욱이 제1 내지 제3트랜지스터(T1, T2, T3) 중 일부에 대해서는 P타입의 트랜지스터를 사용하고 나머지에 대해서는 N타입의 트랜지스터를 사용할 수 있음을 당업자에게 자명하다.

[0024] 제1트랜지스터(T1)는 스위칭 트랜지스터의 기능을 할 수 있다. 제1트랜지스터(T1)의 게이트전극은 스캔배선(SCAN)에 연결될 수 있고, 제1트랜지스터(T1)의 소스전극은 데이터배선(DL)에 연결될 수 있다. 또한 제1트랜지스터(T1)의 드레인전극은 커페시터(C)의 제1전극과 연결될 수 있다. 여기서, 제1트랜지스터(T1)와 커페시터(C)의 접점을 제1노드(N1)라고 칭한다.

[0025] 제2트랜지스터(T2)는 구동 트랜지스터로서 기능할 수 있다. 제2트랜지스터(T2)의 게이트전극은 제1노드(N1)를 통해 커페시터(C)의 제1전극과 제1트랜지스터(T1)의 드레인전극과 연결될 수 있고, 소스전극은 전원배선(Vdd)과 연결될 수 있다. 또한, 제2트랜지스터(T2)의 드레인전극은 유기발광다이오드(E)의 애노드전극에 연결될 수 있다.

- [0026] 제3트랜지스터(T3)는 샘플링 트랜지스터의 기능을 할 수 있다. 제3트랜지스터(T3)의 게이트전극은 센싱배선(SEN)에 연결될 수 있고, 소스전극은 기준전압배선(Vref)에 연결될 수 있다. 또한 제3트랜지스터(T3)의 드레인전극은 커패시터(C)의 제2전극과 연결될 수 있다. 여기서, 제3트랜지스터(T3)와 커패시터(C)의 접점을 제2노드(N2)라고 칭한다.
- [0027] 커패시터(C)는 스토리지 커패시터의 기능을 할 수 있다. 커패시터(C)의 제1전극은 제1노드(N1)에 연결되고, 제2전극은 제2노드(N2)에 연결될 수 있다.
- [0028] 제3트랜지스터(T3)의 드레인전극과 커패시터(C)의 제2전극은 제2노드(N2)를 통해 제2트랜지스터(T2)의 드레인전극과 연결되고 유기발광다이오드(E)의 애노드전극과 연결될 수 있다.
- [0029] 전술한 바와 같은 관계로, 제1 내지 제3트랜지스터(T1, T2, T3)와 커패시터(C)와, 유기발광다이오드(E)가 서로 연결되어, 화소영역(P)에 입력되는 다수의 신호들을 통해 동작하고 빛을 발광하게 된다.
- [0030] 이하 전술한 바와 같은 구성요소들의 기능에 대해 상세히 살펴본다.
- [0031] 제1 및 제3트랜지스터 (T1, T3)는 제1시간구간(예를 들어 초기화구간)에서 스캔배선(SCAN)을 통해 턴-온 전압이 인가되고, 센싱배선(SEN)을 통해 턴-온전압이 인가되어, 그에 따라 제1, 제3트랜지스터(T1, T3)는 턴-온된다. 이 때, 제1 및 제3트랜지스터, (T1, T3)가 P타입인 경우 로우레벨전압 또는 부극성전압이 턴-온 전압으로 사용될 수 있다.
- [0032] 이에 따라, 제1트랜지스터(T1)의 드레인전극과 제2트랜지스터(T2)의 게이트전극 및 커패시터(C)의 접점인 제1노드(N1)는 데이터전압에 대응되는 전압을 가지며, 제2트랜지스터(T2)의 드레인전극과, 커패시터(C)와 발광다이오드(E)의 접점인 제2노드(N2)는 초기전압을 갖는다.
- [0033] 이후, 제2시간구간(예를 들어 센싱구간)에서 스캔배선(SCAN)을 통해 턴-오프 전압이 인가되고, 센싱배선(SEN)을 통해 턴-온 전압이 인가되어, 그에 따라 제1트랜지스터(T1)는 턴-오프되고, 제3트랜지스터(T3)는 턴-온 상태가 유지된다.
- [0034] 이에 따라, 제1노드(N1)는 플로팅(floating)되고, 제2노드(N2)에는 제2트랜지스터(T2)를 흐르는 전류에 의하여 전하가 축적되어 전압이 상승하며, 이러한 제2노드(N2)의 전압 상승은 제2트랜지스터(T2)가 턴-오프 될 때까지 지속된다.
- [0035] 따라서, 제2노드(N2)는 제2트랜지스터(T2)가 턴-오프 될 때의 전압, 즉 데이터전압에서 제2트랜지스터(T2)의 문턱전압을 뺀 값에 대응되는 전압이 되며, 턴-온 된 제3트랜지스터(T3)에 연결된 초기화배선(Vref) 역시 이와 동일한 전압이 되며, 이 전압은 데이터구동부에 저장된다.
- [0036] 이후, 제3시간구간(예를 들어 종료구간)에서 스캔배선(SCAN)과 센싱배선(SEN)은 턴-오프 전압을 가지며, 이에 따라 제1, 제3트랜지스터(T1, T3)는 턴-오프 된다.
- [0037] 이에 따라, 데이터구동부에 저장되어 있는 전압(즉, 데이터신호-문턱전압)이 아날로그-디지털 변환기(미도시)로 전달되어 이에 대응되는 센싱데이터가 생성된다. 이러한 센싱데이터를 이용하여 제2트랜지스터(T2)의 열화를 보상할 수 있다.
- [0038] 이하, 도면을 참조하여, 본 발명에 따른 유기전계발광 표시장치의 특정적인 부분인 제1커패시터가 제2트랜지스터와 중첩되는 단면구조를 설명한다.
- [0039] 도 3은 본 발명에 따른 유기전계발광 표시장치의 일 화소영역의 단면도를 도시한 도면이다.
- [0040] 도 3을 참조하면, 본 발명에 따른 유기전계발광 표시장치는 투명한 유기 또는 플라스틱 등의 절연물질로 이루어진 기판(100) 상에 전면으로 무기절연물질 예를 들면 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiN<sub>X</sub>)으로 베퍼층(102)이 형성되고, 베퍼층(102) 상에 제1액티브층(미도시), 제2액티브층(113a) 및 제3액티브층(115a)이 형성된다. 이 때, 각 액티브층(미도시, 113a, 115a)은 비정질 실리콘, 다결정질 실리콘 및 산화물 반도체 등으로 형성될 수 있다.
- [0041] 상기 각 액티브층(미도시, 113a, 115a)은 양측면으로 고농도의 불순물 이온이 도핑된 제1드레인영역(112a), 제2드레인영역(114a) 및 제3드레인영역(114a)으로 구성된다. 이때, 제2드레인영역(114a)과 제3드레인영역(114a)은 명칭을 달리 하였지만 실제 동일영역으로 구성될 수 있다.
- [0042] 상기 각 액티브층(미도시, 113a, 115a) 상에 게이트절연막(110)이 형성된다. 또한, 상기 게이트절연막(110) 상

에 각 액티브층(미도시, 113a, 115a)에 대응하여 제1케이트전극(미도시), 제2케이트전극(123a) 및 제3케이트전극(125a)이 형성된다. 또한, 게이트절연막(110) 상에 일방향으로 연장하는 스캔배선(도 2 참고, SCAN) 및 센싱배선(도 2 참고, SEN)이 형성된다. 이 때, 제3케이트전극(125a)은 센싱배선(도 2 참고, SEN)의 일부분으로 형성될 수 있다.

[0043] 이때, 상기 제1케이트전극(미도시), 제2케이트전극(123a), 제3케이트전극(125a), 스캔배선(도 2 참고, SCAN) 및 센싱배선(도 2 참고, SEN)은 동일 물질로 상기 게이트 절연막(110) 상에서 함께 형성될 수 있다.

[0044] 상기 각 게이트전극(123a, 125a)과 스캔배선과 센싱배선(도 2 참고, SCAN, SEN) 상부로 제1충간절연막(120)이 형성된다. 이때, 제1충간절연막(120)은 제1드레인영역(112a), 제2케이트전극(123a) 및 제2, 제3드레인영역(114a)을 각각 노출시키는 제1, 제2, 제3콘택홀(CH1, CH2, CH3)을 구비한다.

[0045] 상기 제1충간절연막(120) 상에 제1콘택홀(CH1)을 통해 제2, 제3드레인영역(114a)에 접촉하는 제2드레인전극(133b) 및 제3드레인전극(135b)이 형성된다. 또한, 제1충간절연막(120) 상에 제2콘택홀(CH2)을 통해 제2케이트전극(123a)과 제1드레인영역(112a)에 접촉하는 제1연결패턴(133d)이 형성된다. 이때, 제1연결패턴(133d)은 제1드레인전극(미도시)과 연결되도록 형성된다.

[0046] 한편, 도시하지 않았지만, 각각의 액티브층과 접촉하는 각각의 소스 및 드레인전극이 형성된다. 즉, 상기 제1충간절연막(120) 상에는 상기 제2드레인전극(133b)과 이격하여 채널을 이루는 제2소스전극(미도시), 제3드레인전극(135b)과 이격하여 채널을 이루는 제3소스전극(미도시), 제1드레인전극(미도시) 및 상기 제1드레인전극(미도시)과 이격하여 채널을 이루는 제1소스전극(미도시)이 형성된다.

[0047] 또한, 도시하지는 않았지만, 제1충간절연막(120) 상으로 스캔배선(도 2 참고, Scan)과 교차하여 화소영역을 정의하는 데이터배선(도 2 참고, DL)이 형성되어 있으며, 데이터배선(도 2 참고, DL)과 이격하여 전원전압을 인가하기 위한 전원배선(도 2 참고, Vdd)과 기준전압을 공급하는 기준전압배선(도 2 참고, Vref)이 형성되어 구비된다.

[0048] 상기 제2드레인전극(133b), 제3드레인전극(135b) 및 제1연결패턴(133d)은 도전성을 갖는 금속으로 예를 들면, Al, Cu, Mo, Nd, Ti, Pt, Ag, Nb, Cr, W, Ta 과 이들의 합금 중 적어도 하나의 단일층 또는 둘 이상의 이중층 구조로 형성될 수 있다. 또한, 상기 제1드레인전극(미도시), 제2드레인전극(133b), 제3드레인전극(135b), 제1소스전극(미도시), 제2소스전극(미도시), 제3소스전극(미도시), 제1연결패턴(133d), 데이터배선(도 2 참고, DL), 전원배선(도 2 참고, Vdd) 및 기준전압배선(도 2 참고, Vref)은 동일한 물질로 상기 제1충간절연막(120) 상에 형성될 수 있다.

[0049] 이 때, 제1액티브영역(미도시), 제1케이트전극(미도시), 제1소스전극(미도시) 및 제1드레인전극(미도시)는 제1트랜지스터(T1)를 이루며, 제2액티브영역(113a), 제2케이트전극(123a), 제2소스전극(미도시) 및 제2드레인전극(133b)는 제2트랜지스터(T2)를 이루고, 제3액티브영역(115a), 제3케이트전극(125a), 제3소스전극(미도시) 및 제3드레인전극(135b)은 제3트랜지스터(T3)를 이룬다.

[0050] 이어서, 제2드레인전극(133b), 제3드레인전극(135b) 및 제1연결패턴(133d)을 덮으며 기판(100) 전면에 제2충간절연막(130)이 형성된다. 상기 제2충간절연막(130) 상에는 제2케이트전극(123a)과 중첩되고 제2드레인영역(114a) 일부와 중첩되며 제1커패시터전극(149a)이 형성된다. 이때, 상기 제1커패시터전극(149a)은 도전성을 갖는 Al, Cu, Mo, Nd, Ti, Pt, Ag, Nb, Cr, W, Ta 중 적어도 하나의 단일층 또는 둘 이상의 합금으로 형성할 수 있다.

[0051] 상기 제1커패시터전극(149a)을 덮고 기판(100) 전면으로 제3충간절연막(140)이 형성된다. 이때, 상기 제2충간절연막(130)과 제3충간절연막(140)은 제1커패시터전극(149a)의 일부와 제2드레인전극(133b) 또는 제3드레인전극(135b)의 일부를 노출시키는 제4콘택홀(CH4)과, 제1연결패턴(133d)의 일부를 노출시키는 제5콘택홀(CH5)을 구비한다.

[0052] 상기 제3충간절연막(140) 상에 상기 제4콘택홀(CH4)을 통해 제1커패시터전극(149a)과 제2드레인전극(133b) 또는 제3드레인전극(135b)과 접촉하는 제2연결패턴(151)이 형성된다. 또한, 상기 제3충간절연막(140) 상에 상기 제2연결패턴(151)과 소정간격 이격하여 제5콘택홀(CH5)을 통해 제1연결패턴(133d)과 접촉하는 제2커패시터전극(149b)이 형성되어 있다. 여기서, 제1커패시터전극(149a)과 제2커패시터전극(149b)은 스토리지 커패시터(Cst)를 형성한다. 즉, 상기 제2연결패턴(151)과 제2커패시터전극(149b)은 동일물질로 상기 제3충간절연막(140) 상에 형성될 수 있다.

- [0053] 본 발명은 제2케이트전극(123a)과 중첩되며, 제1드레인전극(미도시)부터 제3드레인전극(135b)의 사이에 해당하는 화소영역(P)에 걸쳐 스토리지 커패시터(Cst)가 형성되는 것을 특징으로 한다. 이 때, 스토리지 커패시터(Cst)는 스캔배선(도 2 참고, SCAN) 및 데이터배선(도 2 참고, DL)과 일부 중첩되며 형성될 수 있다.
- [0054] 이어서, 제2커패시터전극(149b)과 제2연결패턴(151)을 덮으며 기판(100) 전면으로 평탄화막(150)이 형성된다. 이때, 평탄화막(150)은 제2연결패턴(151)을 노출시키는 제6콘택홀(CH6)을 구비한다.
- [0055] 상기 평탄화막(150) 상에 제6콘택홀(CH6)을 통해 제2연결패턴(151)과 연결되는 애노드전극(161a)이 형성된다. 상기 애노드전극(161a)은 일함수 값이 비교적 큰 투명 도전성 물질, 예를 들면 인듐-텅-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어질 수 있다.
- [0056] 또한, 애노드전극(161a)의 가장자리에 뱅크(160)가 형성되어 애노드전극(161a)의 중앙부를 노출시킨다. 노출된 애노드전극(161a) 상에 유기발광층(161b)이 형성된다. 이때, 유기발광층(161b)은 유기발광물질로 이루어진 단일층으로 구성될 수도 있으며, 또는 발광 효율을 높이기 위해 다중층 구조로 이루어질 수도 있다.
- [0057] 유기발광층(161b)이 다중층 구조를 이루는 경우, 애노드전극(161a)의 상부로부터 순차적으로 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 5중층 구조로 형성될 수도 있으며, 또는 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 4중층 구조, 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer)의 3중층 구조로 형성될 수도 있다.
- [0058] 상기 유기발광층(161b)의 상에 캐소드전극(161c)이 형성된다. 캐소드전극(161c)은 일함수 값이 비교적 낮은 금속물질, 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 은(Ag), 마그네슘(Mg), 금(Au), 알루미늄마그네슘 합금(AlMg) 중 어느 하나 또는 둘 이상의 물질로 이루어질 수 있다. 이때, 애노드전극(161a) 및 캐소드전극(161c)과 그 사이에 형성된 유기발광층(161b)은 유기발광다이오드(E)를 형성한다.
- [0059] 이로써, 본 발명의 유기발광다이오드 표시장치는 스토리지 커패시터(Cst)를 구동 트랜지스터 상부로 구동 트랜지스터와 중첩하도록 형성하는 것으로, 스토리지 커패시터(Cst)의 정전용량을 확보함과 동시에 유기발광다이오드 표시장치 표시영역을 확보하고, 고해상도를 구현할 수 있는 효과를 갖는다.
- [0060] 도 4는 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 평면도이다.
- [0061] 도 4를 참조하면, 표시영역(P)과 비표시영역(L)의 경계인 도 1의 A영역을 확대한 평면도이다. 상기 비표시영역(L)에는 다수의 링크 배선이 형성된다. 상기 다수의 링크 배선은 제1링크배선(111)과 제2링크배선(141)으로 형성될 수 있다.
- [0062] 상기 제1링크배선(111) 및 제2링크배선(141)은 표시영역(P)에서 연장된 배선(GL)과 연결되도록 형성된다. 상기 배선(GL)은 스캔배선(도 2 참고, SCAN) 또는 센싱배선(도 2 참고, SEN)일 수 있다. 상기 제1링크배선(111)은 상기 배선(GL)과 일체로 연결되도록 형성될 수 있다. 또한, 상기 제2링크배선(141)은 상기 배선(GL)과 콘택홀을 통해 연결되도록 형성될 수 있다.
- [0063] 도 5는 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 단면도이다.
- [0064] 도 5를 참조하면, 도 4의 I-I' 단면도이며 상기 제1링크배선(111) 및 제2링크배선(141)과 배선(GL)의 연결부를 도시한 도면이다. 비표시영역(L)에서 기판(100)의 전면에 베퍼층(102)이 형성된다. 상기 베퍼층(102) 상에 게이트 절연막(110)이 형성되고, 상기 게이트 절연막(110) 상에 제1링크배선(111) 및 배선(GL)이 형성된다. 이때, 상기 베퍼층(102)과 게이트 절연막(110)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.
- [0065] 즉, 상기 배선(GL) 및 제1링크배선(111)은 게이트 절연막(110) 상인 동일층에서 동일물질로 형성될 수 있다. 이때, 상기 배선(GL)은 스캔배선(도 2 참고, SCAN) 또는 센싱배선(도 2 참고, SEN)일 수 있다. 상기 스캔배선(도 2 참고, SCAN) 또는 센싱배선(도 2 참고, SEN)은 도 3에서 기재한 바와 같이, 표시영역(P)에 형성되는 제1게이트전극(미도시), 제2게이트전극(도 3 참고, 123a) 및 제3게이트전극(도 3 참고, 125a)과 동일 물질로 상기 게이트 절연막(110) 상에서 함께 형성될 수 있다.
- [0066] 따라서, 상기 제1링크배선(111)은 표시영역(P)에 형성되는 다수의 게이트 전극과 스캔배선(SCAN)과 센싱배선(SEN)과 함께 동일물질로 동일층에서 형성될 수 있다. 특히, 상기 스캔배선(SCAN) 또는 센싱배선(SEN)과 일체로

형성될 수 있다.

[0067] 상기 제1링크배선(111) 및 배선(GL) 상에 제1층간절연막(120) 및 제2층간절연막(130)이 적층되어 형성된다. 이 때, 상기 제1층간절연막(120) 및 제2층간절연막(130)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.

[0068] 이후, 상기 제1층간절연막(120)과 제2층간절연막(130)은 상기 배선(GL)을 노출하는 콘택홀을 구비하도록 형성된다. 상기 콘택홀을 통해 제2링크배선(141)이 상기 배선(GL)과 접하도록 상기 제2층간절연막(130) 상에 형성된다.

[0069] 이때, 상기 제2링크배선(141)은 도 3을 참조하면, 표시영역(P)에서 제2층간절연막(130) 상에 형성되는 제1커패시터전극(149a)과 동일층에서 형성된다. 또한, 상기 제2링크배선(141)과 제1커패시터전극(149a)은 동일물질로 형성될 수 있다.

[0070] 이어서, 상기 제2링크배선(141) 상에는 제3층간절연막(140)과 평탄화막(150)이 더 적층되어 형성될 수 있다. 상기 제3층간절연막(140)과 평탄화막(150)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.

[0071] 즉, 본 발명에 따른 유기전계발광 표시장치는 듀얼 링크(dual link) 구조를 적용함에 따라 동일한 수의 링크 배선을 기준보다 적은 폭에 설계할 수 있다. 이로 인해, 유기전계발광 표시장치의 베젤 폭을 감소시킬 수 있다. 상기 제1링크배선(111)과 제2링크배선(141)은 교대로 반복되어 형성될 수 있으며, 서로 다른 층에 형성될 수 있다. 상기 제1링크배선(111)은 게이트절연막(110) 상에서 형성되고, 상기 제2링크배선(141)은 제2층간절연막(130) 상에서 형성된다.

[0072] 도 6은 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 평면도이다.

[0073] 도 6을 참조하면, 도 1의 비표시영역(L)의 B영역을 확대한 평면도이다. 상기 B영역에서는 전원연결배선(131)이 일방향으로 연장되도록 형성되며, 상기 전원연결배선(131)은 제1링크배선(111) 및 제2링크배선(141)과 각각 중첩된다.

[0074] 이로 인해, 상기 전원연결배선(131)과 제1링크배선(111) 사이에서 제1기생커패시터가 발생하고, 상기 전원연결배선(131)과 제2링크배선(141) 사이에서 제2기생커패시터가 발생한다. 이때, 상기 제1기생커패시터와 제2기생커패시터가 서로 상이한 값을 가지면서, 상기 제1링크배선(111)과 제2링크배선(141) 간에 RC delay 편차가 발생하며 배선으로 전달되는 신호에 지연 차이가 발생한다. 이러한 차이는 화질에 영향을 미치며, 화질 품위가 저하되는 문제점이 있다.

[0075] 본 발명에 따른 유기전계발광 표시장치는 상기 제1기생커패시터와 제2기생커패시터가 동일한 값으로 형성되도록 함으로써, 화질 품위를 향상시킬 수 있다. 단면도를 참조하여 설명하면 다음과 같다.

[0076] 도 7은 본 발명에 따른 유기전계발광 표시장치의 비표시영역 일부를 확대한 단면도이다.

[0077] 도 7을 참조하면, 도 6의 II-II' 단면도이며, 전원연결배선(131)과 제1링크배선(111) 또는 제2링크배선(141)이 중첩되는 구조를 도시한 도면이다. 비표시영역(L)에서 기판(100)의 전면에 베퍼층(102)이 형성된다. 상기 베퍼층(102) 상에 게이트 절연막(110)이 형성되고, 상기 게이트 절연막(110) 상에 제1링크배선(111)이 형성된다. 이 때, 상기 베퍼층(102)과 게이트 절연막(110)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.

[0078] 또한, 도 5에서 기재한 바와 같이, 상기 제1링크배선(111)은 표시영역(P)에 형성되는 제1게이트전극(미도시), 제2게이트전극(도 3 참고, 123a), 제3게이트전극(도 3 참고, 125a), 스캔배선(도 2 참고, SCAN) 및 센싱배선(도 2 참고, SEN)과 동일 물질로 동일층인 상기 게이트 절연막(110) 상에서 함께 형성될 수 있다.

[0079] 상기 제1링크배선(111) 상에 제1층간절연막(120)이 형성된다. 이때, 상기 제1층간절연막(120)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.

[0080] 상기 제1층간절연막(120) 상에 전원연결배선(131)이 형성된다. 상기 전원연결배선(131)은 비표시영역(L)에서 일방향으로 연장되어 형성된다. 상기 전원연결배선(131)은 도 3을 참조하면, 표시영역(P)에서 제1층간절연막(120) 상에 형성되는 제1드레인전극(미도시), 제2드레인전극(133b), 제3드레인전극(135b), 제1소스전극(미도시), 제2소스전극(미도시), 제3소스전극(미도시), 제1연결패턴(133d), 데이터배선(도 2 참고, DL), 전원배선(도 2 참고, Vdd) 및 기준전압배선(도 2 참고, Vref)과 동일층에서 형성된다. 또한, 상기 전원연결배선(131)은 표시영역(P)에서 형성된 제1층간절연막(120) 상에 형성되는 제1드레인전극(미도시), 제2드레인전극(133b), 제3드레인전극(135b), 제1소스전극(미도시), 제2소스전극(미도시), 제3소스전극(미도시), 제1연결패턴(133d), 데이터배선(도 2 참고, DL), 전원배선(도 2 참고, Vdd) 및 기준전압배선(도 2 참고, Vref)과 동일물질로 형성될 수 있다.

[0081] 이때, 상기 전원연결배선(131)은 상기 전원배선(도 2 참고, Vdd) 또는 기준전압배선(도 2 참고, Vref)과 연결되도록 형성될 수 있다. 즉, 이때, 상기 전원연결배선(131)은 상기 전원배선(도 2 참고, Vdd) 또는 기준전압배선(도 2 참고, Vref)과 일체로 형성될 수 있다. 이로 인해, 상기 전원연결배선(131)은 전원전압을 인가하기 위한 구성이거나, 기준전압을 공급하는 구성일 수 있다.

[0082] 상기 전원연결배선(131) 상에 제2층간절연막(130)이 적층되어 형성된다. 이때, 상기 제2층간절연막(130)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.

[0083] 상기 제2층간절연막(130) 상에 제2링크배선(141)이 형성된다. 이때, 상기 제2링크배선(141)은 도 3을 참조하면, 표시영역(P)에서 제2층간절연막(130) 상에 형성되는 제1커패시터전극(149a)과 동일층에서 형성된다. 또한, 상기 제2링크배선(141)과 제1커패시터전극(149a)은 동일물질로 형성될 수 있다.

[0084] 이어서, 상기 제2링크배선(141) 상에는 제3층간절연막(140)과 평탄화막(150)이 더 적층되어 형성될 수 있다. 상기 제3층간절연막(140)과 평탄화막(150)은 표시영역(P)과 비표시영역(L)에서 동일하게 형성된다.

[0085] 즉, 상기 제1링크배선(111)과 전원연결배선(131) 사이에 제1층간절연막(120)이 형성되고, 상기 제2링크배선(141)과 전원연결배선(131) 사이에 제2층간절연막(130)이 형성된다. 이로 인해, 상기 제1링크배선(111)과 전원연결배선(131) 사이에는 제1기생커패시터(PC2)가 형성되고, 제2링크배선(141)과 전원연결배선(131) 사이에 제2기생커패시터(PC1)가 형성된다.

[0086] 이때, 상기 제1기생커패시터(PC2)와 제2기생커패시터(PC1)가 서로 상이한 값을 가지게 되면, 신호 지연이 서로 상이하게 발생한다. 이러한 신호지연의 차이는 화질 품위를 저하시킨다. 따라서, 상기 제1기생커패시터(PC2)와 제2기생커패시터(PC1)가 동일한 값을 갖도록 할 필요가 있다.

[0087] 상기 제1기생커패시터(PC2)와 제2기생커패시터(PC1)가 동일한 값을 갖도록 하기 위해서, 상기 제1층간절연막(120)과 제2층간절연막(130)의 두께를 조절하여 형성한다.

## 수학식 1

$$C = \epsilon \times \frac{A}{d}$$

[0088]

[0089] 상기 식에서, C는 커패시터,  $\epsilon$ 은 유전율, A는 면적, d는 두께이다. 즉, 상기 제1기생커패시터(PC2)와 제2기생커패시터(PC1)가 동일한 커패시터값을 갖기 위해서는 두 링크배선이 전원연결배선(131)과 중첩되는 면적은 동일하다고 판단되므로, 유전율과 두께가 조절되어야 한다. 이때, 상기 유전율은 물질 고유의 값으로 변경이 용이하지 않다.

[0090]

따라서, 상기 제1층간절연막(120)과 제2층간절연막(130) 유전율에 따라서, 두께를 적절하게 형성하여 상기 제1기생커패시터(PC2)와 제2기생커패시터(PC1)가 동일한 커패시터값을 갖도록 형성한다. 보다 자세하게는, 상기 제1층간절연막(120)의 두께와 제2층간절연막(130)의 두께의 비(ratio)는 상기 제1층간절연막(120)의 유전율과 제2층간절연막(130)의 유전율의 비(ratio)와 같다. 예를 들어, 상기 제1층간절연막(120)이 유전율이 6.5인 SiNx로 형성되고, 제2층간절연막(130)이 유전율이 3.9인 SiO2로 형성되는 경우, 상기 제1층간절연막(120)의 두께와 제2층간절연막(130)의 두께의 비가 6.5:3.9로 형성되도록 한다.

[0091]

이로써, 상기 제1기생커패시터(PC2)와 제2기생커패시터(PC1)가 동일한 값을 가지며, 제1링크배선(111)과 제2링크배선(141) 사이에 신호 지연 차이가 발생하지 않는다. 또한, 두 기생커패시터의 편차를 개선함으로써, 화질 품위를 개선할 수 있다.

[0092]

따라서, 본 발명에 따른 유기전계발광 표시장치 및 그 제조 방법은, 표시영역에서 스토리지 커패시터의 정전용량을 확보하고, 고해상도를 구현할 수 있다. 또한, 비표시영역에서 기생 커패시터의 편차를 개선하여 링크 배선 간의 신호 지연 편차를 개선하고 화질 품위를 향상할 수 있다.

[0093]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

[0094]

100: 기관

102: 벼파총

110: 게이트 절연막

111: 제1링크배선

120: 제1층간절연막

130: 제2층간절연막

131: 전원연결배선

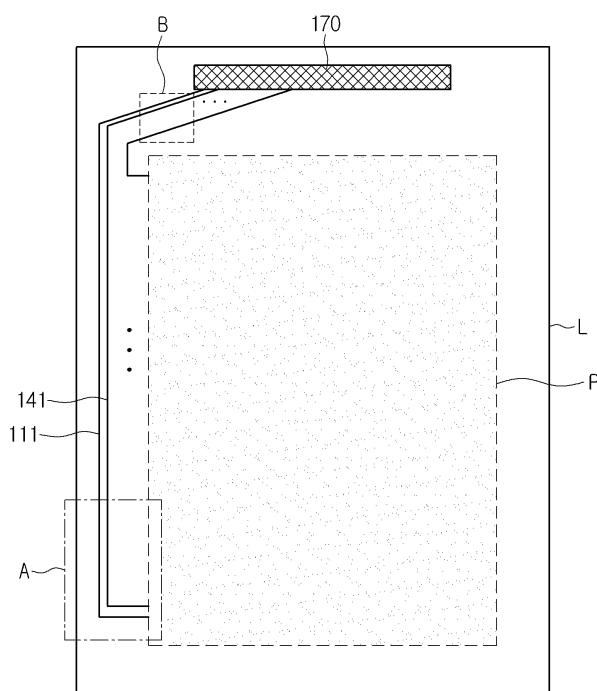
140: 제3층간절연막

141: 제2링크배선

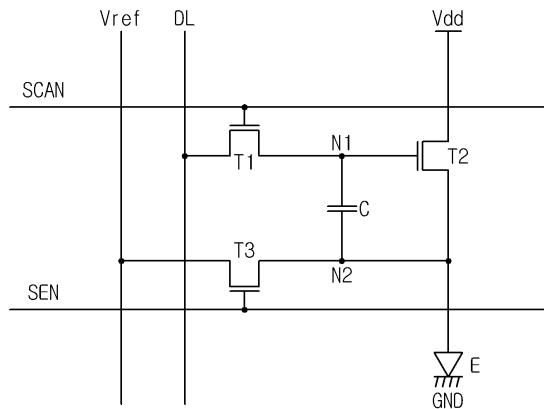
150: 평탄화막

### 도면

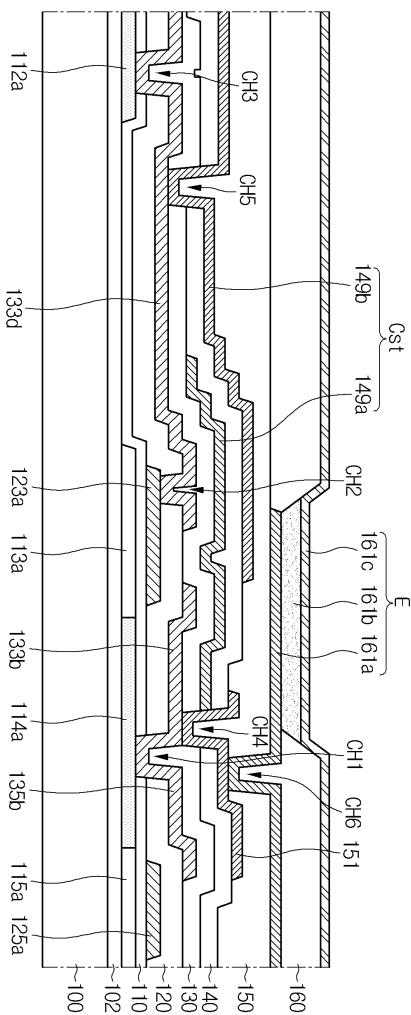
#### 도면1



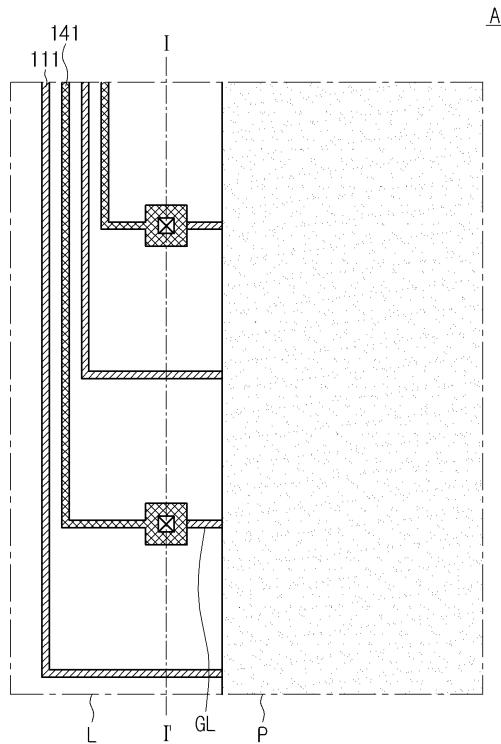
도면2



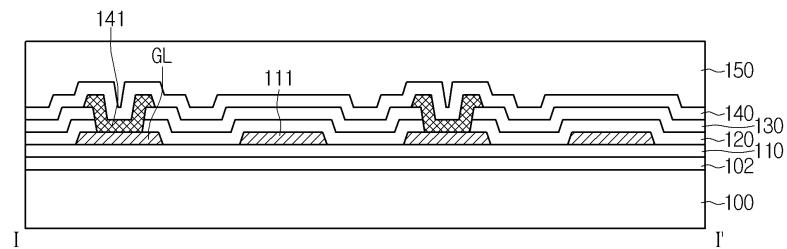
도면3



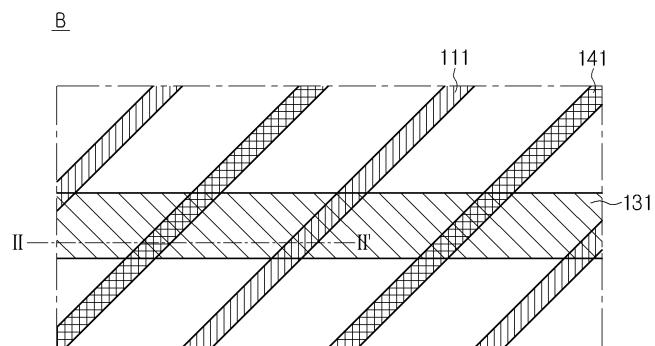
도면4



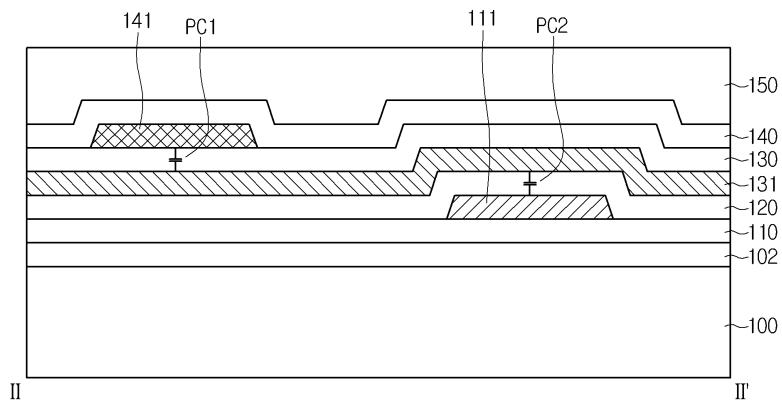
도면5



도면6



도면7



专利名称(译)	标题 : 有机电致发光显示装置		
公开(公告)号	<a href="#">KR1020150078917A</a>	公开(公告)日	2015-07-08
申请号	KR1020130168770	申请日	2013-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON SUNG WOOK		
发明人	YOON, SUNG WOOK		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3258		
代理人(译)	KIM KI MOON		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明公开了一种有机电致发光显示装置。根据本发明的一个方面，提供了一种有机发光显示装置，包括：分成显示区域和非显示区域的基板；第一连接布线形成在基板的非显示区域上；在第一连接布线上的基板的整个表面上形成第一层间绝缘膜；电源连接布线形成在第一层间绝缘膜上；在电源连接线上的基板的整个表面上形成第二层间绝缘膜；并且在第二层间绝缘膜上形成第二连接布线。因此，根据本发明的有机发光显示装置可以确保存储电容器的电容在显示区域中并实现高分辨率。此外，可以改善非显示区域中寄生电容的偏差，以改善链路布线之间的信号延迟偏差，可以改进。

