



## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관상부에 형성되는 게이트 금속층;

상기 게이트 금속층 상부에 형성되어 상기 게이트 금속층 일부를 노출하는 게이트 절연막 및 식각방지막;

상기 식각 방지막 상부에 형성되는 제1 소스 및 드레인 금속층;

상기 제1 소스 및 드레인 금속의 일정영역을 노출시키며 상부에 형성되는 패시베이션막;

상기 패시베이션막의 상부에 형성되며, 상기 일정영역 노출된 제1 소스 및 드레인 금속과 접촉하는 제2 소스 및 드레인 금속층;

상기 제2 소스 및 드레인 금속층의 제1 영역 및 제2 영역을 각각 노출시키는 제1 콘택홀 및 제2 콘택홀을 포함하는 층간절연막; 및

상기 층간절연막의 상부에 형성되어 상기 제1 콘택홀을 덮으며, 일 방향으로 연장되어 상기 제2 콘택홀을 덮는 애노드 금속층

을 포함하는 유기전계 발광표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 게이트 금속층과 동일층에 형성되는 게이트 전극;

상기 게이트 절연막 상부로 상기 게이트 전극과 중첩되게 형성되는 반도체층;

상기 제1 소스 및 드레인 금속층과 동일층에 형성되며, 상기 식각방지막에 의해 노출된 영역을 통해 상기 반도체층과 접촉하는 소스 및 드레인 전극; 및

상기 제2 소스 및 드레인 금속층과 동일층에 상기 반도체층과 중첩되도록 형성되는 보조 게이트 전극

을 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 3

제 1항에 있어서,

상기 제1 영역은,

상기 게이트 금속층과 상기 제1 소스 및 드레인 금속층이 캐패시터를 이루며, 상기 제1 및 제2 금속층이 절연된 영역인 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 제2 영역은,

상기 제1 소스 및 드레인 금속층과 상기 제2 소스 및 드레인 금속층이 직접 접촉하는 영역인 것을 특징으로 하는 유기전계 발광표시장치.

#### 청구항 5

기관을 준비하는 단계;

상기 기관상부에 게이트 금속층을 형성하는 단계;

상기 게이트 금속층 상부에 게이트 절연막 및 식각 방지막을 형성하는 단계;

상기 식각 방지막 상부에 제1 소스 및 드레인 금속층을 형성하는 단계;

상기 제1 소스 및 드레인 금속의 일정영역을 노출시키는 패시베이션막을 형성하는 단계;

상기 패시베이션막의 상부에 상기 제1 소스 및 드레인 금속과 접촉하는 제2 소스 및 드레인 금속층을 형성하는 단계;

상기 제2 소스 및 드레인 금속층의 제1 영역 및 제2 영역을 각각 노출시키는 제1 콘택홀 및 제2 콘택홀을 포함하는 층간절연막을 형성하는 단계; 및

상기 층간절연막의 상부에 상기 제1 콘택홀을 덮으며, 일 방향으로 연장되어 상기 제2 콘택홀을 덮는 애노드 금속층을 형성하는 단계

를 포함하는 유기전계 발광표시장치의 제조방법.

#### 청구항 6

제 5 항에 있어서,

상기 기관상부에 게이트 금속층을 형성하는 단계는,

상기 게이트 금속층과 동일층에 박막 트랜지스터의 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

#### 청구항 7

제 6 항에 있어서,

상기 게이트 절연막 및 식각 방지막을 형성하는 단계는,

상기 게이트 금속층을 포함하여 기관 전면에 상기 게이트 절연막을 형성하는 단계;

상기 게이트 전극과 중첩되도록 상기 박막트랜지스터의 반도체층을 형성하는 단계; 및

상기 반도체층의 일정영역을 노출시키며, 상기 게이트 절연막의 상부로 식각방지막을 형성하는 단계

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

#### 청구항 8

제 7 항에 있어서,

상기 제1 소스 및 드레인 금속층을 형성하는 단계는, 상기 제1 소스 및 드레인 금속층과 동일층에 형성되며, 상기 식각정지막에 의해 노출된 영역을 통해 상기 반도체층과 접촉하는 소스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

#### 청구항 9

제 8 항에 있어서,

상기 제2 소스 및 드레인 금속층을 형성하는 단계는,

상기 제2 소스 및 드레인 금속층과 동일층에 상기 반도체층과 중첩되는 보조 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

#### 청구항 10

제 5 항에 있어서,

상기 제1 영역은,

상기 게이트 금속층과 상기 제1 소스 및 드레인 금속층이 캐패시터를 이루며, 상기 제1 및 제2 금속층이 절연된

영역인 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

#### 청구항 11

제 5 항에 있어서,

상기 제2 영역은,

상기 제1 소스 및 드레인 금속층과 상기 제2 소스 및 드레인 금속층이 직접 접촉하는 영역인 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

#### 청구항 12

유기발광 다이오드와, 이를 제어하는 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 샘플링 박막트랜지스터를 포함하는 유기전계 발광표시장치의 검사방법에 있어서,

상기 스위칭 박막트랜지스터의 게이트 및 드레인 전극에 직류파형의 제1 전압을 인가하는 단계;

상기 구동 박막트랜지스터의 드레인 전극에 상기 제1 전압을 인가하는 단계; 및

상기 샘플링 박막트랜지스터의 드레인 전극에 직류파형의 제2 전압을 인가하고, 게이트 전극에 일정폭으로 스윙하는 제3 전압을 인가하는 단계

를 포함하는 유기전계 발광표시장치의 검사방법.

#### 청구항 13

제 12 항에 있어서,

상기 제1 전압은,

접지전압과 등전위의 전압인 것을 특징으로 하는 유기전계 발광표시장치의 검사방법.

#### 청구항 14

제 13 항에 있어서,

상기 제2 전압은,

상기 제1 전압보다 적어도 높은 전위의 전압인 것을 특징으로 하는 유기전계 발광표시장치의 검사방법.

#### 청구항 15

제 12 항에 있어서,

상기 제3 전압은,

전위가 -15 V 에서 20 V 사이로 스윙하는 전압인 것을 특징으로 하는 유기전계 발광표시장치의 검사방법.

### 발명의 설명

#### 기술 분야

[0001]

본 발명은 유기전계 발광표시장치에 관한 것으로, 특히 박막트랜지스터를 제어소자로 이용하는 유기전계 발광표시장치의 제조공정에서 발생한 단선불량으로 인한 오작동을 최소화하고 불량발생여부를 용이하게 검출할 수 있는 유기전계 발광표시장치, 이의 제조방법 및 검사방법에 관한 것이다.

#### 배경 기술

[0002]

기존의 음극선관(Cathode Ray Tube)표시장치를 대체하기 위한 평판표시장치(Flat Panel Display)로는 액정표시소자(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시장치(Plasma Display Panel) 및 유기전계 발광표시장치(Organic Light-Emitting Diode Display, OLED Display) 등이 있다.

[0003]

이중, 유기전계 발광표시장치에 구비되는 유기발광 다이오드는 높은 휘도와 낮은 동작 전압 특성을 가지며, 또

한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(CONTRAST RATIO)가 크고, 초박형 디스플레이의 구현이 용이하다. 또한, 응답시간이 수 마이크로초( $\mu s$ ) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이라는 장점이 있다.

[0004] 도 1은 종래의 유기전계 발광표시장치의 일 화소에 대한 등가 회로도이다.

[0005] 도 1을 참조하면, 종래의 유기전계 발광표시장치의 일 화소(PX)는 세 개의 박막트랜지스터(SWT, DRT, SST) 및 하나의 캐패시터(C1)를 구비하는 구조로서, 유기발광 다이오드(EL)와, 이에 전류를 공급하는 구동 박막트랜지스터(DRT)와, 데이터전압(Vdata)을 입력받으며 구동 박막트랜지스터(DRT) 사이에 연결되어 스캔신호(Vscan)에 따라 데이터전압(Vdata)을 구동 박막트랜지스터(DRT)의 게이트에 인가하는 스캔 박막 트랜지스터(SWT)와, 센싱 제어부(140)와 구동 박막트랜지스터(DRT) 사이에 연결되어 센싱신호(Vsense)에 따라 구동 박막트랜지스터(DRT)에 의한 전류를 싱크하기 위한 센싱 박막트랜지스터(SST) 및 구동 박막트랜지스터(DRT)의 게이트 및 소스 사이에 연결되는 캐패시터(C1)를 포함한다.

[0006] 이러한 유기전계 발광표시장치에서 Full-HD 이상의 고화질을 요구하는 고해상도 영상을 구현하기 위해서는 각 화소를 고개구율 구조로 구성하여야 하며, 고해상도 표시장치는 제조공정에서 침식, 미 패터닝, 단차불량 등의 불량이 발생할 확률이 종래보다 높으며, 이에 따른 불량 검출 방법 및 효율적인 리페어(repair) 방법이 요구된다.

[0007] 특히, 상기의 화소구조를 갖는 유기전계 발광표시장치에서 구동 박막트랜지스터(DR-TFT)의 소스 전극과 유기발광 다이오드(EL)의 애노드전극 사이를 연결하는 배선이 단선(open) 되는 불량이 종종 발생하였다. 이러한 불량은 상기 배선이 서로 다른 금속층에 형성되며 접촉하는 구조로서 하부층에 의한 단차에 의해 식각공정에서 오버식각되어 발생하는 문제이다.

[0008] 도 2는 종래의 유기전계 발광표시장치에서 단선불량이 발생한 일 예를 나타낸 단면도이다.

[0009] 도 2를 참조하면, 종래의 유기전계 발광표시장치는 기판(11)상에 순차적으로 형성되는 게이트 금속층(13), 게이트 절연막(15), 제1 소스 및 드레인 금속층(16), 패시베이션막(25), 제2 소스 및 드레인 금속층(27), 층간절연막(31) 및 애노드 금속층(43)이 형성되게 된다.

[0010] 이러한 구조를 페이스 씸(face seal) 구조라 하며, 여기서 제2 소스 및 드레인 금속층(27)은 구동 박막트랜지스터(도 1의 DRT)의 보조 게이트 전극의 역할을 한다. 즉, 구동 박막트랜지스터는 게이트 전극이 게이트 금속층(13) 및 제2 소스 및 드레인 금속층(27)의 두 개의 금속층으로 이루어진 듀얼 게이트(dual gate) 구조이다.

[0011] 도시된 바와 같이, 패시베이션 막(25)은 제2 소스 및 드레인 금속층(27)의 하부에서 제1 소스 및 드레인 금속층(16)을 절연하는 역할을 한다. 또한 패시베이션 막(25)은 애노드 금속층(43)이 제2 소스 및 드레인 금속층(27)을 통해 제1 소스 및 드레인 금속층(16)과 전기적으로 연결되도록 일측이 개구되어 있다.

[0012] 여기서, 제2 소스 및 드레인 금속층(27)의 식각공정에서 하부의 패시베이션 막(25)에 의해 발생하는 단차에 의해 오버식각되어 제2 소스 및 드레인 금속층(27)에 단선(open)불량이 종종 발생하게 되며, 이에 따라 애노드 금속층(43)으로의 전기적 신호가 정상적으로 인가되지 않게 된다.

[0013] 이는, 유기전계 발광표시장치의 예상치 못한 오작동을 유발하여 장치의 구동 신뢰성을 저하하는 원인이 된다.

## 발명의 내용

### 해결하려는 과제

[0014] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 유기전계 발광표시장치의 제조공정에서 단차에 의해 발생하는 단선불량에 따른 오작동을 이중화(redundancy)구조를 통해 최소화하는 데 있다.

[0015] 또한, 본 발명의 다른 목적으로서, 추가적인 단선불량이 발생한 화소구조에서도 불량발생 여부를 용이하게 검출 및 리페어 할 수 있는 검사방법을 제공하는 데 있다.

### 과제의 해결 수단

[0016] 상기의 목적을 달성하기 위해, 본 발명의 실시예에 따른 유기전계 발광표시장치는, 기판; 상기 기판상부에 형성되는 게이트 금속층; 상기 게이트 금속층 상부에 형성되는 게이트 절연막 및 식각방지막; 상기 식각 방지막 상부에 형성되는 제1 소스 및 드레인 금속층; 상기 제1 소스 및 드레인 금속의 일정영역을 노출시키며 상부에 형

성되는 패시베이션막; 상기 패시베이션막의 상부에 형성되며, 상기 제1 소스 및 드레인 금속과 접촉하는 제2 소스 및 드레인 금속층; 상기 제2 소스 및 드레인 금속층의 제1 영역 및 제2 영역을 각각 노출시키는 제1 콘택홀 및 제2 콘택홀을 포함하는 층간절연막; 및 상기 층간절연막의 상부에 형성되어 상기 제1 콘택홀을 덮으며, 일 방향으로 연장되어 상기 제2 콘택홀을 덮는 애노드 금속층을 포함한다.

[0017]

또한, 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 유기전계 발광표시장치의 제조방법은, 기판을 준비하는 단계; 상기 기판상부에 게이트 금속층을 형성하는 단계; 상기 게이트 금속층 상부에 게이트 절연막 및 식각 방지막을 형성하는 단계; 상기 식각 방지막 상부에 제1 소스 및 드레인 금속층을 형성하는 단계; 상기 제1 소스 및 드레인 금속의 일정영역을 노출시키는 패시베이션막을 형성하는 단계; 상기 패시베이션막의 상부에 상기 제1 소스 및 드레인 금속과 접촉하는 제2 소스 및 드레인 금속층을 형성하는 단계; 상기 제2 소스 및 드레인 금속층의 제1 영역 및 제2 영역을 각각 노출시키는 제1 콘택홀 및 제2 콘택홀을 포함하는 층간절연막을 형성하는 단계; 및 상기 층간절연막의 상부에 상기 제1 콘택홀을 덮으며, 일 방향으로 연장되어 상기 제2 콘택홀을 덮는 애노드 금속층을 형성하는 단계를 포함한다.

[0018]

또한, 상기의 목적을 달성하기 위해, 본 발명의 실시예에 따른 유기전계 발광표시장치의 검사방법은, 유기발광 다이오드와, 이를 제어하는 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 샘플링 박막트랜지스터를 포함하는 유기전계 발광표시장치의 검사방법에 있어서, 상기 스위칭 박막트랜지스터의 게이트 및 드레인 전극에 직류파형의 제1 전압을 인가하는 단계; 상기 구동 박막트랜지스터의 드레인 전극에 상기 제1 전압을 인가하는 단계; 및 상기 샘플링 박막트랜지스터의 드레인 전극에 직류파형의 제2 전압을 인가하고, 게이트 전극에 일정폭으로 스윕하는 제3 전압을 인가하는 단계를 포함한다.

### 발명의 효과

[0019]

본 발명의 실시예에 따르면, 유기전계 발광표시장치의 기판상에 단차에 의해 단선불량이 발생하기 쉬운 영역에 대하여 상부의 금속층을 이중화하여 적어도 하나의 콘택부를 더 형성함으로써 단선불량 발생시에도 정상적으로 신호를 인가할 수 있는 효과가 있다.

[0020]

또한, 추가 단선불량이 발생한 경우라 할지라도, 소정전위의 전압을 인가하여 통해 단선불량 발생여부를 용이하게 판단할 수 있는 효과가 있다.

### 도면의 간단한 설명

[0021]

도 1은 종래의 유기전계 발광표시장치의 일 화소에 대한 등가 회로도이다.

도 2는 종래의 유기전계 발광표시장치에서 단선불량이 발생한 일 예를 나타낸 단면도이다.

도 3은 본 발명의 실시예에 따른 유기전계 발광표시장치의 일 화소에 대한 평면도이고, 도 4는 도 3의 IV-IV' 및 V-V' 부분에 대한 단면도이다.

도 5a 내지 도 5h는 본 발명의 실시예에 따른 유기전계 발광 표시장치의 제조방법을 나타내는 공정 단면도이다.

도 6a 본 발명의 실시예에 따른 유기전계 발광표시장치의 단선불량 검사방법을 설명하기 위해 예시한 일 화소에 대한 등가회로도이고, 도 6b는 도 6a의 화소에 인가되는 신호들에 대한 신호파형도이다.

### 발명을 실시하기 위한 구체적인 내용

[0022]

이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 유기전계 발광표시장치, 이의 제조방법 및 검사방법을 설명한다.

[0023]

도 3은 본 발명의 실시예에 따른 유기전계 발광표시장치의 일 화소에 대한 평면도이고, 도 4는 도 3의 IV-IV' 및 V-V' 부분에 대한 단면도이다. 본 발명의 유기전계 발광표시장치의 일 화소는 3개의 박막트랜지스터를 포함하고 있다.

[0024]

도 3 및 도 4를 참조하면, 본 발명에 따른 유기전계 발광표시장치는, 기판(100)상에 게이트 전극 및 신호배선을 포함하는 게이트 금속층(113)이 형성되어 있다. 여기서, 기판(100)은 유기전계 발광표시장치가 종이처럼 휘어져도 표시 성능을 그대로 유지할 수 있도록 유연한 특성을 갖는 플렉서블(flexible) 플라스틱 재질로 이루어질 수 있다.

[0025]

또한, 게이트 금속층(113)은 저저항 특성을 갖는 제1 금속물질, 예를 들어 알루미늄(Al), 알루미늄 합금(AlNd),

구리(Cu), 구리 합금, 몰리브덴(Mo) 및 몰리타늄(MoTi) 중 어느 하나로 이루어지는 단일층 구조이거나 또는 둘 이상의 제1 금속물질들로 이루어짐으로써 이중층 또는 삼중층 구조로 형성될 수도 있다. 이러한 게이트 금속층(113)은 캐패시터(C1)의 하부전극을 이루고, 연장되어 구동 박막트랜지스터(DRT)의 게이트 전극(1131)을 이루게 된다.

[0026] 그리고, 게이트 금속층(113)을 포함한 기관의 표시영역 전면에는 절연물질, 예를 들어 무기절연물질인 산화실리콘( $\text{SiO}_2$ ) 또는 질화 실리콘( $\text{SiN}_x$ )으로 이루어진 게이트 절연막(115) 및 식각 정지막(116)이 형성된다.

[0027] 게이트 절연막(115)의 상부 및 식각 정지막(116) 사이에는, 각 박막트랜지스터(SWT, SST, DRT)에 대응하여 비정질 실리콘, 폴리실리콘 또는 반도체 산화물 중, 선택되는 어느 하나로 이루어지는 반도체층(121)이 형성된다. 이러한 반도체층(121)은 식각 정지막(116)상에 형성되는 콘택홀을 통해 일부 영역이 노출되며, 콘택홀을 포함하는 절연막(115) 및 식각 정지막(116) 상부에는 구동 박막트랜지스터(DRT)의 소스 및 데이터전극(1221), 데이터 신호(Vdata) 인가배선(1222), 전원전압(ELVDD)인가배선(1223)을 포함하는 제1 소스 및 드레인 금속층(122)이 형성된다.

[0028] 여기서, 제1 소스 및 드레인 금속층(122)은 예를 들어 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리 합금, 몰리브덴(Mo), 몰리타늄(MoTi), 크롬(Cr) 및 티타늄(Ti) 중 어느 하나 또는 둘 이상의 물질조합으로 이루어질 수 있다.

[0029] 특히, 구동 박막트랜지스터(DRT)에는 서로 이격하며 콘택홀을 통해 노출된 반도체층(121)과 각각 접촉하며 상기 금속물질로 이루어진 소스전극 및 드레인 전극(1221)이 형성되어 있다. 이에 따라, 게이트 전극(1131), 게이트 절연막(115), 반도체층(121) 및 소스 및 드레인 전극(1221)은 하나의 구동 박막트랜지스터(DRT)를 이루게 된다. 또한, 구동 박막트랜지스터(DRT) 이외에 스위칭 박막트랜지스터(SWT) 및 샘플링 박막트랜지스터(SST)도 동일 적층구조로 형성된다.

[0030] 여기서, 스위칭 박막트랜지스터(SWT)의 게이트 전극 및 드레인 전극은 각각 스캔배선 및 데이터 배선과 연결되어 있으며, 스위칭 박막트랜지스터(SWT)의 소스전극은 구동 박막트랜지스터(DRT)의 게이트 전극과 전기적으로 연결되어 있고, 샘플링 박막트랜지스터(SST) 및 구동 박막트랜지스터(DRT)의 소스 전극은 서로 연결되어 있다.

[0031] 또한, 제1 소스 및 드레인 금속층(122)은 캐패시터(C1)의 상부 전극을 이루게 된다.

[0032] 한편, 도면에서는 제1 소스 및 드레인 금속층(122)은 모두 단일층 구조를 갖는 것을 일례로 나타내고 있지만, 이는 두 금속물질의 조합에 의한 이중층 또는 삼중층 구조를 이룰 수도 있다.

[0033] 그리고, 제1 소스 및 드레인 금속층(122) 상부로는 구동 박막트랜지스터(DRT)를 덮으며, 제1 소스 및 드레인 금속층(122)의 일부를 노출시키는 패시베이션 막(125)이 형성된다. 특히, 패시베이션 막(125)의 일부영역은 식각되어 하부의 제1 소스 및 드레인 금속층(122)을 노출시키며, 상부의 제2 소스 및 드레인 금속층(127)과 접촉되도록 한다.

[0034] 패시베이션 막(125)의 상부로는 제2 소스 및 드레인 금속층(127)이 형성된다. 이러한 제2 소스 및 드레인 금속층(127)은 상기의 제1 소스 및 드레인 금속층(122)과 동일한 물질로 형성될 수 있으며, 특히 구동 박막트랜지스터(DRT)의 상부로 패터닝되어 게이트 전극(1131)과 동일한 전압이 인가됨으로서 듀얼 게이트(dual gate)구조를 이루게 되는 보조 게이트 전극(1271)을 포함한다.

[0035] 이러한 제2 소스 및 드레인 금속층(127)은 제1 소스 및 드레인 금속층(122)이 노출된 영역까지 연장되어 접촉됨에 따라, 그로부터 공급되는 신호가 애노드 금속층(143)까지 인가되도록 한다.

[0036] 그리고, 제2 소스 및 드레인 금속층(127)의 상부로는 층간 절연막(131)이 형성된다. 이러한, 층간 절연막(131)의 일부영역에는 하부의 제2 소스 및 드레인 금속층(127)을 노출시키는 제1 콘택홀(141)이 형성되어 있으며, 제1 콘택홀(141)을 포함하여 층간 절연막(131) 상부로는 각 화소별로 분리된 형태를 가지는 애노드 금속층(143)이 형성되어 있다.

[0037] 여기서, 제1 콘택홀(141)에 의해 노출되는 영역은 하부로 게이트 금속층(113)과 제1 소스 및 드레인 금속층(122)이 이루는 캐패시터(C1)와 중첩되며, 제2 소스 및 드레인 금속층(127)과 애노드 금속층(142)이 접촉되는 제1 영역으로 정의된다.

[0038] 상기 제1 영역에서는 제1 소스 및 드레인 금속층(122)과 제2 소스 및 드레인 금속층(127)이 패시베이션막(125)에 의해 서로 절연되어 있다.

- [0039] 애노드 금속층(143)은 유기발광 다이오드의 애노드 전극을 이루는 것으로, 도시되어 있지는 않지만, 애노드 금속층(143)의 상부로는 각각 적, 녹 및 청색을 발광하는 유기발광 패턴(미도시)으로 구성된 유기발광층 및 캐소드 전극(미도시)이 형성되어 있다. 이에 따라, 애노드 금속층(143) 및 캐소드 전극과, 두 전극사이에 개재된 유기발광층은 유기발광 다이오드를 이루게 된다.
- [0040] 여기서, 유기 발광층은 유기 발광물질로 이루어진 단일층으로 구성될 수도 있으며, 또는 발광 효율을 높이기 위해 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광 물질층(emitting material layer), 전자 수송층 (electron transporting layer) 및 전자 주입층(electron injection layer)의 다중층으로 구성될 수도 있다.
- [0041] 특히, 본 발명의 애노드 금속층(143)은 일 방향으로 연장되어 제1 콘택홀(141)이 아닌, 패시베이션 막(125)과 중첩되지 않는 제2 소스 및 드레인 금속층(127)이 노출되는 층간 절연막(131)의 제2 콘택홀(142)까지 연장되어 제2 소스 및 드레인 금속층(127)과 이중으로 접촉되는 것을 특징으로 한다.
- [0042] 즉, 하나의 화소에 포함된 층간 절연막(131)에는 패시베이션막(125)과 중첩되는 영역에 형성되는 제1 콘택홀(141) 뿐만 아니라, 패시베이션 막(125)이 식각되어 제1 소스 및 드레인전극(121) 및 제2 소스 및 드레인 전극(127)이 접촉되는 영역에 대응하여 제2 콘택홀(142)이 더 형성되고, 제2 콘택홀(142)까지 애노드 금속층(143)이 연장되어 이중(redundancy)으로 제2 소스 및 드레인 전극(127)과 애노드 금속층(143)이 접촉되게 된다.
- [0043] 여기서, 제2 콘택홀(142)에 의해 노출되는 영역은 게이트 금속층(113), 제1 소스 및 드레인 금속층(122), 제2 소스 및 드레인 금속층(127)과, 애노드 금속층(142)이 순차적으로 형성되어 서로 직접 접촉되는 제2 영역으로 정의된다.
- [0044] 이러한 구조에 따라, 제2 소스 및 드레인 전극(127)의 식각공정에서 패시베이션 막(125)의 단차에 의해 제2 소스 및 드레인 전극(127)의 단선(open)불량이 발생하게 되어도, 애노드 금속층(143) 및 제1 소스 및 드레인전극(121)간의 전기적 연결에는 변함이 없게 된다. 이러한 애노드 금속층(143)으로 공급되는 신호는 구동 박막트랜지스터(DRT)를 통해 인가되는 전원전압(ELVDD)이다.
- [0045] 한편, 애노드 금속층(143)의 상부로는 상기 유기발광층으로의 수분침투를 방지하기 위한 적어도 하나의 패시베이션막, 유기막 및 보호필름 등이 더 구비되어 하나의 유기전계 발광 표시장치를 이루게 된다.
- [0046] 이하, 도면을 참조하여 본 발명의 실시예에 따른 유기전계 발광 표시장치의 제조방법에 대해 도 5a 내지 5g를 참조하여 설명하면 다음과 같다.
- [0047] 도 5a 내지 도 5g는 본 발명의 실시예에 따른 유기전계 발광 표시장치의 제조방법을 나타내는 도 3의 IV-IV' 및 V-V'부분에 대한 공정 단면도이다. 먼저 도 5a를 참조하면, 도 5a의 (a)는 도 3의 IV-IV'부분에 대한 것으로 유기발광 표시장치의 애노드 전극과 구동 트랜지스터가 연결되는 영역이고, (b)는 도 3의 V-V' 부분에 대한 것으로 구동 트랜지스터 영역이다.
- [0048] 우선, 화소패턴을 형성하고자 하는 대상이 되는 기판(100)을 준비한다. 여기서, 기판(100)은 유기발광 표시장치가 휘어져도 표시 성능을 그대로 유지할 수 있도록 유연한 플렉서블(flexible)특성을 갖는 플라스틱 재질로 이루어질 수 있다.
- [0049] 다음으로, 기판(100)상에 절연물질 예를 들면 무기절연물질인 산화실리콘( $\text{SiO}_2$ ) 또는 질화 실리콘( $\text{SiN}_x$ )으로 이루어진 버퍼층(미도시)을 형성한다. 이러한 버퍼층(미도시)은 기판 및 상부로 형성되는 반도체층(미도시)의 특성에 따라 생략될 수 있다.
- [0050] 이어서, 버퍼층(미도시) 상에 저저항 특성을 갖는 제1 금속물질, 예를 들어 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리 합금, 몰리브덴(Mo), 몰리비타늄(MoTi) 중 어느 하나로 이루어진 단일층 구조 또는 둘 이상의 조합된 이중층 또는 삼중층 구조로 제1 금속물질을 형성하고, 마스크를 이용하여 패터닝 함으로서, 신호 배선을 포함하는 게이트 금속층(113) 및 구동 박막트랜지스터의 게이트 전극(1131)을 형성한다. 도면에서는 게이트 금속층(113)과 게이트 전극(1131)이 단일층 구조를 갖는 예를 나타내고 있다.
- [0051] 다음으로, 도 5b를 참조하면 게이트 금속층(113) 및 게이트 전극(1131)을 포함하는 기판(100)상부로 무기절연물질인 산화실리콘( $\text{SiO}_2$ ) 또는 질화 실리콘( $\text{SiN}_x$ )으로 이루어진 게이트 절연막(115)을 형성하고, 이어서 게이트 전극(1131)에 대응하여 비정질 실리콘, 폴리실리콘 또는 반도체 산화물 중, 선택되는 어느 하나로 이루어지는 반도체층(121)을 형성한다.

- [0052] 이어서, 도 5c를 참조하면, 게이트 절연막(115) 및 반도체층(121)의 상부로 절연물질을 증착하고, 게이트 절연막(115)의 일부영역과 함께 패터닝하여 게이트 금속층(113)과 반도체층(121)을 일부 노출하는 식각정지막(116)을 형성한다.
- [0053] 다음으로, 도 5d를 참조하면, 식각정지막(116)의 상부로 제2 금속물질을 증착 및 패터닝하여, 제1 소스 및 드레인 금속층(122) 및 구동 박막트랜지스터의 소스 및 드레인 전극(1221)을 형성한다. 이때, 제2 금속물질로는 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리 합금, 몰리브덴(Mo), 몰리타타늄(MoTi), 크롬(Cr), 티타늄(Ti) 중 어느 하나 또는 둘 이상의 물질이 사용될 수 있다.
- [0054] 또한, 제2 금속물질을 패터닝시 데이터 신호가 인가되는 데이터 배선 및 전원전압을 인가하는 전원 배선(미도시) 등이 함께 형성된다. 그리고, 식각정지막(116)의 콘택홀을 통해 노출된 상기 구동 박막트랜지스터의 반도체층(121)의 상부로 제2 금속물질이 접촉되고 패터닝됨에 따라 제2 금속물질로 이루어지는 소스 전극 및 드레인전극(1221)이 동시에 형성되게 된다. 이에 따라, 구동 박막트랜지스터 영역에 순차적으로 적층된 게이트 전극(1131), 반도체층(121), 소스 및 드레인 전극(1221)은 하나의 구동 박막트랜지스터를 이루게 된다.
- [0055] 여기서, 제1 소스 및 드레인 금속층(122)은 모두 단일층 구조를 갖는 것을 일례로 나타내고 있지만, 이들 구성요소는 서로 다른 두 금속물질을 조합하여 이중층 또는 삼중층 구조로 형성할 수도 있다.
- [0056] 그리고, 도면에는 도시되지 않았으나, 스위칭 박막트랜지스터 및 샘플링 박막트랜지스터 또한 상기 구동 박막트랜지스터와 동일한 적층 구조로 형성할 수 있다.
- [0057] 다음으로, 도 5e를 참조하면, 제1 소스 및 드레인 금속층(122)를 포함하는 기판(100) 전면에 절연물질을 증착 및 패터닝하여 패시베이션막(125)을 형성한다. 여기서, 패시베이션막(125)은 패터닝 공정을 통해 하부의 제1 소스 및 드레인 금속층(122)의 일부가 노출되도록 한다.
- [0058] 이어서, 도 5f를 참조하면, 패시베이션막(125)의 상부를 덮도록 제3 금속물질을 증착 및 패터닝하여, 제2 소스 및 드레인 금속층(127) 및 구동 박막트랜지스터의 보조 게이트 전극(1271)을 형성한다. 여기서, 제3 금속물질은 상기 제1 소스 및 드레인 금속층(127)을 이루는 제2 금속물질과 동일한 물질일 수 있다.
- [0059] 특히, 본 공정에서는 제2 소스 및 드레인 금속층(127)이 패시베이션막(125)에 형성된 콘택홀을 통해 제1 소스 및 드레인 금속층(122)과 접촉되도록 함으로서, 제1 소스 및 드레인 금속층(122)으로부터 인가되는 신호가 제2 소스 및 드레인 금속층(127)으로 공급되도록 한다. 또한, 보조 게이트 전극(1271)에는 게이트 전극(1131)과 동일한 신호가 인가됨에 따라 듀얼 게이트 구조의 구동 박막트랜지스터를 구현하게 된다.
- [0060] 다음으로, 도 5g를 참조하면, 제2 소스 및 드레인 금속층(127) 및 보조 게이트 전극(1271)를 포함하여 기판(100) 전면에 무기절연물질인 산화실리콘( $\text{SiO}_2$ ) 또는 질화 실리콘( $\text{SiN}_x$ ) 등을 증착 및 패터닝하여 층간 절연막(131)을 형성한다. 특히, 층간 절연막(131)상에는 절연물질 증착후, 패터닝 공정을 통해 제2 소스 및 드레인 금속층(127)에 대하여 적어도 두 영역이 노출되는 제1 및 제2 콘택홀(141, 142)을 형성하게 되는데, 제1 콘택홀(141)은 캐패시터의 상부로 중첩되도록 형성하며, 제2 콘택홀(142)은 제1 소스 및 드레인 금속층(122)과 제2 소스 및 드레인 금속층(127)이 직접 접촉되는 영역의 상부로 형성하게 된다.
- [0061] 이어서, 도 5h를 참조하면, 층간 절연막(131)상에 ITO와 같은 투명 금속물질을 증착한 후, 이를 선택적으로 패터닝하여 상기 제1 및 제2 콘택홀(141, 142)을 통해 제2 소스 및 드레인 금속층(127)과 접촉되며, 각 화소별로 분리된 형태를 가지는 이중화 구조의 애노드 금속층(143)을 형성한다.
- [0062] 특히 본 발명의 실시예에서는, 애노드 금속층(143)은 종래 대비 일 방향으로 제2 콘택홀(142)까지 더 연장되어 제2 콘택홀(142)을 통해 상부가 노출된 제2 소스 및 드레인 금속층(127)과 직접 접촉하도록 형성하는 것을 특징으로 한다.
- [0063] 이에 따라, 패시베이션막(125)의 단차에 의해 제2 소스 및 드레인 금속층(127)에 단선불량이 발생하게 되어도, 애노드 금속층(143)은 제1 소스 및 드레인 금속층(121)과 직접 접촉되는 제2 소스 및 드레인 금속층(127)의 영역과의 접촉이 유지됨에 따라 정상적으로 신호를 인가받게 된다.
- [0064] 그리고, 도시되어 있지는 않지만, 애노드 금속층(143)의 상부로 상기 유기발광층으로의 수분침투를 방지하기 위한 적어도 하나의 패시베이션막, 유기막 및 보호필름을 더 형성함으로서 하나의 유기전계 발광표시장치의 제조 공정을 완료하게 된다.
- [0065] 한편, 본 발명의 실시예에 따른 유기전계 발광표시장치에서 이중화 구조의 애노드 금속층이 정상적으로 형성되

었는지 여부와, 또는 정상적으로 형성되었다 하더라도 추가적으로 발생한 단선불량을 검출하기 위한 검사방법을 설명한다.

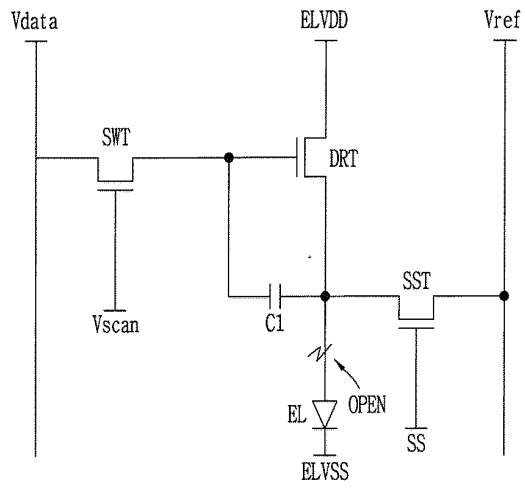
- [0066] 도 6a 본 발명의 실시예에 따른 유기전계 발광표시장치의 단선불량 검사방법을 설명하기 위해 예시한 일 화소에 대한 등가회로도이고, 도 6b는 도 6a의 화소에 인가되는 신호들에 대한 신호파형도이다.
- [0067] 도 6a 및 도 6b를 참조하면, 본 발명의 유기전계 발광표시장치의 단선불량 검사방법은 유기발광 다이오드(EL)와 이에 전류를 공급하는 구동 박막트랜지스터(DRT)사이의 단선불량을 검사하는 방법으로서, 스위칭 박막트랜지스터(SWT)의 게이트 및 드레인 전극에 직류파형의 제1 전압을 인가하는 단계와, 상기 구동 박막트랜지스터(DRT)의 드레인 전극에 상기 제1 전압을 인가하는 단계와, 샘플링 박막트랜지스터(SST)의 드레인 전극에 직류파형의 제2 전압을 인가하고, 게이트 전극에 일정폭으로 스윙하는 제3 전압을 인가하는 단계로 이루어진다. 이러한 전압인가 단계는 변동될 수 있다.
- [0068] 상세하게는, 구동 박막트랜지스터(DRT)의 드레인에 인가되는 전원전압(ELVDD)와, 스위칭 박막트랜지스터(SWT)의 드레인에 인가되는 데이터 전압(Vdata)과, 유기발광 다이오드(EL)의 캐소드 전극에 인가되는 접지전압(ELVSS)을 모두 제1 전압인 0 V으로 제어한다.
- [0069] 그리고, 샘플링 박막트랜지스터(SST)를 통해 인가되는 기준전압(Vref)을 제2 전압인 3 V로 고정하며, 이를 제어하는 전압(Vpul)인 제3 전압을 -15 V에서 20 V사이에서 스윙(swing)하는 파형으로 인가하게 된다.
- [0070] 이에 따라, 시인되는 유기발광 다이오드(EL)의 발광 형태에 따라 유기발광 다이오드(EL) 및 구동 박막트랜지스터(DRT)간의 단선불량 발생을 별도의 검출수단 없이도 용이하게 검출할 수 있다.
- [0071] 또한, 상기의 검사방법에 따라 유기발광 다이오드(EL)가 발광하지 않거나 그 휘도가 현저히 낮아 단선불량이 발생하는 것으로 판단되는 경우, 애노드 금속층(도 4의 143)과 인접한 제1 소스 및 드레인전극(도 4의 122) 또는 제2 소스 및 드레인전극(도 4의 127) 상부에 형성된 절연구조를 식각하여 일부영역을 노출시키고, 애노드 금속층과 노출된 영역을 덮는 단락패턴을 더 형성함으로써 리페어(repair)를 수행할 수 있다. 이러한 리페어 방식으로는 CVD Zapping 방식이 적용될 수 있다.
- [0072] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

### 부호의 설명

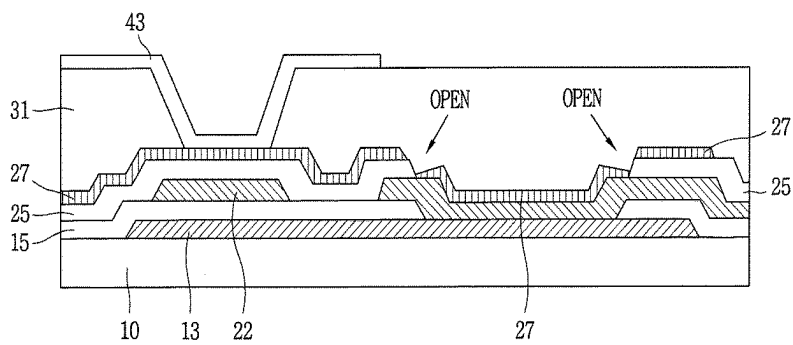
- [0073] 100 : 기관      113 : 게이트 금속층
- 1131 : 게이트 전극    115 : 게이트 절연막
- 116 : 식각정지막    121 : 반도체층
- 122 : 제1 소스 및 드레인 금속층    1221 : 소스 및 드레인 전극
- 125 : 패시베이션막    127 : 제2 소스 및 드레인 금속층
- 1271 : 보조 게이트 전극    131 : 층간절연막
- 141 : 제1 콘택홀    142 : 제2 콘택홀
- 143 : 애노드 금속층

도면

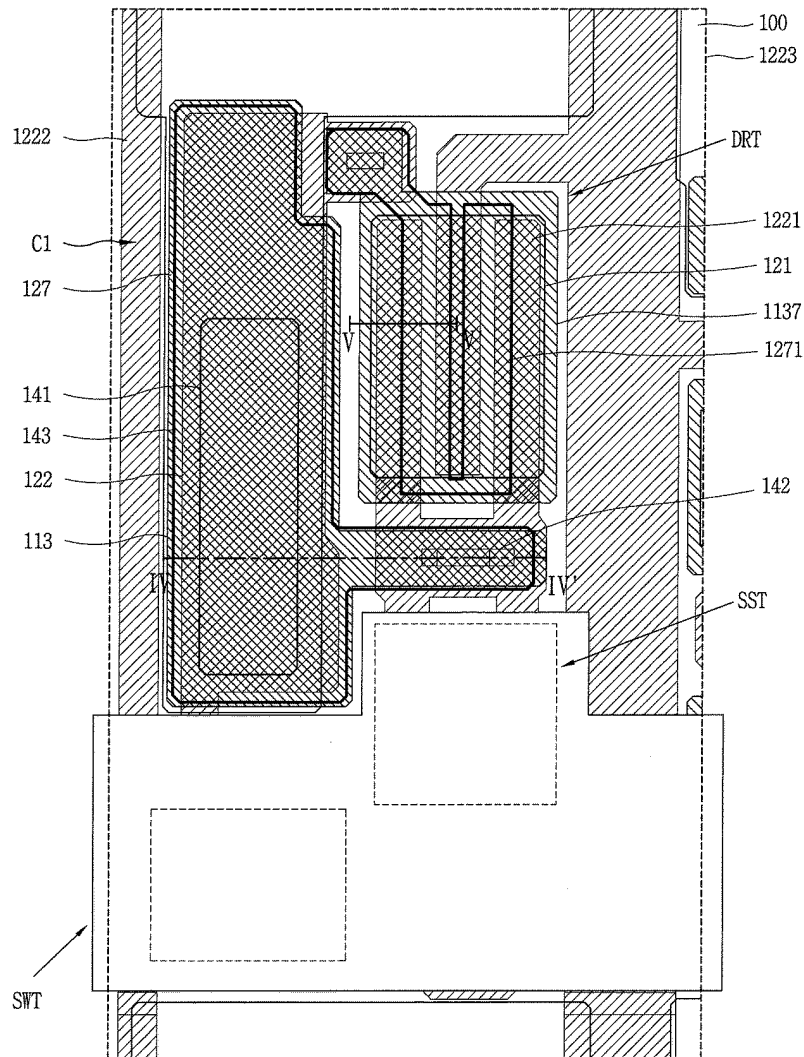
도면1



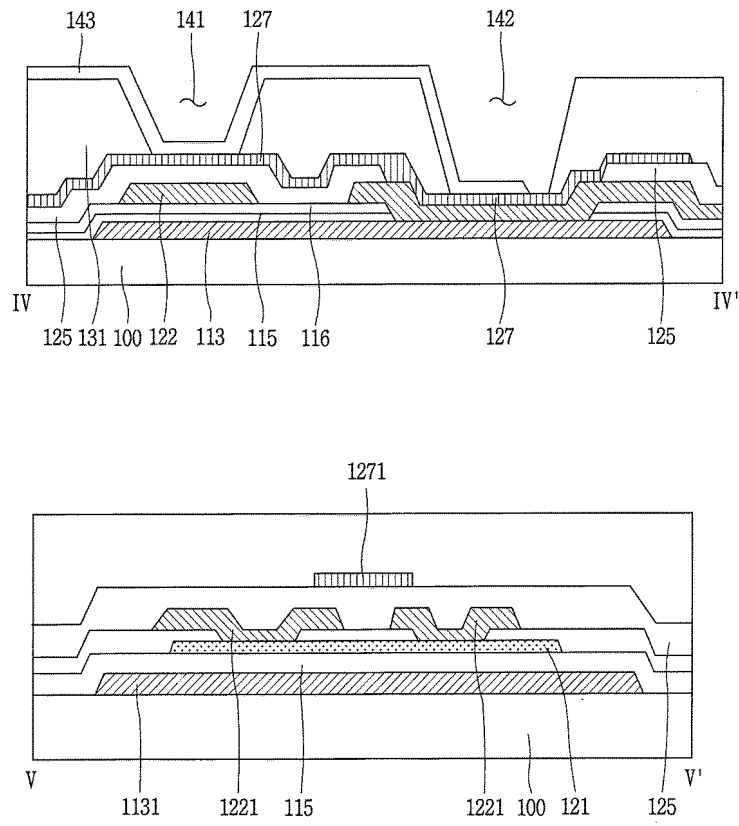
도면2



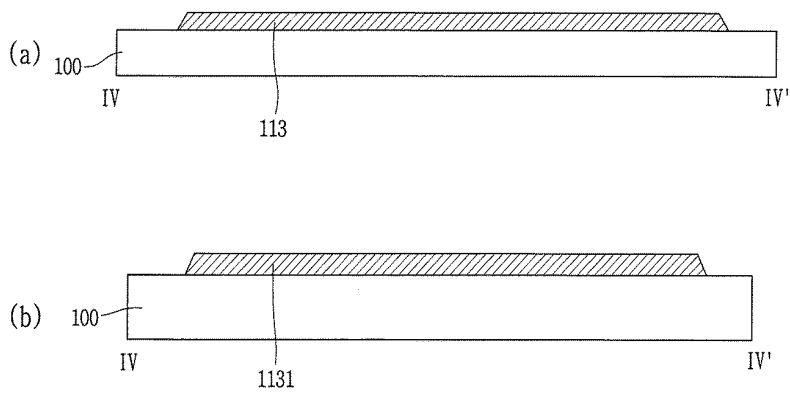
도면3



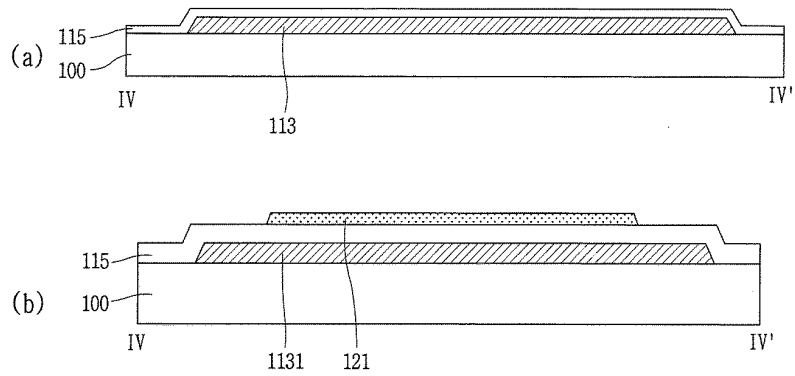
도면4



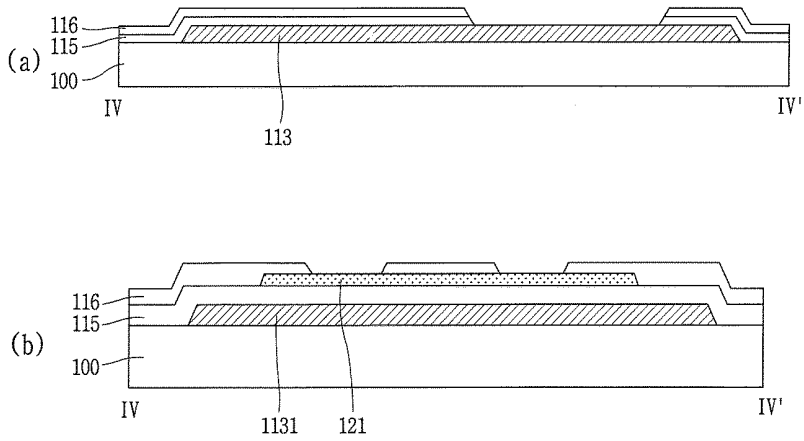
도면5a



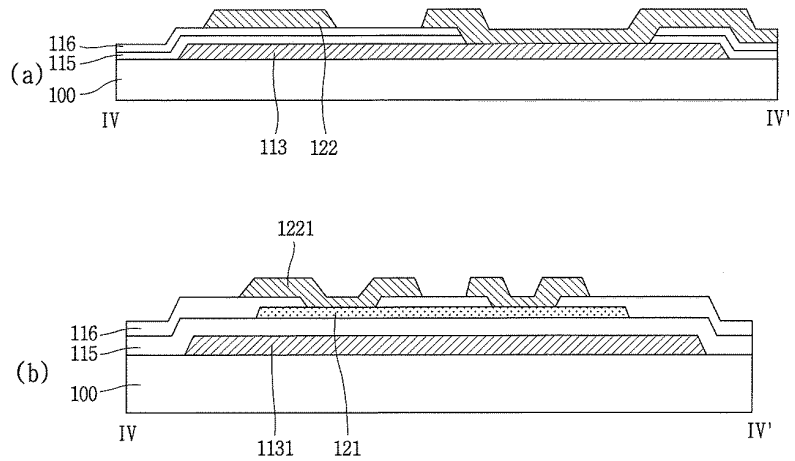
도면5b



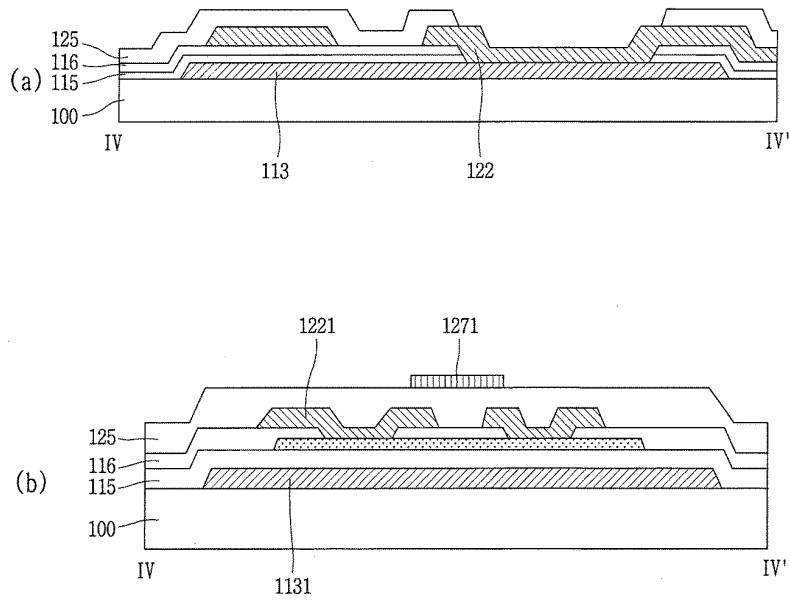
도면5c



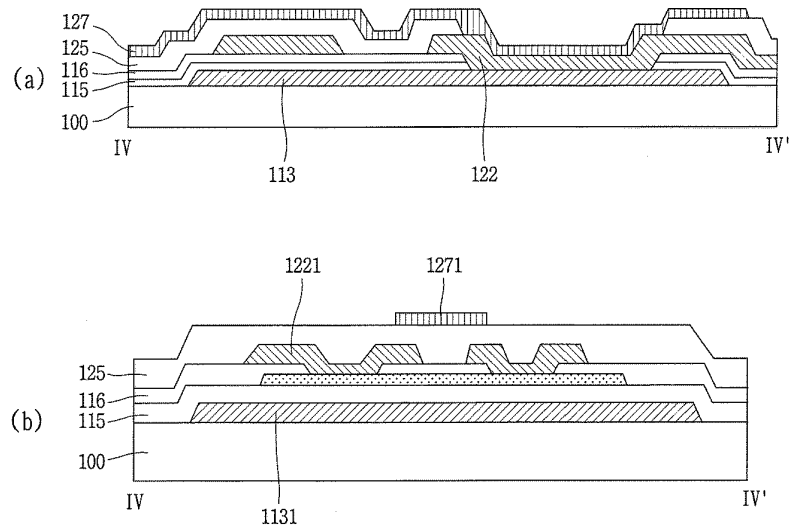
도면5d



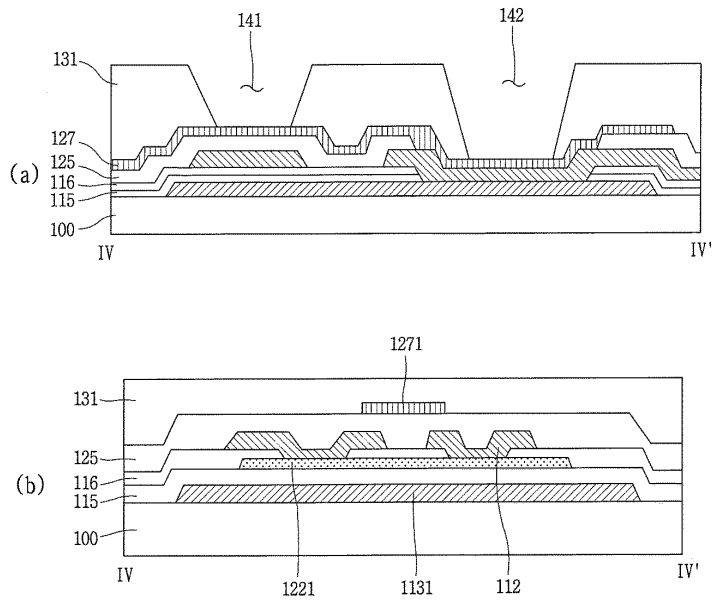
도면5e



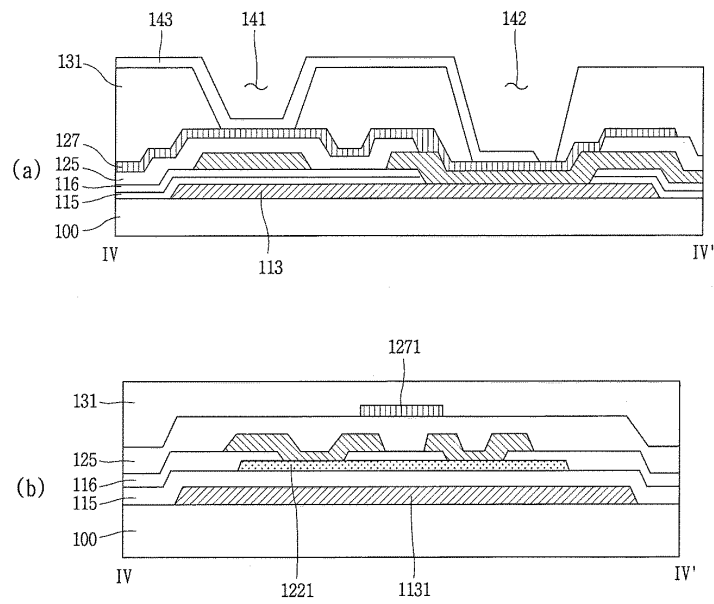
도면5f



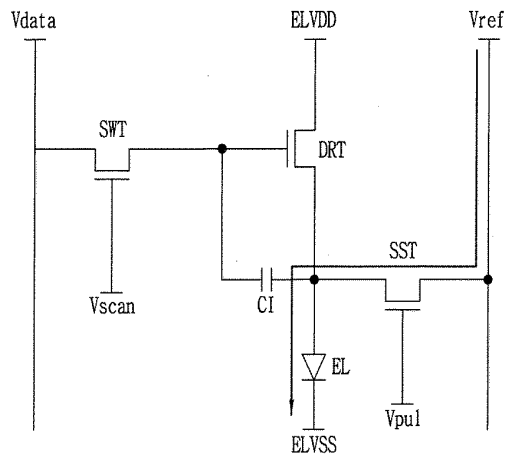
도면5g



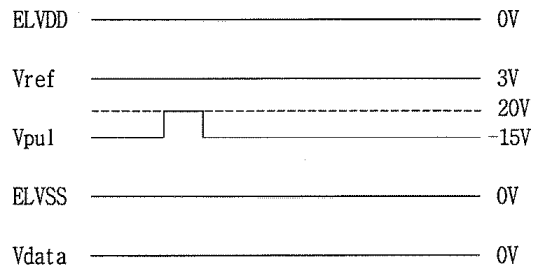
도면5h



도면6a



도면6b



|                |                                                                        |         |            |
|----------------|------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：有机电致发光显示装置，其制造方法和检查方法                                               |         |            |
| 公开(公告)号        | <a href="#">KR1020150066893A</a>                                       | 公开(公告)日 | 2015-06-17 |
| 申请号            | KR1020130152502                                                        | 申请日     | 2013-12-09 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                               |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                              |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                              |         |            |
| [标]发明人         | KANG IM KUK<br>강임국<br>YUN SUNG JUN<br>윤성준<br>JEONG WOO CHEOL<br>정우철    |         |            |
| 发明人            | 강임국<br>윤성준<br>정우철                                                      |         |            |
| IPC分类号         | H01L27/32 H01L29/786                                                   |         |            |
| CPC分类号         | H01L27/3244 H01L51/56 G01R31/2635 H01L2227/323 H01L27/3262 H01L51/0554 |         |            |
| 代理人(译)         | PARK , JANG WON                                                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                              |         |            |

#### 摘要(译)

本发明公开了一种有机电致发光显示装置。更具体地，本发明涉及一种有机电致发光显示装置，其能够最小化由于使用薄膜晶体管作为控制元件的有机发光显示装置的制造过程中发生的单线故障引起的故障，制造方法和检查方法。根据本发明的实施例，由于在有机发光显示装置的基板上由于台阶差而可能发生断开缺陷的基板上复制上金属层，因此进一步形成至少一个接触部分，有一种效果可以应用。

