



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0020058
(43) 공개일자 2014년02월18일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0086447
(22) 출원일자 2012년08월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김태곤
충남 천안시 서북구 변영로 467, 삼성모바일디스플레이 (성성동)
박경민
충남 천안시 서북구 변영로 467, 삼성모바일디스플레이 (성성동)
(74) 대리인
권혁수, 송윤희, 오세준

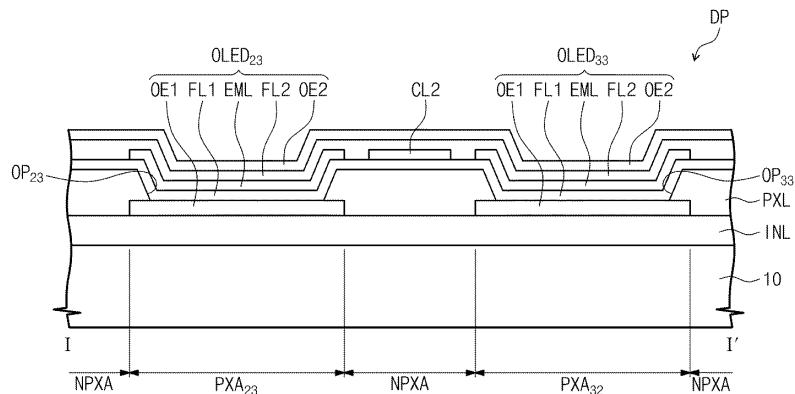
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 및 이를 포함하는 유기발광 표시장치

(57) 요약

유기발광 표시장치의 화소는 트랜지스터, 유기발광소자, 및 공통라인을 포함한다. 상기 유기발광소자는 제1 공통층, 상기 제1 공통층 상에 배치된 유기발광층, 및 제2 공통층을 포함하고, 상기 공통라인은 상기 제1 공통층과 상기 제2 공통층 사이에 배치되어 상기 제1 공통층과 접속된다. 상기 공통라인으로 상기 트랜지스터의 누설전류에 의한 발광을 방지하는 기준전압이 인가된다.

대표도



특허청구의 범위

청구항 1

발광영역에 배치된 유기발광소자;

상기 발광영역에 인접한 비발광영역에 배치되고, 상기 유기발광소자에 흐르는 구동전류를 제어하는 트랜지스터; 및

상기 비발광영역에 배치되고, 상기 트랜지스터의 누설전류에 의한 발광을 방지하는 기준전압이 인가되는 공통라인을 포함하고,

상기 유기발광소자는

상기 트랜지스터에 연결되고, 제1 전압을 수신하는 제1 전극;

상기 제1 전극 상에 배치된 제1 공통층;

상기 제1 공통층 상에 배치된 유기발광층;

상기 유기발광층 상에 배치된 제2 공통층; 및

상기 제2 공통층 상에 배치되며, 상기 제1 전압과 다른 레벨의 제2 전압을 수신하는 제2 전극을 포함하고,

상기 공통라인은 상기 제1 공통층과 상기 제2 공통층 사이에 배치되고, 상기 제1 공통층과 접속된 것을 특징으로 하는 화소.

청구항 2

제1 항에 있어서,

상기 제1 공통층은 정공 주입층을 포함하는 것을 특징으로 하는 화소.

청구항 3

제2 항에 있어서,

상기 제1 공통층은 상기 정공 주입층과 상기 유기발광층 사이에 배치된 정공 수송층을 더 포함하는 것을 특징으로 하는 화소.

청구항 4

제2 항에 있어서,

상기 제2 공통층은 전자 주입층을 포함하는 것을 특징으로 하는 화소.

청구항 5

제4 항에 있어서,

상기 제2 공통층은 상기 유기발광층과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함하는 것을 특징으로 하는 화소.

청구항 6

제1 항에 있어서,

상기 기준전압의 레벨은 상기 제2 전압의 레벨과 동일한 것을 특징으로 하는 화소.

청구항 7

베이스 기판;

상기 베이스 기관의 일면 상에 배치되며, 제1 방향으로 연장되고 상기 제1 방향에 교차하는 제2 방향으로 배열된 복수 개의 주사 라인들;

상기 복수 개의 주사 라인들에 절연되게 교차하며, 상기 제2 방향으로 연장되고 상기 제1 방향으로 배열된 복수 개의 데이터 라인들;

상기 베이스 기관의 상기 일면 상에 배치되고, 복수 개의 개구부들을 구비한 화소 정의막;

상기 복수 개의 개구부들 중 대응하는 개구부에 배치된 유기발광소자를 각각 구비하며, 상기 복수 개의 주사 라인들 중 대응하는 주사 라인 및 상기 복수 개의 데이터 라인들 중 대응하는 데이터 라인에 각각 연결된 복수 개의 화소들; 및

상기 화소 정의막에 중첩하며, 기준전압을 수신하는 공통라인을 포함하며,

상기 복수 개의 화소들은 인접하여 배치된 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소 및 상기 제2 화소 각각의 상기 유기발광소자는,

제1 전압을 수신하는 제1 전극;

상기 제1 전극 상에 배치된 제1 공통층;

상기 제1 공통층 상에 배치된 유기발광층;

상기 유기발광층 상에 배치된 제2 공통층; 및

상기 제2 공통층 상에 배치되고, 상기 제1 전압과 다른 레벨의 제2 전압을 수신하는 제2 전극을 포함하고,

상기 공통라인은 상기 제1 공통층에 전기적으로 연결되어 상기 제1 화소와 상기 제2 화소 중 적어도 어느 하나의 화소에서 발생한 누설전류에 의한 발광을 방지하는 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제7 항에 있어서,

상기 제1 화소의 제1 공통층과 상기 제2 화소의 제1 공통층은 일체의 형상을 갖는 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제8 항에 있어서,

상기 일체의 형상의 상기 제1 공통층의 일부분은 상기 화소 정의막의 일부분에 중첩하는 것을 특징으로 하는 유기발광 표시장치.

청구항 10

제9 항에 있어서,

상기 제1 화소의 제2 공통층과 상기 제2 화소의 제2 공통층은 일체의 형상을 갖는 것을 특징으로 하는 유기발광 표시장치.

청구항 11

제10 항에 있어서,

상기 일체의 형상의 상기 제2 공통층의 일부분은 상기 화소 정의막의 상기 일부분에 중첩하는 것을 특징으로 하는 유기발광 표시장치.

청구항 12

제11 항에 있어서,

상기 공통라인은 상기 일체의 형상의 상기 제1 공통층의 상기 일부분과 상기 일체의 형상의 상기 제2 공통층의

상기 일부분 사이에 배치된 것을 특징으로 하는 유기발광 표시장치.

청구항 13

제8 항에 있어서,

상기 제1 화소 및 상기 제2 화소는 상기 제1 방향으로 배열되며,

상기 공통라인은 상기 제1 방향으로 연장된 것을 특징으로 하는 유기발광 표시장치.

청구항 14

제8 항에 있어서,

상기 제1 화소 및 상기 제2 화소는 상기 제2 방향으로 배열되며,

상기 공통라인은 상기 제2 방향으로 연장된 것을 특징으로 하는 유기발광 표시장치.

청구항 15

제7 항에 있어서,

상기 화소 정의막 상에 배치된 스페이서를 더 포함하고,

상기 공통라인은 상기 스페이서에 중첩하는 것을 특징으로 하는 유기발광 표시장치.

청구항 16

제7 항에 있어서,

상기 제1 공통층은 정공 주입층을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 17

제16 항에 있어서,

상기 제1 공통층은 상기 정공 주입층과 상기 유기발광층 사이에 배치된 정공 수송층을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 18

제16 항에 있어서,

상기 제2 공통층은 전자 주입층을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 19

제18 항에 있어서,

상기 제2 공통층은 상기 유기발광층과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 20

제7 항에 있어서,

상기 제1 화소 및 상기 제2 화소 각각은,

상기 대응하는 주사 라인 및 상기 대응하는 데이터 라인에 연결된 제1 트랜지스터;

상기 제1 트랜지스터에 연결된 커패시터; 및

상기 커패시터 및 상기 유기발광소자에 연결되어 상기 커패시터에 충전된 전하량에 따라 상기 유기발광소자에 흐르는 구동전류를 제어하는 제2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

명세서

기술 분야

[0001] 본 발명은 화소 및 이를 포함하는 유기발광 표시장치에 관한 것으로, 더욱 상세하게는 표시품질이 향상된 화소 및 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 상기 유기발광 표시장치는 복수 개의 화소들을 포함한다. 상기 복수 개의 화소들 각각은 유기발광소자를 구비한다. 상기 유기발광소자는 광을 방출하는 유기발광층 및 상기 유기발광층에 구동전압을 인가하는 전극들을 포함한다. 또한, 상기 유기발광층과 상기 전극들 사이에 공통층들이 배치된다.

[0003] 또한, 상기 복수 개의 화소들 각각은 적어도 하나의 트랜지스터 및 적어도 하나의 커패시터를 구비한다. 상기 적어도 하나의 트랜지스터는 상기 유기발광소자에 구동전압을 제공한다. 상기 커패시터는 상기 유기발광소자에 인가되는 구동전압을 하나의 프레임 구간 동안 유지시킨다.

[0004] 상기 트랜지스터의 턴-온 구간 동안 상기 복수 개의 화소들 각각은 광을 표시한다. 상기 트랜지스터의 턴-오프 구간 동안 상기 복수 개의 화소들 각각은 광을 표시하지 않는다. 그러나, 상기 복수 개의 화소들 중 일부의 화소는 상기 턴-오프 구간 동안 발광한다. 상기 일부의 화소에 포함된 트랜지스터에서 발생한 누설전류에 의해 상기 일부의 화소는 오류 발광한다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명의 목적은 누설전류에 의한 발광이 방지되는 화소 및 이를 포함하는 유기발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 화소는 발광영역에 배치된 유기발광소자, 비발광영역에 배치된 트랜지스터 및 공통라인을 포함한다. 상기 트랜지스터는 상기 유기발광소자에 흐르는 구동전류를 제어한다. 상기 공통라인은 상기 유기발광소자와 접촉된다. 상기 공통라인으로 상기 트랜지스터의 누설전류에 의한 발광을 방지하는 기준전압이 인가된다.

[0007] 상기 유기발광소자는 상기 트랜지스터에 연결되고, 제1 전압을 수신하는 제1 전극, 상기 제1 전극 상에 배치된 제1 공통층, 상기 제1 공통층 상에 배치된 유기발광층, 상기 유기발광층 상에 배치된 제2 공통층 및 상기 제2 공통층 상에 배치되며, 상기 제1 전압과 다른 레벨의 제2 전압을 수신하는 제2 전극을 포함한다. 상기 공통라인은 상기 제1 공통층과 상기 제2 공통층 사이에 배치되고, 상기 제1 공통층과 접촉된다.

[0008] 상기 제1 공통층은 정공 주입층을 포함할 수 있다. 상기 제1 공통층은 상기 정공 주입층과 상기 유기발광층 사이에 배치된 정공 수송층을 더 포함할 수 있다.

[0009] 상기 제2 공통층은 전자 주입층을 포함할 수 있고, 상기 유기발광층과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함할 수 있다.

[0010] 본 발명의 일 실시예에 따른 유기발광 표시장치는 베이스 기관, 상기 베이스 기관의 일면 상에 배치된 복수 개의 주사 라인들, 복수 개의 데이터 라인들, 화소 정의막, 복수 개의 화소들 및 상기 화소 정의막에 중첩하며, 기준전압을 수신하는 공통라인을 포함한다.

[0011] 상기 복수 개의 주사 라인들은 제1 방향으로 연장되고 상기 제1 방향에 교차하는 제2 방향으로 배열된다. 상기 복수 개의 데이터 라인들은 상기 제2 방향으로 연장되고 상기 제1 방향으로 배열된다. 상기 화소 정의막은 복수 개의 개구부들을 구비한다.

[0012] 상기 복수 개의 화소들 각각은 상기 복수 개의 개구부들 중 대응하는 개구부에 배치된 유기발광소자를 한다. 상기 복수 개의 화소들 각각은 상기 복수 개의 주사 라인들 중 대응하는 주사 라인 및 상기 복수 개의 데이터 라인들 중 대응하는 데이터 라인에 각각 연결된다.

[0013] 상기 복수 개의 화소들은 인접하여 배치된 제1 화소 및 제2 화소를 포함한다. 상기 제1 화소의 제1 공통층과 상기 제2 화소의 제1 공통층은 일체의 형상을 갖는다. 상기 일체의 형상의 상기 제1 공통층의 일부분은 상기 화소

정의막의 일부분에 중첩할 수 있다.

[0014] 상기 제1 화소의 제2 공통층과 상기 제2 화소의 제2 공통층은 일체의 형상을 갖는다. 상기 일체의 형상의 상기 제2 공통층의 일부분은 상기 화소 정의막의 상기 일부분에 중첩할 수 있다. 상기 공통라인은 상기 일체의 형상의 상기 제1 공통층의 상기 일부분과 상기 일체의 형상의 상기 제2 공통층의 상기 일부분 사이에 배치될 수 있다.

발명의 효과

[0015] 상술한 바에 따르면, 본 발명의 일 실시예에 따른 화소는 비발광영역에 배치된 트랜지스터와 공통라인, 및 발광 영역에 배치된 유기발광소자를 포함한다. 상기 공통라인은 상기 유기발광소자의 제1 공통층에 접속된다. 상기 공통라인은 상기 트랜지스터의 누설전류에 의한 오류 발광을 방지하는 기준전압을 수신한다. 예컨대, 상기 누설전류는 상기 기준전압에 의해 접지된다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.

도 2는 일 실시예에 따른 표시패널부의 확대도이다.

도 3은 일 실시예에 따른 도 2의 I-I'에 대응하는 단면도이다.

도 4는 다른 실시예에 따른 도 2의 I-I'에 대응하는 단면도이다.

도 5는 다른 실시예에 따른 표시패널부의 확대도이다.

도 6는 일 실시예에 따른 화소의 등가회로도이다.

도 7은 일 실시예에 따른 화소의 레이아웃이다.

도 8a는 도 7의 II-II'에 따른 단면도이다.

도 8b는 도 7의 III-III'에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 유기발광 표시장치를 설명한다.

[0018] 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 일부 구성요소의 스케일을 과장하거나 축소하여 나타내었다. 명세서 전체에 걸쳐 유사한 참조 부호는 유사한 구성 요소를 지칭한다. 그리고, 어떤 층이 다른 층의 '상에' 형성된다(배치된다)는 것은, 두 층이 접해 있는 경우뿐만 아니라 두 층 사이에 다른 층이 존재하는 경우도 포함한다. 또한, 도면에서 어떤 층의 일면이 평평하게 도시되었지만, 반드시 평평할 것을 요구하지 않으며, 적층 공정에서 하부층의 표면 형상에 의해 상부층의 표면에 단차가 발생할 수도 있다. 또한, 아래에서 '라인'이라는 용어는 도전성 물질로 이루어진 신호 배선을 의미한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.

[0020] 도 1을 참조하면, 본 발명의 실시예에 의한 유기발광 표시장치는 표시패널부(DP), 타이밍 제어부(100), 주사 구동부(200), 및 데이터 구동부(300)를 포함한다.

[0021] 상기 표시패널부(DP)는 베이스 기판(10: 도 3 참조), 상기 베이스 기판(10) 상에 배치된 복수 개의 주사 라인들(S1~Sn), 복수 개의 데이터 라인들(D1~Dm), 및 상기 복수 개의 주사 라인들(S1~Sn) 중 대응하는 주사 라인들과 복수 개의 데이터 라인들(D1~Dm) 중 대응하는 데이터 라인들에 연결된 복수 개의 화소들(PX₁₁~PX_{nm})을 포함한다.

[0022] 복수 개의 주사 라인들(S1~Sn)은 상기 베이스 기판(10)의 일면 상에서 제1 방향(D1)으로 연장되고 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 배열된다. 상기 복수 개의 데이터 라인들(D1~Dm)은 상기 복수 개의 주사 라인들(S1~Sn)에 절연되게 교차한다. 상기 복수 개의 데이터 라인들(D1~Dm)은 상기 제2 방향(D2)으로 연장되고 상기 제1 방향(D1)으로 배열된다.

[0023] 상기 표시패널부(DP)는 외부로부터 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 각각은 대응하는 주사 신호에 응답하여 턴-온된다. 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 각각은

상기 제1 전원전압(ELVDD) 및 상기 제2 전원전압(ELVSS)을 수신하고, 대응하는 데이터 신호에 응답하여 광을 생성한다. 상기 제1 전원전압(ELVDD)은 상기 제2 전원전압(ELVSS) 보다 높은 레벨의 전압이다.

- [0024] 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 각각은 적어도 하나의 트랜지스터, 적어도 하나의 커패시터, 및 유기발광소자를 포함한다. 상기 적어도 하나의 트랜지스터는 상기 유기발광소자에 상기 제1 전원전압(ELVDD)에 대응하는 전압을 제공한다. 실질적으로 상기 적어도 하나의 트랜지스터에서 출력하는 전압은 상기 제1 전원전압(ELVDD)보다 낮은 레벨일 수 있다.
- [0025] 상기 적어도 하나의 트랜지스터는 상기 커패시터에 충전된 전하량에 따라 상기 유기발광소자에 흐르는 구동전류를 제어한다. 상기 유기발광소자는 상기 적어도 하나의 트랜지스터로부터 수신된 전압 및 상기 제2 전원전압(ELVSS)에 대응하는 광을 생성한다.
- [0026] 상기 타이밍 제어부(100)는 입력 영상신호들을 수신하고, 상기 표시패널부(DP)의 동작모드에 부합하게 변환된 영상데이터들(I_{DATA})과 각종 제어신호들(SCS, DCS)을 출력한다.
- [0027] 상기 주사 구동부(200)는 타이밍 제어부(100)로부터 주사 구동제어신호(SCS)를 수신한다. 상기 주사 구동제어신호(SCS)를 공급받은 상기 주사 구동부(200)는 복수 개의 주사 신호들을 생성한다. 상기 복수 개의 주사신호들은 상기 복수 개의 주사 라인들(S1~Sn)에 순차적으로 공급된다.
- [0028] 상기 데이터 구동부(300)는 상기 타이밍 제어부(100)로부터 데이터 구동제어신호(DCS) 및 상기 변환된 영상데이터들(I_{DATA})을 수신한다. 상기 데이터 구동부(300)는 상기 데이터 구동제어신호(DCS)와 상기 변환된 영상데이터들(I_{DATA})에 근거하여 복수 개의 데이터 신호들을 생성한다. 상기 복수 개의 데이터 신호들은 상기 복수 개의 데이터 라인들(D1~Dm)에 공급된다.
- [0029] 도 2는 일 실시예에 따른 표시패널부의 확대도이다. 도 3은 일 실시예에 따른 도 2의 I-I'에 대응하는 단면도이다. 도 2는 예시적으로 복수 개의 개구부들 중 6개의 개구부들(OP₂₂ ~ OP₃₄) 및 그에 대응하는 6개의 발광영역들(PXA₂₂ ~ PXA₃₄)을 도시하였다. 도 2는 복수 개의 공통라인들 중 3개의 공통라인들(CL1~CL3)을 예시적으로 도시하였다. 도 3은 2개의 인접하는 발광영역들(PXA₂₃, PXA₃₃)의 단면을 예시적으로 도시하였다.
- [0030] 상기 표시패널부(DP)는 복수 개의 개구부들(OP₂₂ ~ OP₃₄)을 구비한 화소 정의막(PXL)을 포함한다. 상기 복수 개의 개구부들(OP₂₂ ~ OP₃₄)은 복수 개의 발광영역들(PXA₂₂ ~ PXA₃₄)을 정의한다. 상기 복수 개의 발광영역들(PXA₂₂ ~ PXA₃₄)은 매트릭스 형태로 배열될 수 있다. 도 3에 도시된 것과 같이, 상기 복수 개의 화소들의 유기발광소자들(OLED₂₃, OLED₃₃)은 상기 복수 개의 발광영역들(PXA₂₃, PXA₃₃)에 대응하게 배치된다.
- [0031] 상기 화소 정의막(PXL)이 배치된 영역은 비발광영역(NPXA)으로 정의된다. 상기 복수 개의 발광영역들(PXA₂₃, PXA₃₃)은 상기 비발광영역(NPXA)에 의해 에워싸인다.
- [0032] 상기 표시패널부(DP)는 상기 화소 정의막(PXL)에 중첩하는 공통라인을 포함한다. 상기 공통라인은 복수 개 제공될 수 있다. 상기 공통라인은 기준전압을 수신한다. 상기 기준전압은 상기 제2 전원전압(ELVSS)과 동일한 레벨의 전압일 수 있다.
- [0033] 상기 복수 개의 공통라인들(CL1~CL3) 각각은 상기 제1 방향(D1)으로 연장된다. 상기 복수 개의 공통라인들(CL1~CL3)은 상기 복수 개의 주사 라인들(S1~Sn)과 평행할 수 있다. 상기 복수 개의 공통라인들(CL1~CL3) 각각은 상기 제2 방향(D2)으로 이격되어 배치된다.
- [0034] 상기 2개의 인접하는 발광영역들(PXA₂₃, PXA₃₃)에는 상기 제2 방향(D2)으로 배열된 제1 화소 및 제2 화소가 각각 배치된다. 상기 제1 화소 및 제2 화소는 제1 유기발광소자(OLED₂₃)와 제2 유기발광소자(OLED₃₃)를 각각 포함한다.
- [0035] 도 3에 도시된 것과 같이, 상기 베이스 기판(10)의 일면 상에 적어도 하나의 절연층(INL)이 배치된다. 구체적으로 도시되지는 않았으나, 상기 절연층(INL)은 복수 개의 박막들을 포함할 수 있다. 상기 복수 개의 박막들은 무기 박막 및/또는 유기 박막을 포함한다.
- [0036] 상기 절연층(INL) 상에 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)이 배치된다. 상기 제1 유기발광소자

(OLED₂₃)와 상기 제2 유기발광소자(OLED₃₃) 각각은 제1 전극(OE1), 제1 공통층(FL1), 유기발광층(EML), 제2 공통층(FL2), 제2 전극(OE2)을 포함한다. 본 실시예에서 상기 제1 전극(OE1)은 양극으로 상기 제2 전극(OE2)은 음극으로 설명된다.

- [0037] 상기 절연층(INL) 상에 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 제1 전극들(OE1)이 배치된다. 상기 절연층(INL) 상에 상기 화소 정의막(PXL)이 배치된다. 상기 화소 정의막(PXL)에 형성된 개구부들(OP₂₃, OP₃₃)은 상기 제1 전극들(OE1)을 노출시킨다.
- [0038] 상기 제1 전극들(OE1) 및 상기 화소 정의막(PXL) 상에 상기 제1 공통층(FL1)이 배치된다. 도 3에 도시된 것과 같이, 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 상기 제1 공통층들(FL1)은 일체의 형상을 가질 수 있다.
- [0039] 상기 제1 공통층(FL1)은 정공 주입층을 포함한다. 상기 정공 주입층은 상기 제1 전극(OE1)에 접촉할 수 있다. 또한, 상기 제1 공통층(FL1)은 상기 정공 주입층 상에 배치된 정공 수송층을 더 포함할 수 있다.
- [0040] 상기 일체의 형상의 상기 제1 공통층(FL1)의 일부분은 상기 화소 정의막(PXL)의 일부분에 중첩한다. 상기 제1 공통층(FL1)의 상기 일부분은 상기 비발광영역(NPXA)에 배치된 부분이다. 상기 제1 공통층(FL1)의 상기 일부분 상에 상기 복수 개의 공통라인들(CL1, CL2, CL3) 중 대응하는 공통라인(CL2)이 배치된다.
- [0041] 상기 제1 공통층(FL1)의 상기 일부분과 상기 대응하는 공통라인(CL2)의 적층구조는 변경될 수 있다. 본 실시예에 따르면, 상기 제1 공통층(FL1)의 상기 일부분과 상기 대응하는 공통라인(CL2)은 전기적으로 연결되어 있으면 충분하다. 도 3에 도시된 것과 달리, 상기 대응하는 공통라인(CL2)이 상기 제1 공통층(FL) 아래에 배치되어, 상기 대응하는 공통라인(CL2)이 상기 화소 정의막(PXL)의 상기 일부분에 접촉하고, 상기 제1 공통층(FL1)의 상기 일부분이 상기 대응하는 공통라인(CL2)을 커버할 수도 있다.
- [0042] 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 유기발광층들(EML)은 상기 일체의 형상의 상기 제1 공통층(FL1) 상에 배치된다. 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 유기발광층들(EML)은 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 제1 전극들(OE1)에 각각 중첩한다.
- [0043] 상기 일체의 형상의 상기 제1 공통층(FL1) 상에 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 제2 공통층들(FL2)이 배치된다. 도 3에 도시된 것과 같이, 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 상기 제2 공통층들(FL2)은 일체의 형상을 가질 수 있다.
- [0044] 상기 일체의 형상의 상기 제2 공통층(FL2)은 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 상기 유기발광층들(EML) 및 상기 대응하는 공통라인(CL2)을 커버한다.
- [0045] 상기 제2 공통층(FL2)은 전자 주입층을 포함한다. 또한, 상기 제2 공통층(FL2)은 상기 유기발광층(EML)과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함할 수 있다.
- [0046] 상기 일체의 형상의 상기 제2 공통층(FL2) 상에 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 제2 전극들(OE2)이 배치된다. 상기 제2 전극들(OE2)은 상기 제2 전원전압(ELVSS)을 수신한다. 도 3에 도시된 것과 같이, 상기 제1 및 제2 유기발광소자들(OLED₂₃, OLED₃₃)의 상기 제2 전극들(OE2)은 일체의 형상을 가질 수 있다.
- [0047] 도 2 및 도 3에서 도시되지는 않았으나, 상기 복수 개의 화소들(PX₁₁~PX_{nm})에 포함된 복수 개의 유기발광소자들의 제1 공통층들, 제2 공통층들 및 제2 전극들 각각은 일체의 형상을 가질 수 있다.
- [0048] 또한, 상기 일체의 형상의 상기 제2 공통층(FL2) 상에 보호층 및/또는 컬러필터층이 배치될 수 있다. 상기 표시패널부(DP)는 상기 베이스 기판(10)과 마주하는 또 다른 베이스 기판을 포함할 수 있다. 상기 또 다른 베이스 기판은 상기 복수 개의 화소들(PX₁₁~PX_{nm})을 보호하는 봉지기판일 수 있다.
- [0049] 도 4는 다른 실시예에 따른 도 2의 I-I'에 대응하는 단면도이다. 도 4에 도시된 것과 같이, 표시패널부(DP10)는 상기 화소 정의막(PXL)에 중첩하는 스페이서(SP)를 더 포함한다. 상기 스페이서(SP)는 상기 베이스 기판(10)의 일면 상에서 상기 화소 정의막(PXL)과 유사한 형상을 가질 수 있다.
- [0050] 상기 스페이서(SP)는 상기 화소 정의막(PXL) 상에 배치된다. 그에 따라 상기 일체의 형상의 상기 제1 공통층

(FL1)은 상기 스페이서(SP)를 커버한다.

- [0051] 도 5는 다른 실시예에 따른 표시패널부의 확대도이다. 도 5는 예시적으로 복수 개의 개구부들 중 6개의 개구부들(OP₂₂ ~ OP₃₄) 및 그에 대응하는 6개의 발광영역들(PXA₂₂ ~ PXA₃₄)을 도시하였다. 도 5는 4개의 공통라인들(CL1~CL4)을 예시적으로 도시하였다.
- [0052] 도 5에 도시된 것과 같이, 표시패널부(DP20)에 구비된 상기 복수 개의 공통라인들(CL1~CL4) 각각은 상기 제2 방향(D2)으로 연장된다. 상기 복수 개의 공통라인들(CL1~CL4)은 상기 복수 개의 데이터 라인들(D1~Dm)과 평행할 수 있다. 상기 복수 개의 공통라인들(CL1~CL4) 각각은 상기 제1 방향(D1)으로 이격되어 배치된다.
- [0053] 또 다른 실시예에서, 상기 복수 개의 공통라인들(CL1~CL4)은 상기 제1 방향(D1)으로 연장된 부분과 상기 제2 방향(D2)으로 연장된 부분을 포함할 수도 있다. 또한, 상기 복수 개의 공통라인들(CL1~CL4) 중 인접하는 2개의 공통라인들은 상기 제1 방향(D1)으로 연장된 배선에 의해 서로 연결될 수도 있다.
- [0054] 도 6은 일 실시예에 따른 화소의 등가회로도이다. 도 6에 도시된 등가회로는 하나의 예시에 불과하고 상기 화소의 구성은 변형되어 실시될 수 있다.
- [0055] 상기 화소(PX_{ij})는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 커패시터(C1), 및 유기발광소자(OLED_{ij})를 포함한다.
- [0056] 상기 제1 트랜지스터(TR1)는 상기 i번째 주사 라인(Si)에 연결된 제어전극, 상기 j번째 데이터 라인(Dj)에 연결된 입력전극, 및 출력전극을 포함한다. 상기 제1 트랜지스터(TR1)는 상기 i번째 주사 라인(Si)에 인가된 주사 신호에 응답하여 상기 j번째 데이터 라인(Dj)에 인가된 데이터 신호를 출력한다.
- [0057] 상기 커패시터(C1)는 상기 제1 트랜지스터(TR1)에 연결된 제1 전극 및 상기 제1 전원전압(ELVDD)을 수신하는 제2 전극을 포함한다. 상기 커패시터(C1)는 상기 제1 트랜지스터(TR1)로부터 수신한 상기 데이터 신호에 대응하는 전압과 상기 제1 전원전압(ELVDD)의 차이에 대응하는 전하량을 충전한다.
- [0058] 상기 제2 트랜지스터(TR2)는 상기 제1 트랜지스터(TR1)의 상기 출력 전극 및 상기 커패시터(C1)의 상기 제1 전극에 연결된 제어전극, 상기 제1 전원전압(ELVDD)을 수신하는 입력전극, 및 출력전극을 포함한다. 상기 제2 트랜지스터(TR2)의 상기 출력전극은 상기 유기발광소자(OLED_{ij})에 연결된다.
- [0059] 상기 제2 트랜지스터(TR2)는 상기 커패시터(C1)에 저장된 전하량에 대응하여 상기 유기발광소자(OLED_{ij})에 흐르는 구동전류를 제어한다. 상기 커패시터(C1)에 충전된 전하량에 따라 상기 제2 트랜지스터(TR2)의 턴-온 시간이 결정된다. 실질적으로 상기 제2 트랜지스터(TR2)의 상기 출력전극은 상기 유기발광소자(OLED_{ij})에 상기 제1 전원전압(ELVDD)보다 낮은 레벨의 전압을 공급한다.
- [0060] 상기 유기발광소자(OLED_{ij})는 상기 제2 트랜지스터(TR2)에 연결된 제1 전극(미도시) 및 상기 제2 전원전압(ELVSS)을 수신하는 제2 전극(미도시)을 포함한다. 또한, 상기 유기발광소자(OLED_{ij})는 상기 제1 전극과 상기 제2 전극 사이에 배치된 제1 공통층(FL1), 유기발광층(EML), 및 제2 공통층(FL2)을 포함한다. 상기 유기발광소자(OLED_{ij})는 상기 제2 트랜지스터(TR2)의 턴-온 구간동안 발광하고, 상기 제2 트랜지스터(TR2)의 턴-오프 구간 동안 발광하지 않는다.
- [0061] 상기 제2 트랜지스터(TR2)의 턴-오프 구간 동안, 상기 제2 트랜지스터(TR2)에서 누설전류가 발생한다. 상기 누설전류가 상기 유기발광소자(OLED_{ij})에 전달되면, 상기 유기발광소자(OLED_{ij})는 상기 누설전류에 대응하는 광을 생성한다.
- [0062] 설명의 편의상 도 2에 도시된 상기 유기발광소자(OLED_{ij})는 하나의 화소(PX_{ij})에서 상기 제2 트랜지스터(TR2)의 누설전류에 의해 발광되는 것으로 설명하였으나, 상기 누설전류는 일체형의 상기 제1 공통층들(FL1)을 따라 인접한 화소들로 전달될 수 있다.
- [0063] 예컨대, 도 2에 도시된 상기 복수 개의 발광영역들(PXA₂₂ ~ PXA₃₄) 중 어느 하나의 발광영역(PXA₂₃)에서 발광원인이 된 누설전류가 반드시 상기 어느 하나의 발광영역(PXA₂₃)에 대응하는 트랜지스터에서 발생한 것이 아닐 수 있다. 상기 어느 하나의 발광영역(PXA₂₃)에 인접한 발광영역들(PXA₂₂, PXA₂₄, PXA₃₂, PXA₃₃, PXA₃₄)에 대응하는 트랜

지스터들에서 발생한 누설전류에 의해 상기 어느 하나의 발광영역(PXA₂₃)에서 의도하지 않게 발광될 수 있다.

- [0064] 상기 유기발광소자(OLED_{ij})에 인가되는 기준전압(Vref)은 상기 누설전류에 의해 광이 생성되는 것을 방지한다. 상기 기준전압(Vref)은 상기 대응하는 공통라인(CLi)을 통해 상기 유기발광소자(OLED_{ij})의 상기 제1 공통층(FL1)에 인가된다. 그에 따라 상기 누설전류는 상기 유기발광소자(OLED_{ij})의 상기 유기발광층(EML)에 전달되지 않고 접지된다.
- [0065] 도 7은 일 실시예에 따른 화소의 레이아웃이고, 도 8a는 도 7의 II-II'에 따른 단면도이고, 도 8b는 도 7의 III-III'에 따른 단면도이다. 도 7에서 유기발광소자의 제1 공통층(FL1), 제2 공통층(FL2), 및 제2 전극(OE2)은 미도시되었다.
- [0066] 도 7 내지 도 8b에 도시된 것과 같이, 상기 i번째 주사 라인(Si) 및 상기 j번째 데이터 라인(Dj)은 상기 베이스 기판(10) 상에 서로 절연되게 배치된다. 또한, 상기 베이스 기판(10) 상에 상기 제1 전원전압(ELVDD)을 수신하는 전원라인(KL) 및 상기 기준전압(Vref)을 수신하는 공통라인(CLi)이 배치된다.
- [0067] 상기 제1 트랜지스터(TR1)의 제어전극(GE1, 이하 제1 제어전극)은 상기 i번째 주사 라인(Gi)으로부터 분기된다. 상기 베이스 기판(10) 상에 상기 i번째 주사 라인(Gi)을 커버하는 제1 절연 박막(12)이 배치된다. 상기 제1 절연 박막(12)은 유기막 및/또는 무기막을 포함한다.
- [0068] 상기 제1 트랜지스터(TR1)의 반도체층(AL1: 이하, 제1 반도체층)은 상기 제1 절연 박막(12)을 사이에 두고, 상기 제1 제어전극(GE1) 상에 배치된다. 상기 제1 트랜지스터(TR1)의 입력전극(SE1: 이하, 제1 입력전극)과 출력전극(DE1: 이하, 제1 출력전극)은 상기 제1 반도체층(AL1)에 중첩하게 배치된다. 상기 제1 입력전극(SE1)과 상기 제1 출력전극(DE1)은 서로 이격되어 배치된다.
- [0069] 상기 커패시터(C1)의 상기 제1 전극(CE1)은 상기 제1 절연 박막(12) 상에 배치된다. 상기 커패시터(C1)의 상기 제1 전극(CE1)은 상기 제1 출력전극(DE1)에 연결된다.
- [0070] 상기 제1 절연 박막(12) 상에 상기 제1 입력전극(SE1), 상기 제1 출력전극(DE1), 및 상기 커패시터(C1)의 상기 제1 전극(CE1)을 커버하는 제2 절연 박막(14)이 배치된다.
- [0071] 상기 제2 절연 박막(14) 상에 상기 커패시터(C1)의 상기 제2 전극(CE2)이 배치된다. 상기 제2 전극(CE2)은 상기 전원라인(KL)에 연결된다.
- [0072] 상기 제2 트랜지스터(TR2)의 제어전극(GE2: 이하, 제2 제어전극)은 상기 커패시터(C1)의 제1 전극(CE1)에 연결된다. 상기 제2 트랜지스터(TR2)의 반도체층(AL2: 이하, 제2 반도체층)은 상기 제1 절연 박막(12)을 사이에 두고, 상기 제2 제어전극(GE2) 상에 배치된다. 상기 제2 트랜지스터(TR2)의 입력전극(SE2: 이하, 제2 입력전극)과 출력전극(DE2: 이하, 제2 출력전극)은 상기 제2 반도체층(AL2)에 중첩하게 배치된다. 상기 제2 입력전극(SE2)과 상기 제2 출력전극(DE2)은 서로 이격되어 배치된다. 상기 제2 절연 박막(14)은 상기 제2 입력전극(SE2) 및 상기 제2 출력전극(DE2)을 커버한다.
- [0073] 상기 제2 절연 박막(14) 상에 상기 유기발광소자(OLED_{ij})가 배치된다. 상기 제2 절연 박막(14) 상에 상기 유기발광소자(OLED_{ij})의 제1 전극(OE1), 상기 제1 전극(OE1) 상에 제1 공통층(FL1), 상기 제1 공통층(FL1) 상에 유기발광층(EML), 상기 유기발광층(EML) 상에 제2 공통층(FL2), 상기 제2 공통층(FL2) 상에 제2 전극(OE2)이 배치된다. 상기 제1 전극(OE1)은 상기 제2 절연 박막(14)을 관통하는 콘택홀(TH)을 통해 상기 제2 출력전극(DE2)에 연결된다.
- [0074] 상기 제2 절연 박막(14) 상에 화소 정의막(PXL)이 배치된다. 상기 화소 정의막(PXL)은 상기 커패시터(C1)의 상기 제2 전극(CE2)을 커버한다. 상기 화소 정의막(PXL)은 상기 유기발광소자(OLED_{ij})의 상기 제1 전극(OE1)을 노출시키는 개구부(OP)를 구비한다. 상기 개구부(OP)의 측벽은 상기 제1 전극(OE1)에 대해 경사질 수 있다.
- [0075] 상기 화소 정의막(PXL) 상에 상기 제1 공통층(FL1)이 배치된다. 상기 제1 공통층(FL1)은 상기 개구부(OP)에 배치되고, 상기 제1 전극(OE1)에 접촉된다. 상기 제1 공통층(FL1)은 상기 개구부(OP)의 측벽에 배치된다.
- [0076] 상기 유기발광층(EML)은 상기 개구부(OP)에 대응하게 상기 제1 공통층(FL1) 상에 배치된다. 상기 제2 공통층(FL2)은 상기 제1 공통층(FL1) 상에 배치된다. 상기 제2 공통층(FL2)은 상기 유기발광층(EML)을 커버한다. 상기 제2 전극(OE2)은 상기 제2 공통층(FL2) 상에 배치된다.

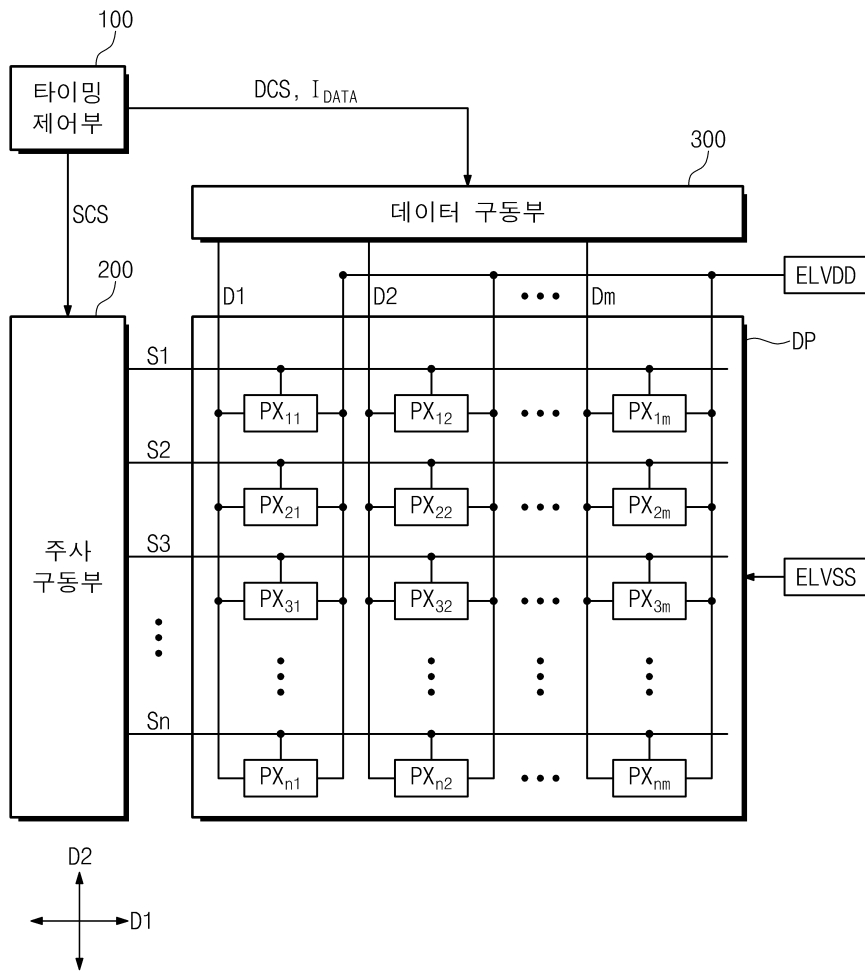
- [0077] 상기 공통라인(CL)은 상기 제1 공통층(FL1) 상에 배치된다. 상기 공통라인(CL)은 상기 화소 정의막에 중첩하는 영역에서 상기 제1 공통층(FL1)의 일부분에 접촉한다.
- [0078] 상기 제2 트랜지스터(TR2)의 턴-오프 구간동안 발생한 상기 누설전류는 상기 제1 공통층(FL1)을 통해 상기 공통라인(CL)으로 접지된다. 따라서, 상기 제2 트랜지스터(TR2)의 턴-오프 구간동안 상기 유기발광소자(OLED_{ij})는 상기 누설전류에 의해 발광되지 않는다.
- [0079] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0080] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

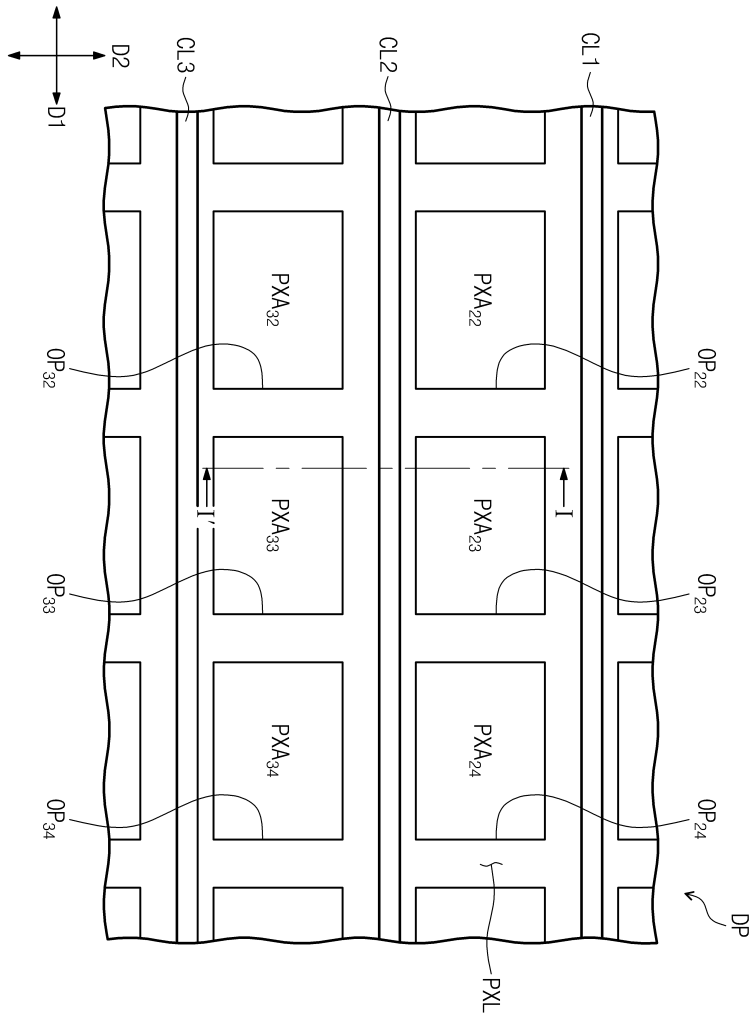
- [0081]
- | | |
|---|----------------|
| 100: 타이밍 제어부 | 200: 주사 구동부 |
| 300: 데이터 구동부 | DP: 표시패널부 |
| OLED: 유기발광소자 | ELVDD: 제1 전원전압 |
| ELVSS: 제2 전원전압 | Vref: 기준전압 |
| PX ₁₁ ~PX _{nm} : 화소 | |

도면

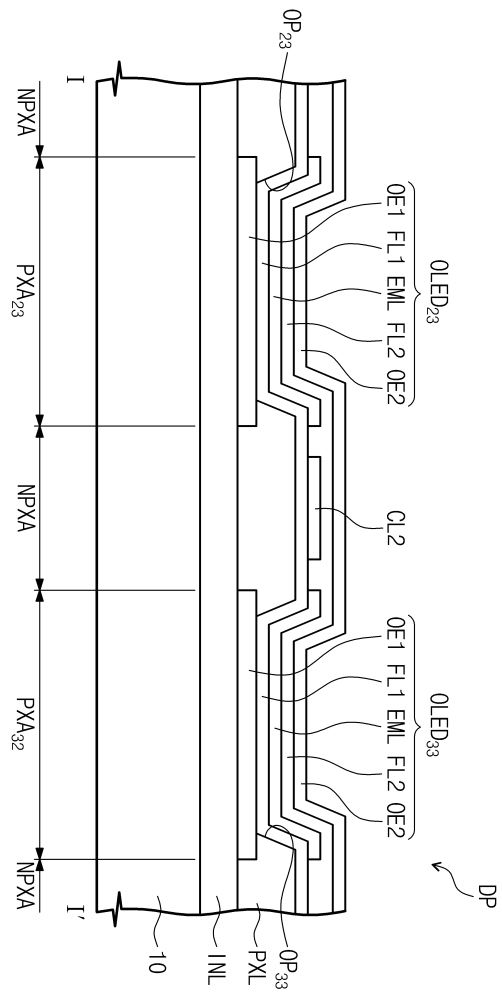
도면1



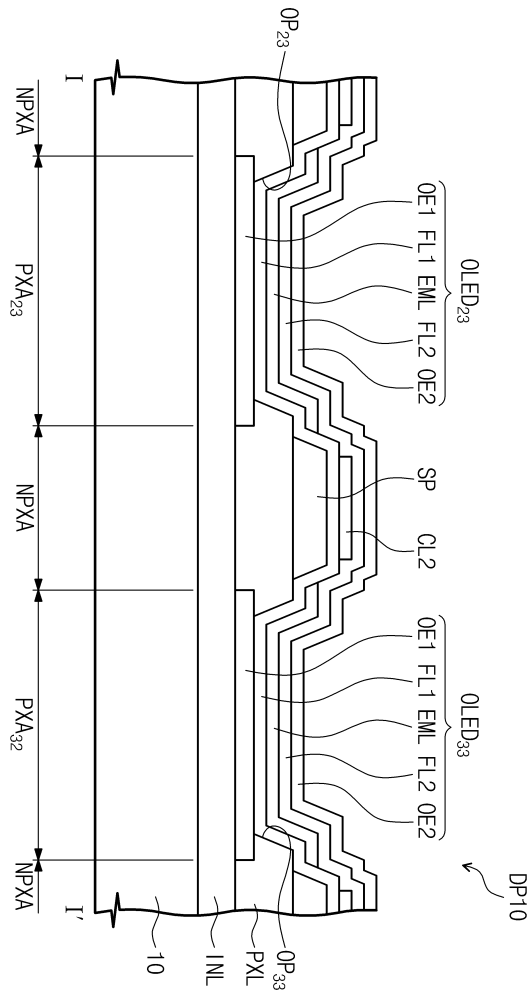
도면2



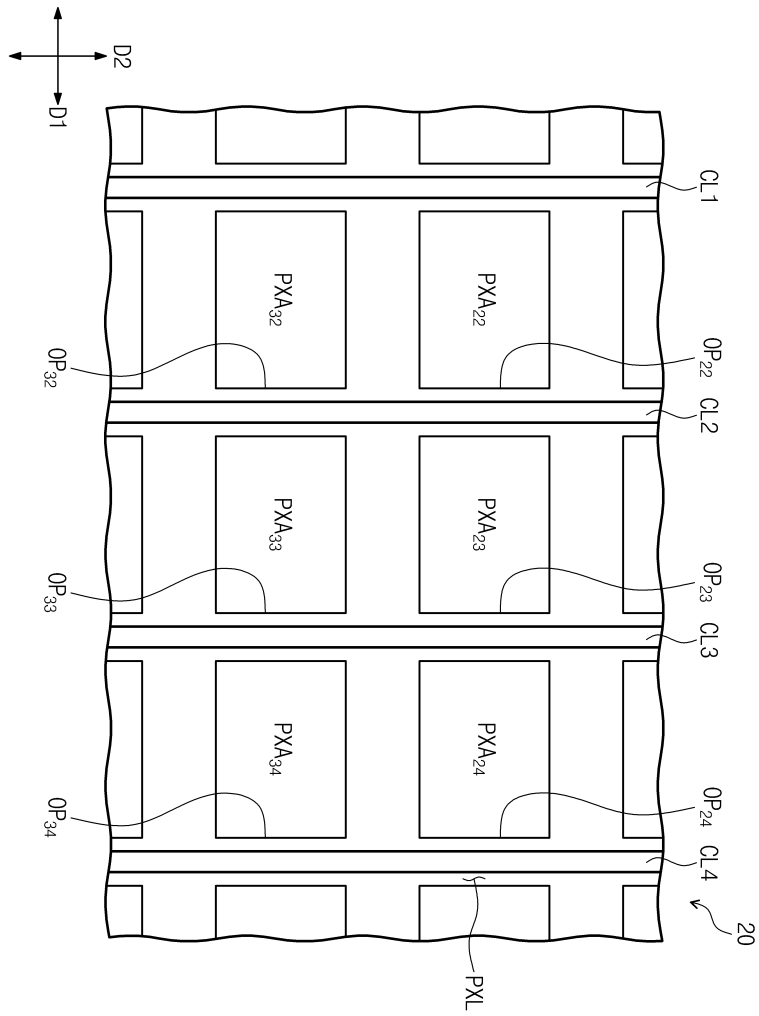
도면3



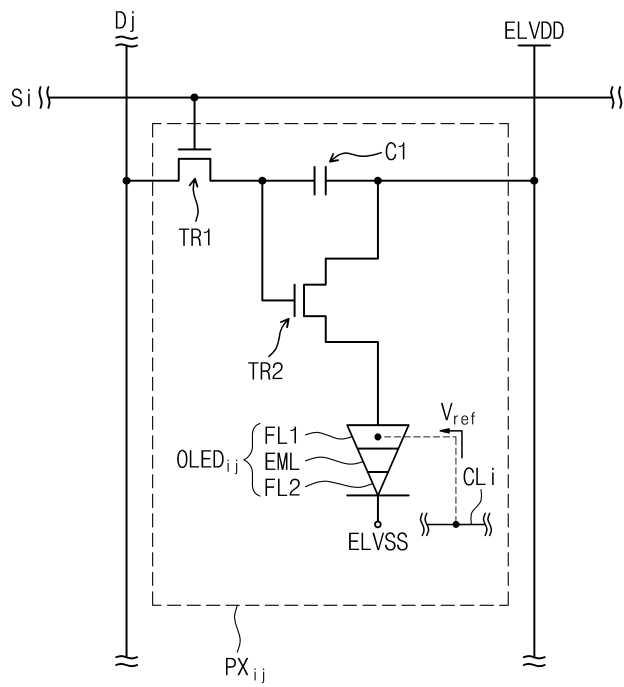
도면4



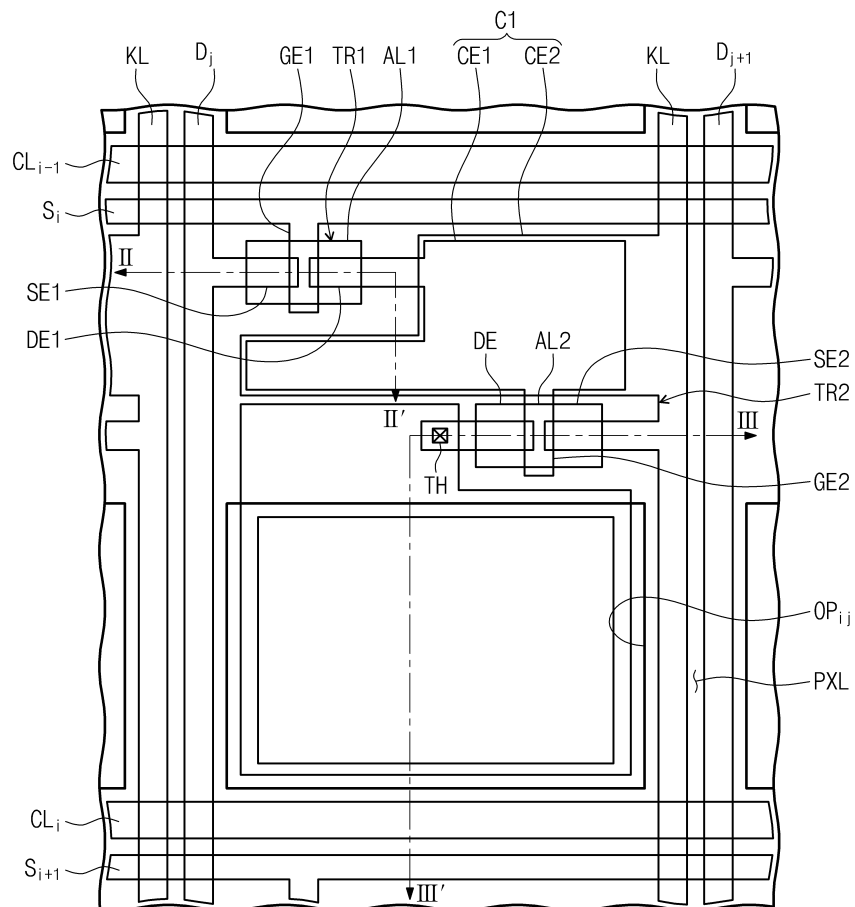
도면5



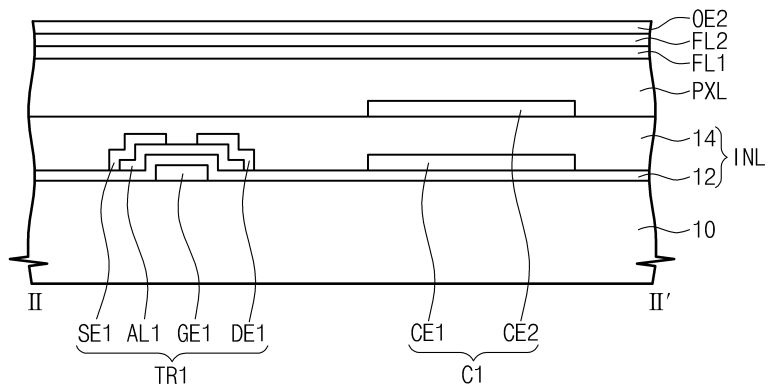
도면6



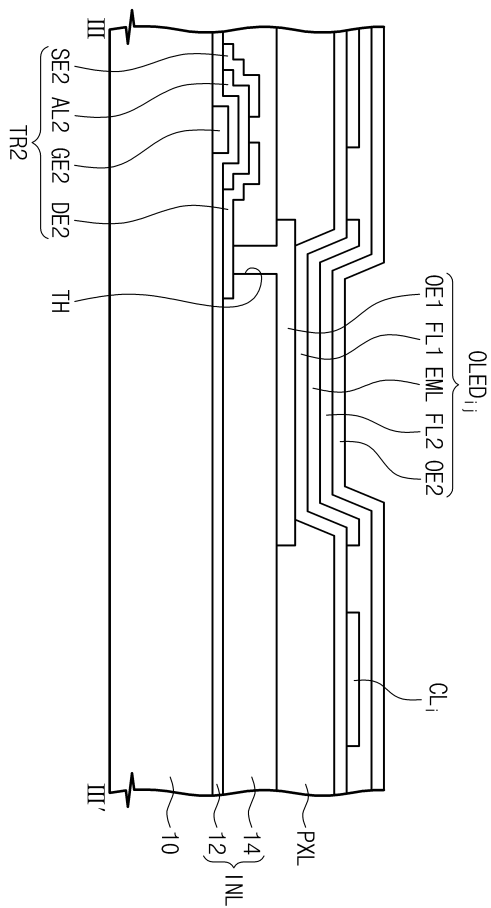
도면7



도면8a



도면8b



专利名称(译)	包括其的像素和有机发光显示器		
公开(公告)号	KR1020140020058A	公开(公告)日	2014-02-18
申请号	KR1020120086447	申请日	2012-08-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM TAEGON 김태곤 PARK KYUNGMIN 박경민		
发明人	김태곤 박경민		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L27/3276 H01L51/102 H01L27/3248 H01L51/0545 H01L27/3246 H01L51/10 H01L51/5203		
其他公开文献	KR101921965B1		
外部链接	Espacenet		

摘要(译)

有机发光显示器的像素包括晶体管，有机发光元件和公共线。其中，所述有机发光装置包括第一公共层，设置在所述第一公共层上的有机发光层，以及第二公共层，所述公共线设置在所述第一公共层和所述第二公共层之间并连接到第一个公共层。将参考电压施加到公共线以防止由于晶体管的漏电流而发光。

