



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0058507
(43) 공개일자 2013년06월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2011-0124550

(22) 출원일자 2011년11월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장민규

서울 송파구 문정동 동아아파트 101동 406호

심종식

서울 성북구 삼선동3가 29-170(6/4)

(74) 대리인

특허법인로알

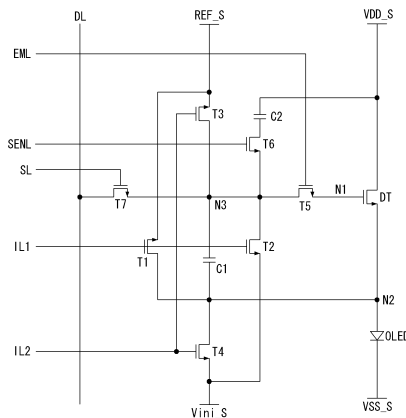
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 스캔 라인, 발광 라인, 센싱 라인, 및 제1 및 제2 초기화 라인들이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극이 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 제2 노드와 제3 노드 사이에 접속된 제1 캐패시터; 상기 고전위 전압원에 일측 전극이 접속된 제2 캐패시터; 상기 스캔 라인, 발광 라인, 센싱 라인, 및 제1 및 제2 초기화 라인들 각각으로부터 공급되는 신호들에 의해 제어되는 제1 내지 제7 TFT를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

데이터 라인, 스캔 라인, 발광 라인, 센싱 라인, 및 제1 및 제2 초기화 라인들이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극이 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT;

상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

상기 제2 노드와 제3 노드 사이에 접속된 제1 캐패시터;

상기 고전위 전압원에 일측 전극이 접속된 제2 캐패시터;

상기 제1 초기화 라인으로부터 공급되는 제1 초기화 신호에 응답하여 기준 전압을 공급하는 기준 전압원과 상기 제2 노드를 접속시키는 제1 TFT;

상기 제1 초기화 라인으로부터 공급되는 제1 초기화 신호에 응답하여 초기화 전압을 공급하는 초기화 전압원과 제3 노드를 접속시키는 제2 TFT;

상기 제2 초기화 라인으로부터 공급되는 제2 초기화 신호에 응답하여 상기 기준 전압원과 제3 노드를 접속시키는 제3 TFT;

상기 제2 초기화 라인으로부터 공급되는 제2 초기화 신호에 응답하여 상기 초기화 전압원과 제2 노드를 접속시키는 제4 TFT;

상기 발광 라인으로부터 공급되는 발광 신호에 응답하여 상기 제1 노드와 제3 노드를 접속시키는 제5 TFT;

상기 센싱 라인으로부터 공급되는 센싱 신호에 응답하여 상기 제2 캐패시터의 타측 전극과 상기 제3 노드를 접속시키는 제6 TFT;

상기 스캔 라인으로부터 공급되는 스캔 신호에 응답하여 상기 데이터 라인과 제3 노드를 접속시키는 제7 TFT를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 노드와 제3 노드에 상기 초기화 전압을 공급하고 상기 제2 노드에 상기 센싱 전압을 공급하는 제1 기간 동안,

상기 제1 초기화 신호, 발광 신호, 및 센싱 신호는 게이트 하이 전압으로 발생하고,

상기 제2 초기화 신호 및 스캔 신호는 상기 게이트 하이 전압보다 낮은 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 기간에 연속하고, 상기 제2 노드에 상기 초기화 전압을 공급하고 상기 제3 노드에 상기 기준 전압을 공급하는 제2 기간 동안,

상기 제2 초기화 신호 및 센싱 신호는 상기 게이트 하이 전압으로 발생하고,

상기 제1 초기화 신호, 발광 신호, 및 스캔 신호는 상기 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 제2 기간에 연속하고, 상기 구동 TFT의 문턱전압을 센싱하는 제3 기간 동안,

상기 발광 신호 및 센싱 신호는 상기 게이트 하이 전압으로 발생하고,

상기 제1 및 제2 초기화 신호와 스캔 신호는 상기 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 5

제 4 항에 있어서,

상기 제3 기간에 연속하고, 상기 데이터 라인에 제 n (n 은 자연수) 데이터 전압이 공급되는 제4 기간 동안,

상기 스캔 신호는 상기 게이트 하이 전압으로 발생하고,

상기 제1 및 제2 초기화 신호, 발광 신호, 및 센싱 신호는 상기 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 유기발광다이오드가 발광하는 제5 기간은 A 기간과 B 기간으로 분할되고,

상기 제5 기간의 A 기간 동안, 상기 발광 신호는 상기 게이트 하이 전압으로 발생하고, 상기 제1 및 제2 초기화 신호, 스캔 신호, 및 센싱 신호는 상기 게이트 로우 전압으로 발생하며,

상기 제5 기간의 B 기간 동안, 상기 제1 및 제2 초기화 신호, 발광 신호, 스캔 신호, 및 센싱 신호는 상기 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 1 항에 있어서,

상기 초기화 전압과 기준 전압의 차전압은 상기 구동 TFT의 문턱전압보다 작은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 기준 전압과 초기화 전압의 차전압은 상기 구동 TFT의 문턱전압보다 큰 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 제1 TFT의 게이트 전극은 상기 제1 초기화 라인에 접속되고, 소스 전극은 상기 기준 전압원에 접속되며, 드레인 전극은 상기 제2 노드에 접속되고,

상기 제2 TFT의 게이트 전극은 상기 제1 초기화 라인에 접속되고, 소스 전극은 상기 초기화 전압원에 접속되며, 드레인 전극은 상기 제3 노드에 접속되며,

상기 제3 TFT의 게이트 전극은 상기 제2 초기화 라인에 접속되고, 소스 전극은 상기 기준 전압원에 접속되며, 드레인 전극은 상기 제3 노드에 접속되고,

상기 제4 TFT의 게이트 전극은 상기 제2 초기화 라인에 접속되고, 소스 전극은 상기 초기화 전압원에 접속되며, 드레인 전극은 상기 제2 노드에 접속되고,

상기 제5 TFT의 게이트 전극은 상기 발광 라인에 접속되고, 소스 전극은 상기 제1 노드에 접속되며, 드레인 전

극은 상기 제3 노드에 접속되고,

상기 제6 TFT의 게이트 전극은 상기 센싱 라인에 접속되고, 소스 전극은 상기 제3 노드에 접속되며, 드레인 전극은 상기 제2 캐패시터의 타측 전극에 접속되고,

상기 제7 TFT의 게이트 전극은 상기 스캔 라인에 접속되고, 소스 전극은 상기 제3 노드에 접속되며, 드레인 전극은 상기 데이터 라인에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

명세서

기술분야

[0001] 본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다.

배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스 형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 TFT(Thin Film Transistor)와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(Organic Light Emitting Diode)에 공급되는 전류의 양을 조절하는 구동 TFT를 포함한다. 이때, 유기발광다이오드에 공급되는 구동 TFT의 드레인-소스간 전류(I_{ds})는 수학적 식 1과 같이 표현될 수 있다.

수학적 식 1

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학적 식 1에서, k' 는 구동 TFT의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 TFT의 게이트-소스 간 전압, V_{th} 는 구동 TFT의 문턱전압을 의미한다.

[0006] 한편, 구동 TFT의 열화에 의한 문턱전압(V_{th})의 쉬프트(shift)로 인해, 화소들 각각의 구동 TFT의 문턱전압(V_{th})은 서로 다른 값을 가질 수 있다. 이 경우, 구동 TFT의 드레인-소스간 전류(I_{ds})는 구동 TFT의 문턱전압(V_{th})에 의존하므로, 동일한 데이터 전압을 화소들 각각에 공급하더라도 유기발광다이오드에 공급되는 전류(I_{ds})는 화소마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각의 유기발광다이오드가 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 구동 TFT의 문턱전압(V_{th})을 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0007] 도 1은 종래 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다. 도 1에는 유기발광다이오드에 전류를 공급하는 구동 TFT(DT)와 구동 TFT(DT)의 소스 노드(N_s)에 접속된 스위칭 TFT(ST)가 나타나 있다. 스위칭 TFT(ST)는 구동 TFT(DT)의 초기화 기간 동안 구동 TFT(DT)의 소스 노드(N_s)를 초기화 전압(V_{ini})을 공급하는 초기화 전압원에 접속시킨다. 그러므로, 초기화 기간 동안 소스 노드(N_s)는 초기화 전압(V_{ini})으로 방전된다. 도 1에서 구동 TFT(DT)와 스위칭 TFT(ST)는 N타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 중심으로 설명하였다.

[0008] 한편, 종래 문턱전압 보상 화소 구조의 경우, 도 1과 같이 초기화 기간 동안 스위칭 TFT(ST)의 턴-온으로 인해, 고전위 전압을 공급하는 고전위 전압원으로부터 초기화 전압원으로 전류 패스(I_{pass})가 형성된다. 즉, 초기화 기간 동안 불필요한 전류 패스가 형성되므로, 표시패널 구동을 위한 소비전력이 증가하는 문제가 발생한다. 또

한, 초기화 기간 동안 고전위 전압원으로부터 초기화 전압원으로 전류 패스(Ipass)가 형성되므로, 초기화 전압(Vini)이 강해질 수 있다. 이 경우, 초기화 기간 동안 구동 TFT(DT)의 소스 노드(Ns)가 초기화 전압(Vini)보다 낮은 전압으로 초기화되므로, 화소 구동의 신뢰성에 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 구동 TFT의 문턱전압을 보상함과 동시에 소비전력을 줄일 수 있는 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 스캔 라인, 발광 라인, 센싱 라인, 및 제1 및 제2 초기화 라인들이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극이 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 제2 노드와 제3 노드 사이에 접속된 제1 캐패시터; 상기 고전위 전압원에 일측 전극이 접속된 제2 캐패시터; 상기 제1 초기화 라인을 통해 제1 초기화 신호에 응답하여 기준 전압을 공급하는 기준 전압원과 상기 제2 노드를 접속시키는 제1 TFT; 상기 제1 초기화 라인을 통해 공급되는 제1 초기화 신호에 응답하여 초기화 전압을 공급하는 초기화 전압원과 제3 노드를 접속시키는 제2 TFT; 상기 제2 초기화 라인을 통해 공급되는 제2 초기화 신호에 응답하여 상기 기준 전압원과 제3 노드를 접속시키는 제3 TFT; 상기 제2 초기화 라인을 통해 공급되는 제2 초기화 신호에 응답하여 상기 초기화 전압원과 제2 노드를 접속시키는 제4 TFT; 상기 발광 라인을 통해 공급되는 발광 신호에 응답하여 상기 제1 노드와 제3 노드를 접속시키는 제5 TFT; 상기 센싱 라인을 통해 공급되는 센싱 신호에 응답하여 상기 제2 캐패시터의 타측 전극과 상기 제3 노드를 접속시키는 제6 TFT; 상기 스캔 라인을 통해 공급되는 스캔 신호에 응답하여 상기 데이터 라인과 제3 노드를 접속시키는 제7 TFT를 포함하는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명은 초기화 기간 동안 고전위 전압원으로부터 초기화 전압원으로 전류 패스를 차단하였다. 그 결과, 본 발명은 초기화 기간 동안 불필요한 전류 패스를 삭제할 수 있으므로, 표시패널 구동을 위한 소비전력을 줄일 수 있다. 또한, 본 발명은 초기화 기간 동안 초기화 전압원의 전압 강하를 방지할 수 있다.

[0012] 또한, 본 발명은 구동 TFT의 게이트 노드에 접속된 스위칭 TFT의 개수를 최소화하였다. 그 결과, 본 발명은 구동 TFT의 게이트 노드가 스위칭 TFT의 기생 용량에 의해 받는 영향을 줄일 수 있으므로, 구동 TFT의 게이트 노드에 반영되는 구동 TFT의 문턱전압의 오차를 줄일 수 있다. 이로 인해, 본 발명은 구동 TFT의 문턱전압 보상 구간을 향상시킬 수 있다.

도면의 간단한 설명

[0013] 도 1은 종래 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다.

도 2는 본 발명의 실시예에 따른 화소의 등가회로도.

도 3은 화소에 입력되는 신호들을 보여주는 파형도.

도 4는 화소의 노드들의 전압 변화를 보여주는 표.

도 5는 제조별 TFT들의 문턱전압에 따른 오차를 보여주는 그래프.

도 6은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0015] 도 2는 본 발명의 실시예에 따른 화소의 등가회로도이다. 도 2를 참조하면, 본 발명의 실시예에 따른 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 캐패시터(capacitor)들을 포함한다.
- [0016] 구동 TFT(DT)는 게이트 전극에 인가된 전압 량에 따라, 드레인-소스간 전류(I_{ds})의 양을 다르게 조절한다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 고전위 전압(VDD)을 공급하는 고전위 전압원(VDD_S)에 접속된다.
- [0017] 유기발광다이오드(OLED)는 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})에 따라 발광된다. 유기발광다이오드(OLED)의 애노드 전극은 제2 노드(N2)에 접속되고, 캐소드 전극은 저전위 전압(VSS)을 공급하는 저전위 전압원(VSS_S)에 접속된다.
- [0018] 제어 회로는 제1 내지 제7 TFT(T1, T2, T3, T4, T5, T6, T7)를 포함한다. 제1 TFT(T1)는 제1 초기화 라인(IL1)으로부터 공급되는 게이트 하이 전압(VGH)의 제1 초기화 신호(INI1)에 응답하여 기준 전압(REF)을 공급하는 기준 전압원(REF_S)과 제2 노드(N2)를 접속시킨다. 제1 TFT(T1)의 게이트 전극은 제1 초기화 라인(IL1)에 접속되고, 소스 전극은 기준 전압원(REF_S)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0019] 제2 TFT(T2)는 제1 초기화 라인(IL1)으로부터 공급되는 게이트 하이 전압(VGH)의 제1 초기화 신호(INI1)에 응답하여 초기화 전압(Vini)을 공급하는 초기화 전압원(Vini_S)과 제3 노드(N3)를 접속시킨다. 제2 TFT(T2)의 게이트 전극은 제1 초기화 라인(IL1)에 접속되고, 소스 전극은 초기화 전압원(Vini_S)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다.
- [0020] 제3 TFT(T3)는 제2 초기화 라인(IL2)으로부터 공급되는 게이트 하이 전압(VGH)의 제2 초기화 신호(INI2)에 응답하여 기준 전압원(REF_S)과 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 기준 전압원(REF_S)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다.
- [0021] 제4 TFT(T4)는 제2 초기화 라인(IL2)으로부터 공급되는 게이트 하이 전압(VGH)의 제2 초기화 신호(INI2)에 응답하여 초기화 전압원(Vini_S)과 제2 노드(N2)를 접속시킨다. 제4 TFT(T4)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 초기화 전압원(Vini_S)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0022] 제5 TFT(T5)는 발광 라인(EML)으로부터 공급되는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 제1 노드(N1)와 제3 노드(N3)를 접속시킨다. 제5 TFT(T5)의 게이트 전극은 발광 라인(EML)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다.
- [0023] 제6 TFT(T6)는 센싱 라인(SENL)으로부터 공급되는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 제2 캐패시터(C2)와 제3 노드(N3)를 접속시킨다. 제6 TFT(T6)의 게이트 전극은 센싱 라인(SENL)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 제2 캐패시터(C2)의 일측 전극에 접속된다.
- [0024] 제7 TFT(T7)는 스캔 라인(SL)으로부터 공급되는 게이트 하이 전압(VGH)의 스캔 신호(SCAN)에 응답하여 데이터 전압(DATA)이 공급되는 데이터 라인(DL)과 제3 노드(N3)를 접속시킨다. 제7 TFT(T7)의 게이트 전극은 스캔 라인(SL)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 데이터 라인(DL)에 접속된다.
- [0025] 제1 캐패시터(C1)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속되고, 제2 노드(N2)와 제3 노드(N3)의 차전압을 저장한다. 제1 캐패시터(C1)의 일측 전극은 제2 노드(N2)에 접속되고, 타측 전극은 제3 노드(N3)에 접속된다. 제2 캐패시터(C2)는 제6 TFT(T6)의 드레인 전극과 고전위 전압원(VDD_S) 사이에 접속되고, 제6 TFT(T6)의 드레인 전극과 고전위 전압원(VDD_S)의 차전압을 저장한다. 제2 캐패시터(C2)의 일측 전극은 제6 TFT(T6)의 드레인 전극에 접속되고, 타측 전극은 고전위 전압원(VDD_S)에 접속된다.

- [0026] 제1 노드(N1)는 구동 TFT(DT)의 게이트 전극, 및 제5 TFT(T5)의 소스 전극 간의 접점이다. 제2 노드(N2)는 구동 TFT(DT)의 소스 전극, 유기발광다이오드(OLED)의 애노드 전극, 제1 TFT(T1)의 드레인 전극, 제4 TFT(T4)의 드레인 전극, 및 제1 캐패시터(C1)의 일측 전극 간의 접점이다. 제3 노드(N3)는 제2 TFT(T2)의 드레인 전극, 제3 TFT(T3)의 드레인 전극, 제5 TFT(T5)의 드레인 전극, 제6 TFT(T6)의 소스 전극, 제7 TFT(T7)의 소스 전극, 및 제1 캐패시터(C1)의 타측 전극 간의 접점이다.
- [0027] 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)의 반도체 층은 a-Si, Poly-Si, 산화물 중 어느 하나로 형성될 수도 있다. 또한, 본 발명의 실시예에서 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)가 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였지만, 이에 한정되지 않으며, P 타입 MOSFET으로도 구현될 수 있다.
- [0028] 구동 TFT(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 고전위 전압원(VDD_S)은 직류 고전위 전압(VDD)을 공급하도록 설정되고, 저전위 전압원(VSS_S)은 직류 저전위 전압(VSS)을 공급하도록 설정될 수 있다. 기준 전압원(REF_S)은 제1 및 제3 노드(N1, N3)를 초기화하기 위해 기준 전압(REF)을 공급하고, 초기화 전압원(Vini_S)은 제2 노드(N2)를 초기화하기 위해 초기화 전압(Vini)을 공급한다. 구동 TFT(DT)의 문턱전압(Vth)을 센싱하기 위해, 기준 전압(REF)과 초기화 전압(Vini)의 차전압(REF-Vini)은 구동 TFT(DT)의 문턱전압(Vth)보다 큰 전압으로 설정될 수 있다.
- [0029] 도 3은 화소에 입력되는 신호들과 노드들의 전압 변화를 보여주는 파형도이다. 도 3에는 제1 내지 제5 기간(t1~t5) 동안 표시패널(10)에 입력되는 제1 및 제2 초기화 신호들(INI1, INI2), 발광 신호(EM), 센싱 신호(SEN), 스캔 신호(SCAN), 및 제n(n은 자연수) 데이터 전압(DATAN)이 나타나 있다. 제1 기간(t1)은 제1 초기화 기간이고, 제2 기간(t2)은 제2 초기화 기간이며, 제3 기간(t3)은 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, 제4 기간(t4)은 데이터 전압 공급 기간이며, 제5 기간(t5)은 유기발광다이오드(OLED) 발광 기간이다. 제5 기간(t5)은 A 기간(t5-A)과 B 기간(t5-B)으로 분할된다.
- [0030] 도 3을 참조하면, 제1 및 제2 초기화 신호들(INI1, INI2), 발광 신호(EM), 센싱 신호(SEN), 스캔 신호(SCAN)는 화소(P)의 제1 내지 제7 TFT(T1, T2, T3, T4, T5, T6, T7)를 제어하기 위한 신호들이다. 제1 및 제2 초기화 신호들(INI1, INI2), 발광 신호(EM), 센싱 신호(SEN), 스캔 신호(SCAN)는 1 프레임 기간을 주기로 발생한다. 데이터 전압(DATA)은 1 수평기간(1H)을 주기로 발생하며, 도 3에서는 설명의 편의를 위해 제4 기간(t4) 동안 공급되는 제n 데이터 전압(DATAN)만을 예시하였다. 1 수평기간은 표시패널(10)에서 1 수평라인의 화소(P)들에 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다.
- [0031] 제1 초기화 신호(INI1)는 제1 기간(t1) 동안 게이트 하이 전압(VGH)으로 발생하고, 제2 내지 제5 기간(t2, t3, t4, t5) 동안 게이트 로우 전압(VGL)으로 발생한다. 제2 초기화 신호(INI2)는 제2 기간(t2) 동안 게이트 하이 전압(VGH)으로 발생하고, 제1 및 제3 내지 제5 기간(t1, t3, t4, t5) 동안 게이트 로우 전압(VGL)으로 발생한다. 발광 신호(EM)는 제1 및 제3 기간과 제5 기간의 A 기간(t1, t3, t5-A) 동안 게이트 하이 전압(VGH)으로 발생하고, 제2 및 제4 기간과 제5 기간의 B 기간(t2, t4, t5-B) 동안 게이트 로우 전압(VGL)으로 발생한다. 센싱 신호(SEN)는 제1 내지 제3 기간(t1, t2, t3) 동안 게이트 하이 전압(VGH)으로 발생하고, 제4 및 제5 기간(t4, t5) 동안 게이트 로우 전압(VGL)으로 발생한다. 스캔 신호(SCAN)는 제4 기간(t4) 동안 게이트 하이 전압(VGH)으로 발생하고, 제1 내지 제3, 및 제5 기간(t1, t2, t3, t5) 동안 게이트 로우 전압(VGL)으로 발생한다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.
- [0032] 도 4는 화소의 노드들의 전압 변화를 보여주는 표이다. 이하에서, 도 2 내지 도 4를 참조하여 제1 내지 제5 기간(t1, t2, t3, t4, t5) 동안 화소(P)의 동작을 상세히 설명한다.
- [0033] 제1 기간(t1)은 제1 초기화 기간이고, 제2 기간(t2)은 제2 초기화 기간이며, 제3 기간(t3)은 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, 제4 기간(t4)은 데이터 전압 공급 기간이며, 제5 기간(t5)은 유기발광다이오드(OLED) 발광 기간이다. 제5 기간(t5)은 A 기간(t5-A)과 B 기간(t5-B)으로 분할된다. 제2 기간(t2)은 제1 기간(t1)에 연속하고, 제3 기간(t3)은 제2 기간(t2)에 연속하며, 제4 기간(t4)은 제3 기간(t3)에 연속하고, 제5 기간(t5)은 제4 기간(t4)에 연속한다.

- [0034] 첫 번째로, 제1 기간(t_1) 동안 게이트 하이 전압(VGH)의 제1 초기화 신호(INI1)가 제1 초기화 라인(IL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)가 제2 초기화 라인(IL2)을 통해 공급된다. 또한, 제1 기간(t_1) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급되고, 게이트 하이 전압(VGH)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되며, 게이트 로우 전압(VGL)의 스캔 신호(SCAN)가 스캔 라인(SL)을 통해 공급된다.
- [0035] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제1 초기화 신호(INI1)에 응답하여 턴-온되어 기준 전압원(REF_S)과 제2 노드(N2)를 접속시킨다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 제1 초기화 신호(INI1)에 응답하여 턴-온되어 초기화 전압원(Vini_S)과 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)에 의해 턴-오프된다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)에 의해 턴-오프된다. 제5 TFT(T5)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제1 노드(N1)와 제3 노드(N3)를 접속시킨다. 제6 TFT(T6)는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 턴-온되어 제2 캐패시터(C2)와 제3 노드(N3)를 접속시킨다. 제7 TFT(T7)는 게이트 로우 전압(VGL)의 스캔 신호(SCAN)에 의해 턴-오프된다.
- [0036] 제1 TFT(T1)의 턴-온과 제4 TFT(T4)의 턴-오프로 인해, 제2 노드(N2)는 기준 전압(REF)의 전위를 갖는다. 제2 TFT(T2)의 턴-온과 제3 TFT(T3)의 턴-오프와 제7 TFT(T7)의 턴-오프로 인해, 제3 노드(N3)는 초기화 전압(Vini)의 전위를 갖는다. 제5 TFT(T5)의 턴-온으로 인해 제1 노드(N1)는 초기화 전압(Vini)의 전위를 갖는다. 결국, 구동 TFT(DT)의 게이트 전극에 접속된 제1 노드(N1)는 초기화 전압(Vini)으로 방전되고, 소스 전극에 접속된 제2 노드(N2)는 기준 전압(REF)으로 방전된다. 이 경우, 구동 TFT(DT)가 턴-온되면 고전위 전압원(VDD_S)으로부터 기준 전압원(REF_S)으로 전류 패스가 형성되므로, 불필요한 전류 패스로 인해 소비전력이 증가하는 문제가 발생하게 된다. 이를 방지하기 위해, 구동 TFT(DT)의 게이트 전극과 소스 전극의 차전압을 문턱전압(V_{th})보다 낮게 설정함으로써, 구동 TFT(DT)를 턴-오프시켜야 한다. 따라서, 초기화 전압(Vini)과 기준 전압(REF)의 차전압(Vini-REF)은 구동 TFT(DT)의 문턱전압(V_{th})보다 낮게 설정된다.
- [0037] 두 번째로, 제2 기간(t_2) 동안 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)가 제1 초기화 라인(IL1)을 통해 공급되고, 게이트 하이 전압(VGH)의 제2 초기화 신호(INI2)가 제2 초기화 라인(IL2)을 통해 공급된다. 또한, 제2 기간(t_2) 동안 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급되고, 게이트 하이 전압(VGH)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되며, 게이트 로우 전압(VGL)의 스캔 신호(SCAN)가 스캔 라인(SL)을 통해 공급된다.
- [0038] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)에 의해 턴-오프된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 제2 초기화 신호(INI2)에 응답하여 턴-온되어 기준 전압원(REF_S)과 제3 노드(N3)를 접속시킨다. 제4 TFT(T4)는 게이트 하이 전압(VGH)의 제2 초기화 신호(INI2)에 응답하여 턴-온되어 초기화 전압원(Vini_S)과 제2 노드(N2)를 접속시킨다. 제5 TFT(T5)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제6 TFT(T6)는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 턴-온되어 제2 캐패시터(C2)와 제3 노드(N3)를 접속시킨다. 제7 TFT(T7)는 게이트 로우 전압(VGL)의 스캔 신호(SCAN)에 의해 턴-오프된다.
- [0039] 제1 TFT(T1)의 턴-오프와 제4 TFT(T4)의 턴-온으로 인해, 제2 노드(N2)는 초기화 전압(Vini)의 전위를 갖는다. 제2 TFT(T2)의 턴-오프와 제3 TFT(T3)의 턴-온과 제7 TFT(T7)의 턴-오프로 인해, 제3 노드(N3)는 기준 전압(REF)의 전위를 갖는다. 제5 TFT(T5)의 턴-오프로 인해, 제1 노드(N1)는 플로팅(floating)되며, 대략 제1 기간(t_1) 동안 공급된 초기화 전압(Vini)의 전위를 갖는다. 결국, 구동 TFT(DT)의 게이트 전극과 소스 전극의 차전압이 구동 TFT(DT)의 문턱전압(V_{th})보다 낮으므로, 구동 TFT(DT)는 턴-오프된다. 즉, 구동 TFT(DT)의 턴-오프로 인해, 제2 기간(t_2) 동안 고전위 전압원(VDD_S)으로부터 초기화 전압원(Vini)으로의 전류 패스는 차단된다. 따라서, 제2 기간(t_2) 동안 불필요한 전류 패스를 삭제할 수 있으므로, 표시패널 구동을 위한 소비전력을 줄일 수 있다. 또한, 제2 기간(t_2) 동안 초기화 전압원(Vini_S)의 전압 강하를 방지할 수 있다.
- [0040] 세 번째로, 제3 기간(t_3) 동안 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)가 제1 초기화 라인(IL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)가 제2 초기화 라인(IL2)을 통해 공급된다. 또한, 제3 기간(t_3) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급되고, 게이트 하이 전압(VGH)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되며, 게이트 로우 전압(VGL)의 스캔 신호(SCAN)가 스캔 라인(SL)을 통해 공급된다.
- [0041] 제1 및 제2 TFT(T1, T2)는 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)에 의해 턴-오프된다. 제3 및 제4

TFT(T3, T4)는 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)에 의해 턴-오프된다. 제5 TFT(T5)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제1 노드(N1)와 제3 노드(N3)를 접속시킨다. 제6 TFT(T6)는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 턴-온되어 제2 캐패시터(C2)와 제3 노드(N3)를 접속시킨다. 제7 TFT(T7)는 게이트 로우 전압(VGL)의 스캔 신호(SCAN)에 의해 턴-오프된다.

[0042] 제1 및 제4 TFT(T1, T4)의 턴-오프로 인해, 제2 노드(N2)는 플로팅된다. 제2, 제3, 및 제7 TFT(T2, T3, T7)의 턴-오프로 인해, 제3 노드(N3)는 플로팅되며, 제1 및 제2 캐패시터(C1, C2)에 의해 기준 전압(REF)을 유지한다. 제5 TFT(T5)의 턴-온으로 인해, 제1 노드(N1)는 제3 노드(N3)와 실질적으로 동등한 전위로 플로팅된다. 결국, 구동 TFT(DT)의 게이트 전극에 접속된 제1 노드(N1)와 소스 전극에 접속된 제2 노드(N2)의 전압 차(V_{gs})가 문턱 전압(V_{th})보다 크므로, 구동 TFT(DT)는 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압($REF - V_{th}$)이 된다. 즉, 제2 기간(t_2) 동안 제2 노드(N2)는 구동 TFT(DT)의 문턱전압(V_{th})을 센싱한다.

[0043] 한편, 제2 기간(t_2) 동안 제1 캐패시터(C1)에 의해 제1 노드(N1)에는 제2 노드(N2)의 전압 변화량이 반영될 수 있다. 하지만, 제1 및 제2 캐패시터(C1, C2)는 직렬 접속되어 있으므로, 제1 및 제2 캐패시터(C1, C2) 각각의 용량을 조정함으로써, 제1 노드(N1)에 반영되는 제2 노드(N2)의 전압 변화량의 정도를 조정할 수 있다.

[0044] 네 번째로, 제4 기간(t_4) 동안 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)가 제1 초기화 라인(IL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)가 제2 초기화 라인(IL2)을 통해 공급된다. 또한, 제4 기간(t_4) 동안 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급되고, 게이트 로우 전압(VGL)의 센싱 신호(SEN)가 센싱 라인(SEN)을 통해 공급되며, 게이트 하이 전압(VGH)의 스캔 신호(SCAN)가 스캔 라인(SL)을 통해 공급된다.

[0045] 제1 및 제2 TFT(T1, T2)는 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)에 의해 턴-오프된다. 제3 및 제4 TFT(T3, T4)는 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)에 의해 턴-오프된다. 제5 TFT(T5)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제6 TFT(T6)는 게이트 로우 전압(VGL)의 센싱 신호(SEN)에 의해 턴-오프된다. 제7 TFT(T7)는 게이트 하이 전압(VGH)의 스캔 신호(SCAN)에 응답하여 턴-온되어 제1 노드(N1)와 데이터 라인(DL)을 접속시킨다.

[0046] 제2, 제3 TFT(T2, T3)의 턴-오프와 제7 TFT(T7)의 턴-온으로 인해, 제3 노드(N3)는 제 n 데이터 전압(DATAN)의 전위를 갖는다. 제5 TFT(T5)의 턴-오프로 인해, 제1 노드(N1)는 플로팅되며, 대략 제1 기간(t_1) 동안 공급된 초기화 전압(V_{ini})의 전위를 갖는다. 따라서, 제2 노드(N2)는 대략 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압($REF - V_{th}$)의 전위를 갖는다.

[0047] 다섯 번째로, 제5 기간(t_5) 동안 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)가 제1 초기화 라인(IL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)가 제2 초기화 라인(IL2)을 통해 공급된다. 또한, 제5 기간(t_5)의 A 기간($t_5 - A$) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급되고, 제5 기간(t_5)의 B 기간($t_5 - B$) 동안 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, 제5 기간(t_5) 동안 게이트 로우 전압(VGL)의 센싱 신호(SEN)가 센싱 라인(SEN)을 통해 공급되며, 게이트 로우 전압(VGL)의 스캔 신호(SCAN)가 스캔 라인(SL)을 통해 공급된다.

[0048] 제1 및 제2 TFT(T1, T2)는 제5 기간(t_5) 동안 게이트 로우 전압(VGL)의 제1 초기화 신호(INI1)에 의해 턴-오프된다. 제3 및 제4 TFT(T3, T4)는 제5 기간(t_5) 동안 게이트 로우 전압(VGL)의 제2 초기화 신호(INI2)에 의해 턴-오프된다. 제5 TFT(T5)는 제5 기간(t_5)의 A 기간($t_5 - A$) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제1 노드(N1)와 제3 노드(N3)를 접속시키고, 제5 기간(t_5)의 B 기간($t_5 - B$) 동안 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제6 TFT(T6)는 제5 기간(t_5) 동안 게이트 로우 전압(VGL)의 센싱 신호(SEN)에 의해 턴-오프된다. 제7 TFT(T7)는 제5 기간(t_5) 동안 게이트 하이 전압(VGH)의 스캔 신호(SCAN)에 응답하여 턴-온되어 제1 노드(N1)와 데이터 라인(DL)을 접속시킨다.

[0049] 제5 기간(t_5)의 A 기간($t_5 - A$) 동안 제5 TFT(T5)의 턴-온으로 인해 제1 노드(N1)와 제3 노드(N3)가 접속되므로, 제1 노드(N1)는 제 n 데이터 전압(DATAN)의 전위를 갖는다. 한편, 구동 TFT(DT)의 게이트 전극에 접속된 제1 노드(N1)에 제 n 데이터 전압(DATAN)이 인가된 경우, 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)의 전압은 'Voled_anode'로 정의될 수 있다. 이 경우, 제1 노드(N1)는 플로팅되므로, 제2 노드(N2)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제1 노드(N1)에는 제2 노드(N2)의 전압 변화량인 'REF-

Vth-Voled_anode'가 반영된다. 따라서, 제5 기간(t5)의 A 기간(t5-A) 동안 제1 노드(N1)의 전압은 'DATAn-{REF-Vth-Voled_anode}'로 변화된다.

[0050] 제5 기간(t5)의 B 기간(t5-B) 동안 제5 TFT(T5)의 턴-오프로 인해, 제1 노드(N1)와 제3 노드(N3)의 접속은 차단되고, 더 이상 제1 캐패시터(C1)에 의해 제2 노드(N2)의 전압 변화량이 반영되지 않는다. 제5 기간(t5)의 B 기간(t5-B) 동안, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학적 식 2와 같이 표현된다.

수학적 식 2

$$I_{ds}=k' \cdot (V_{gs}-V_{th})^2$$

[0051]

[0052] 수학적 식 2에서, k'는 구동 TFT(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수로서, 구동 TFT(DT)의 전자 이동도(mobility), 채널 폭, 및 채널 길이 등에 의해 결정된다. Vgs는 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차, Vth는 구동 TFT(DT)의 문턱전압을 의미한다. 제5 기간(t5)의 B 기간(t5-B) 동안 'Vgs-Vth'는 수학적 식 3과 같다.

수학적 식 3

$$V_{gs}-V_{th}=[DATAn-\{REF-V_{th}-V_{oled\ anode}\}-V_{oled\ anode}]-V_{th}$$

[0053]

[0054] 수학적 식 3을 정리하면, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학적 식 4와 같이 도출된다.

수학적 식 4

$$I_{ds}=k' (DATAn-REF)^2$$

[0055]

[0056] 결국, 제5 기간(t5)의 B 기간(t5-B) 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학적 식 4와 같이 구동 TFT(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 본 발명은 구동 TFT(DT)의 문턱전압을 보상할 수 있다.

[0057] 한편, 구동 TFT(DT)의 게이트 전극에 접속된 제1 노드(N1)에는 제5 TFT(T5)만이 접속되어 있다. 이로 인해, 제1 노드(N1)가 구동 TFT(DT) 이외에 다른 TFT의 기생 용량에 의해 받는 영향을 최소화할 수 있다. 그러므로, 본 발명은 제1 노드(N1)에 반영되는 구동 TFT(DT)의 문턱전압(Vth)의 오차를 줄일 수 있으며, 이로 인해 구동 TFT(DT)의 문턱전압 보상 구간을 향상시킬 수 있다.

[0058] 도 5는 제조별 TFT들의 문턱전압에 따른 오차를 보여주는 그래프이다. 도 5를 참조하면, x축에는 구동 TFT(DT), 및 제1 내지 제7 TFT(T1, T2, T3, T4, T5, T6, T7)의 문턱전압(Vth)이 나타나 있고, y축에는 구동 TFT(DT)의 드레인-소스간 전류의 오차(error)가 나타나 있다. x축의 문턱전압(Vth)은 -4V 내지 10V의 범위로 나타나 있고, y축의 구동 TFT(DT)의 드레인-소스간 전류는 100%를 기준으로 70% 내지 140%의 범위로 나타나 있다. 도 5의 그래프는 문턱전압(Vth)이 -1V인 경우 구동 TFT(DT)의 드레인-소스간 전류를 기준값인 100%로 하였을 때, 문턱전압(Vth)에 따른 구동 TFT(DT)의 드레인-소스간 전류의 오차(error)를 보여준다. 특히, 도 5의 그래프는 32, 64, 96, 128, 160, 192, 224, 256 각각의 계조(gray level)에서 문턱전압(Vth)에 따른 구동 TFT(DT)의 드레인-소스간 전류의 오차(error)를 보여준다. 여기서, 계조(gray level)는 0 내지 255의 값을 갖는 8 비트(bits) 데이터인 경우를 중심으로 설명하였다.

[0059] 도 5와 같이 32, 64, 96, 128, 160, 192, 224, 256 각각의 계조(gray level)에서 100%를 기준으로 ±5% 오차

(error) 범위인 95% 내지 105%의 오차(error) 범위 내의 구동 TFT(DT), 및 제1 내지 제7 TFT(T1, T2, T3, T4, T5, T6, T7)의 문턱전압(Vth)은 대략 -2V 내지 3.3V로 나타난다. 즉, 구동 TFT(DT), 및 제1 내지 제7 TFT(T1, T2, T3, T4, T5, T6, T7)의 문턱전압(Vth)이 대략 -2V 내지 3.3V인 경우, 거의 모든 계조(gray level)에서 구동 TFT(DT)의 드레인-소스간 전류는 $\pm 5\%$ 오차(error) 범위를 갖는다. 결국, 본 발명은 구동 TFT(DT), 및 제1 내지 제7 TFT(T1, T2, T3, T4, T5, T6, T7)의 문턱전압(Vth) 보상 범위가 $\pm 5\%$ 오차(error) 범위 내에서 대략 5.3V이므로, 종래 기술(3~4V)보다 문턱전압(Vth) 보상 범위를 넓힐 수 있는 장점이 있다.

[0060] 도 6은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도. 도 6을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 컨트롤러(40), 및 호스트 시스템(50) 등을 구비한다.

[0061] 표시패널(10)에는 데이터 라인(DL)들과 스캔 라인(SL)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인(SL)들과 나란하게 제1 및 제2 초기화 라인(INIL1, INIL2)들, 센싱 라인(SEN)들, 및 발광 라인(EML)들이 형성된다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)들 각각에 대한 자세한 설명은 도 2를 결부하여 상세히 설명하였다.

[0062] 데이터 구동부(20)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터 디지털 비디오 데이터(RGB)를 입력받는다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(RGB)를 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 신호(SCAN)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다.

[0063] 스캔 구동부(30)는 스캔 신호 출력부, 제1 및 제2 초기화 신호 출력부, 센싱 신호 출력부, 및 발광 신호 출력부를 포함한다. 스캔 신호 출력부는 표시패널(10)의 스캔 라인(SL)들에 스캔 신호(SCAN)를 순차적으로 출력한다. 제1 초기화 신호 출력부는 표시패널(10)의 제1 초기화 라인(INIL1)들에 제1 초기화 신호(INI1)를 순차적으로 출력한다. 제2 초기화 신호 출력부는 표시패널(10)의 제2 초기화 라인(INIL2)들에 제2 초기화 신호(INI2)를 순차적으로 출력한다. 센싱 신호 출력부는 표시패널(10)의 센싱 라인(SEN)들에 센싱 신호(SEN)를 순차적으로 출력한다. 발광 신호 출력부는 표시패널(10)의 발광 라인(EML)들에 발광 신호(EM)를 순차적으로 출력한다. 스캔 신호(SCAN), 제1 및 제2 초기화 신호들(INI1, INI2), 센싱 신호(SEN), 및 발광 신호(EM)에 대한 자세한 설명은 도 3을 결부하여 상세히 설명하였다.

[0064] 타이밍 컨트롤러(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(50)으로부터 디지털 비디오 데이터(RGB)를 입력받는다. 타이밍 컨트롤러(40)는 호스트 시스템(50)으로부터 입력되는 디지털 비디오 데이터(RGB)를 데이터 구동부(20)로 전송한다.

[0065] 타이밍 컨트롤러(40)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(Dot Clock) 등의 타이밍 신호를 입력받는다. 타이밍 컨트롤러(40)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

[0066] 표시패널은 도시하지 않은 전원부를 더 구비할 수 있다. 전원부는 표시패널(10)에 고전위 전압(VDD)을 공급하는 고전위 전압원(VDD_S), 저전위 전압(VSS)을 공급하는 저전위 전압원(VSS_S), 기준 전압(REF)을 공급하는 기준 전압원(REF_S), 및 초기화 전압(Vini)을 공급하는 초기화 전압원(Vini_S)을 포함한다. 또한, 전원부는 스캔 구동부(30)에 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)을 공급한다.

[0067] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0068] OLED: 유기발광다이오드

DT: 구동 TFT

T1: 제1 TFT

T2: 제2 TFT

T3: 제3 TFT

T4: 제4 TFT

T5: 제5 TFT

T6: 제6 TFT

T7: 제7 TFT

C1: 제1 캐패시터

C2: 제2 캐패시터

N1: 제1 노드

N2: 제2 노드

N3: 제3 노드

SCAN: 스캔 신호

INI1: 제1 초기화 신호

INI2: 제2 초기화 신호

EM: 발광 신호

SEN: 센싱 신호

10: 표시패널

20: 데이터 구동부

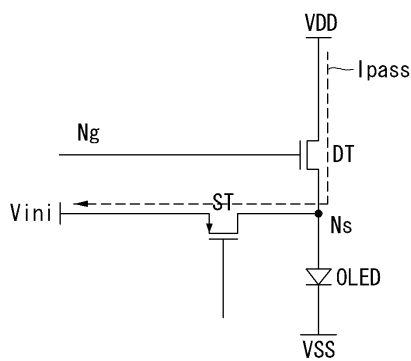
30: 스캔 구동부

40: 타이밍 컨트롤러

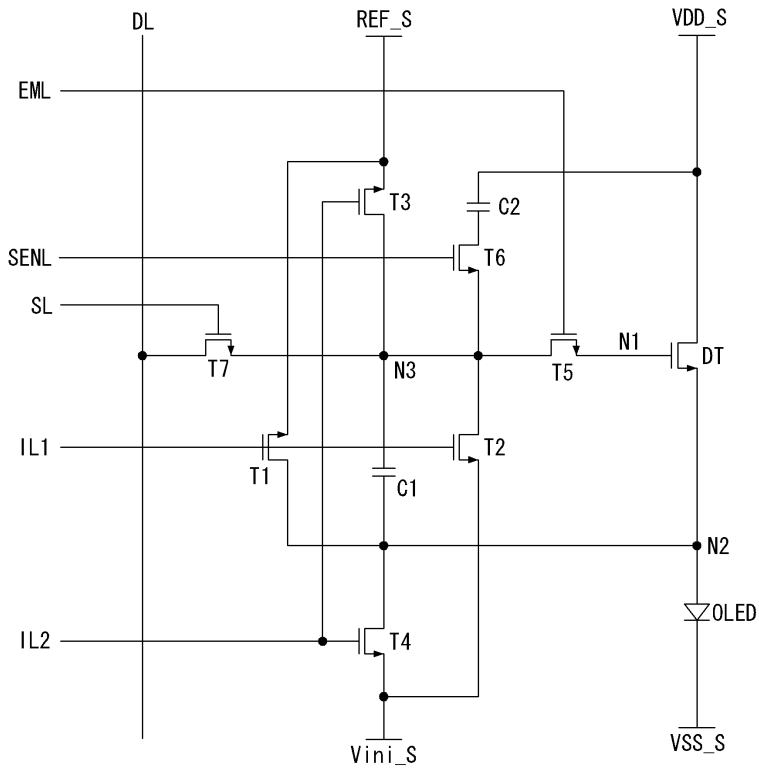
50: 호스트 시스템

도면

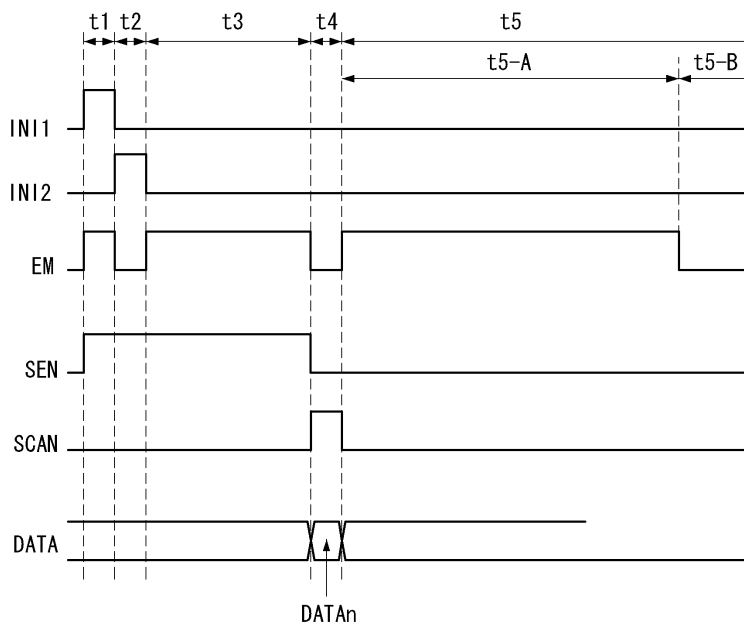
도면1



도면2



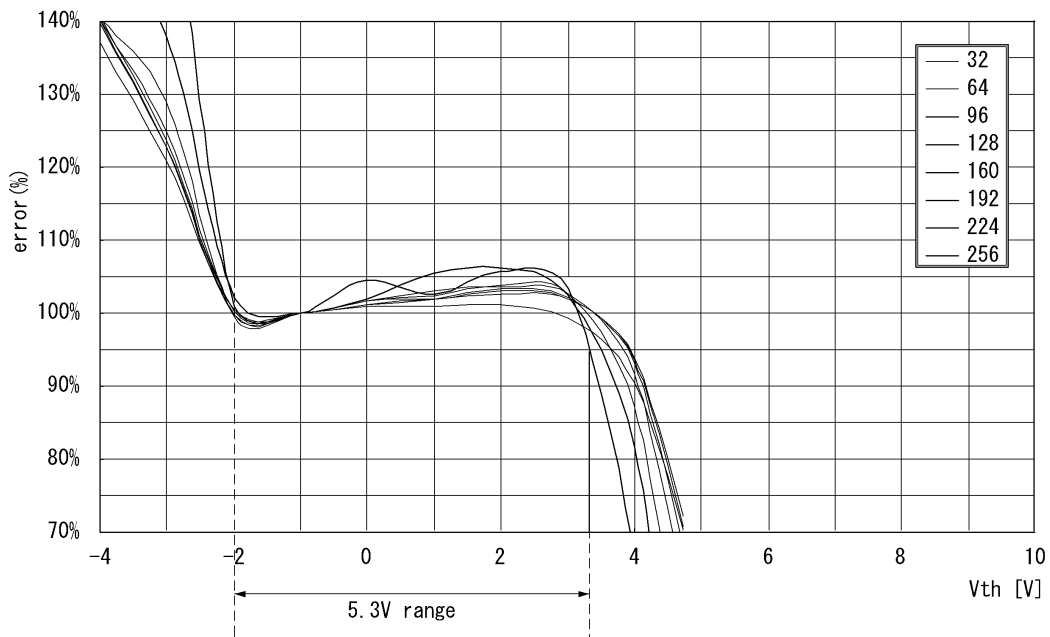
도면3



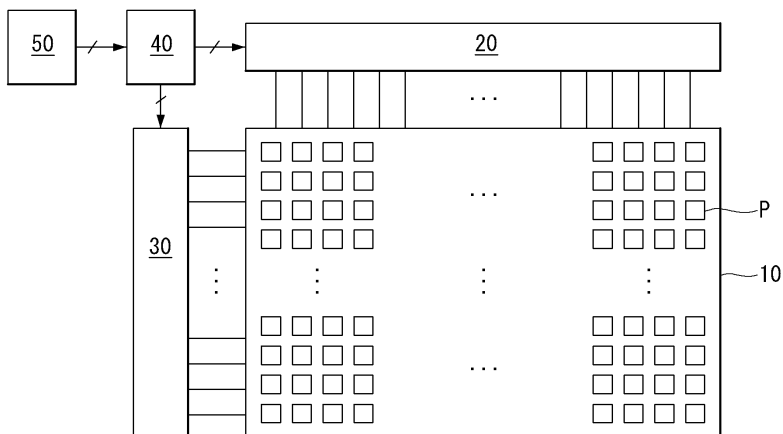
도면4

	N1	N2	N3
t1	Vini	REF	Vini
t2	$\cong$ Vini	Vini	REF
t3	REF	REF-Vth	REF
t4	$\cong$ REF	$\cong$ REF-Vth	DATAn
t5	DATAn $-(\text{REF}-V_{th}-V_{\text{oled_anode}})$	Voled_anode	DATAn $-(\text{REF}-V_{th}-V_{\text{oled_anode}})$

도면5



도면6



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020130058507A	公开(公告)日	2013-06-04
申请号	KR1020110124550	申请日	2011-11-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHANG MIN KYU 장민규 SHIM JONG SIK 심종식		
发明人	장민규 심종식		
IPC分类号	G09G3/30 G09G3/3233 G09G3/3266		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/043 G09G2310/0278 G09G2330/021 H01L2924/13091 G09G2370/14		
其他公开文献	KR101929037B1		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示装置技术领域本发明涉及一种能够补偿驱动TFT的阈值电压的有机发光二极管显示装置。根据本发明的实施例的OLED显示器被形成为与数据线，扫描线，发光线，感测线，并且所述第一和第二初始化线，具有多个显示面板的像素以矩阵形式形成，形成和的像素的每一个中，栅极电极连接到第一节点，一源极电极连接到第二节点，漏极电极连接到高电位侧电压源，用于提供所述高电位电压驱动TFT;一种有机发光二极管，包括连接到第二节点的阳极和连接到低电位电压源的阴极，用于提供低电位电压;连接在第二节点和第三节点之间的第一电容器，具有连接到高电位电压源的一个电极的第二电容器，并且第一至第七TFT分别由从扫描线，发射线，感测线以及第一和第二初始化线提供的信号控制。 专利文献10-2013-0058507

