



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0043624
(43) 공개일자 2012년05월04일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2011-0039729

(22) 출원일자 2011년04월27일

심사청구일자 없음

(30) 우선권주장

1020100104740 2010년10월26일 대한민국(KR)

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

강진구

경기도 용인시 기흥구 삼성2로 95 (농서동)

황영인

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

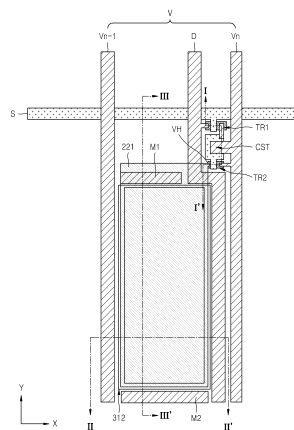
전체 청구항 수 : 총 32 항

(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

본 발명은 E층을 포함하는 발광영역 및 적어도 하나의 박막트랜지스터를 포함하는 회로영역을 포함하며, 상기 발광영역은 제1변부, 제2변부, 제3변부 및 제4변부를 포함하며, 상기 제1변부는 상기 제2변부에 대향하고, 상기 제3변부는 상기 제1변부에 인접하며 상기 제4변부에 대향하는 기관; 상기 발광영역의 상기 제1변부를 따라 대향하게 형성된 제1배선; 상기 발광영역의 상기 제2변부를 따라 대향하게 형성된 제2배선; 상기 발광영역의 상기 제3변부를 따라 대향하게 형성된 제1더미; 및 상기 발광영역의 상기 제4변부를 따라 대향하게 형성된 제2더미; 을 포함하며, 상기 제1배선, 제2배선, 제1더미 및 제2더미 중 적어도 하나 이상은 상기 회로영역과 전기적으로 연결되며, 상기 제1배선, 제2배선, 제1더미 및 제2더미 상에 화소정의막이 더 형성되고, 상기 제1배선, 제2배선, 제1더미 및 제2더미 각각에 대응하는 상기 화소정의막의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 하는 유기발광표시장치를 제공한다.

대표도 - 도4



(72) 발명자

김지영

경기도 용인시 기흥구 삼성2로 95 (농서동)

김효석

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

외층을 포함하는 발광영역 및 적어도 하나의 박막트랜지스터를 포함하는 회로영역을 포함하며, 상기 발광영역은 제1변부, 제2변부, 제3변부 및 제4변부를 포함하며, 상기 제1변부는 상기 제2변부에 대향하고, 상기 제3변부는 상기 제1변부에 인접하며 상기 제4변부에 대향하는 기관;

상기 발광영역의 상기 제1변부를 따라 대응되게 형성된 제1배선;

상기 발광영역의 상기 제2변부를 따라 대응되게 형성된 제2배선;

상기 발광영역의 상기 제3변부를 따라 대응되게 형성된 제1더미; 및

상기 발광영역의 상기 제4변부를 따라 대응되게 형성된 제2더미;

을 포함하며,

상기 제1배선, 제2배선, 제1더미 및 제2더미 중 적어도 하나 이상은 상기 회로영역과 전기적으로 연결되며,

상기 제1배선, 제2배선, 제1더미 및 제2더미 상에 화소정의막이 더 형성되고, 상기 제1배선, 제2배선, 제1더미 및 제2더미 각각에 대응하는 상기 화소정의막의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 발광영역은 장방형 또는 사각형으로 구획된 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 제1더미 또는 제2더미는 각각 상기 제1배선 또는 제2배선과 전기적으로 커플링되는 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 제1더미 및 제2더미는 상기 제1배선 및 제2배선과 전기적으로 커플링되지 않는 것을 특징으로 하는 유기발광표시장치

청구항 5

제1항에 있어서,

상기 제1배선, 제2배선, 제1더미 및 제2더미는 모두 높이가 동일한 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 제1배선, 제2배선, 제1더미 및 제2더미는 모두 너비가 동일한 것을 특징으로 하는 유기발광표시장치.

청구항 7

제1항에 있어서

상기 회로영역은

상기 발광영역의 제2변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역; 및

상기 제3번부의 연장선을 기준으로 상기 발광영역과 대향하는 영역;
이 중첩되는 위치에 배치되는 것을 특징으로 하는 유기발광표시장치.

청구항 8

제1항에 있어서,
상기 회로영역에 포함된 상기 박막트랜지스터는
상기 기판 상에 형성된 활성층;
상기 활성층을 덮는 게이트절연막;
상기 활성층에 대응되는 상기 게이트절연막 상에 형성되는 게이트전극;
상기 게이트전극을 덮는 층간절연막; 및
상기 층간절연막 상에 형성되어 상기 게이트전극과 절연되고, 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극;
을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 9

제8항에 있어서
상기 소스전극 및 드레인전극을 덮는 패시베이션막; 및
상기 패시베이션막 상에 형성된 화소전극;
을 더 포함하고,
상기 화소전극은 상기 소스전극 및 드레인전극 중 어느 하나의 전극과 상기 회로영역에 배치된비아홀을 통해 연결되는 것을 특징으로 하는 유기발광표시장치.

청구항 10

제8항에 있어서
상기 제1배선, 제2배선, 제1더미 또는 제2더미 중 적어도 어느 하나 이상은
상기 박막트랜지스터의 상기 소스전극 및 드레인전극과 동일한 층에 형성된 유기발광표시장치.

청구항 11

제1항에 있어서
상기 기판 상에 형성된 게이트절연막;
상기 게이트절연막을 덮는 층간절연막;
을 더 포함하며,
상기 제1배선 및 상기 제2배선은 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 대향하게 배치되고,
상기 제1배선 및 상기 제2배선과 상기 화소정의막 사이에는 패시베이션막이 더 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 12

제11항에 있어서
상기 발광영역은 상기 제1배선 및 상기 제2배선에 의해 구획되며,
상기 발광영역은

상기 제1배선 및 상기 제2배선 사이의 상기 패시베이션막 상에 형성된 화소전극; 및

상기 화소전극에 대향하는 대향전극;

을 더 구비하고,

상기 EL층은 상기 화소전극 및 상기 대향전극 사이에 개재되고 유기발광층을 구비하며 용액 상 성막 방법으로 형성되며 두께가 균일한 것을 특징으로 하는 유기발광표시장치.

청구항 13

제1항에 있어서

상기 기관 상에 형성된 게이트절연막;

상기 게이트절연막을 덮는 층간절연막;

을 포함하고,

상기 제1더미 및 상기 제2더미는 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 대향하게 배치되고,

상기 제1더미 및 상기 제2더미와 상기 화소정의막 사이에는 패시베이션막이 더 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 14

제13항에 있어서

상기 발광영역은 상기 제1더미 및 상기 제2더미에 의해 구획되며,

상기 발광영역은

상기 제1더미 및 상기 제2더미 사이의 상기 패시베이션막 상에 형성된 화소전극; 및

상기 화소전극과 대향하여 형성된 대향전극;

을 더 포함하고,

상기 EL층은 상기 화소전극과 상기 대향전극 사이에 개재되고 유기발광층을 구비하며 용액 상 성막 방법으로 형성되며 두께가 균일한 것을 특징으로 하는 유기발광표시장치.

청구항 15

제14항에 있어서,

상기 화소전극은

상기 제1더미의 상부를 덮는 상기 패시베이션막 상에도 연장되어 형성되며, 상기 제1더미의 상부 및 측면의 일부를 감싸도록 형성된 유기발광표시장치.

청구항 16

제1항에 있어서

상기 제1더미 및 제2더미는

상기 제1배선 또는 제2배선과 동일한 재료로 형성되는 유기발광표시장치.

청구항 17

기관에 EL층을 포함하는 발광영역 및 적어도 하나의 박막트랜지스터를 포함하는 회로영역을 구획하며, 여기서 상기 발광영역은 제1변부, 제2변부, 제3변부 및 제4변부를 포함하며, 상기 제1변부는 상기 제2변부에 대향하고, 상기 제3변부는 상기 제1변부에 인접하며 상기 제4변부에 대향하는 것인 단계;

상기 발광영역의 상기 제1변부를 따라 대응되게 제1배선을 형성하는 단계;

상기 발광영역의 상기 제2변부를 따라 대응되게 제2배선을 형성하는 단계;
 상기 발광영역의 상기 제3변부를 따라 대응되게 제1더미를 형성하는 단계; 및
 상기 발광영역의 상기 제4변부를 따라 대응되게 제2더미를 형성하는 단계;
 상기 제1배선, 제2배선, 제1더미 및 제2더미 상에 화소정의막을 더 형성하는 단계;
 를 포함하며,

여기서 상기 제1배선, 제2배선, 제1더미 및 제2더미 중 적어도 하나 이상은 상기 회로영역과 전기적으로 연결되며,

여기서 상기 제1배선, 제2배선, 제1더미 및 제2더미 각각에 대응하는 상기 화소정의막의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 발광영역은 장방형 또는 사각형으로 구획된 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 19

제17항에 있어서,

상기 제1더미 또는 제2더미는 상기 제1배선 또는 제2배선과 전기적으로 커플링되는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 20

제17항에 있어서,

상기 제1더미 및 제2더미는 상기 제1배선 및 제2배선과 전기적으로 커플링되지 않는 것을 특징으로 하는 유기발광표시장치의 제조 방법

청구항 21

제17항에 있어서,

상기 제1배선, 제2배선, 제1더미 및 제2더미는 모두 높이가 동일한 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 22

제17항에 있어서,

상기 제1배선, 제2배선, 제1더미 및 제2더미는 모두 너비가 동일한 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 23

제17항에 있어서

상기 회로영역은

상기 발광영역의 제2변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역; 및

상기 제3변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역;

이 중첩되는 위치에 배치되는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 24

제17항에 있어서,

상기 회로영역에 포함된 상기 박막트랜지스터는

상기 기판 상에 활성층을 형성하는 단계;

상기 활성층을 덮는 게이트절연막을 형성하는 단계;

상기 활성층에 대응되는 상기 게이트 절연막 상에 게이트전극을 형성하는 단계;

상기 게이트전극을 덮는 층간절연막을 형성하는 단계; 및

상기 층간절연막 상에 형성되어 상기 게이트전극과 절연되고, 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극을 형성하는 단계;

을 포함하는 유기발광표시장치의 제조 방법.

청구항 25

제24항에 있어서

상기 소스전극 및 드레인전극을 덮는 패시베이션막을 형성하는 단계; 및

상기 패시베이션막 상에 화소전극을 형성하는 단계;

을 더 포함하고,

상기 화소전극은 상기 소스전극 및 드레인전극 중 어느 하나의 전극과 상기 회로영역에 배치된 비아홀을 통해 연결되는 유기발광표시장치의 제조 방법.

청구항 26

제24항에 있어서

상기 제1배선, 제2배선, 제1더미 또는 제2더미 중 적어도 어느 하나는

상기 박막트랜지스터의 상기 소스전극 및 드레인전극과 동일한 층에 형성하는 유기발광표시장치의 제조 방법.

청구항 27

제17항에 있어서

상기 기판 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막을 덮는 층간절연막을 형성하는 단계;

를 더 포함하며,

상기 제1배선 및 상기 제2배선은 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 평행하게 배치되고,

상기 제1배선 및 상기 제2배선과 상기 화소정의막 사이에 패시베이션막을 형성하는 단계;

을 더 포함하는 유기발광표시장치의 제조 방법.

청구항 28

제27항에 있어서

상기 발광영역은 상기 제1배선 및 상기 제2배선에 의해 구획되며,

상기 제1배선 및 상기 제2배선 사이의 상기 패시베이션막 상에 화소전극을 형성하는 단계; 및

상기 화소전극에 대향하는 대향전극을 형성하는 단계;

를 더 포함하고

상기 EL층은 상기 화소전극 및 상기 대향전극 사이에 개재되도록 형성하고, 유기발광층을 구비하며 용액 상 성막 방법으로 두께가 균일하도록 형성하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 29

제17항에 있어서

상기 기판 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막을 덮는 층간절연막을 형성하는 단계;

를 더 포함하고,

상기 제1터미 및 상기 제2터미는 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 대향하게 배치되고,

상기 제1터미 및 상기 제2터미와 상기 화소정의막 사이에 패시베이션막을 형성하는 단계;

을 더 포함하는 유기발광표시장치의 제조 방법.

청구항 30

제29항에 있어서

상기 발광영역은 상기 제1터미 및 상기 제2터미에 의해 구획되며,

상기 제1터미 및 상기 제2터미 사이의 상기 패시베이션막 상에 화소전극을 형성하는 단계; 및

상기 화소전극과 대향하는 대향전극을 형성하는 단계;

를 더 포함하고,

상기 EL층은 상기 화소전극과 상기 대향전극 사이에 개재되고 유기발광층을 구비하며 용액 상 성막 방법으로 형성하며 두께가 균일한 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 31

제30항에 있어서,

상기 화소전극은

상기 제1터미의 상부를 덮는 상기 패시베이션막 상에도 연장되어 형성되며, 상기 제1터미의 상부 및 측면의 일부를 감싸도록 형성된 유기발광표시장치의 제조 방법.

청구항 32

제17항에 있어서

상기 제1터미 및 제2터미은

상기 제1배선 또는 제2배선과 동일한 재료로 형성되는 유기발광표시장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기발광표시장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 용액 상 성막 방법으로 EL(ElectroLuminescent)층을 형성하는 유기발광표시장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기발광표시장치는 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

[0003] 이러한 유기발광표시장치에 포함되는 EL층을 용액 상 성막 방법으로 형성하는 경우, EL층을 포함하는 발광영역 주변의 구조물 단차에 따라, 발광영역의 가장자리에서 EL층의 두께 균일도가 결정된다. 종래의 유기발광표시장치는 발광영역 주변의 구조물의 단차가 동일하지 않다. 따라서 발광영역에 형성되는 EL층 두께의 균일도가 일정

하게 유지되지 않아 유기발광표시장치의 품질이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 실시예에 의하면, 발광영역 주변의 구조물 단차를 동일하게 함으로써 용액 상 성장 방법에 의해 Et층을 균일한 두께로 형성할 수 있는 유기발광표시장치 및 그 제조 방법을 제공하는 데에 목적이 있다.

과제의 해결 수단

[0005] 상기와 같은 목적을 달성하기 위하여, 본 발명은, Et층을 포함하는 발광영역 및 적어도 하나의 박막트랜지스터를 포함하는 회로영역을 포함하며, 상기 발광영역은 제1변부, 제2변부, 제3변부 및 제4변부를 포함하며, 상기 제1변부는 상기 제2변부에 대향하고, 상기 제3변부는 상기 제1변부에 인접하며 상기 제4변부에 대향하는 기관; 상기 발광영역의 상기 제1변부를 따라 대향하게 형성된 제1배선; 상기 발광영역의 상기 제2변부를 따라 대향하게 형성된 제2배선; 상기 발광영역의 상기 제3변부를 따라 대향하게 형성된 제1더미; 및 상기 발광영역의 상기 제4변부를 따라 대향하게 형성된 제2더미; 을 포함하며, 상기 제1배선, 제2배선, 제1더미 및 제2더미 중 적어도 하나 이상은 상기 회로영역과 전기적으로 연결되며, 상기 제1배선, 제2배선, 제1더미 및 제2더미 상에 화소정의막이 더 형성되고, 상기 제1배선, 제2배선, 제1더미 및 제2더미 각각에 대응하는 상기 화소정의막의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 하는 유기발광표시장치를 제공한다.

[0006] 본 발명의 다른 특징에 따르면, 상기 발광영역은 장방형 또는 사각형으로 구획된 것을 특징으로 한다,

[0007] 본 발명의 다른 특징에 따르면, 상기 제1더미 또는 제2더미는 각각 상기 제1배선 또는 제2배선과 전기적으로 커플링되는 것을 특징으로 한다.

[0008] 본 발명의 다른 특징에 따르면, 상기 제1더미 및 제2더미는 상기 제1배선 및 제2배선과 전기적으로 커플링되지 않는 것을 특징으로 한다.

[0009] 본 발명의 다른 특징에 따르면, 상기 제1배선, 제2배선, 제1더미 및 제2더미는 모두 높이가 동일한 것을 특징으로 한다.

[0010] 본 발명의 다른 특징에 따르면, 상기 제1배선, 제2배선, 제1더미 및 제2더미는 모두 너비가 동일한 것을 특징으로 한다.

[0011] 본 발명의 다른 특징에 따르면, 상기 회로영역은 상기 발광영역의 제2변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역; 및 상기 제3변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역; 이 중첩되는 위치에 배치되는 것을 특징으로 한다.

[0012] 본 발명의 다른 특징에 따르면, 상기 회로영역에 포함된 상기 박막트랜지스터는 상기 기관 상에 형성된 활성층; 상기 활성층을 덮는 게이트절연막; 상기 활성층에 대응되는 상기 게이트절연막 상에 형성되는 게이트전극; 상기 게이트전극을 덮는 층간절연막; 및 상기 층간절연막 상에 형성되어 상기 게이트전극과 절연되고, 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극; 을 포함한다.

[0013] 본 발명의 다른 특징에 따르면, 상기 소스전극 및 드레인전극을 덮는 패시베이션막; 및 상기 패시베이션막 상에 형성된 화소전극; 을 더 포함하고, 상기 화소전극은 상기 소스전극 및 드레인전극 중 어느 하나의 전극과 상기 회로영역에 배치된비아홀을 통해 연결되는 것을 특징으로 한다.

[0014] 본 발명의 다른 특징에 따르면, 상기 제1배선, 제2배선, 제1더미 또는 제2더미 중 적어도 어느 하나 이상은 상기 박막트랜지스터의 상기 소스전극 및 드레인전극과 동일한 층에 형성된다.

[0015] 본 발명의 다른 특징에 따르면, 상기 기관 상에 형성된 게이트절연막; 상기 게이트절연막을 덮는 층간절연막; 을 더 포함하며, 상기 제1배선 및 상기 제2배선은 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 대향하게 배치되고, 상기 제1배선 및 상기 제2배선과 상기 화소정의막 사이에는 패시베이션막이 더 형성되는 것을 특징으로 한다.

[0016] 본 발명의 다른 특징에 따르면, 상기 발광영역은 상기 제1배선 및 상기 제2배선에 의해 구획되며, 상기 발광영역은 상기 제1배선 및 상기 제2배선 사이의 상기 패시베이션막 상에 형성된 화소전극; 및 상기 화소전극에 대향하는 대향전극; 을 더 구비하고, 상기 Et층은 상기 화소전극 및 상기 대향전극 사이에 개재되고 유기발광층을

구비하며 용액 상 성막 방법으로 형성되며 두께가 균일한 것을 특징으로 한다.

- [0017] 본 발명의 다른 특징에 따르면, 상기 기판 상에 형성된 게이트절연막; 상기 게이트절연막을 덮는 층간절연막; 을 포함하고, 상기 제1터미 및 상기 제2터미는 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 대향하게 배치되고, 상기 제1터미 및 상기 제2터미와 상기 화소정의막 사이에는 패시베이션막이 더 형성되는 것을 특징으로 한다.
- [0018] 본 발명의 다른 특징에 따르면, 상기 발광영역은 상기 제1터미 및 상기 제2터미에 의해 구획되며, 상기 발광영역은 상기 제1터미 및 상기 제2터미 사이의 상기 패시베이션막 상에 형성된 화소전극; 및 상기 화소전극과 대향하여 형성된 대향전극; 을 더 포함하고, 상기 EL층은 상기 화소전극과 상기 대향전극 사이에 개재되고 유기발광층을 구비하며 용액 상 성막 방법으로 형성되며 두께가 균일한 것을 특징으로 한다.
- [0019] 본 발명의 다른 특징에 따르면, 상기 화소전극은 상기 제1터미의 상부를 덮는 상기 패시베이션막 상에도 연장되어 형성되며, 상기 제1터미의 상부 및 측면의 일부를 감싸도록 형성된다.
- [0020] 본 발명의 다른 특징에 따르면, 상기 제1터미 및 제2터미는 상기 제1배선 또는 제2배선과 동일한 재료로 형성된다.
- [0021] 상기와 같은 목적을 달성하기 위하여, 본 발명은, 기판에 EL층을 포함하는 발광영역 및 적어도 하나의 박막트랜지스터를 포함하는 회로영역을 구획하며, 여기서 상기 발광영역은 제1변부, 제2변부, 제3변부 및 제4변부를 포함하며, 상기 제1변부는 상기 제2변부에 대향하고, 상기 제3변부는 상기 제1변부에 인접하며 상기 제4변부에 대향하는 것인 단계; 상기 발광영역의 상기 제1변부를 따라 대향하게 제1배선을 형성하는 단계; 상기 발광영역의 상기 제2변부를 따라 대향하게 제2배선을 형성하는 단계; 상기 발광영역의 상기 제3변부를 따라 대향하게 제1터미를 형성하는 단계; 및 상기 발광영역의 상기 제4변부를 따라 대향하게 제2터미를 형성하는 단계; 상기 제1배선, 제2배선, 제1터미 및 제2터미 상에 화소정의막을 더 형성하는 단계; 를 포함하며, 여기서 상기 제1배선, 제2배선, 제1터미 및 제2터미 중 적어도 하나 이상은 상기 회로영역과 전기적으로 연결되며, 여기서 상기 제1배선, 제2배선, 제1터미 및 제2터미 각각에 대응하는 상기 화소정의막의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 하는 유기발광표시장치의 제조 방법을 제공한다.
- [0022] 본 발명의 다른 특징에 따르면, 상기 발광영역은 장방형 또는 사각형으로 구획된 것을 특징으로 한다.
- [0023] 본 발명의 다른 특징에 따르면, 상기 제1터미 또는 제2터미는 상기 제1배선 또는 제2배선과 전기적으로 커플링되는 것을 특징으로 한다.
- [0024] 본 발명의 다른 특징에 따르면, 상기 제1터미 및 제2터미는 상기 제1배선 및 제2배선과 전기적으로 커플링되지 않는 것을 특징으로 한다.
- [0025] 본 발명의 다른 특징에 따르면, 상기 제1배선, 제2배선, 제1터미 및 제2터미는 모두 높이가 동일한 것을 특징으로 한다.
- [0026] 본 발명의 다른 특징에 따르면, 상기 제1배선, 제2배선, 제1터미 및 제2터미는 모두 너비가 동일한 것을 특징으로 한다.
- [0027] 본 발명의 다른 특징에 따르면, 상기 회로영역은 상기 발광영역의 제2변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역; 및 상기 제3변부의 연장선을 기준으로 상기 발광영역과 대향하는 영역; 이 중첩되는 위치에 배치되는 것을 특징으로 한다.
- [0028] 본 발명의 다른 특징에 따르면, 상기 회로영역에 포함된 상기 박막트랜지스터는 상기 기판 상에 활성층을 형성하는 단계; 상기 활성층을 덮는 게이트절연막을 형성하는 단계; 상기 활성층에 대응되는 상기 게이트 절연막 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮는 층간절연막을 형성하는 단계; 및 상기 층간절연막 상에 형성되어 상기 게이트전극과 절연되고, 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극을 형성하는 단계; 을 포함한다.
- [0029] 본 발명의 다른 특징에 따르면, 상기 소스전극 및 드레인전극을 덮는 패시베이션막을 형성하는 단계; 및 상기 패시베이션막 상에 화소전극을 형성하는 단계; 을 더 포함하고, 상기 화소전극은 상기 소스전극 및 드레인전극 중 어느 하나의 전극과 상기 회로영역에 배치된비아홀을 통해 연결된다.
- [0030] 본 발명의 다른 특징에 따르면, 상기 제1배선, 제2배선, 제1터미 또는 제2터미 중 적어도 어느 하나 이상은 상기 박막트랜지스터의 상기 소스전극 및 드레인전극과 동일한 층에 형성한다.

- [0031] 본 발명의 다른 특징에 따르면, 상기 기관 상에 게이트절연막을 형성하는 단계; 상기 게이트절연막을 덮는 층간 절연막을 형성하는 단계; 를 더 포함하며, 상기 제1배선 및 상기 제2배선은 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 평행하게 배치되고, 상기 제1배선 및 상기 제2배선과 상기 화소정의 막 사이에 패시베이션막을 형성하는 단계; 을 더 포함한다.
- [0032] 본 발명의 다른 특징에 따르면, 상기 발광영역은 상기 제1배선 및 상기 제2배선에 의해 구획되며, 상기 제1배선 및 상기 제2배선 사이의 상기 패시베이션막 상에 화소전극을 형성하는 단계; 및 상기 화소전극에 대향하는 대향 전극을 형성하는 단계; 를 더 포함하고 상기 EL층은 상기 화소전극 및 상기 대향전극 사이에 개재되도록 형성하고, 유기발광층을 구비하며 용액 상 성막 방법으로 두께가 균일하도록 형성하는 것을 특징으로 한다.
- [0033] 본 발명의 다른 특징에 따르면, 상기 기관 상에 게이트절연막을 형성하는 단계; 상기 게이트절연막을 덮는 층간 절연막을 형성하는 단계; 를 더 포함하고, 상기 제1터미 및 상기 제2터미는 상기 층간절연막 상에 형성되며, 상기 발광영역을 사이에 두고 서로 이격되어 대향하게 배치되고, 상기 제1터미 및 상기 제2터미와 상기 화소정의 막 사이에 패시베이션막을 형성하는 단계; 을 더 포함한다.
- [0034] 본 발명의 다른 특징에 따르면, 상기 발광영역은 상기 제1터미 및 상기 제2터미에 의해 구획되며, 상기 제1터미 및 상기 제2터미 사이의 상기 패시베이션막 상에 화소전극을 형성하는 단계; 및 상기 화소전극과 대향하는 대향 전극을 형성하는 단계; 를 더 포함하고, 상기 EL층은 상기 화소전극과 상기 대향전극 사이에 개재되고 유기발광층을 구비하며 용액 상 성막 방법으로 형성하며 두께가 균일한 것을 특징으로 하는 유기발광표시장치의 제조 방법.
- [0035] 본 발명의 다른 특징에 따르면, 상기 화소전극은 상기 제1터미의 상부를 덮는 상기 패시베이션막 상에도 연장되어 형성되며, 상기 제1터미의 상부 및 측면의 일부를 감싸도록 형성된다.
- [0036] 본 발명의 다른 특징에 따르면, 상기 제1터미 및 제2터미는 상기 제1배선 또는 제2배선과 동일한 재료로 형성된다.
- [0037] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0038] 상기한 바와 같은 본 발명에 따르면, 발광영역 주변에 동일한 높이 및 너비를 가지는 배선들을 형성함으로써, 용액 상 성막 방법에 의해 형성되는 EL층의 두께를 일정하게 유지할 수 있다.
- [0039] 또한, 비아홀을 포함하는 회로영역을 EL층을 형성하는 프린팅 노즐의 진행 경로 밖에 배치함으로써, EL층의 두께에 영향을 미칠 수 있는 구조물이 발광영역에서 배제되어 일정한 두께의 EL층을 형성할 수 있다.

도면의 간단한 설명

- [0040] 도 1는 본 발명의 일 실시예에 따른 유기발광표시장치의 서로 인접한 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)을 도시한 평면도이다.
- 도 2는 도 1에서 하나의 서브픽셀에 포함된 회로영역(311)의 회로부(PC)를 포함한 것을 도시한 것이다
- 도 3은 도 1에서 하나의 서브픽셀에 프린팅 방법으로 EL층을 형성하는 것을 나타낸 설명도이다.
- 도 4은 도 2를 구체적으로 도시한 평면도이다.
- 도 5는 도 4의 I-I'을 도시한 단면도이다.
- 도 6는 도 4의 II-II'을 도시한 단면도이다.
- 도 7는 도 4의 III-III'을 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있

다고 판단되는 경우 그 상세한 설명을 생략한다.

- [0042] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0043] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0044] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시 예들에 대하여 보다 상세히 설명한다.
- [0045] 도 1는 본 발명의 일 실시 예에 따른 유기발광표시장치의 서로 인접한 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)을 도시한 평면도이다. 도 2는 도 1의 중 하나의 서브픽셀에 포함된 회로영역(311)의 회로부(PC)를 포함한 것을 도시한 것이다. 이하에서는 필요에 따라 적색 픽셀(Pr), 녹색 픽셀(Pg) 또는 청색 픽셀(Pb)을 중 하나를 서브픽셀이라 지칭할 수 있다.
- [0046] 도 1을 참조하면, 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)은 회로영역(311)과 발광영역(312)을 각각 구비한다.
- [0047] 회로영역(311)은 적어도 하나 이상의 박막트랜지스터, 커패시터를 포함하는 회로부(PC)와 비아홀(미도시) 등을 구비한다.
- [0048] 도 2에서 볼 수 있듯이 회로영역(311) 내에는 회로부(PC)가 구비되어 있으며, 스캔배선(S), 데이터배선(D), 전원배선(V) 등과 같은 복수의 도전 라인은 회로부(PC)에 전기적으로 연결된다. 도 2에는 도시하지 않았지만, 회로부(PC)의 구성에 따라, 스캔배선(S), 데이터배선(D), 전원배선(V) 외에도 더 다양한 도전 라인들이 구비될 수 있다.
- [0049] 도 2를 참조하면, 회로부(PC)는, 스캔배선(S)과 데이터배선(D)에 연결된 제1박막트랜지스터(TR1)와, 제1박막트랜지스터(TR1)와 전원배선(V)에 연결된 제2박막트랜지스터(TR2)와, 제1박막트랜지스터(TR1)와 제2박막트랜지스터(TR2)에 연결된 커패시터(Cst)를 포함한다. 이 때, 제1박막트랜지스터(TR1)는 스위칭 트랜지스터가 되고, 제2박막트랜지스터(TR2)는 구동 트랜지스터가 된다. 제2박막트랜지스터(TR2)는 미도시된 비아홀을 통해 화소전극(221)과 전기적으로 연결되어 있다. 도 2에서 제1박막트랜지스터(TR1)와 제2박막트랜지스터(TR2)는 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다. 상기와 같은 박막트랜지스터 및 커패시터의 개수는 반드시 도시된 실시예에 한정되는 것은 아니며, 화소회로부(PC)에 따라 2 이상의 박막 트랜지스터, 1 이상의 커패시터가 조합될 수 있다.
- [0050] 본 발명의 일 실시예에 따르면, 데이터배선(D) 및 전원배선(V)은 발광영역(312)을 둘러싸도록 배치된다. 또한 제1더미배선(M1) 및 제2더미배선(M2)도 발광영역(312)을 둘러싸도록 배치된다. 따라서 발광영역(312)은 상하 좌우에 배선들이 대칭적으로 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않고 배선 및 더미들이 발광영역(312)을 둘러싸도록 배치되는 것이면 만족할 뿐, 마주보는 배선 및 더미들이 꼭 대칭을 이루어야 할 필요는 없다.
- [0051] 발광영역(312)은 데이터배선(D), 전원배선(V), 제1더미배선(M1) 및 제2더미배선(M2)에 의해 구획되는 영역이다. 발광영역(312)은 EL층(EL)층 및 화소전극(221)을 포함한다. 화소전극(221)은 EL층(EL) 하부에 형성되며, 발광영역(312) 전체를 덮고 회로영역(311)과는 미도시된 비아홀을 통해 연결된다. 대향전극(222)은 회로영역(311) 및 발광영역(312) 전면을 덮도록 형성된다.
- [0052] 도 2를 참조하면, 발광영역(312)은 장방형 또는 사각형의 형태를 가질 수 있다. 발광영역(312)은 장방형 또는 사각형의 긴 변에 해당하는 제1장변부(312a), 제1장변부(312a)와 이격되어 평행하게 형성된 제2장변부(312b)를 포함한다. 발광영역(312)은 장방형 또는 사각형의 짧은 변에 해당하는 제1단변부(312c), 제1단변부(312c)와 이격되어 평행하게 형성된 제2단변부(312d)를 구비한다. 여기서 제1단변부(312c) 및 제2단변부(312d)는 제1장변부(312a)와 수직하게 배치된다.
- [0053] 한편, 도 2에서는 발광영역(312)이 장방형 또는 사각형의 형태를 가지도록 도시되었으나, 이에 한정되지 않고 가상의 제1장변부(312a), 제2장변부(312b), 제1단변부(312c) 및 제2단변부(312d)가 둘러싸는 타원형을 가질 수도 있다. 또한, 발광영역(312)은 정사각형, 사다리꼴, 원형 등으로 형성되어, 장변 및 단변의 구분없이 적어도

가상의 4변을 가지는 형상으로 구획될 수도 있을 것이다. 이하에서는 도 2에 도시된 그림을 기준으로 설명하기로 한다.

- [0054] 회로영역(311)은 발광영역(312)과 대각선 방향으로 이격되어 형성된다. 회로영역(311)과 발광영역(312)은 제2장변부(312b)와 제1단변부(312c)의 연장선이 교차하는 점을 기준으로 점대칭적으로 형성된다. 예를 들어, 회로영역(311)은 발광영역(312)의 제2장변부(312b)의 연장선을 기준으로 발광영역(312)이 위치하지 않는 바깥영역과 제1단변부(312c)의 연장선을 기준으로 발광영역(312)이 위치하지 않는 바깥영역이 중첩되는 위치에 형성된다. 다시 말하면, 회로영역(311)은 제2장변부(312b)의 연장선이 y축이라 하고, 제1단변부(312c)의 연장선 x 축이라 하고, x축과 y축이 교차하는 지점을 원점으로 할 때, 제1사분면에 해당하는 위치에 배치된다.
- [0055] 한편, 본 발명의 일 실시예는 이에 한정되지 않고, 회로영역(311)이 발광영역(312) 하부에 배치되어, 발광영역(312)이 회로영역(311)을 가리도록 형성될 수도 있다.
- [0056] 도 1에서는 각 발광영역(312)이 가로로 길게 형성되어 있으며, 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)은 세로로 배열되어 있다. 그러나 이에 한정되지 않고 각 발광영역(312)이 세로로 길게 형성되며, 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)은 가로로 배열될 수도 있다. 발광영역(312) 및 각 픽셀의 형태 및 배열 구조는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 설계 변경할 수 있는 범위 내에서 다양하게 구현할 수 있다.
- [0057] 도 3은 도 1 중 어느 하나의 서브픽셀에 용액 상 성막 방법으로 EL층(EL)을 형성하는 것을 나타낸 설명도이다.
- [0058] 도 3을 참조하면, 발광영역(312)에 포함된 EL층(EL)은 용액 상 성막 방법에 의해 형성된다. 용액 상 성막 방법(solution deposition method)이란, EL층(EL)을 형성하는 재료를 액상 상태로 발광영역(312)에 공급하여 박막을 형성하는 방법이다. 예를 들어 코팅방법의 일종으로 스핀코팅(spin coating), 그라비아 코팅(gravure coating), 오프셋 코팅(off-set coating), 커테인 코팅(curtain coating), 리버스 롤 코팅(reverse roll coating), 슬롯 다이 코팅(slot-die coating), 스프레이 코팅(spray coating), 노즐 코팅(nozzle coating), 갭 코팅(gap coating), 딥 코팅(dip coating), 에어 나이프 코팅(air knife coating) 등이 있다. 또한, 프린팅 방법의 일종으로 액상 재료를 노즐로 공급하여 성막하는 잉크젯 프린팅 방법, 액상 재료를 판에 채워 피인쇄물에 전이시키는 그라비아 프린팅(gravure printing), 오프셋 프린팅(off-set printing), 스크린 프린팅(screen printing), 노즐 프린팅(nozzle printing), 일렉트로 스프레이 프린팅(electro-spray printing) 등이 포함될 수 있다. 이러한 용액 상 성막 방법에 의하면, 액상 재료를 구획된 영역에 공급한 후 건조하여 박막을 형성하게 된다. 따라서, 공급된 액상 재료가 한쪽으로 쏠리게 되면, 형성된 박막의 두께가 균일하지 않은 문제가 있다.
- [0059] 본 발명의 일 실시 예에 의하면, 박막트랜지스터(TR1, TR2), 커패시터(Cst), 비아홀(VH)과 같이 단차가 발생하는 구조물은 회로영역(311)에 배치된다. 한편, 발광영역(312)의 주변에는 동일한 높이를 가진 배선 구조물만 배치된다. 따라서, EL층(EL)을 형성하는 액상 재료의 쏠림이 발생하지 않고, 두께가 균일한 EL층(EL)을 형성할 수 있다.
- [0060] 한편, 도 3에서는 노즐 프린팅 방법에 의해 EL층(EL)을 형성할 때 노즐의 이동경로를 화살표로 표시하였다. 노즐은 회로영역(311)이 배제된 경로를 통해 이동하게 된다.
- [0061] 본 발명의 일 실시 예에서는 회로영역(311)이 발광영역(312)의 대각선 방향에 형성된다. 따라서, 프린팅 노즐이 발광영역(312)에 대응되도록 상하방향으로 이동할 때, 회로영역(311)이 노즐의 진행 경로에서 배제되어 배치된다. 따라서, 회로영역(311)에 노즐로부터의 액상 재료가 침범하는 등의 문제가 발생하지 않는다.
- [0062] 도 4는 도 2의 서브픽셀을 구체적으로 도시한 평면도이다. 도 5는 도 4의 I-I'을 도시한 단면도이다. 도 6은 도 4의 II-II'을 도시한 단면도이다. 도 7은 도 4의 III-III'을 도시한 단면도이다.
- [0063] 도 4 내지 도 7을 참조하면, 횡방향으로 스캔배선(S)이 구비되고, 열방향으로 전원배선(V) 및 데이터배선(D)이 구비된다. 스캔배선(S)은 발광영역(312)과 인접하게 배치되지 않으나, 전원배선(V) 및 데이터배선(D)은 발광영역(312)과 인접하게 배치된다.
- [0064] 본 발명의 일 실시 예에 의하면, 전원배선(V)은 발광영역(312)의 제1장변부(312a)의 바깥쪽에서 제1장변부(312a)를 따라 평행하게 형성되고, 데이터배선(D)은 발광영역(312)의 제2장변부(312b)의 바깥쪽에서 제2장변부(312b)를 따라 평행하게 형성된다. 본 발명의 일 실시 예에 의한 유기발광표시장치는 제1터미배선(M1) 및 제2터미배선(M2)을 포함한다. 제1터미배선(M1)은 발광영역(312)의 제1단변부(312c)의 바깥쪽에서 제1단변부(312c)를

따라 평행하게 형성되고, 제2더미배선(M2)은 발광영역(312)의 제2단변부(312d)의 바깥쪽에서 제2단변부(312d)를 따라 평행하게 형성된다. 여기서 전원배선(V), 데이터배선(D), 제1더미배선(M1) 및 제2더미배선(M2)은 동일한 층에 형성되며, 모두 높이와 너비가 동일한 것을 특징으로 한다.

- [0065] 따라서, 발광영역(312)은 주변에 동일한 단차를 가진 배선들이 둘러싸고 있으므로, 발광영역(312)에 용액 상 성장 방법으로 EL층(EL)을 형성할 때, 액상 재료의 솔림이 발생하지 않고 균일한 두께를 가질 수 있는 것이다.
- [0066] 한편, 제1더미배선(M1) 및 제2더미배선(M2)은 도시된 바와 같이 전원배선(V) 또는 데이터배선(D)과 전기적으로 커플링되지 않을 수 있다. 즉, 도 4에 나타난 바와 같이 제1더미배선(M1) 및 제2더미배선(M2)이 전원배선(V) 또는 데이터배선(D)과 전기적으로 연결되지 않고 이격되어 형성될 수 있다. 이에 따라 제1더미배선(M1) 및 제2더미배선(M2)에는 전류, 전압, 또는 신호가 흐르지 않을 수 있다. 그러나 본 발명은 이에 한정되지 않고, 제1더미배선(M1) 및 제2더미배선(M2)이 전원배선(V) 또는 데이터배선(D)과 연결되어 전기적으로 커플링될 수도 있다. 이에 따라 제1더미배선(M1) 및 제2더미배선(M2)에 전원전압이나 데이터신호가 흐를 수도 있다.
- [0067] 한편, 도 4를 참조하면, 도시된 n번째 서브픽셀의 발광영역(312)에 대하여, 제1장변부(312a)를 따라 평행하게 형성된 전원배선(V)은 도면부호 Vn-1로 도시되지 않은 n-1 번째 서브픽셀의 회로에 연결된 것이다. n번째 서브픽셀의 회로영역(311)에 연결된 전원배선(V)은 도면부호 Vn으로 데이터배선(D)의 우측에 배치된다. 한편, 제2장변부(312b)를 따라 평행하게 형성된 데이터배선(D)은 n번째 서브픽셀의 회로영역(311)에 연결된다. 이하에서는 설명의 편의를 위하여, n-1번째 서브픽셀의 회로에 연결된 전원배선(Vn-1)과 n번째 서브픽셀의 회로영역(311)에 연결된 전원배선(Vn)을 특별한 이유가 없는 한 별도로 구별하지 않고 기술한다.
- [0068] 도 5는 도 4의 회로영역(311)을 보다 상세히 설명하기 위한 단면도로써, 도 4의 I-I'을 도시한 것이다.
- [0069] 도 5를 참조하면, 기판(1) 상에 버퍼막(211)이 형성되고, 이 버퍼막(211) 상에 제1박막트랜지스터(TR1), 커패시터(Cst) 및 제2박막트랜지스터(TR2)가 형성된다.
- [0070] 먼저, 상기 버퍼막(211) 상에는 제1반도체활성층(212a) 및 제2반도체활성층(212b)이 형성된다.
- [0071] 상기 버퍼막(211)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 일례로, 상기 버퍼막(211)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 알루미늄옥사이드, 알루미늄나이트라이드, 티타늄옥사이드 또는 티타늄나이트라이드 등의 무기물이나, 폴리이미드, 폴리에스테르, 아크릴 등의 유기물 또는 이들의 적층체로 형성될 수 있다. 상기 버퍼막(211)은 필수 구성요소는 아니며, 필요에 따라서는 구비되지 않을 수도 있다.
- [0072] 상기 제1반도체활성층(212a) 및 제2반도체활성층(212b)은 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 $G-I-Z-O$ 층 $[(In_2O_3)_a(Ga_2O_3)_b(ZnO)_c]$ 층 $(a, b, c$ 는 각각 $a \geq 0, b \geq 0, c > 0$ 의 조건을 만족시키는 실수)일 수 있다. 이렇게 제1반도체활성층(212a) 및 제2반도체활성층(212b)을 산화물 반도체로 형성할 경우에는 광투과도가 더욱 높아질 수 있다.
- [0073] 상기 제1반도체활성층(212a) 및 제2반도체활성층(212b)을 덮도록 게이트절연막(213)이 버퍼막(211) 상에 형성되고, 게이트절연막(213) 상에 제1게이트전극(214a) 및 제2게이트전극(214b)이 형성된다.
- [0074] 제1게이트전극(214a) 및 제2게이트전극(214b)을 덮도록 게이트절연막(213) 상에 층간절연막(215)이 형성되고, 이 층간절연막(215) 상에 제1소스전극(216a)과 제1드레인전극(217a) 및 제2소스전극(216b)과 제2드레인전극(217b)이 형성되어 각각 제1반도체활성층(212a) 및 제2반도체활성층(212b)과 콘택 홀을 통해 콘택된다. 여기서 제1, 제2소스전극 및 제1, 제2드레인전극(216a, 216b, 217a, 217b)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성되거나, 투명 도전체인 ITO, IZO, ZnO, 또는 In_2O_3 등으로 형성될 수 있다.
- [0075] 도 3에서 볼 때, 스캔배선(S)은 제1게이트전극(214a) 및 제2게이트전극(214b)의 형성과 동시에 형성될 수 있다. 그리고, 데이터배선(D)은 제1소스전극(216a)과 동시에 제1소스전극(216a)과 연결되도록 형성되며, n번째 전원배선(Vn)은 제2소스전극(216b)과 동시에 제2소스전극(216b)과 연결되도록 형성된다. 도시되지 않았지만, n-1번째 전원배선(Vn-1)은 n-1번째 서브픽셀에 포함된 박막트랜지스터의 소스전극과 연결되도록 형성될 것이다.
- [0076] 커패시터(Cst)는 상부전극(220b) 및 하부전극(220a)을 포함한다. 하부전극(220a)은 제1게이트전극(214a) 및 제2게이트전극(214b)의 형성과 동시에 형성된다. 또한 상부전극(220b)은 제1드레인전극(217a)과 동시에 형성된다. 상부전극(220b)은 n번째 전원배선(Vn)과 연결되도록 형성된다. 도시되지 않았지만, n-1번째 전원배선(Vn-1)은

n-1번째 서브픽셀에 포함된 커패시터의 상부전극과 연결되도록 형성될 것이다.

- [0077] 상기와 같은 제1박막트랜지스터(TR1), 커패시터(Cst) 및 제2박막트랜지스터(TR2)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터 및 커패시터의 구조가 적용 가능함은 물론이다. 예컨대, 상기 제1박막트랜지스터(TR1) 및 제2박막트랜지스터(TR2)는 탑 게이트 구조로 형성된 것이나, 제1게이트전극(214a) 및 제2게이트전극(214b)이 각각 제1반도체활성층(212a) 및 제2반도체활성층(212b) 하부에 배치된 바텀 게이트 구조로 형성될 수도 있다. 물론 이 밖에도 적용 가능한 모든 박막 트랜지스터의 구조가 적용될 수 있음은 물론이다.
- [0078] 이러한 제1박막트랜지스터(TR1), 커패시터(Cst) 및 제2박막트랜지스터(TR2)를 덮도록 패시베이션막(218)이 형성된다. 패시베이션막(218)은 단일 또는 복수층의 절연막이 될 수 있다. 이 패시베이션막(218)은 무기물 및/또는 유기물로 형성될 수 있다.
- [0079] 패시베이션막(218) 상에는 도 5에서 볼 수 있듯이, 제1박막트랜지스터(TR1), 커패시터(Cst) 및 제2박막트랜지스터(TR2)와 중첩되지 않도록, 발광영역(312)에 화소전극(221)이 형성된다. 이 화소전극(221)은 패시베이션막(218)에 형성된 비아홀(VH)에 의해 제2박막트랜지스터(TR2)의 제2드레인전극(217b)에 연결된다. 본 발명의 일 실시 예에 의하면 비아홀(VH)은 회로영역(311)에 형성되는 것을 특징으로 한다. 각 화소전극(221)은 도 1에서 볼 수 있듯이 각 서브픽셀마다 서로 독립된 아일랜드 형태로 형성된다.
- [0080] 상기 패시베이션막(218) 상에는 상기 화소전극(221)의 가장자리를 덮도록 화소정의막(219)이 형성되며, 화소전극(221) 상에는 EL층(EL)과 대향전극(222)이 순차로 적층된다. 대향전극(222)은 전체 발광영역(312)과 회로영역(311)을 모두 덮도록 형성된다.
- [0081] EL층(EL)은 저분자 또는 고분자 유기막이 사용될 수 있다. 저분자 유기막을 사용할 경우, 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 본 발명에 의하면, 이들 저분자 유기막은 프린팅 방법으로 형성될 수 있다. 이 때, 홀 주입층, 홀 수송층, 전자 수송층, 및 전자 주입층 등은 공통층으로서, 적, 녹, 청색의 픽셀에 공통으로 적용될 수 있다.
- [0082] 상기 화소전극(221)은 애노우드의 기능을 하고, 상기 대향전극(222)은 캐소오드의 기능을 할 수 있는 데, 물론, 이들 화소전극(221)과 대향전극(222)의 극성은 서로 반대로 되어도 무방하다.
- [0083] 상기 화소전극(221)은 각 서브픽셀마다 발광영역(312)에 대응되는 위치에 발광영역(312) 보다 크게 형성된다. 또한 화소전극(221)은 EL층(EL)이 형성된 영역보다 넓은 영역으로 형성될 수 있다. 그리고 대향전극(222)은 모든 서브픽셀들을 덮도록 공통 전극으로 형성된다.
- [0084] 본 발명의 일 실시예에 따르면, 화소전극(221)은 반사 전극이 될 수 있고, 대향전극(222)은 투명 전극이 될 수 있다. 이를 위해, 화소전극(221)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성된 반사막과, 일함수가 높은 IT0, IZO, ZnO, 또는 In2O3 등으로 구비될 수 있다. 그리고 상기 대향전극(222)은 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, 또는 이들의 합금 등으로 형성될 수 있다. 대향전극(222)은 투과율이 높도록 박막으로 형성하는 것이 바람직하다. 그러나 이는 기관(1)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)일 경우이다.
- [0085] 본 발명의 실시 예는 이에 한정되지 않는다. 예를 들어, 대향전극(222)의 방향으로 화상을 구현하는 전면 발광형(top emission type)일 경우, 화소전극(221)은 반사 전극으로 구비될 수 있고, 대향전극(222)은 투명 전극으로 구비될 수 있다. 또한, 양면 발광형의 경우, 화소전극(221)과 대향전극(222) 모두를 투명 전극으로 구비될 수 있다.
- [0086] 도 6는 도 4의 발광영역(312)과 그 주변을 보다 상세히 설명하기 위한 단면도로서, 도 4의 II-II'을 도시한 것이다. 도 6에서는 도 5에서 설명된 구성요소와 동일한 구성요소에 대해서는 그 기능이 동일하므로, 중복되는 설명은 생략한다.
- [0087] 도 6을 참조하면, 기관(1) 상에 버퍼막(211)이 형성되고, 버퍼막(211) 상에 게이트절연막(213)이 형성된다. 게이트절연막(213) 상에는 충전절연막(215)이 형성되고, 충전절연막(215) 상에는 전원배선(V) 및 데이터배선(D)이

형성된다. 구체적으로, 도 6에 도시된 전원배선(V)은 도 4의 n-1번째 전원배선(V_{n-1})이다.

- [0088] 도 3에서 전원배선(V)은 발광영역(312)의 제1장변부(312a)의 바깥쪽에서 제1장변부(312a)와 평행하게 형성된다. 데이터배선(D)은 발광영역(312)의 제2장변부(312b)의 바깥쪽에서 제2장변부(312b)와 평행하게 형성된다. 전원배선(V)과 데이터배선(D)은 발광영역(312)을 사이에 두고 서로 이격되어 배치된다. 전원배선(V)과 데이터배선(D)은 발광영역(312)의 좌우측을 구획하며 단차를 형성한다. 전원배선(V)과 데이터배선(D)은 도 5의 제1소스전극(216a) 및 제1드레인전극(217a), 제2소스전극(216b) 및 제2드레인전극(217b)과 동일한 층에 형성되는 것을 특징으로 한다.
- [0089] 도 5에서 설명하였듯이, 데이터배선(D)은 제1소스전극(216a)과 동시에 형성되므로, 제1소스전극(216a)과 동일한 층에 동일한 재료로 이루어질 수 있다. 전원배선(V)도 제2소스전극(216b)과 동시에 형성되므로, 제2소스전극(216b)과 동일한 층에 재료로 이루어질 수 있다. 따라서, 데이터배선(D) 및 전원배선(V)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성되거나, 투명 도전체인 ITO, IZO, ZnO, 또는 In_2O_3 등으로 형성될 수 있다.
- [0090] 데이터배선(D)의 높이(D_d)와 전원배선의 높이(V_d)는 동일하다. 그래야만 발광영역(312) 주변 구조물의 단차가 동일해져서, 용액 상 성장 방법에 의해 EL층(EL)이 형성되었을 때, EL층(EL)이 일정한 두께를 가질 수 있다. 데이터배선(D)의 너비(D_w)와 전원배선(V)의 너비(V_w)도 동일하다.
- [0091] 다음으로, 전원배선(V)과 데이터배선(D)을 덮도록 패시베이션막(218)이 형성된다.
- [0092] 패시베이션막(218) 상에는 도 6에서 볼 수 있듯이, 발광영역(312) 대응되는 위치에 화소전극(221)이 형성된다. 화소전극(221) 발광영역(312)의 크기보다 크게 형성될 수 있다.
- [0093] 패시베이션막(218) 상에는 화소전극(221)의 가장자리를 덮도록 화소정의막(PDL)(219)이 형성된다. 여기서 화소정의막(219) 또는 패시베이션막(218)은 하부의 데이터배선(D), 전원배선(V), 제1터미배선(M1) 및 제2터미배선(M2)의 두께 단차가 드러날 수 있도록 얇은(thin) PDL 또는 얇은(thin) 패시베이션막을 사용할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0094] 화소전극(221) 상에는 유기발광층을 구비하는 EL층(EL)이 용액 상 성장 방법에 의해 형성되고, EL층(EL) 상에 대향전극(222)이 순차로 적층된다.
- [0095] 대향전극(222)은 전체 발광영역(312)과 발광영역(312) 주변에 배선이 형성된 영역을 모두 덮도록 형성된다.
- [0096] 도 7은 도 4의 발광영역(312)과 그 주변을 보다 상세히 설명하기 위한 단면도로써, 도 4의 III-III'을 도시한 것이다. 도 7에서는 도 5에서 설명된 구성요소와 동일한 구성요소에 대해서는 그 기능이 동일하므로, 중복되는 설명은 생략한다.
- [0097] 도 7을 참조하면, 기판(1) 상에 버퍼막(211)이 형성되고, 버퍼막(211) 상에 게이트절연막(213)이 형성된다. 스캔배선(S)은 게이트절연막(213) 상에 형성되며, 스캔배선(S)은 제1게이트전극(214a) 및 제2게이트전극(214b)과 동시에 형성될 수 있다. 게이트절연막(213) 상에는 중간절연막(215)이 형성되고, 중간절연막(215) 상에는 제1터미배선(M1) 및 제2터미배선(M2)이 형성된다.
- [0098] 도 4에서 제1터미배선(M1)은 발광영역(312)의 제1단변부(312c)의 바깥쪽에서 제1단변부(312c)와 평행하게 형성된다. 제2터미배선(M2)은 발광영역(312)의 제2단변부(312d)의 바깥쪽에서 제2단변부(312d)와 평행하게 형성된다. 제1터미배선(M1)과 제2터미배선(M2)은 발광영역(312)을 사이에 두고 서로 이격되어 배치된다. 제1터미배선(M1)과 제2터미배선(M2)은 발광영역(312)의 상하측을 구획하며 단차를 형성한다. 제1터미배선(M1) 및 제2터미배선(M2)은 데이터배선(D) 및 전원배선(V)과 동일한 층에 형성되는 것을 특징으로 한다. 이 때, 제1터미배선(M1) 및 제2터미배선(M2)은 데이터배선(D) 및 전원배선(V)과 이격되어 형성된다.
- [0099] 제1터미배선(M1) 및 제2터미배선(M2)은 데이터배선(D), 전원배선(V), 소스전극 및 드레인전극(216a, 216b, 217a, 217b)과 동시에 형성될 수 있다. 따라서, 제1터미배선(M1)과 제2터미배선(M2)도 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성되거나, 투명 도전체인 ITO, IZO, ZnO, 또는 In_2O_3 등으로 형성될 수 있다.
- [0100] 제1터미배선(M1)의 높이($M1_d$)와 제2터미배선(M2)의 높이($M2_d$)는 동일하다. 또한 제1터미배선(M1)의 높이($M1_d$) 및 제2터미배선(M2)의 높이($M2_d$)와 데이터배선(D)의 높이(D_d) 및 전원배선(V)의 높이(V_d)는 동일하다. 그래야만 발광영역(312) 주변의 단차가 동일해진다. 이로부터, 용액 상 성장 방법에 의해 EL층(EL)이 형성되었을 때, EL

층(EL)은 한쪽으로 쏠리지 않고 일정한 두께를 가질 수 있다. 제1더미배선(M1)의 너비(M1w) 및 제2더미배선(M2)의 너비(M2w)와 데이터배선(D)의 너비(Dw) 및 전원배선(V)의 너비(Vw)도 동일하다.

[0101] 다음으로, 제1더미배선(M1)과 제2더미배선(M2)을 덮도록 패시베이션막(218)이 형성된다.

[0102] 패시베이션막(218) 상에는 도 7에서 볼 수 있듯이, 발광영역(312) 대응되는 위치에 화소전극(221)이 형성된다. 화소전극(221)은 제1더미배선(M1)의 상부를 덮는 패시베이션막(218) 상에도 연장되어 형성된다. 도 7을 참조하면, 화소전극(221)은 제1더미배선(M1)의 상부 및 측면의 일부를 감싸도록 형성된다. 화소전극(221)이 제1더미배선(M1)의 상부로 연장되어 형성됨으로써, 회로영역(311)에 위치한 비아홀(VH)을 통해, 화소전극(221)이 회로영역(311)의 제2박막트랜지스터(TR2)와 전기적으로 연결될 수 있다.

[0103] 결국, 화소전극(221)이 제1더미배선(M1)의 상부를 덮도록 연장되어 형성됨으로써, 비아홀(VH)이 회로영역(311)에 존재할 수 있게 된다. 비아홀(VH)이 발광영역(312)에 존재하지 않기 때문에, 발광영역(312)에 액상의 EL층(EL) 재료를 공급하더라도 액상 재료의 쏠림이 발생하지 않고 균일한 두께의 EL층(EL)을 형성할 수 있다.

[0104] 패시베이션막(218) 상에는 화소전극(221)의 가장자리 및 제1더미배선(M1) 상에 형성된 화소전극(221)을 덮도록 화소정의막(219)이 형성된다. 화소전극(221) 상에는 유기발광층을 구비하는 EL층(EL)과 대향전극(222)이 순차로 적층된다.

[0105] EL층(EL)을 증착에 의해 형성할 때와 달리 EL층(EL)을 용액 상 성막 방법에 의해 형성할 때는 액상인 EL층(EL) 재료가 발광영역(312)에 공급된 후 건조될 때까지 한쪽으로 쏠림이 발생하지 않게 하기 위한 주변 구조물의 형상이 요구된다.

[0106] 본 발명의 일 실시예에 의하면, 발광영역(312) 주변에 동일한 높이 및 너비를 가진 데이터배선(D), 전원배선(V), 제1더미배선(M1) 및 제2더미배선(M2)이 동일한 레이어 상에 형성되어 있으므로, 발광영역(312) 주변의 단차가 동일하다. 따라서, 용액 상 성막 방법에 의해 액상의 EL층(EL) 재료를 화소전극(221) 상에 공급하더라도 액상 재료의 쏠림이 없이 균일한 두께의 EL층(EL)이 형성될 수 있다. 마지막으로 대향전극(222)은 전체 발광영역(312)과 발광영역(312) 주변에 배선이 형성된 영역을 모두 덮도록 형성된다.

[0107] 도 6 및 7에서 나타나듯이, 본 발명의 일 실시예에 의한 유기발광표시장치는 데이터배선(D), 전원배선(V), 제1더미배선(M1) 및 제2더미배선(M2) 상에 화소정의막(219)이 형성되고, 데이터배선(D), 전원배선(V), 제1더미배선(M1) 및 제2더미배선(M2)에 대응하는 화소정의막(219)의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 한다. 다르게 표현하면, 데이터배선(D), 전원배선(V), 제1더미배선(M1) 및 제2더미배선(M2)의 각각에 대응하는 화소정의막(219)의 상면이 같은 평면에 배치되며, 이 평면은 기판과 평행한 것을 특징으로 한다.

[0108] 본 발명의 일 실시예에 의하면, 제1더미배선(M1) 및 제2더미배선(M2)이 데이터배선(D) 및 전원배선(V)과 동일한 레이어에 형성되어 제1더미배선(M1) 및 제2더미배선(M2)과 데이터배선(D) 및 전원배선(V)이 동일한 높이 또는 두께인 경우 상술한 특징을 만족할 수 있었다. 그러나 본 발명은 이에 한정되지 않고 제1더미배선(M1) 및 제2더미배선(M2)이 데이터배선(D) 및 전원배선(V)과 동일하지 않은 레이어에 형성될 수도 있다. 예를 들어, 제1더미배선(M1) 및 제2더미배선(M2)은 스캔배선(S)과 동일한 레이어에 형성될 수 있는데, 이 경우에는 제1더미배선(M1) 및 제2더미배선(M2)과 데이터배선(D) 및 전원배선(V)이 동일한 높이 또는 두께를 가지지 않고, 제1더미배선(M1) 및 제2더미배선(M2)의 두께가 데이터배선(D) 및 전원배선(V)보다 더 크거나 작을 수 있음을 물론이다. 하지만 이 경우에도 EL층(EL)의 균일도를 유지하기 위해 데이터배선(D), 전원배선(V), 제1더미배선(M1) 및 제2더미배선(M2)에 대응하는 화소정의막(219)의 상면을 가상으로 연장한 연장선이 실질적으로 만나게 되는 것을 특징으로 한다.

[0109] 한편, 스캔배선(S)은 발광영역(312)의 상 하부에 배치되기는 하지만, 발광영역(312)과 직접 인접하지 않고 스캔배선(S)과 발광영역(312)의 사이에 트랜지스터들(TR1, TR2), 커패시터(Cst)와 같이 구조물이 형성되어 있다. 그러나, 본 발명의 일 실시예에 의하면, 제1더미배선(M1) 및 제2더미배선(M2)은 발광영역(312)의 상하부에 발광영역(312)과 직접 인접하게 배치된 것을 특징으로 한다. 즉, 제1더미배선(M1) 및 제2더미배선(M2)과 발광영역(312) 사이에는 다른 구조물이 형성되어 있지 않기 때문에, 제1더미배선(M1) 및 제2더미배선(M2)은 발광영역(312) 상에 용액 상 성막 방법으로 형성될 EL층(EL)의 두께를 균일하게 할 수 있는 것이다.

[0110] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있

을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

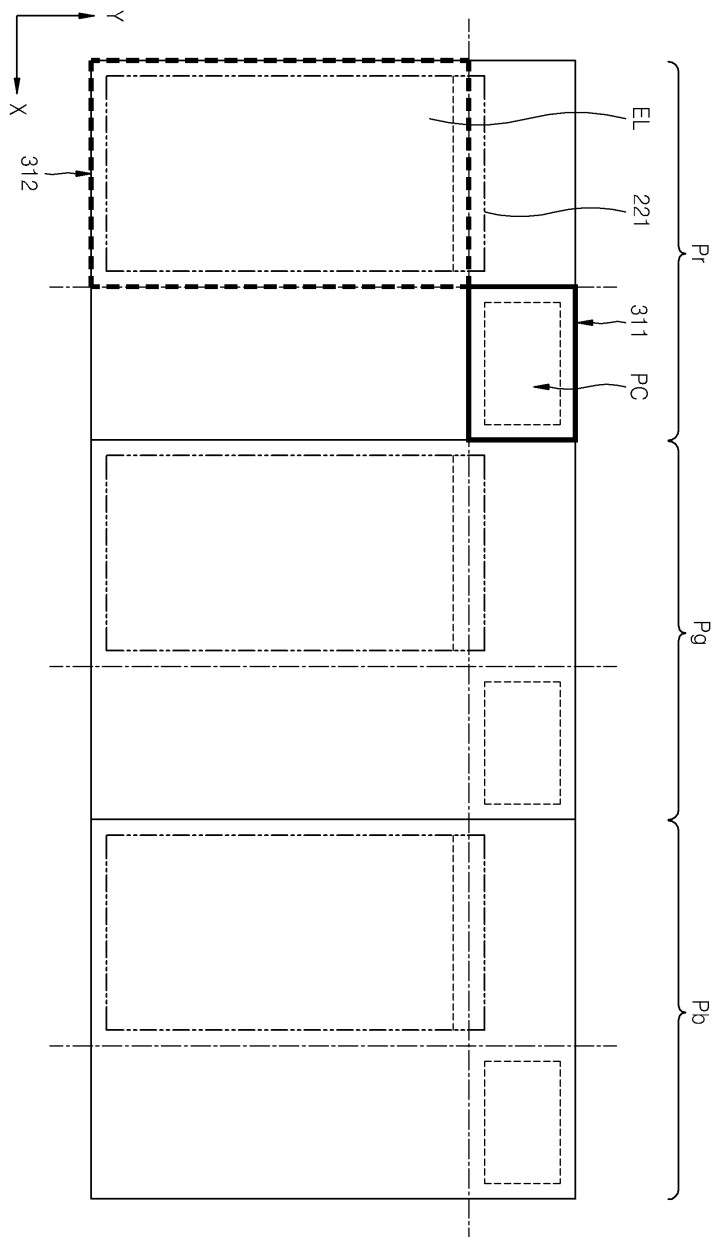
부호의 설명

[0111]

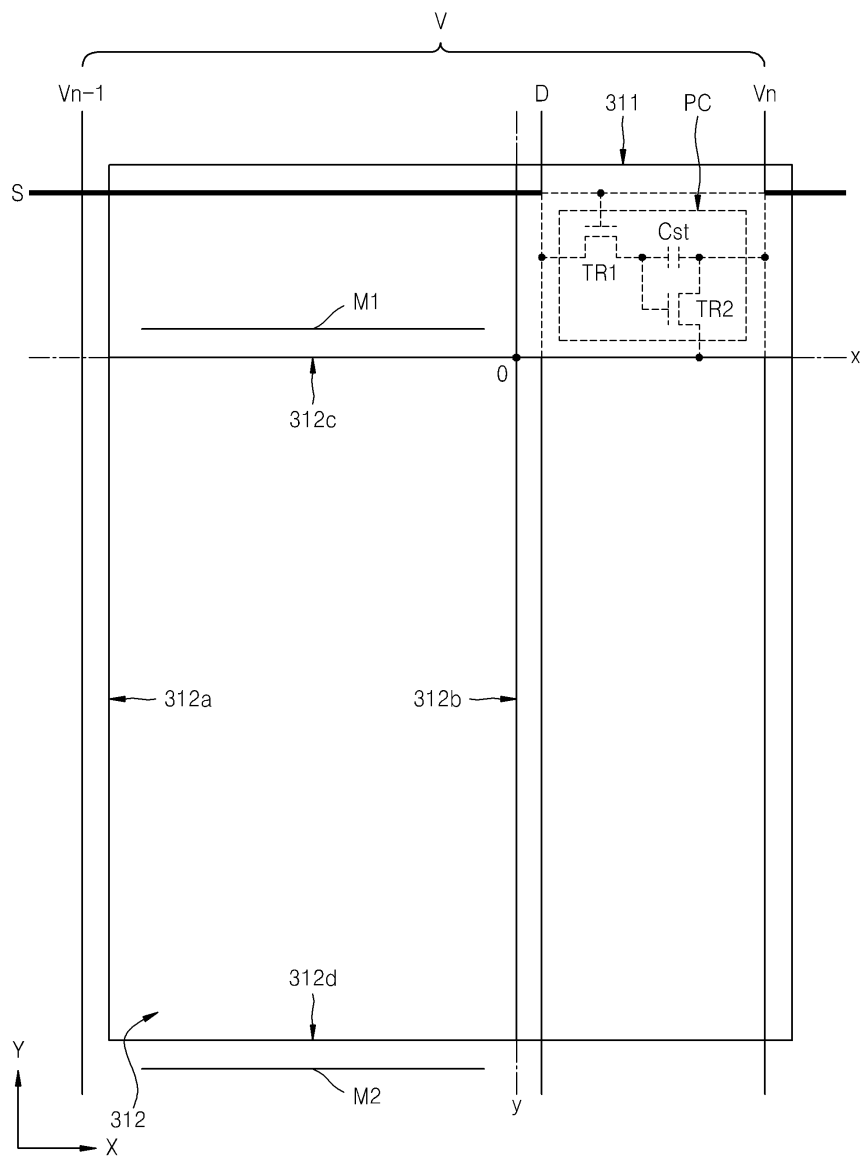
1: 기관	211: 버퍼막
212a,b: 제1,2반도체활성층	
213: 게이트절연막	214a,b: 제1,2게이트전극
215: 층간절연막	216a,b: 제1,2소스전극
217a,b: 제1,2드레인전극	218: 패시베이션막
219: 화소정의막	220a: 하부전극
220b: 상부전극	221: 화소전극
222: 대향전극	EL: EL층
S: 스캔배선	D: 데이터배선
V: 전원배선	M1: 제1더미배선
M2: 제2더미배선	TR1,2: 제1,2박막트랜지스터
Cst: 커패시터	VH: 비아홀
311: 회로영역	312: 발광영역
PC: 회로부	312a: 제1장변부
312b: 제2장변부	312c: 제1단변부
312d: 제2단변부	

도면

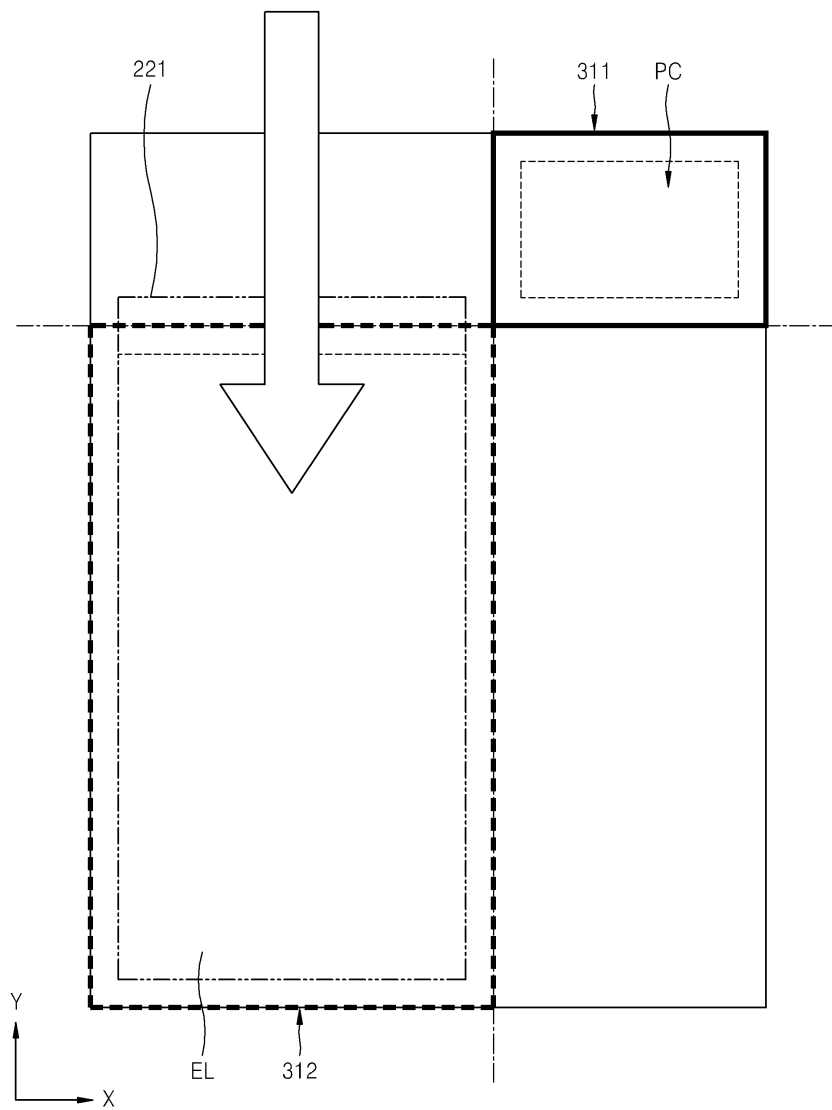
도면1



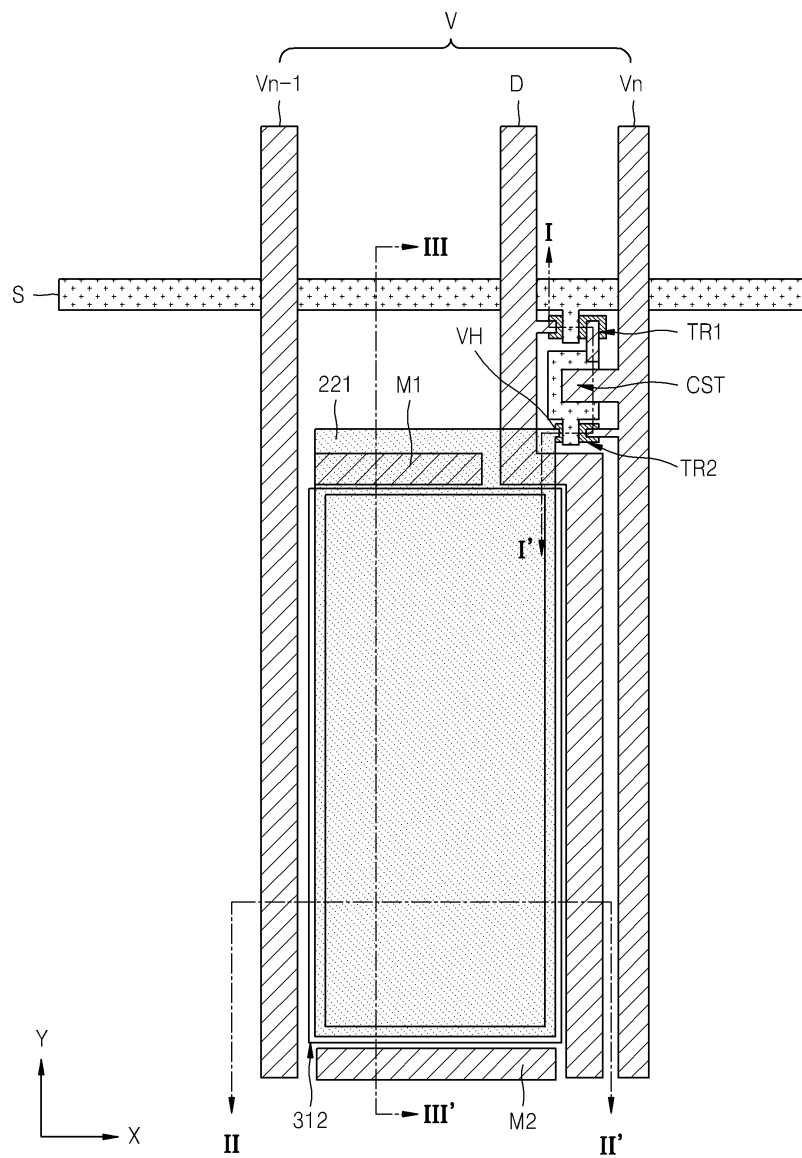
도면2



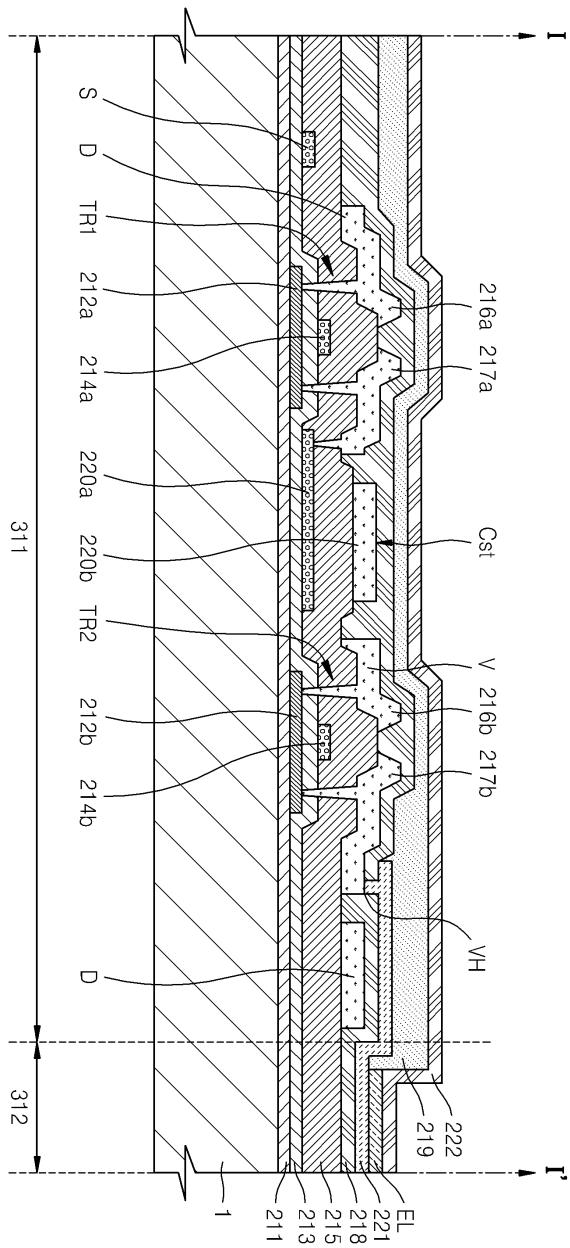
도면3



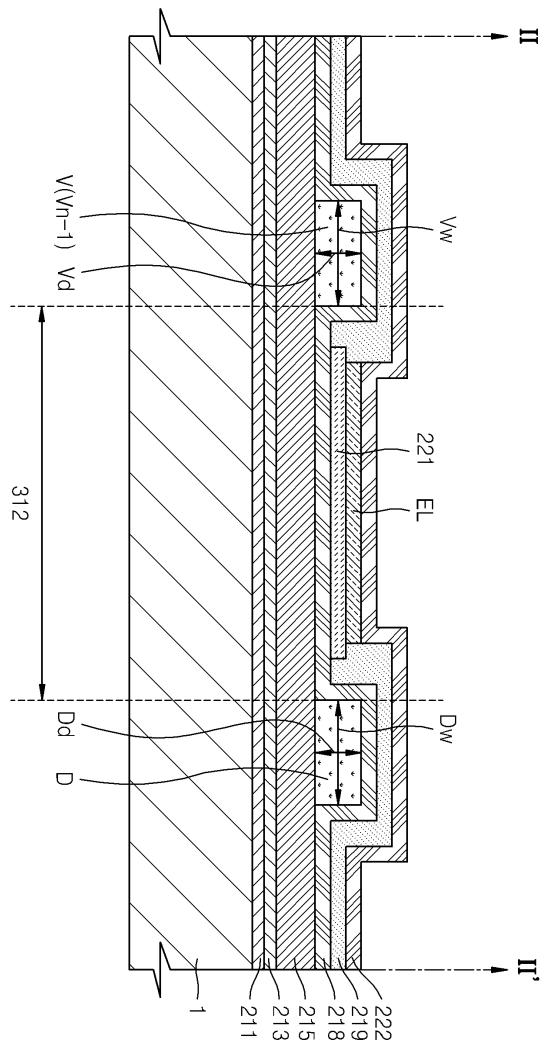
도면4



도면5



도면6



도면7

