



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년06월17일

(11) 등록번호 10-1990226

(24) 등록일자 2019년06월11일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
- (52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3248 (2013.01)
- (21) 출원번호 10-2017-7013208
- (22) 출원일자(국제) 2015년09월25일
심사청구일자 2017년05월16일
- (85) 번역문제출일자 2017년05월16일
- (65) 공개번호 10-2017-0073625
- (43) 공개일자 2017년06월28일
- (86) 국제출원번호 PCT/US2015/052420
- (87) 국제공개번호 WO 2016/081066
국제공개일자 2016년05월26일
- (30) 우선권주장
14/543,088 2014년11월17일 미국(US)
- (56) 선행기술조사문헌
KR1020140018623 A*
KR1020130127927 A*
KR1020140098438 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
애플 인크.
미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원
애플 파크 웨이
- (72) 발명자
린, 친-웨이
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2
피피오 인피니트 루프 1
최, 재 원
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 83-오
인피니트 루프 1
(뒷면에 계속)
- (74) 대리인
김진호, 백만기, 장덕순

전체 청구항 수 : 총 13 항

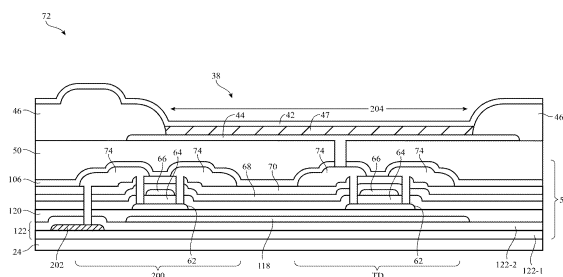
심사관 : 조성수

(54) 발명의 명칭 향상된 개구율을 갖는 유기 발광 다이오드 디스플레이

(57) 요약

유기 발광 다이오드 디스플레이는 픽셀들의 어레이를 가질 수 있다. 각 픽셀은 애노드(44) 및 캐소드(42)를 구비한 유기 발광 다이오드를 가질 수 있다. 애노드들은 패터닝된 금속의 층으로 형성될 수 있다. 픽셀들 내의 박막 트랜지스터 회로는 구동 트랜지스터들(TD) 및 스위칭 트랜지스터들(200)과 같은 트랜지스터들을 포함할 수 있다. 데이터 라인들은 픽셀들에 데이터 신호들을 공급할 수 있고 수평 제어 라인들은 트랜지스터들의 게이트들에 제어 신호들을 공급할 수 있다. 스위칭 트랜지스터는 전압 초기화 라인(202)과 각 애노드 사이에 결합될 수 있다. 전압 초기화 라인들 및 박막 트랜지스터 회로 내의 커패시터 구조체들은 애노드들을 형성하는 금속의 층과 상이한 금속의 층을 사용하여 형성될 수 있다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3272 (2013.01)

(72) 발명자

김, 민규

미국 95014 캘리포니아주 쿠퍼티노 메일 스톱 89-2피오 빌딩 씨 발코 파크웨이 19333

창, 시 창

미국 95014 캘리포니아주 쿠퍼티노 엠에스 89-2피오 인피니트 루프 1

차이, 청-팅

대만 타이페이 시티 신이 디스트릭트 송지 로드 넘버 1 19에이 메일 스톱 706-알이

굽타, 바수다

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피오 인피니트 루프 1

박, 영 배

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피오 인피니트 루프 1

명세서

청구범위

청구항 1

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들; 및

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들

을 포함하며,

각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속 애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 초기화 전압 라인들을 형성하도록 패터닝되는 추가 금속층을 포함하고,

상기 추가 금속층은 상기 유전체층과 상기 유기 패시베이션층 사이에 개재되는, 디스플레이.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 유전체층을 통과하고 상기 추가 금속층을 상기 소스-드레인층에 전기적으로 연결하는 비아를 추가로 포함하는, 디스플레이.

청구항 4

제3항에 있어서, 상기 유전체층은 규소 질화물층을 포함하는, 디스플레이.

청구항 5

제1항에 있어서, 각 픽셀의 상기 박막 트랜지스터 회로는 커패시터를 포함하며, 상기 추가 금속층은 상기 커패시터를 위한 전극을 형성하도록 패터닝되는 부분을 갖는, 디스플레이.

청구항 6

제5항에 있어서, 상기 소스-드레인층은 각 픽셀에서 상기 커패시터를 위한 추가 전극을 형성하는 부분을 가지며, 상기 유전체층은 상기 커패시터를 위한 상기 전극을 형성하도록 패터닝되는 상기 추가 금속층의 상기 부분과, 상기 추가 전극을 형성하는 상기 소스-드레인층의 상기 부분 사이에 개재되는, 디스플레이.

청구항 7

제6항에 있어서, 상기 소스-드레인층과 상기 게이트층 사이에 개재된 층간 유전체를 추가로 포함하는, 디스플레이.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제1항에 있어서, 각 픽셀의 상기 박막 트랜지스터 회로는 커패시터를 포함하며, 상기 추가 금속층은 상기 커패시터를 위한 전극을 형성하도록 패터닝되는 부분을 갖고, 상기 소스-드레인층은 각 픽셀에서 상기 커패시터를 위한 추가 전극을 형성하는 부분을 갖는, 디스플레이.

청구항 18

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들 - 각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속 애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 초기화 전압 라인들을 형성하도록 패터닝되는 추가 금속

층을 포함함 -;

상기 트랜지스터들 아래의 금속 차폐층;

제1 유전체 버퍼층 - 상기 제1 유전체 버퍼층은 상기 금속 차폐층과 상기 반도체층 사이에 개재됨 -; 및

제2 유전체 버퍼층 - 상기 제2 유전체 버퍼층은 상기 추가 금속층과 상기 금속 차폐층 사이에 개재됨 -
을 포함하는 디스플레이.

청구항 19

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들 - 각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속 애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 초기화 전압 라인들을 형성하도록 패터닝되는 추가 금속층을 포함함 -;

상기 트랜지스터들 아래의 금속 차폐층;

제1 유전체 버퍼층 - 상기 제1 유전체 버퍼층은 상기 금속 차폐층과 상기 반도체층 사이에 개재됨 -; 및

제2 유전체 버퍼층 - 상기 금속 차폐층은 상기 제1 및 제2 유전체 버퍼층 사이에 개재되고, 상기 추가 금속층은 상기 제1 유전체 버퍼층과 상기 게이트 절연체층 사이에 개재됨 -

을 포함하는 디스플레이.

청구항 20

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들; 및

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들

을 포함하며,

각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속

애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 초기화 전압 라인들을 형성하도록 패터닝되는 상기 게이트층의 일부분을 포함하는, 디스플레이.

청구항 21

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들; 및

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들

을 포함하고,

각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속 애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 초기화 전압 라인들을 형성하도록 패터닝되는 추가 금속층을 포함하고, 상기 추가 금속층은 상기 소스-드레인층의 일부분으로 형성되는, 디스플레이.

청구항 22

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들; 및

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들

을 포함하며, 각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속 애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 금속 애노드층의 일부분으로 형성되지 않고 상기 초기화 전압 라인들을 형성하도록 패터닝되는 추가 금속층을 포함하며, 상기 추가 금속층은 상기 초기화 전압 라인들로부터 분리되는, 상기 트랜지스터들 아래의 차폐층을 형성하는 부분을 갖는, 디스플레이.

청구항 23

디스플레이로서,

픽셀들의 어레이 - 상기 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 상기 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박

막 트랜지스터 회로를 가진 -;

상기 트랜지스터들 내의 게이트들에 결합되고 상기 어레이 내의 상기 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들;

상기 어레이 내의 상기 픽셀들의 열들과 연관된 데이터 라인들; 및

상기 어레이 내의 상기 픽셀들의 열들과 연관된 초기화 전압 라인들

을 포함하며, 각 픽셀에서 상기 스위칭 트랜지스터는 상기 초기화 전압 라인들 중 하나를 상기 픽셀 내의 상기 유기 발광 다이오드의 상기 애노드에 결합하고, 상기 박막 트랜지스터 회로는 상기 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 상기 반도체층에 인접한 게이트 절연체층, 상기 게이트 절연체층에 인접하고 상기 게이트들을 형성하도록 패터닝되는 게이트층, 상기 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 상기 소스-드레인층 상의 유전체층, 상기 픽셀들 내의 상기 애노드들을 형성하도록 패터닝되는 금속 애노드층, 상기 유전체층과 상기 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 상기 금속 애노드층의 일부분으로 형성되지 않고 상기 초기화 전압 라인들을 형성하도록 패터닝되는 추가 금속층을 포함하며, 상기 추가 금속층은 상기 게이트층과 상기 소스-드레인층 사이에 개재되고, 상기 추가 금속층은 제1 및 제2 무기 유전체층 사이에 개재되는, 디스플레이.

발명의 설명

기술 분야

[0001] 본 출원은 2014년 11월 17일자로 출원된 미국 특허 출원 제14/543,088호에 대한 우선권을 주장하며, 그 전문이 본 명세서에 참조로서 편입된다.

배경 기술

[0002] 본 출원은 일반적으로 디스플레이에 관한 것으로, 보다 상세하게는 유기 발광 다이오드 디스플레이에 관한 것이다.

[0003] 전자 디바이스는 종종 디스플레이를 포함한다. 유기 발광 다이오드 디스플레이는 넓은 시야, 콤팩트한 크기, 및 낮은 전력 소모와 같은 바람직한 속성들을 나타낼 수 있다.

[0004] 유기 발광 다이오드 디스플레이는 픽셀들의 어레이들을 갖는다. 각 픽셀은 유기 발광 다이오드, 및 유기 발광 다이오드를 통한 전류 흐름을 제어하는 박막 트랜지스터 회로를 포함할 수 있다. 저장 커패시터들은 연속적인 이미지 프레임들 사이에서 데이터를 저장하는 데 사용될 수 있다.

[0005] 유기 발광 다이오드 디스플레이를 형성하는 것은 어려울 수 있다. 주의를 기울이지 않으면, 픽셀들을 제어하기 위한 박막 트랜지스터 회로를 형성하는 구조체들은 원하는 것보다 더 많은 영역을 소비함으로써, 픽셀당 발광 영역의 양을 제한할 수 있다(즉, 픽셀의 개구율을 제한함). 또한 픽셀 내의 영역을 원하는 것보다 더 많이 소비하지 않고 저장 커패시터들을 형성하는 것은 어려울 수 있다.

[0006] 따라서, 향상된 개구율 및 저장 커패시터 구조체들을 구비한 유기 발광 다이오드 디스플레이를 형성할 수 있는 것이 바람직할 것이다.

발명의 내용

[0007] 유기 발광 다이오드 디스플레이는 픽셀들의 어레이를 가질 수 있다. 각 픽셀은 애노드 및 캐소드를 구비한 유기 발광 다이오드를 가질 수 있다. 애노드들은 패터닝된 금속의 층으로 형성될 수 있다.

[0008] 픽셀들 내의 박막 트랜지스터 회로는 구동 트랜지스터들 및 스위칭 트랜지스터들과 같은 트랜지스터들을 포함할 수 있다. 데이터 라인들은 픽셀들에 데이터 신호들을 공급할 수 있고 수평 제어 라인들은 트랜지스터들의 게이트들에 제어 신호들을 공급할 수 있다. 전압 초기화 라인들은 임계 전압 보상 동작들 동안 사용하기 위해 전압들을 픽셀들의 열들에 분배하는 데 사용될 수 있다.

[0009] 스위칭 트랜지스터는 전압 초기화 라인과 각 애노드 사이에 결합될 수 있다. 전압 초기화 라인들 및 박막 트랜지스터 회로 내의 커패시터 구조체들은 애노드들을 형성하는 금속의 층과 상이한 금속의 층을 사용하여 형성될 수 있다.

도면의 간단한 설명

- [0010] 도 1은 일 실시예에 따른 디스플레이를 갖는 예시적인 전자 디바이스의 도면이다.
- 도 2는 일 실시예에 따른 예시적인 디스플레이의 도면이다.
- 도 3은 일 실시예에 따른 예시적인 유기 발광 다이오드 픽셀 회로의 도면이다.
- 도 4는 일 실시예에 따른, 금속층이 제1 및 제2 버퍼층 사이에 개재되어 있는, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.
- 도 5는 일 실시예에 따른, 초기화 전압 경로와 같은 신호 경로가 금속 차폐층의 일부분으로 형성된, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.
- 도 6은 일 실시예에 따른, 전압 초기화 경로와 같은 신호 경로가 게이트 절연체층과 버퍼층 사이에 개재된 금속층으로 형성된, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.
- 도 7은 일 실시예에 따른, 전압 초기화 경로와 같은 신호 경로가 게이트 금속층의 일부분으로 형성된, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.
- 도 8은 일 실시예에 따른, 제1 및 제2 층간 유전체층 사이에 위치하는 금속층이 초기화 전압 경로를 형성하는 데 사용되는, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.
- 도 9는 일 실시예에 따른, 소스-드레인 금속층의 일부분으로 형성되는 금속층이 초기화 전압 경로를 형성하는 데 사용되는, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.
- 도 10은 일 실시예에 따른, 소스-드레인 금속층 위에 그리고 애노드층 아래에 위치하는 금속층이 초기화 전압 경로를 형성하는 데 사용되는, 유기 발광 다이오드 및 연관된 박막 구조체들의 측단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 유기 발광 다이오드 디스플레이가 구비될 수 있는 유형의 예시적인 전자 디바이스가 도 1에 도시된다. 도 1에 도시된 바와 같이, 전자 디바이스(10)는 제어 회로(16)를 가질 수 있다. 제어 회로(16)는 디바이스(10)의 동작을 지원하기 위한 저장 및 처리 회로를 포함할 수 있다. 저장 및 처리 회로는 하드 디스크 드라이브 스토리지, 비휘발성 메모리(예컨대, 플래시 메모리, 또는 솔리드 스테이트 드라이브(solid state drive)를 형성하도록 구성된 다른 전기적 프로그래밍가능 판독 전용 메모리), 휘발성 메모리(예컨대, 정적 또는 동적 랜덤 액세스 메모리) 등과 같은 스토리지를 포함할 수 있다. 제어 회로(16) 내의 처리 회로는 디바이스(10)의 동작을 제어하는 데 사용될 수 있다. 처리 회로는 하나 이상의 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서, 기저대역 프로세서, 전력 관리 유닛, 오디오 칩, 응용 주문형 집적회로 등에 기초할 수 있다.
- [0012] 입출력 디바이스들(12)과 같은 디바이스(10) 내의 입출력 회로는 데이터가 디바이스(10)에 공급되게 하기 위해, 그리고 데이터가 디바이스(10)로부터 외부 디바이스들로 제공되게 하기 위해 사용될 수 있다. 입출력 디바이스들(12)은 버튼, 조이스틱, 스크롤링 휠, 터치 패드, 키 패드, 키보드, 마이크폰, 스피커, 톤 생성기, 진동기, 카메라, 센서, 발광 다이오드 및 기타 상태 표시기, 데이터 포트 등을 포함할 수 있다. 사용자는 입출력 디바이스들(12)을 통해 커맨드들을 공급함으로써 디바이스(10)의 동작을 제어할 수 있고, 입출력 디바이스들(12)의 출력 리소스들을 사용하여 디바이스(10)로부터 상태 정보 및 기타 출력을 수신할 수 있다.
- [0013] 입출력 디바이스들(12)은 디스플레이(14)와 같은 하나 이상의 디스플레이를 포함할 수 있다. 디스플레이(14)는 사용자로부터 터치 입력을 수집하기 위한 터치 센서를 포함하는 터치 스크린 디스플레이일 수 있거나, 디스플레이(14)는 터치에 불감응형일 수 있다. 디스플레이를 위한 터치 센서(14)는 용량성 터치 센서 전극들의 어레이, 음향 터치 센서 구조체들, 저항성 터치 컴포넌트들, 힘-기반 터치 센서 구조체들, 광-기반 터치 센서, 또는 다른 적합한 터치 센서 배열들에 기초할 수 있다.
- [0014] 제어 회로(16)는 디바이스(10) 상에서 운영 체제 코드 및 애플리케이션들과 같은 소프트웨어를 실행하는 데 사용될 수 있다. 디바이스(10)의 동작 동안, 제어 회로(16) 상에서 실행되는 소프트웨어는 디스플레이(14) 상에 이미지들을 표시할 수 있다.
- [0015] 디스플레이(14)는 유기 발광 다이오드 디스플레이일 수 있다. 도 2는 예시적인 유기 발광 다이오드 디스플레이의 도면이다. 도 2에 도시된 바와 같이, 디스플레이(14)는 사용자를 위한 이미지들을 표시하기 위한 픽셀들

(22)의 어레이를 가질 수 있다. 픽셀들(22)의 어레이는 행들 및 열들을 형성하도록 배열될 수 있다. 픽셀들(22)의 어레이에는 임의의 적합한 수의 행들 및 열들이 있을 수 있다(예를 들어, 10개 이상, 100개 이상, 또는 1000개 이상). 픽셀들(22)은 각각 상이한 컬러들의 서브픽셀들을 포함할 수 있다. 예로서, 각각의 픽셀(22)은 적색광을 방출하는 적색 서브픽셀, 녹색광을 방출하는 녹색 서브픽셀, 및 청색광을 방출하는 청색 서브픽셀을 가질 수 있다. 원하는 경우, 다른 컬러들의 서브픽셀들을 포함하는 디스플레이(14)를 위한 구성들이 사용될 수 있다.

[0016] 픽셀들(22)의 동작을 제어하기 위해 디스플레이 드라이버 회로가 사용될 수 있다. 디스플레이 드라이버 회로는 집적회로, 박막 트랜지스터 회로, 또는 다른 적합한 회로로 형성될 수 있다. 도 2의 디스플레이 드라이버 회로(28)는 경로(26)를 통해 도 1의 제어 회로(16)와 같은 시스템 제어 회로와 통신하기 위한 통신 회로를 포함할 수 있다. 경로(26)는 가요성 인쇄 회로 상의 트레이스들 또는 기타 케이블로 형성될 수 있다. 동작 동안, 제어 회로(예를 들어, 도 1의 제어 회로(16))는 디스플레이(14) 상에 표시될 이미지들에 관한 정보를 회로(28)에 공급할 수 있다.

[0017] 디스플레이 픽셀들(22) 상에 이미지들을 표시하기 위해, 디스플레이 드라이버 회로(28)는 경로(50)를 통해 게이트 드라이버 회로(18)와 같은 지원 디스플레이 드라이버 회로에 클럭 신호들 및 다른 제어 신호들을 발행하면서 이미지 데이터를 데이터 라인들(D)에 공급할 수 있다. 원하는 경우, 회로(28)는 또한 디스플레이(14)의 반대측 에지 상의 게이트 드라이버 회로에 클럭 신호들 및 다른 제어 신호들을 공급할 수 있다.

[0018] 게이트 드라이버 회로(18)(때때로 수평 제어 라인 제어 회로로 지칭됨)는 집적회로의 일부로서 구현될 수 있고/있거나 박막 트랜지스터 회로를 사용하여 구현될 수 있다. 디스플레이(14)의 수평 제어 라인들(G)은 라인 신호들(스캔 라인 신호들), 방출 인에이블(emission enable) 제어 신호들, 및 각 행의 픽셀들을 제어하기 위한 다른 수평 제어 신호들을 게이팅할 수 있다. 픽셀들(22)의 행당 임의의 적합한 수의 수평 제어 신호들이 있을 수 있다(예를 들어, 하나 이상, 둘 이상, 3개 이상, 4개 이상 등).

[0019] 픽셀들(22)의 각 열은 바람직하게는 그 열의 모든 서브픽셀들에 대한 이미지 데이터를 공급하기에 충분한 수의 데이터 라인들을 포함한다(예를 들어, 적색 데이터 신호들을 적색 서브픽셀들로 전달하기 위한 적색 데이터 라인, 녹색 데이터 신호들을 녹색 서브픽셀들로 전달하기 위한 녹색 데이터 라인, 및 청색 데이터 신호들을 청색 서브픽셀들로 전달하기 위한 청색 데이터 라인).

[0020] 각 서브픽셀에 대한 회로는 유기 발광 다이오드, 다이오드를 통한 전류 흐름을 제어하는 구동 트랜지스터, 및 지원 트랜지스터들(예를 들어, 스위칭 트랜지스터들 및 방출 인에이블 제어 트랜지스터들)을 포함할 수 있다. 지원 트랜지스터들은 구동 트랜지스터들에 대한 데이터 로딩 동작들 및 임계 전압 보상 동작들을 수행하는 데 사용될 수 있다. 각 서브픽셀은 하나 이상의 커패시터를 가질 수 있다. 저장 커패시터들은 연속적인 데이터의 프레임들 사이에서 데이터 신호들을 저장하는 데 사용될 수 있다.

[0021] 유기 발광 다이오드 서브픽셀(픽셀)에 대한 예시적인 회로의 개략도가 도 3에 도시된다. 도 3에 도시된 바와 같이, 각 서브픽셀(22SUB)은 유기 발광 다이오드(38)와 같은 유기 발광 다이오드를 포함할 수 있다. 발광 다이오드(38)는 유색 광을 방출할 수 있다. 예를 들어, 서브픽셀(22SUB)이 적색 서브픽셀인 시나리오에서, 유기 발광 다이오드(38)는 적색광을 방출할 수 있다. 청색 서브픽셀들은 청색광을 방출하는 청색 다이오드들(38)을 가질 수 있고 녹색 서브픽셀들은 녹색광을 방출하는 녹색 다이오드들(38)을 가질 수 있다. 서브픽셀들(22SUB)이 상이한 컬러들(황색, 백색, 연청색, 짙은 청색 등)을 갖는, 픽셀들(22)에 대한 배열들이 또한 사용될 수 있다.

[0022] 각 서브픽셀(22SUB)에서, 구동 트랜지스터(TD)의 상태는 다이오드(38)를 통해 흐르는 구동 전류(I_D)의 양, 및 따라서 서브픽셀(22SUB)로부터의 방출된 광(40)의 양을 제어한다. 각 다이오드(38)는 애노드(A) 및 캐소드(CD)를 갖는다. 애노드(A)와 캐소드(CD) 사이에서 구동 전류(I_D)가 흐른다. 다이오드(38)의 캐소드(CD)는 접지 단자(36)에 결합되므로, 다이오드(38)의 캐소드 단자(CD)는 때때로 다이오드(38)에 대한 접지 단자로 지칭될 수 있다. 캐소드(CD)는 다수의 다이오드들 사이에서 공유될 수 있다(즉, 다수의 다이오드들의 캐소드들(CD)은 공유 전압에 묶일 수 있다). 각 애노드(A)는 각각의 구동 트랜지스터(TD)에 의해 개별적으로 구동된다.

[0023] 트랜지스터(38)가 연속적인 데이터의 프레임들 사이에서 바람직한 상태로 유지되도록 보장하기 위하여, 서브픽셀(22SUB)은 저장 커패시터(Cst1)와 같은 저장 커패시터를 포함할 수 있다. 저장 커패시터(Cst1) 상의 전압은 트랜지스터(TD)를 제어하기 위해(즉, 구동 전류(I_D)의 크기를 제어하기 위해) 노드(ND2)에서 트랜지스터(TD)의 게이트에 인가된다.

- [0024] 데이터는 하나 이상의 스위칭 트랜지스터를 사용하여 저장 커패시터(Cst1) 내에 로딩될 수 있다. 하나 이상의 방출 인에이블 트랜지스터가 구동 트랜지스터(TD)를 통한 전류의 흐름을 제어하는 데 사용될 수 있다. 도 3의 예에서는, 스캔 신호들(SCAN1, SCAN2)이 스위칭 트랜지스터들(TS1, TS2)의 게이트들에 인가된다. SCAN1 및 SCAN2 신호들은 임계 전압 보상 동작들 및 데이터 로딩 동작들 동안 트랜지스터들(TS1, TS2)을 제어하는 데 사용된다. 방출 제어 신호(EM)는 방출 인에이블 트랜지스터(TE)를 제어하는 데(예를 들어, 임계 전압 보상 및 데이터 로딩 동작들 동안 트랜지스터(TD)를 디스에이블시키기 위해) 사용된다.
- [0025] 디스플레이 드라이버 회로(28)는 각 열 내의 수직 초기화 전압 라인들을 사용하여 픽셀들의 열들에 초기화 전압들을 공급할 수 있다. 도 3에 도시된 바와 같이, 초기화 전압 라인(Vini)은 임계 전압 보상 동작들 동안 트랜지스터(TS2)를 통해 단자(ND3)에 초기화 전압(즉, 직류 바이어스 전압(Vini))을 공급하는 데 사용될 수 있다. 디스플레이 드라이버 회로(38)는 임계 전압 보상 동작들 동안 서브픽셀(22SUB)에 기준 전압(Vref)을 공급하기 위해 데이터 라인(D)을 사용할 수 있다. 서브픽셀(22SUB)은 V_{DDEL} 과 같은 양의(positive) 전력 공급 전압 및 V_{SSEL} 과 같은 접지 전력 공급 전압을 수신할 수 있다. 안정화 커패시터(Cst2)는 임계 전압 보상 동작들 동안 노드(ND3)를 안정화시키는 것을 돕기 위해 사용될 수 있다.
- [0026] 도 3에 도시된 유형의 픽셀 회로를 사용하여, 각 서브픽셀(픽셀)(22SUB)은 구동 트랜지스터(TD)에서의 트랜지스터 임계 전압 변동들과 같은 픽셀-픽셀(pixel-to-pixel) 변동들에 대해 보상될 수 있다. 보상 동작들은 초기화 단계 및 임계 전압 생성 단계를 포함하는 보상 기간 동안 수행될 수 있다. 보상 후에(즉, 보상 기간의 보상 동작들이 완료된 후에), 데이터가 픽셀들 내에 로딩될 수 있다. 때때로 데이터 프로그래밍으로 지칭되는 데이터 로딩 프로세스는 프로그래밍 기간 동안 발생할 수 있다. 컬러 디스플레이에서, 프로그래밍은 데이터를 디멀티플렉싱하는 것 및 디멀티플렉싱된 데이터를 적색, 녹색, 및 청색 서브픽셀들(22SUB) 내에 로딩하는 것을 포함할 수 있다(예로서). 보상 및 프로그래밍 후에(즉, 보상 및 프로그래밍 기간의 만료 후에), 행의 픽셀들은 광을 방출하는데 사용될 수 있다. 픽셀들이 광을 방출하는 데 사용되고 있는 기간(즉, 발광 다이오드들(38)이 광(40)을 방출하는 동안의 시간)은 때때로 방출 기간으로 지칭된다.
- [0027] 초기화 단계 동안, 회로(18)는 SCAN1 및 SCAN2를 어서트(assert)할 수 있다(즉, SCAN1 및 SCAN2는 하이(high)로 취해질 수 있음). 이는 트랜지스터들(TS1, TS2)을 턴온시켜, 라인(D)으로부터의 기준 전압 신호(Vref) 및 초기화 전압 라인으로부터의 초기화 전압 신호(Vini)가 각각 노드들(ND2, ND3)에 인가되도록 한다. 보상 기간의 임계 전압 생성 단계 동안, 신호(EM)가 어서트되어서, 트랜지스터(TE)가 턴온되고 전류(I_D)가 구동 트랜지스터(TD)를 통해 흘러서 노드(ND3)에서 커패시턴스를 충전시키도록 한다. 노드(ND3)에서의 전압이 증가함에 따라, 구동 트랜지스터(TD)의 게이트-소스 전압(V_{gs})이 구동 트랜지스터(TD)의 임계 전압(V_t)에 가까워지므로 구동 트랜지스터(TD)를 통한 전류는 감소될 것이다. 따라서 노드(ND3)에서의 전압은 $V_{ref}-V_t$ 가 될 것이다. 보상 후에(즉, 초기화 및 임계 전압 생성 후에), 데이터는 보상된 디스플레이 픽셀들 내에 프로그래밍된다. 프로그래밍 동안, 방출 트랜지스터(TE)는 신호(EM)를 디어서트(deassert)함으로써 턴오프되고, 원하는 데이터 전압(D)이 데이터 라인(D)을 사용하여 노드(ND2)에 인가된다. 프로그래밍 후의 노드(ND2)에서의 전압은 디스플레이 데이터 전압(V_{data})이다. 노드(ND3)에서의 전압은 노드(ND2)와의 결합으로 인해 상승한다. 특히, 노드(ND3)에서의 전압은 $V_{ref}-V_t + (V_{data}-V_{ref}) * K$ 로 취해지며, 여기서 K는 $Cst1/(Cst1+Cst2+Coled)$ 와 동일하고, 여기서 Coled는 다이오드(38)와 연관된 커패시턴스이다.
- [0028] 보상 및 프로그래밍 동작들이 완료된 후, 디스플레이(14)의 디스플레이 드라이버 회로는, 보상되고 프로그래밍된 픽셀들을 방출 모드에 둔다(즉, 방출 기간이 시작됨). 방출 동안, 신호(EM)는 각각의 보상되고 프로그래밍된 서브픽셀에 대해 어서트되어 트랜지스터(TE)를 턴온시킨다. 노드(ND3)에서의 전압은 다이오드(38)와 연관된 전압인 V_{oled} 가 된다. 노드(ND2)에서의 전압은 $V_{data} + (V_{oled} - (V_{ref}-V_t) - (V_{data}-V_{ref})) * K$ 가 된다. 구동 트랜지스터(TD)에 대한 $V_{gs}-V_t$ 의 값은 노드(ND2)의 전압(V_a)과 노드(ND3)의 전압(V_b) 사이의 차이와 동일하다. V_a-V_b 의 값은 $(V_{data}-V_{ref}) * (1-K)$ 이며, 이는 V_t 와는 독립적이다. 따라서, 디스플레이(14)의 픽셀들의 어레이 내의 각 서브픽셀(22SUB)은, 각 서브픽셀(22SUB)에 의해 방출되는 광(40)의 양이 그 서브픽셀들 각각에 대한 데이터 신호(D)의 크기에만 비례하도록, 임계 전압 변동들에 대해 보상되었다.
- [0029] 도 3의 예시적인 픽셀 회로는 4개의 트랜지스터 및 2개의 커패시터를 사용하며, 따라서 때때로 4T2C 설계로 지칭될 수 있다. 원하는 경우, 다른 픽셀 회로가 디스플레이(14)에 사용될 수 있다(예를 들어, 6T1C 설계들 등). 도 3의 구성은 단지 예시적인 것이다.
- [0030] 도 3의 서브픽셀(22SUB)과 같은 유기 발광 다이오드 픽셀들은 도 4에 도시된 유형의 박막 트랜지스터 구조체들

을 사용할 수 있다. 도 4에 도시된 바와 같이, 픽셀 회로(72)는 발광 다이오드 캐소드층(42)(예를 들어, 도 3의 캐소드 단자(CD)를 형성하는 인듐 주석 산화물의 층과 같은 투명한 전도성 층) 및 발광 다이오드 애노드층(44)(예를 들어, 도 3의 애노드 단자(A)를 형성하는 패터닝된 금속층)과 같은 픽셀 구조체들을 포함할 수 있다. 캐소드(42)와 애노드(44) 사이에 유기발광 다이오드 방출 재료(47)가 개재됨으로써, 발광 다이오드(38)를 형성할 수 있다.

[0031] 유전체층(46)은 각 서브픽셀에 대한 발광 다이오드의 레이아웃(예를 들어, 애노드(44)에 대한 방출 재료(47)의 정렬)를 정의하는 역할을 하는 개구를 가질 수 있고, 때때로 픽셀 정의층으로 지칭될 수 있다. 평탄화층(50)(예컨대, 유기 중합체층)이 박막 트랜지스터 구조체들(52)의 상부 상에 형성될 수 있다. 박막 트랜지스터 구조체들(52)은 기판(24) 상에 형성될 수 있다. 기판(24)은 경성 또는 가요성일 수 있고 유리, 세라믹, 사파이어와 같은 결정질 재료, 중합체(예컨대, 폴리이미드의 가요성층 또는 기타 중합체 재료의 가요성 시트) 등으로 형성될 수 있다.

[0032] 박막 트랜지스터 구조체들(52)은 규소 트랜지스터들 또는 다른 반도체들(예를 들어, 인듐 갈륨 아연 산화물과 같은 반도체성 산화물들)로 형성된 박막 트랜지스터들을 포함할 수 있다. 도 4의 예시적인 구성에서, 회로(72)는 스위칭 트랜지스터(200) 및 구동 트랜지스터(TD)를 포함하며, 이는 폴리실리콘 반도체층(62)으로 형성된 반도체성 채널 영역들(64)을 갖는다.

[0033] 반도체층(62)으로 형성된 채널 영역들은 게이트 절연체층(64)(예를 들어, 규소 산화물의 층 또는 다른 무기층)에 의해 덮일 수 있다. 트랜지스터 게이트들(66)은 패터닝된 금속의 층(예컨대, 예로서, 폴리브덴)과 같은 게이트층으로 형성될 수 있다. 게이트들(66)은 중간 유전체의 층(예를 들어, 규소 산화물층(68), 규소 질화물층(70), 및/또는 다른 산화물 및 질화물층들 또는 다른 유기 또는 무기층들)에 의해 덮일 수 있다. 소스-드레인층(74)은 트랜지스터들(200, TD)과 같은, 회로(72) 내 트랜지스터들에 대한 트랜지스터 소스-드레인 단자들을 형성하도록 패터닝되는 금속의 층일 수 있다. 각 트랜지스터는 그 트랜지스터의 채널(62)의 대향하는 측면들에 연결된 한 쌍의 소스-드레인 단자를 가질 수 있다.

[0034] 회로(72)는 또한 도 3의 커패시터들(Cst1, Cst2)과 같은 커패시터 구조체들을 포함할 수 있다. 커패시터 구조체들은 회로(72) 내의 전도성 층들로 형성되는 전극들을 가질 수 있다. 전극들은 개재된 유전체층(예를 들어, 도 4의 유전체층들 중 하나 이상)에 의해 분리될 수 있다.

[0035] 패시베이션층(106)과 같은 무기 패시베이션층은 중합체(유기) 패시베이션층(50)과 소스-드레인층(74)(및 유전체층(70)) 사이에 개재될 수 있다. 층(106)은 규소 질화물 또는 다른 유전체로 형성될 수 있다.

[0036] 버퍼층(122)이 기판(24) 상에 형성될 수 있다. 버퍼층(122)은 무기 유전체 재료 또는 다른 유전체의 하나 이상의 층으로 형성될 수 있다. 예로서, 버퍼층(122)은 기판(24) 상의 하부 버퍼층(122-1) 및 층(122-1) 상의 상부 버퍼층(122-2)을 포함할 수 있다. 층들(122-1, 122-2)은 규소 산화물, 규소 질화물, 산질화물, 또는 다른 유전체 재료들로 형성될 수 있다. 층(122)은 기판(24)으로부터의 불순물들(예를 들어, 유리 불순물들)을 차단하는 것을 도움으로써, 이들 불순물이 박막 트랜지스터 회로(52)의 박막 트랜지스터들의 성능을 저하시키는 것을 방지할 수 있다.

[0037] 배면 금속층(118)은 버퍼층(122) 내의 전하로부터 트랜지스터들을 차폐하는 차폐층으로서 역할을 하기 위해 박막 트랜지스터들(예를 들어, 도 4의 예에서 트랜지스터들(200, TD)) 아래에 형성될 수 있다. 버퍼층(120)은 차폐층(118) 위에 형성될 수 있고 유전체(예를 들어, 유기 또는 무기층)로 형성될 수 있다.

[0038] 디스플레이(14)의 픽셀들의 개구율을 향상시키는 것을 돕기 위해, 애노드층(44)은 애노드들(A)을 형성하는 데 배타적으로 또는 거의 배타적으로 사용될 수 있다. 이러한 유형의 접근법으로, 디스플레이(14) 내의 Vini 라인들과 같은 디스플레이(14)를 위한 추가 신호 경로들이 다른 금속층들의 부분들을 사용하여 형성될 수 있으며, 애노드층의 금속으로 형성될 필요는 없다.

[0039] 도 4의 예에서, 예를 들어, 회로(72)에는 추가 금속층(202)이 구비될 수 있다. 금속층(202)은 하부 버퍼층(122-1)과 상부 버퍼층(122-2) 사이에 개재되며, 디스플레이(14)의 애노드들을 형성하는 데 사용되는 재료의 층과는 상이한 재료의 층이다. 층(202)은 애노드층(44)과 동일한 재료의 층에 형성되지 않기 때문에, 애노드층(44)에는 유기 발광 다이오드들(38)을 형성하기 위한 이용가능한 추가 공간이 있다. 이는, 애노드(A)와 초기화 전압 라인 또는 다른 신호 경로들 사이에 바람직하지 않은 단락 회로 경로들을 생성할 위험 없이, 픽셀 정의층(46) 내의 개구(204)와 같은 개구들의 크기 및 애노드층(44)으로 형성된 애노드들(A)의 측방향 치수들이 증가되게 한다. 개구(204)의 증가된 크기 및 다이오드(38) 내의 애노드 및 방출층 재료(47)의 크기들에서의 연관된

증가는 픽셀 개구율을 증가시킨다(예를 들어, 서브픽셀들(22SUB), 예컨대 청색 서브픽셀들 및 잠재적으로는 디스플레이(14) 내의 다른 서브픽셀들은 향상된 애노드 크기 및 방출층 크기를 가질 수 있으며, 따라서 그렇지 않으면 주어진 픽셀 영역에서 가능할 수 있는 것보다 더 많은 광을 방출할 수 있다).

[0040] 도 4의 전도성층들은, 원하는 경우, 픽셀들(22)을 위한 커패시터들(예를 들어, 도 3의 Cst1 및 Cst2 참조)을 형성하는 데 사용될 수 있다. 일례로서, 층(202)과 같은 금속층의 부분들은 커패시터 전극을 형성하는 데 사용될 수 있다. 반도체층(62) 및/또는 게이트층(66)도 커패시터 전극들을 형성하는 데 사용될 수 있다. 일부 커패시터 설계들에서, 커패시터는 유전체의 층에 의해 분리된 상부 및 하부 전극들을 갖는다. 다른 커패시터 설계들에서, 커패시터는 제1 및 제2 각각의 개재된 유전체층들에 의해 분리된 제1, 제2, 및 제3 적층 전극들을 갖는다. 커패시터들 내의 유전체층들은 하나 이상의 서브층을 포함할 수 있다. 도 4에 도시된 형태의 배열에서, 커패시터들을 위한 유전체층들은 층들(122-2, 120, 64)과 같은 층들로 형성될 수 있다. 예를 들어, 커패시터는 유전체(122-2, 120)에 의해 분리되는 층들(202, 62)로 형성된 전극들을 가질 수 있다. 다른 예로서, 커패시터는 유전체(122-2, 120, 64)에 의해 분리되는 층들(202, 66)로 형성된 전극들을 가질 수 있다. 원하는 경우, 다른 커패시터 배열들이 사용될 수 있다. 이들 전극 및 유전체층 구성은 단지 예시적인 것이다.

[0041] 도 5의 예시적인 구성에서, 금속 차폐층(118)의 부분(118')은 별개의 전도성 구조체를 형성하도록 패터닝되었다. 층(118)의 부분(118')으로 형성된 별개의 전도성 구조체는, 예를 들어, 초기화 전압 라인(Vini)을 형성하는 데 사용될 수 있다.

[0042] 도 5에 도시된 바와 같이, 층(118')은 비아들(210)을 사용하여 소스-드레인층들(74)에 단락될 수 있다. 단일 비아(210)가 개재하는 유전체층들을 통과하여 층(74)을 층(118')에 직접 연결할 수 있거나, 또는 도 5에 도시된 바와 같이, 게이트 금속층(66)의 부분(66')이 (예를 들어, 2개의 더 짧은 비아(210)가 하나의 더 높은 비아 대신에 사용될 수 있도록) 층들(74, 118')을 함께 결합하는 데 사용될 수 있다.

[0043] 도 5의 구조체들은 커패시터들(Cst1, Cst2)과 같은 커패시터들을 형성하는 데 사용될 수 있다. 예를 들어, 층의 부분들(118')은 커패시터 전극을 형성하는 데 사용될 수 있다. 반도체층(62) 및/또는 게이트층(66)도 커패시터 전극들을 형성하는 데 사용될 수 있다. 커패시터들을 위한 유전체층들은 층들(120, 64)과 같은 층들로 형성될 수 있다. 예를 들어, 커패시터는 유전체(120)에 의해 분리되는 층들(118', 62)로 형성된 전극들을 가질 수 있고/있거나 커패시터는 유전체(120, 64)(예로서)에 의해 분리되는 층들(118', 66)로 형성된 전극들을 가질 수 있다.

[0044] 도 6의 예시적인 구성에서, 금속층(212)은 디스플레이(14)를 위한 전도성 구조체들을 형성하는 데 사용되었다. 층(212)은 예를 들어, 전압 초기화 라인(Vini)과 같은 신호 경로를 형성하는 데 사용될 수 있다. 도 6에 도시된 바와 같이, 금속층(212)은 버퍼층(122-2)과 게이트 절연체층(64) 사이에 개재될 수 있다. 비아(214)와 같은 비아는 층(212)을, 금속 소스-드레인층(74)과 같은 다른 층들에 전기적으로 결합하는 데 사용될 수 있다(예를 들어, 비아(214)는 층(212)과 소스-드레인층(74) 사이에 직접 연결될 수 있다). 금속층(212)은 반도체층(62)과 동일한 회로의 층(72)에 위치할 수 있다. 금속층(212)은 층(62)의 패터닝 및 도핑을 완료한 후에 패터닝될 수 있다.

[0045] 도 6의 구조체들은 커패시터들(Cst1, Cst2)과 같은 커패시터들을 형성하는 데 사용될 수 있다. 예를 들어, 층(212)의 부분들은 커패시터 전극을 형성하는 데 사용될 수 있다. 게이트 층(66)과 같은 금속층들도 커패시터 전극들을 형성하는 데 사용될 수 있다. 커패시터는, 예를 들어, 유전체(64)(예로서)에 의해 분리되는 층들(212, 66)로 형성된 전극들을 가질 수 있다.

[0046] 도 7의 예시적인 구성에서, 전압 초기화 라인(Vini)과 같은 디스플레이(14)를 위한 전도성 구조체들은 부분(66')과 같은 게이트 층(66)의 일부분으로 형성되었다. 도 7에 도시된 바와 같이, 금속 게이트 층(66')은 유전체층(64)과 유전체층(68) 사이에 개재될 수 있다. 비아(216)는 유전체층들(68, 70)을 통과할 수 있고, 게이트 층(66')을 소스-드레인층(74)에 연결할 수 있다.

[0047] 도 7의 구조체들은 커패시터들(Cst1, Cst2)과 같은 커패시터들을 형성하는 데 사용될 수 있다. 예를 들어, 게이트 금속층의 부분들은 커패시터 전극을 형성하는 데 사용될 수 있고, 능동 반도체층(62)은 커패시터 전극을 형성할 수 있고, 유전체층(64)은 이들 전극 사이에 개재될 수 있다(예로서).

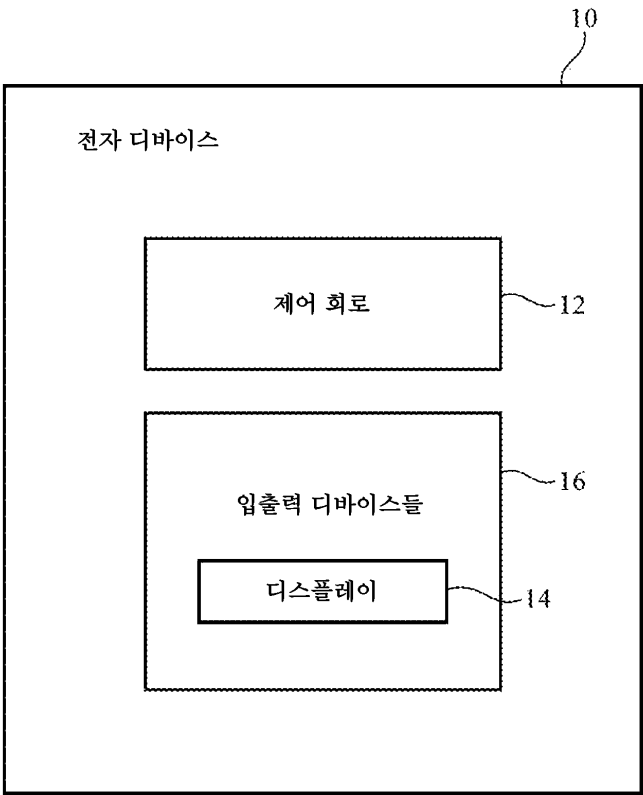
[0048] 도 8의 예시적인 구성에서, 전압 초기화 라인(Vini)과 같은 디스플레이(14)를 위한 전도성 구조체들은 금속층(218)으로 형성되었다. 금속층(218)은 유전체층들(68, 70) 사이에 개재될 수 있고 층(70)을 통해 비아(220)에 의해 소스-드레인층(74)에 전기적으로 연결될 수 있다.

- [0049] 층(218)은 커패시터들(Cst1, Cst2)과 같은, 회로(72)를 위한 커패시터들을 형성하는 데 사용될 수 있다. 예를 들어, 층(218)은 커패시터 전극을 형성할 수 있고, 게이트 금속층(66)으로부터의 금속은 커패시터 전극을 형성할 수 있다. 층들(218, 66)로 형성된 전극들은 개재된 유전체층(68)에 의해 분리될 수 있다. 커패시터들은 또한 층(218)의 부분들 및 소스-드레인층(74)의 부분들을, 개재된 유전체층(70)에 의해 분리된 전극들로서 사용하여 형성될 수 있다.
- [0050] 도 9의 예시적인 구성에서, 전압 초기화 라인(Vini)과 같은 디스플레이(14)를 위한 전도성 구조체들은 소스-드레인 금속층(74)의 부분(74')으로 형성되었다.
- [0051] 원하는 경우, 부분(74')과 같은 소스-드레인층(74)의 부분들은 커패시터들(Cst1, Cst2)과 같은 회로(72)를 위한 커패시터들을 형성하는 데 사용될 수 있다. 예를 들어, 층(74')은 커패시터 전극을 형성할 수 있고, 게이트 금속층(66)으로부터의 금속은 커패시터 전극을 형성할 수 있다. 층들(74) 및 층(66)으로 형성된 전극들은 개재된 층간 유전체층들(68, 70)에 의해 분리될 수 있다.
- [0052] 도 10의 예시적인 구성에서, 전압 초기화 라인(Vini)과 같은 디스플레이(14)를 위한 전도성 구조체들은 금속층(222)으로 형성되었다. 금속층(222)은 유전체층들(50, 106) 사이에 개재될 수 있다. 비아(224)와 같은 비아들은 층(106)을 통과하여 층(222)을 소스-드레인층(74)에 전기적으로 결합할 수 있다. 원하는 경우, 층(222)의 부분들은 커패시터들(Cst1, Cst2)과 같은 회로(72)를 위한 커패시터들을 형성하는 데 사용될 수 있다. 예를 들어, 층(222)은 커패시터 전극을 형성할 수 있고, 소스-드레인층(74)으로부터의 금속은 커패시터 전극을 형성할 수 있다. 층들(74, 222)로 형성된 전극들은 개재된 유전체층(106)에 의해 분리될 수 있다.
- [0053] 일 실시예에 따르면, 디스플레이가 제공되며, 디스플레이는 픽셀들의 어레이 - 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -, 트랜지스터들 내의 게이트들에 결합되고 어레이 내의 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들, 어레이 내의 픽셀들의 열들과 연관된 데이터 라인들, 및 어레이 내의 픽셀들의 열들과 연관된 초기화 전압 라인들을 포함하며, 각 픽셀에서 스위칭 트랜지스터는 전압 초기화 라인들 중 하나를 그 픽셀 내의 유기 발광 다이오드의 애노드에 결합하고, 박막 트랜지스터 회로는 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 반도체층에 인접한 게이트 절연체층, 게이트 절연체층에 인접하고 게이트들을 형성하도록 패터닝되는 게이트층, 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 소스-드레인층 상의 유전체층, 픽셀들 내의 애노드들을 형성하도록 패터닝되는 금속 애노드층, 유전체층과 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 금속 애노드층의 일부분으로 형성되지 않고 전압 초기화 라인들을 형성하도록 패터닝되는 추가 금속층을 포함한다.
- [0054] 다른 실시예에 따르면, 추가 금속층은 유전체층과 유기 패시베이션층 사이에 개재된다.
- [0055] 다른 실시예에 따르면, 디스플레이는, 유전체층을 통과하고 추가 금속층을 소스-드레인층에 전기적으로 연결하는 비아를 포함한다.
- [0056] 다른 실시예에 따르면, 유전체층은 규소 질화물층을 포함한다.
- [0057] 다른 실시예에 따르면, 각 픽셀의 박막 트랜지스터 회로는 커패시터를 포함하며, 추가 금속층은 커패시터를 위한 전극을 형성하도록 패터닝되는 부분을 갖는다.
- [0058] 다른 실시예에 따르면, 소스-드레인층은 각 픽셀에서 커패시터를 위한 추가 전극을 형성하는 부분을 가지며, 유전체층은 커패시터를 위한 전극을 형성하도록 패터닝되는 추가 금속층의 부분과, 추가 전극을 형성하는 소스-드레인층의 부분 사이에 개재된다.
- [0059] 다른 실시예에 따르면, 디스플레이는 소스-드레인층과 게이트층 사이에 개재된 층간 유전체를 포함한다.
- [0060] 다른 실시예에 따르면, 추가 금속층은 트랜지스터들 아래의 차폐층을 형성하는 부분을 갖는다.
- [0061] 다른 실시예에 따르면, 디스플레이는 반도체층과 추가 금속층 사이의 버퍼층을 포함한다.
- [0062] 다른 실시예에 따르면, 각 픽셀의 박막 트랜지스터 회로는 커패시터를 포함하며, 추가 금속층은 커패시터를 위한 전극을 형성하도록 패터닝되는 부분을 갖는다.
- [0063] 다른 실시예에 따르면, 게이트층은 각 픽셀에서 커패시터를 위한 추가 전극을 형성하는 부분을 갖는다.
- [0064] 다른 실시예에 따르면, 반도체층은 각 픽셀에서 커패시터를 위한 추가 전극을 형성하는 부분을 갖는다.

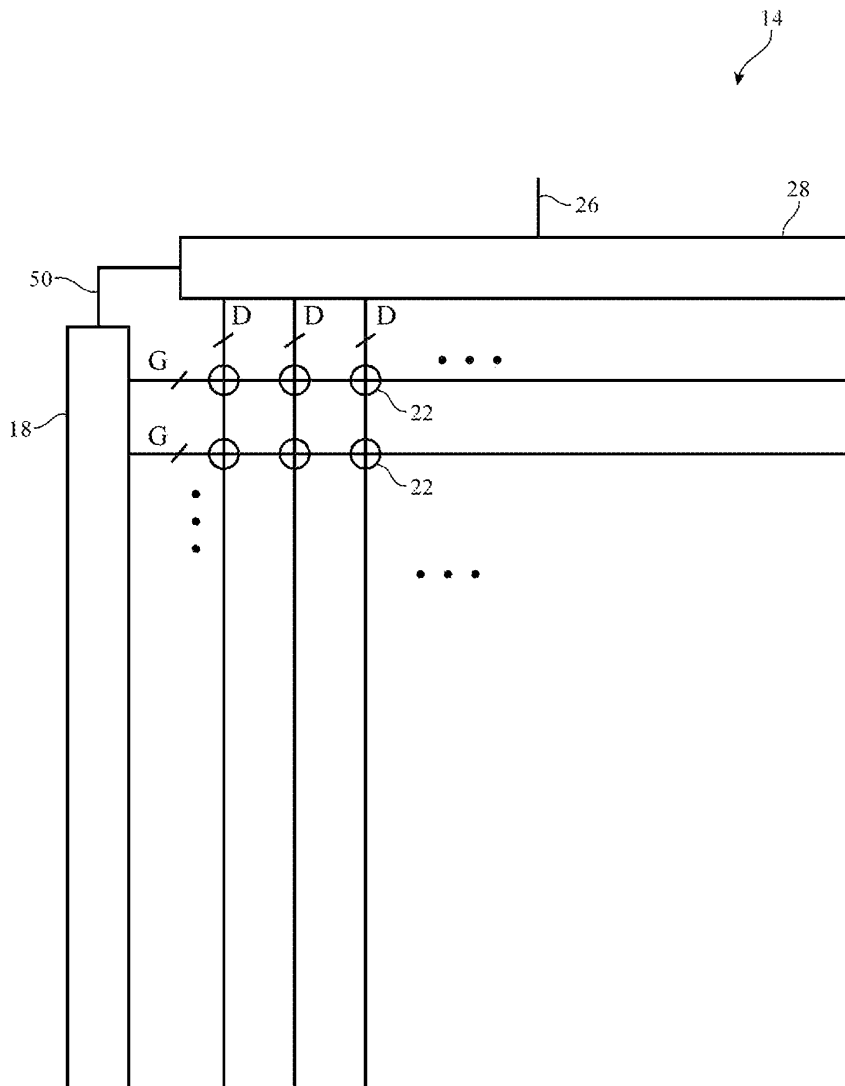
- [0065] 다른 실시예에 따르면, 추가 금속층은 게이트층과 소스-드레인층 사이에 개재된다.
- [0066] 다른 실시예에 따르면, 디스플레이는 소스-드레인층과 게이트층 사이에 개재된 제1 및 제2 층간 유전체층을 포함하며, 추가 금속층은 제1 및 제2 층간 유전체층 사이에 개재된다.
- [0067] 다른 실시예에 따르면, 각 픽셀의 박막 트랜지스터 회로는 커패시터를 포함하며, 추가 금속층은 커패시터를 위한 전극을 형성하도록 패터닝되는 부분을 갖는다.
- [0068] 다른 실시예에 따르면, 게이트층은 각 픽셀에서 커패시터를 위한 추가 전극을 형성하는 부분을 갖는다.
- [0069] 다른 실시예에 따르면, 소스-드레인층은 각 픽셀에서 커패시터를 위한 추가 전극을 형성하는 부분을 갖는다.
- [0070] 다른 실시예에 따르면, 디스플레이는 트랜지스터들 아래의 금속 차폐층, 제1 유전체 버퍼층 - 제1 유전체 버퍼층은 금속 차폐층과 반도체층 사이에 개재됨 -, 및 제2 유전체 버퍼층 - 제2 유전체 버퍼층은 추가 금속층과 금속 차폐층 사이에 개재됨 - 을 포함한다.
- [0071] 다른 실시예에 따르면, 디스플레이는 트랜지스터들 아래의 금속 차폐층, 제1 유전체 버퍼층 - 제1 유전체 버퍼층은 금속 차폐층과 반도체층 사이에 개재됨 -, 및 제2 유전체 버퍼층을 포함하며, 금속 차폐층은 제1 및 제2 유전체 버퍼층 사이에 개재되고 추가 금속층은 제1 유전체 버퍼층과 게이트 절연체층 사이에 개재된다.
- [0072] 다른 실시예에 따르면, 디스플레이는 소스-드레인층과 게이트층 사이의 층간 유전체층을 포함하며, 추가 금속층은 층간 유전체층과 게이트 절연체층 사이에 개재되고 게이트층의 일부분으로 형성된다.
- [0073] 다른 실시예에 따르면, 추가 금속층은 소스-드레인층의 일부분으로 형성된다.
- [0074] 일 실시예에 따르면, 디스플레이가 제공되며, 디스플레이는 픽셀들의 어레이 - 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -, 트랜지스터들 내의 게이트들에 결합되고 어레이 내의 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들, 어레이 내의 픽셀들의 열들과 연관된 데이터 라인들, 및 어레이 내의 픽셀들의 열들과 연관된 초기화 전압 라인들을 포함하며, 각 픽셀에서 스위칭 트랜지스터는 전압 초기화 라인들 중 하나를 그 픽셀 내의 유기 발광 다이오드의 애노드에 결합하고, 박막 트랜지스터 회로는 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 반도체층에 인접한 게이트 절연체층, 게이트 절연체층에 인접하고 게이트들을 형성하도록 패터닝되는 게이트층, 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 소스-드레인층 상의 유전체층, 픽셀들 내의 애노드들을 형성하도록 패터닝되는 금속 애노드층, 유전체층과 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 금속 애노드층의 일부분으로 형성되지 않고 전압 초기화 라인들을 형성하도록 패터닝되는 추가 금속층을 포함하며, 추가 금속층은 초기화 전압 라인들로부터 분리되는, 트랜지스터들 아래의 차폐층을 형성하는 부분을 갖는다.
- [0075] 일 실시예에 따르면, 디스플레이가 제공되며, 디스플레이는 픽셀들의 어레이 - 픽셀들 각각은 애노드 및 캐소드를 갖는 유기 발광 다이오드를 갖고 픽셀들 각각은 적어도 하나의 구동 트랜지스터 및 적어도 하나의 스위칭 트랜지스터를 포함하는 트랜지스터들을 구비한 박막 트랜지스터 회로를 가짐 -, 트랜지스터들 내의 게이트들에 결합되고 어레이 내의 픽셀들의 행들에 제어 신호들을 공급하는 수평 제어 라인들, 어레이 내의 픽셀들의 열들과 연관된 데이터 라인들, 및 어레이 내의 픽셀들의 열들과 연관된 초기화 전압 라인들을 포함하며, 각 픽셀에서 스위칭 트랜지스터는 전압 초기화 라인들 중 하나를 그 픽셀 내의 유기 발광 다이오드의 애노드에 결합하고, 박막 트랜지스터 회로는 트랜지스터들을 위한 반도체 채널들을 형성하는 반도체층, 반도체층에 인접한 게이트 절연체층, 게이트 절연체층에 인접하고 게이트들을 형성하도록 패터닝되는 게이트층, 트랜지스터들을 위한 소스-드레인 단자들을 형성하도록 패터닝되는 소스-드레인층, 소스-드레인층 상의 유전체층, 픽셀들 내의 애노드들을 형성하도록 패터닝되는 금속 애노드층, 유전체층과 금속 애노드층 사이에 개재되는 유기 패시베이션층, 및 금속 애노드층의 일부분으로 형성되지 않고 전압 초기화 라인들을 형성하도록 패터닝되는 추가 금속층을 포함하며, 추가 금속층은 게이트층과 소스-드레인층 사이에 개재되고, 추가 금속층은 제1 및 제2 무기 유전체층 사이에 개재된다.
- [0076] 전술한 사항은 단지 예시적인 것이며, 기술된 실시예들의 범주 및 사상으로부터 벗어남이 없이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의해 다양한 수정들이 이루어질 수 있다. 상기의 실시예들은 개별적으로 또는 임의의 조합으로 구현될 수 있다.

도면

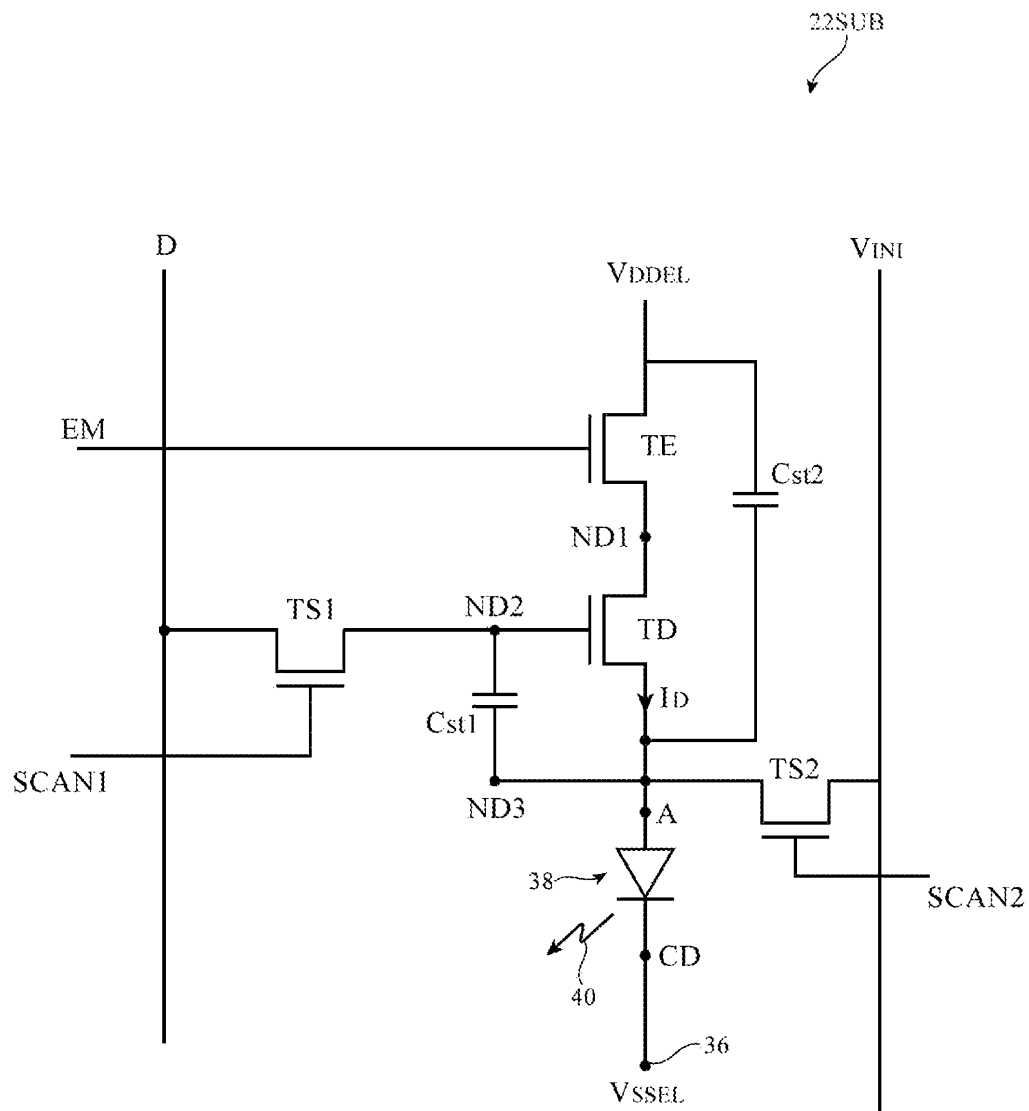
도면1



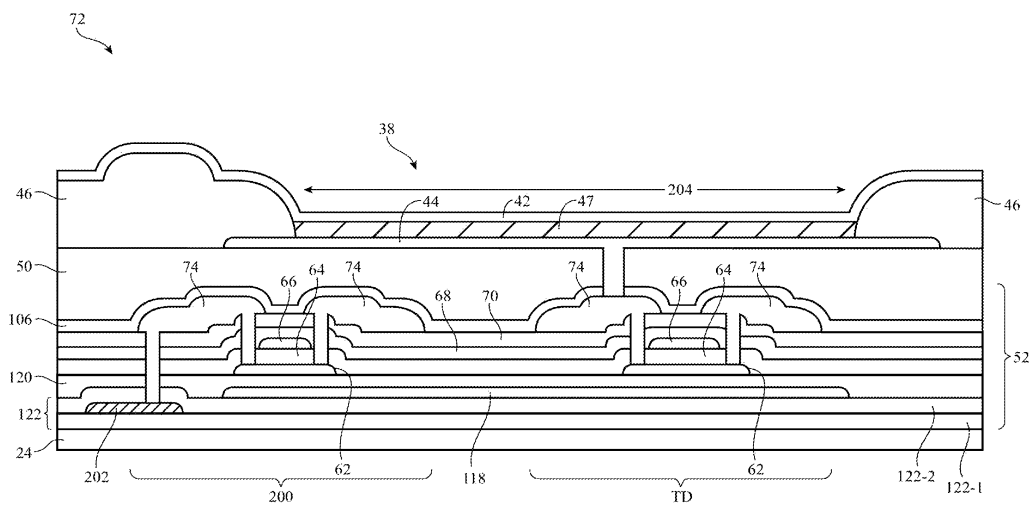
도면2



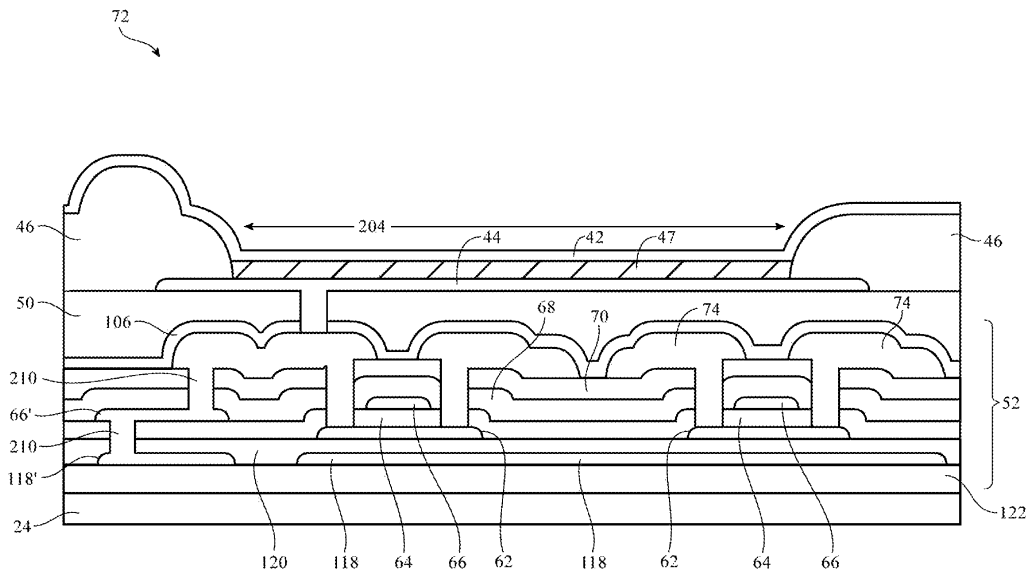
도면3



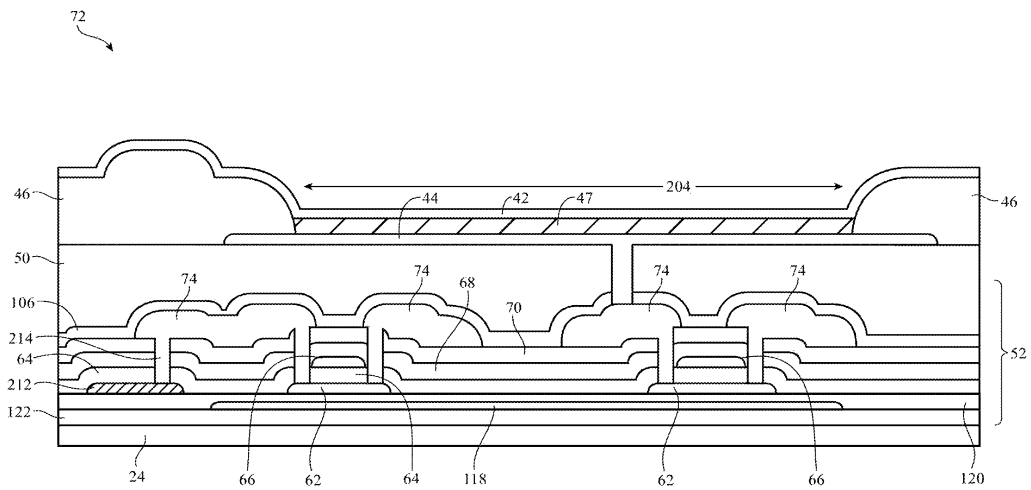
도면4



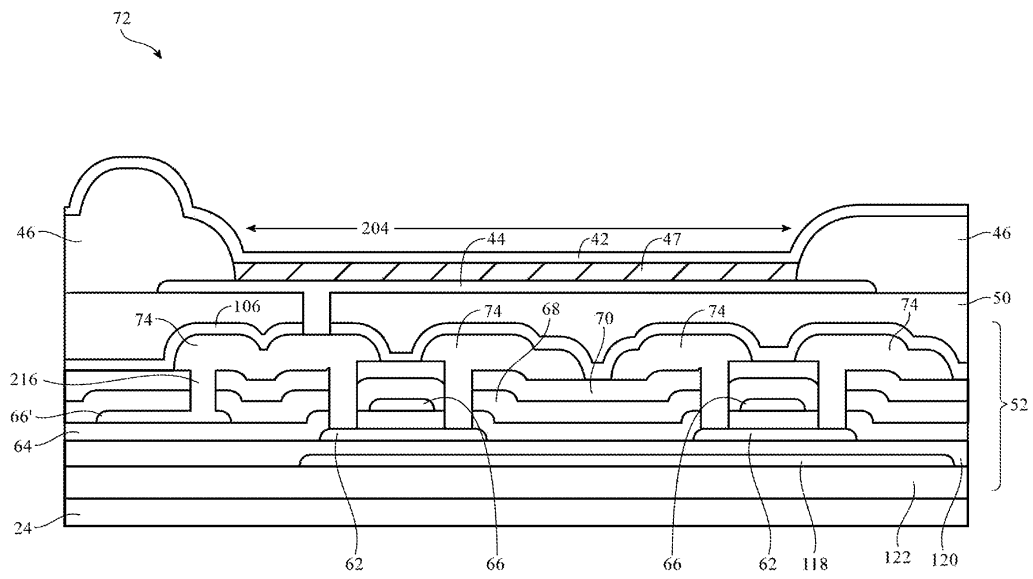
도면5



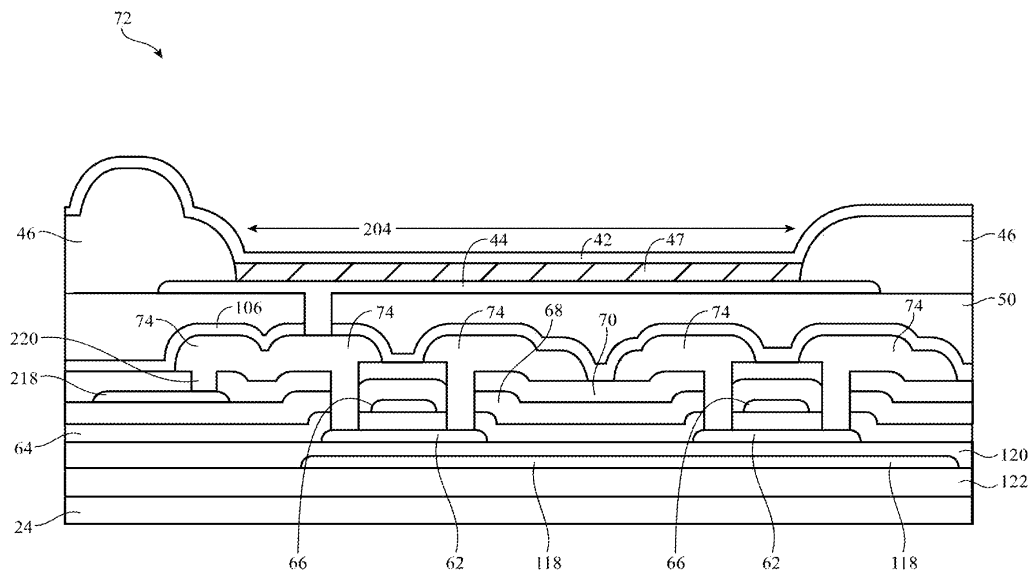
도면6



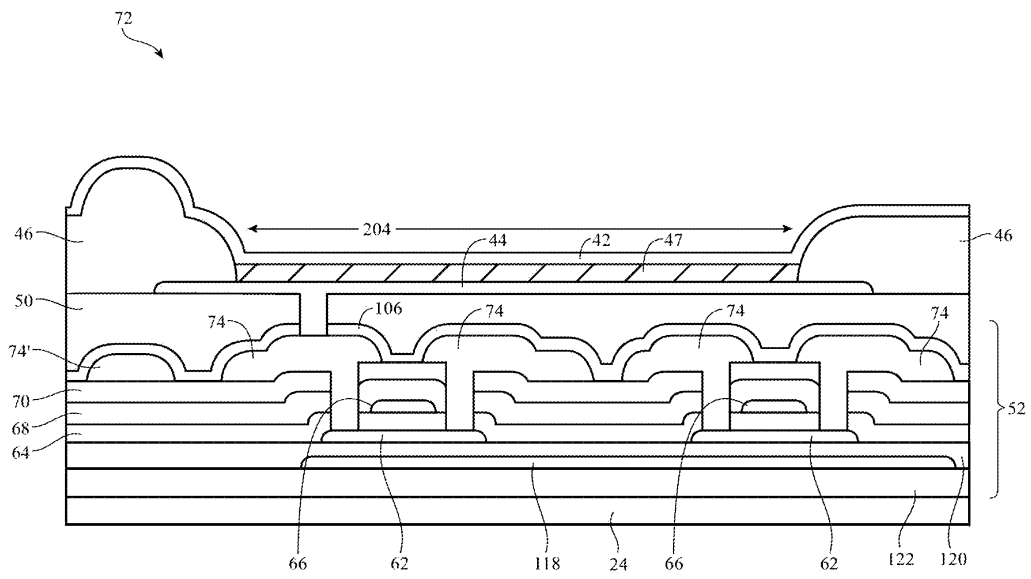
도면7



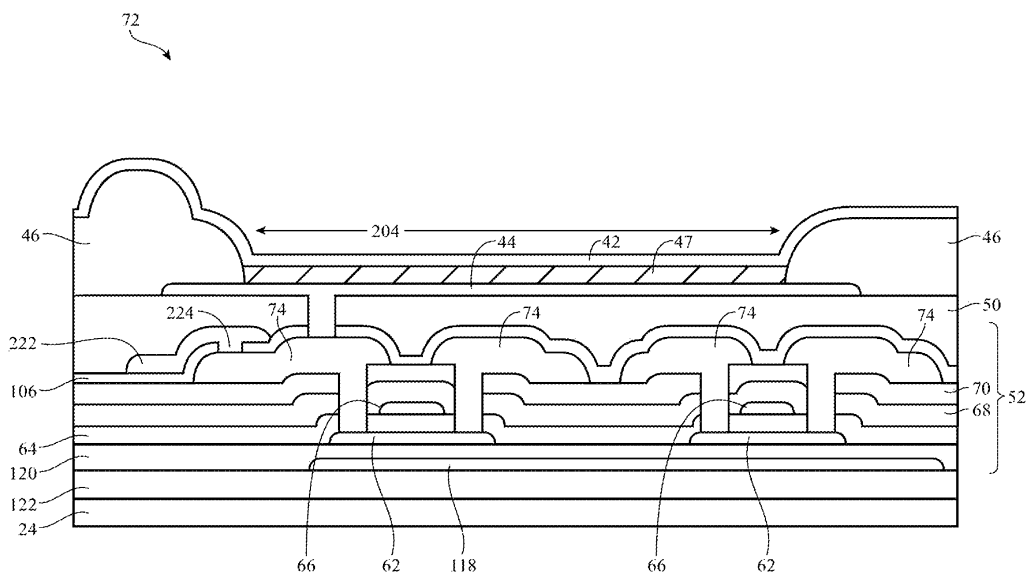
도면8



도면9



도면10



专利名称(译)	有机发光二极管显示器，具有改善的孔径比		
公开(公告)号	KR101990226B1	公开(公告)日	2019-06-17
申请号	KR1020177013208	申请日	2015-09-25
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
发明人	린, 친-웨이 최, 재 원 김, 민규 창, 시 창 차이, 청-팅 굽타, 바수다 박, 영 배		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3272		
代理人(译)	金何家劲 Baekmangi Jangdeoksun		
审查员(译)	Joseongsu		
优先权	14/543088 2014-11-17 US		
其他公开文献	KR1020170073625A		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器可以具有像素阵列。每个像素可以具有带有阳极和阴极的有机发光二极管。阳极可以由金属的图案化层形成。像素中的薄膜晶体管电路可以包括诸如驱动晶体管和开关晶体管的晶体管。数据线可以将数据信号提供给像素，并且水平控制线可以将控制信号提供给晶体管的栅极。开关晶体管可以耦合在电压初始化线和每个阳极之间。可以使用与形成阳极的金属层不同的金属层来形成薄膜晶体管电路中的电压初始化线和电容器结构。

