



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월16일
(11) 등록번호 10-1938880
(24) 등록일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01)
(21) 출원번호 10-2011-0121137
(22) 출원일자 2011년11월18일
심사청구일자 2016년11월16일
(65) 공개번호 10-2013-0055402
(43) 공개일자 2013년05월28일
(56) 선행기술조사문헌
KR1020110030210 A*
KR1020110057534 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
윤중선
경기 과천시 탄현면 범흥리 민들레빌 203호
이영학
경기도 과천시 책향기로 403 704동 1401호 (동패동, 숲속길마을월드메르디앙센트럴파크아파트)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 20 항

심사관 : 하정균

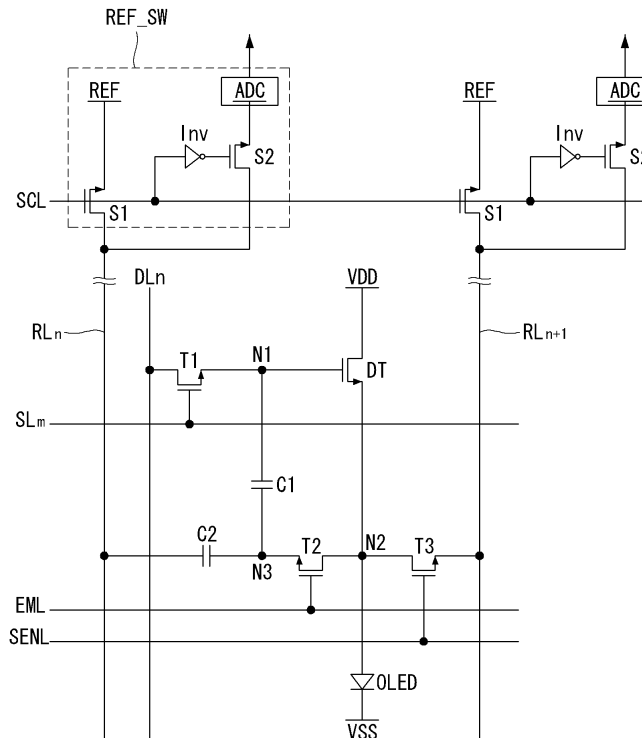
(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 스캔 라인, 발광 라인, 및 센싱 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접

(뒷면에 계속)

대표도 - 도2



속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극이 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 스캔 라인의 게이트 하이 전압의 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT; 상기 발광 라인의 상기 게이트 하이 전압의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT; 상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및 상기 제3 노드와 기준 전압을 공급하는 기준 전압 라인 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 한다.

명세서

청구범위

청구항 1

데이터 라인, 스캔 라인 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극이 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT;

상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

상기 스캔 라인의 게이트 하이 전압의 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT;

상기 발광 라인의 상기 게이트 하이 전압의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT;

상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및

상기 제3 노드와 기준 전압을 공급하는 기준 전압 라인 사이에 접속된 제2 캐패시터를 포함하고,

상기 고전위 전압원은, 상기 제1 노드 내지 제3 노드를 초기화하는 초기화 기간에 로우 레벨의 고전위 전압 또는 하이 레벨의 고전위 전압을 공급하고, 상기 데이터 라인을 통해 상기 제1 노드에 유효한 데이터 전압이 공급되는 액티브 기간에 미들 레벨의 고전위 전압을 공급하고, 나머지 기간에 상기 하이 레벨의 고전위 전압을 공급하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 초기화 기간에 해당하는 제2 기간 동안, 상기 스캔 신호, 및 발광 신호는 게이트 하이 전압으로 발생하고, 상기 데이터 라인에는 프리셋 전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 제2 기간에 연속하고, 상기 구동 TFT의 문턱전압을 센싱하는 제3 기간은 A 기간과 B 기간으로 분할되고,

상기 제3 기간의 A 기간 동안, 상기 스캔 신호, 및 발광 신호는 상기 게이트 하이 전압으로 발생하고, 상기 고전위 전압원은 상기 하이 레벨의 고전위 전압을 공급하며, 상기 데이터 라인에는 상기 프리셋 전압이 공급되며,

상기 제3 기간의 B 기간 동안, 상기 스캔 신호는 상기 게이트 하이 전압보다 낮은 게이트 로우 전압으로 발생하고, 상기 발광 신호는 게이트 하이 전압으로 발생하며, 상기 고전위 전압원은 상기 하이 레벨의 고전위 전압을 공급하고, 상기 데이터 라인에는 상기 프리셋 전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 제3 기간에 연속하고, 상기 액티브 기간에 해당하는 제4 기간 동안,

제 m 스캔 라인에 공급되는 제 m 스캔 신호는 상기 데이터 라인에 공급되는 제 m 데이터 전압에 동기하는 기간 동안 상기 게이트 하이 전압으로 발생하고, 나머지 기간 동안 상기 게이트 로우 전압으로 발생하며,

상기 발광 신호는 상기 게이트 로우 전압으로 발생하고,

상기 고전위 전압원은 상기 미들 레벨의 고전위 전압을 공급하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 4 항에 있어서,

상기 제4 기간에 연속하고, 상기 유기발광다이오드가 발광하는 제5 기간은 A 기간과 B 기간으로 분할되고,

상기 제5 기간의 A 기간 동안, 상기 스캔 신호는 상기 게이트 로우 전압으로 발생하고, 상기 발광 신호는 상기 게이트 하이 전압으로 발생하며, 상기 고전위 전압원은 상기 하이 레벨의 고전위 전압을 공급하고, 상기 데이터 라인에는 상기 프리셋 전압이 공급되며,

상기 제5 기간의 B 기간 동안, 상기 스캔 신호, 및 발광 신호는 게이트 로우 전압으로 발생하고, 상기 고전위 전압원은 상기 하이 레벨의 고전위 전압을 공급하며, 상기 데이터 라인에는 상기 프리셋 전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 표시패널에는 센싱 라인이 더 형성되고,

상기 화소들 각각은,

상기 센싱 라인의 상기 게이트 하이 전압의 센싱 신호에 응답하여 턴-온되어 상기 제2 노드와 제n+1(n은 자연수) 기준 전압 라인을 접속시키는 제3 TFT를 더 포함하며,

상기 제2 캐패시터는 상기 제3 노드와 제n 기준 전압 라인 사이에 접속된 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 6 항에 있어서,

상기 제2 기간 동안 상기 고전위 전압원이 상기 로우 레벨의 고전위 전압을 공급하는 경우, 상기 센싱 신호는, 상기 제2 기간에 앞선 제1 기간 동안 상기 게이트 하이 전압으로 발생하고, 상기 제2 내지 제5 기간 동안 상기 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 6 항에 있어서,

상기 제2 기간 동안, 상기 고전위 전압원이 상기 하이 레벨의 고전위 전압을 공급하는 경우, 상기 센싱 신호는, 상기 제2 기간에 앞선 제1 기간과 상기 제2 기간 동안 상기 게이트 하이 전압으로 발생하고, 상기 제3 내지 제5 기간 동안 상기 게이트 로우 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 제1 기간 동안,

상기 스캔 신호는 상기 게이트 하이 전압으로 발생하고,

상기 발광 신호는 상기 게이트 로우 전압으로 발생하며,

상기 고전위 전압원은 상기 하이 레벨의 고전위 전압을 공급하고,

상기 데이터 라인에는 프리셋 전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 9 항에 있어서,

상기 프리셋 전압과 상기 로우 레벨의 고전위 전압의 차전압이 상기 구동 TFT의 문턱전압보다 크거나, 상기 프리셋 전압과 기준 전압의 차전압이 상기 구동 TFT의 문턱전압보다 큰 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11

제 9 항에 있어서,

상기 구동 TFT의 드레인-소스간 전류를 센싱하는 경우, 상기 프리셋 전압과 상기 하이 레벨의 고전위 전압원의 차전압이 상기 구동 TFT의 문턱전압보다 크고,

상기 유기발광다이오드의 전류를 센싱하는 경우, 상기 프리셋 전압과 상기 하이 레벨의 고전위 전압원의 차전압이 상기 구동 TFT의 문턱전압보다 작은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 12

제 9 항에 있어서,

상기 제1 내지 제3 기간은 상기 액티브 기간 이전의 공백 기간인 제1 버티컬 블랭크 기간이며,

상기 제5 기간은 상기 액티브 기간 이후의 공백 기간인 제2 버티컬 블랭크 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 13

제 6 항에 있어서,

상기 표시패널에는 스위칭 제어 라인이 더 형성되고,

상기 표시패널은,

상기 스위칭 제어 라인의 게이트 하이 전압의 스위칭 제어 신호에 응답하여 턴-온되어 상기 기준 전압을 공급하는 기준 전압원을 상기 제n+1 기준 전압 라인에 접속시키는 제1 스위치;

상기 스위칭 제어 신호를 반전시키는 인버터; 및

상기 인버터에 의해 반전된 스위칭 제어 신호의 게이트 하이 전압에 응답하여 턴-온되어 전류 센싱 회로를 상기 제n+1 기준 전압 라인에 접속시키는 제2 스위치를 더 포함하며,

상기 스위칭 제어 신호는,

상기 제2 기간에 앞선 제1 기간 동안 상기 게이트 로우 전압으로 발생하고,

상기 제2 내지 제5 기간 동안 상기 게이트 하이 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 14

제 5 항에 있어서,

상기 표시패널에는 센싱 라인이 더 형성되고,

상기 화소들 각각은,

상기 센싱 라인의 상기 게이트 하이 전압의 센싱 신호에 응답하여 턴-온되어 상기 제2 노드와 제n+1(n은 자연수) 데이터 라인을 접속시키는 제3 TFT를 더 포함하며,

상기 제1 TFT는 제n 데이터 라인에 접속된 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 15

제 14 항에 있어서,

상기 제2 기간 동안, 상기 고전위 전압원이 상기 로우 레벨의 고전위 전압을 공급하는 경우, 상기 센싱 신호는 상기 제2 기간에 앞선 제1 기간 동안 상기 게이트 하이 전압으로 발생하고, 상기 제2 내지 제5 기간 동안 상기 게이트 로우 전압으로 발생하며,

상기 제1 기간 동안, 상기 스캔 신호는 상기 게이트 하이 전압으로 발생하고, 상기 발광 신호는 상기 게이트 로우 전압으로 발생하며, 상기 고전위 전압원은 상기 하이 레벨의 고전위 전압을 공급하고, 상기 데이터 라인에는 프리셋 전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 16

제 15 항에 있어서,

상기 프리셋 전압과 상기 로우 레벨의 고전위 전압의 차전압이 상기 구동 TFT의 문턱전압보다 큰 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 17

제 15 항에 있어서,

상기 구동 TFT의 드레인-소스간 전류를 센싱하는 경우, 상기 프리셋 전압과 상기 하이 레벨의 고전위 전압원의 차전압이 상기 구동 TFT의 문턱전압보다 크고,

상기 유기발광다이오드의 전류를 센싱하는 경우, 상기 프리셋 전압과 상기 하이 레벨의 고전위 전압원의 차전압이 상기 구동 TFT의 문턱전압보다 작은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 18

제 15 항에 있어서,

상기 제1 내지 제3 기간은 상기 액티브 기간 이전의 공백 기간인 제1 버티컬 블랭크 기간이며,

상기 제5 기간은 상기 액티브 기간 이후의 공백 기간인 제2 버티컬 블랭크 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 19

제 14 항에 있어서,

상기 표시패널에는 스위칭 제어 라인이 더 형성되고,

상기 표시패널은,

상기 스위칭 제어 라인의 게이트 하이 전압의 스위칭 제어 신호에 응답하여 턴-온되어 상기 데이터 전압을 공급하는 소스 드라이브 IC를 상기 제n+1 데이터 라인에 접속시키는 제1 스위치;

상기 스위칭 제어 신호를 반전시키는 인버터; 및

상기 인버터에 의해 반전된 스위칭 제어 신호의 게이트 하이 전압에 응답하여 턴-온되어 전류 센싱 회로를 상기 제n+1 데이터 라인에 접속시키는 제2 스위치를 더 포함하며,

상기 스위칭 제어 신호는,

상기 제2 기간에 앞선 제1 기간 동안 상기 게이트 로우 전압으로 발생하고,

상기 제2 내지 제5 기간 동안 상기 게이트 하이 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 20

제 1 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 고전위 전압원 사이에 접속된 제3 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드

드 표시장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

기술 분야

[0001] 본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스 형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 TFT(Thin Film Transistor)와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(Organic Light Emitting Diode)에 공급되는 전류의 양을 조절하는 구동 TFT를 포함한다. 이때, 유기발광다이오드에 공급되는 구동 TFT의 드레인-소스간 전류(I_{ds})는 수학식 1과 같이 표현될 수 있다.

수학식 1

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학식 1에서, k' 는 구동 TFT의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 TFT의 게이트-소스간 전압, V_{th} 는 구동 TFT의 문턱전압을 의미한다.

[0006] 한편, 구동 TFT의 열화에 의한 문턱전압(V_{th})의 쉬프트(shift)로 인해, 화소들 각각의 구동 TFT의 문턱전압(V_{th})은 서로 다른 값을 가질 수 있다. 이 경우, 구동 TFT의 드레인-소스간 전류(I_{ds})는 구동 TFT의 문턱전압(V_{th})에 의존하므로, 동일한 데이터 전압을 화소들 각각에 공급하더라도 유기발광다이오드에 공급되는 전류(I_{ds})는 화소마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각의 유기발광다이오드가 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 구동 TFT의 문턱전압(V_{th})을 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0007] 도 1은 다이오드 연결 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다. 도 1에는 유기발광다이오드에 전류를 공급하는 구동 TFT(DT)와 구동 TFT(DT)의 게이트 노드(N_g)와 드레인 노드(N_d) 사이에 접속된 센싱 TFT(ST)가 나타나 있다. 센싱 TFT(ST)는 구동 TFT(DT)의 문턱전압 센싱 기간 동안 구동 TFT(DT)의 게이트 노드(N_g)와 드레인 노드(N_d)를 접속시켜, 구동 TFT(DT)가 다이오드(diode)로 구동하게 한다. 도 1에서 구동 TFT(DT)와 센싱 TFT(ST)는 N타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것

을 중심으로 설명하였다.

[0008] 도 1을 참조하면, 센싱 TFT(ST)가 턴-온되는 문턱전압 센싱 기간 동안 게이트 노드(Ng)와 드레인 노드(Nd)가 접속되므로, 게이트 노드(Ng)와 드레인 노드(Nd)는 실질적으로 동등한 전위로 플로팅(floating) 된다. 이때, 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(Vgs)가 문턱전압보다 큰 경우, 구동 TFT(DT)는 게이트 노드(Vg)와 소스 노드(Vs) 간의 전압 차(Vgs)가 구동 TFT(DT)의 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성하며, 그에 따라 게이트 노드(Vg)와 드레인 노드(Vd)의 전압은 방전된다. 하지만, 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트(negative shift)되는 경우 구동 TFT(DT)의 문턱전압(Vth)이 0V보다 낮기 때문에, 게이트 노드(Vg)가 0V까지 낮아지더라도 게이트 노드(Vg)와 소스 노드(Vs) 간의 전압 차(Vgs)가 구동 TFT(DT)의 문턱전압(Vth)에 도달할 수 없다. 결국, 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트되는 경우, 구동 TFT(DT)의 문턱전압(Vth) 센싱이 불가능하다는 문제가 발생한다. 네거티브 쉬프트는 구동 TFT(DT)가 N타입 MOSFET으로 구현된 경우 구동 TFT(DT)의 문턱전압(Vth)이 0V보다 낮은 전압으로 쉬프트되는 것을 의미한다. 네거티브 쉬프트는 구동 TFT(DT)의 반도체층이 옥사이드(Oxide)로 형성되는 경우 주로 발생한다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트되는 경우에도 구동 TFT의 문턱전압 센싱이 가능한 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 스캔 라인, 발광 라인, 및 센싱 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극이 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 스캔 라인의 게이트 하이 전압의 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT; 상기 발광 라인의 상기 게이트 하이 전압의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT; 상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및 상기 제3 노드와 기준 전압을 공급하는 기준 전압 라인 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명은 초기화 기간 동안 구동 TFT의 게이트 노드를 프리셋 전압으로 초기화하고, 구동 TFT의 소스 노드를 로우 레벨의 고전위 전압으로 초기화한다. 로우 레벨의 고전위 전압은 프리셋 전압과 구동 TFT의 문턱전압의 차전압보다 작은 전압으로 설정된다. 그 결과, 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트 되더라도, 문턱전압 센싱 기간 동안 구동 TFT의 게이트-소스 간의 전압 차를 문턱전압보다 크게 할 수 있으므로, 구동 TFT의 소스 노드를 이용하여 문턱전압을 센싱할 수 있다.

[0012] 또한, 본 발명은 기준 전압 라인을 이용하여 구동 TFT의 드레인-소스간 전류 및 유기발광다이오드의 전류를 센싱할 수 있다. 그 결과, 본 발명은 센싱된 전류를 외부 보상 방법을 이용하여 외부 보상할 수 있으므로, 구동 TFT의 문턱전압 뿐만 아니라 구동 TFT의 전자 이동도와 유기발광다이오드의 문턱전압 등을 보상할 수 있다.

[0013] 또한, 본 발명은 구동 TFT의 문턱전압을 센싱하는 기간이 구동 TFT의 게이트 노드가 플로팅 되는 기간을 포함하도록 한다. 그 결과, 본 발명은 구동 TFT의 게이트 노드가 플로팅되는 기간을 이용하여 구동 TFT의 문턱전압 센싱 속도를 높일 수 있다.

[0014] 또한, 본 발명은 고전위 전압원과 구동 TFT의 게이트 노드 사이에 접속된 캐패시터를 포함한다. 그 결과, 본 발명은 구동 TFT의 게이트 노드가 플로팅되는 기간 동안 구동 TFT의 게이트 노드의 전압 상승을 방지할 수 있다.

므로, 블랙 계조 표현 능력을 개선할 수 있다. 이로 인해, 본 발명은 명암대비를 높일 수 있다.

[0015] 또한, 본 발명은 2 수평기간 이상의 기간 동안 구동 TFT의 문턱전압을 센싱한다. 그 결과, 본 발명은 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT의 문턱전압을 정확히 센싱할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 다이오드 연결 방식의 문턱전압 보상 화소의 일부를 보여주는 회로도.
- 도 2는 본 발명의 제1 실시예에 따른 화소의 등가회로도.
- 도 3은 내부 보상의 경우 본 발명의 제1 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도.
- 도 4는 화소의 노드들의 전압 변화를 보여주는 표.
- 도 5는 구동 TFT의 드레인-소스간 전류를 센싱하는 경우 화소의 전류 흐름도를 보여주는 도면.
- 도 6은 유기발광다이오드의 전류를 센싱하는 경우 화소의 전류 흐름도를 보여주는 도면.
- 도 7은 본 발명의 제1 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프.
- 도 8은 내부 보상의 경우 본 발명의 제2 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도.
- 도 9는 본 발명의 제2 실시예에 따른 화소의 등가회로도.
- 도 10은 본 발명의 제3 실시예에 따른 화소의 등가회로도.
- 도 11은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도.
- 도 12는 타이밍 컨트롤러의 외부 보상부를 보여주는 블록도.
- 도 13은 본 발명의 실시예에 따른 외부 보상방법을 보여주는 흐름도.

발명을 실시하기 위한 구체적인 내용

[0017] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0018] 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 화소는 구동 TFT의 문턱전압을 내부 보상할 수 있을 뿐만 아니라, 구동 TFT의 문턱전압과 전자 이동도, 및 유기발광다이오드의 문턱전압 등을 외부 보상할 수 있다. 내부 보상은 화소 내에서 실시간으로 구동 TFT의 문턱전압을 센싱하여 보상하는 것을 의미한다. 외부 보상은 구동 TFT의 드레인-소스간 전류 또는 유기발광다이오드의 전류를 센싱하고 센싱된 전류를 이용하여 화소에 입력될 디지털 비디오 데이터를 보상한 후, 보상된 디지털 비디오 데이터를 화소에 공급하는 것을 의미한다. 특히, 본 발명의 외부 보상은 1 프레임 기간마다 하나의 스캔 라인에 접속된 화소들의 구동 TFT의 드레인-소스간 전류 또는 유기발광다이오드의 전류를 센싱함으로써, 하나의 스캔 라인에 접속된 화소들의 구동 TFT의 문턱전압과 전자 이동도, 및 유기발광다이오드의 문턱전압 등을 실시간으로 보상할 수 있다.

[0019] 도 2는 본 발명의 제1 실시예에 따른 화소의 등가회로도이다. 도 1을 참조하면, 본 발명의 제1 실시예에 따른 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 캐패시터(capacitor)들, 및 기준 전압 스위칭 회로(REF_SW) 등을 포함한다.

[0020] 구동 TFT(DT)는 게이트 전극에 인가된 전압 량에 따라, 드레인-소스간 전류(Ids)의 양을 다르게 조절한다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 고전위 전압(VDD)을 공급하는 고전위 전압원에 접속된다.

- [0021] 유기발광다이오드(OLED)의 애노드 전극은 제2 노드(N2)에 접속되고, 캐소드 전극은 저전위 전압(VSS)을 공급하는 저전위 전압원에 접속된다. 유기발광다이오드(OLED)는 구동 TFT(DT)의 드레인-소스간 전류(Ids)에 따라 발광된다.
- [0022] 제어 회로는 제1 내지 제3 TFT(T1, T2, T3)를 포함한다. 제1 TFT(T1)는 제m(m은 자연수) 스캔 라인(SLm)으로부터 공급되는 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)에 응답하여 턴-온되어 제1 노드(N1)와 제n(n은 자연수) 데이터 전압(Dn)이 공급되는 제n 데이터 라인(DLn)을 접속시킨다. 제1 TFT(T1)의 게이트 전극은 제m 스캔 라인(SLm)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 제n 데이터 라인(DLn)에 접속된다.
- [0023] 제2 TFT(T2)는 발광 라인(EML)으로부터 공급되는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제2 TFT(T2)의 게이트 전극은 발광 라인(EML)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0024] 제3 TFT(T3)는 센싱 라인(SENL)으로부터 공급되는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 턴-온되어 제2 노드(N2)와 제n+1 기준 전압 라인(RLn+1)을 접속시킨다. 제n+1 기준 전압 라인(RLn+1)은 기준 전압(REF)이 공급되는 기준 전압원에 접속된다. 제3 TFT(T3)의 게이트 전극은 센싱 라인(SENL)에 접속되고, 소스 전극은 제n+1 기준 전압 라인(RLn+1)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0025] 제1 캐패시터(C1)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속되고, 제1 노드(N1)와 제3 노드(N4)의 차전압을 저장한다. 제2 캐패시터(C2)는 제n 기준 전압 라인(RLn)과 제3 노드(N3) 사이에 접속되고, 제n 기준 전압 라인(RLn)과 제4 노드(N4)의 차전압을 저장한다.
- [0026] 제1 노드(N1)는 구동 TFT(DT)의 게이트 전극, 제1 TFT(T1)의 소스 전극, 및 제1 캐패시터(C1)의 일측 전극 간의 접점이다. 제2 노드(N2)는 구동 TFT(DT)의 소스 전극, 제2 TFT(T2)의 드레인 전극, 제3 TFT(T3)의 드레인 전극, 및 유기발광다이오드(OLED)의 애노드 전극 간의 접점이다. 제3 노드(N3)는 제2 TFT(T2)의 소스 전극, 제1 캐패시터(C1)의 타측 전극, 및 제2 캐패시터(C2)의 일측 전극 간의 접점이다. 제2 캐패시터(C2)의 타측 전극은 제n 기준 전압 라인(RLn)에 접속된다.
- [0027] 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)의 반도체 층은 산화물 반도체, 특히 옥사이드(Oxide)로 형성된 것을 중심으로 설명하였다. 하지만, 이에 한정되지 않으며, 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)의 반도체 층은 a-Si, 및 Poly-Si 중 어느 하나로 형성될 수도 있다. 또한, 본 발명의 제1 실시예에서 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)가 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였다.
- [0028] 구동 TFT(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 고전위 전압원은 하이 레벨(high level, VDD_H), 미들 레벨(middle level, VDD_M)과 로우 레벨(low level, VDD_L)로 스위칭하는 고전위 전압(VDD)을 공급하도록 설정되고, 저전위 전압원은 직류 저전위 전압(VSS)을 공급하도록 설정될 수 있다. 기준 전압(REF)은 소정의 직류 전압으로 설정될 수 있다. 예를 들어, 하이 레벨의 고전위 전압(VDD_H)은 20V, 로우 레벨의 고전위 전압(VDD_L)은 대략 -7V, 저전위 전압(VSS)은 0V, 기준 전압(REF)은 0V로 설정될 수 있다.
- [0029] 한편, 본 발명의 유기발광다이오드 표시장치는 구동 TFT(DT)의 문턱전압(Vth)과 전자 이동도, 및 유기발광다이오드(OLED)의 문턱전압 등을 외부 보상하기 위해 기준 전압 스위칭 회로(REF_SW)를 포함한다. 기준 전압 스위칭 회로(REF_SW)는 제1 및 제2 스위치(S1, S2), 인버터(Inv), 및 전류 센싱 회로(ADC)를 포함한다. 제1 및 제2 스위치(S1, S2)는 N 타입 MOSFET으로 형성된 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 기준 전압 스위칭 회로(REF_SW)는 내부 보상을 하는 제2 내지 제5 기간 동안 기준 전압 라인(RLn, RLn+1)을 기준 전압원에 접속시키고, 외부 보상을 위해 전류 센싱하는 제1 기간 동안 기준 전압 라인(RLn, RLn+1)을 전류 센싱 회로(ADC)에 접속시킨다.
- [0030] 제1 스위치(S1)는 스위칭 제어 라인(SCL)으로부터 공급되는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 기준 전압 라인(RLn, RLn+1)을 기준 전압(REF)을 공급하는 기준 전압원에 접속시킨다. 제1 스위치(S1)의 게이트 전극은 스위칭 제어 라인(SCL)에 접속되고, 소스 전극은 기준 전압원에 접속되며, 드레인 전극은 기준 전압 라인(RLn, RLn+1)에 접속된다.
- [0031] 제2 스위치(S2)는 스위칭 제어 라인(SCL)으로부터 공급되는 인버터에 의해 반전된 스위칭 제어 신호(SC)의 게이트 하이 전압(VGH)에 응답하여 턴-온되어 기준 전압 라인(RLn, RLn+1)을 전류 센싱 회로(ADC)에 접속시킨다.

제2 스위치(S2)의 게이트 전극은 인버터(Inv)에 접속되고, 소스 전극은 전류 센싱 회로(ADC)에 접속되며, 드레인 전극은 기준 전압 라인(RLn, RLn+1)에 접속된다.

[0032] 인버터(Inv)는 스위칭 제어 라인(SCL)으로부터 공급되는 스위칭 제어 신호(SC)를 인버전시킨다. 인버터(Inv)는 스위칭 제어 라인(SCL)과 제2 스위치(S2)의 게이트 전극 사이에 접속된다.

[0033] 전류 센싱 회로(ADC)는 제1 기간 동안 기준 전압 라인들(RLn, RLn+1) 각각에 접속되어 기준 전압 라인들(RLn, RLn+1) 각각에 흐르는 전류를 센싱한다. 전류 센싱 회로(ADC)는 센싱된 전류를 디지털 데이터로 변환하고, 변환된 디지털 데이터를 타이밍 컨트롤러(40)로 출력한다.

[0034] 도 3은 내부 보상의 경우 본 발명의 제1 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다. 도 3에는 내부 보상의 경우 1 프레임 기간 동안 표시패널(10)에 입력되는 데이터 전압(DATA), 고전위 전압(VDD), 스캔 신호들(SCANm, SCANm+1), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC)가 나타나 있다.

[0035] 도 3을 참조하면, 스캔 신호들(SCANm, SCANm+1), 발광 신호(EM), 및 센싱 신호(SEN)는 화소(P)의 제1 내지 제3 TFT(T1, T2, T3)를 제어하기 위한 신호들이다. 스위칭 제어 신호(SC)는 기준 전압 스위칭 회로(REF_SW)의 제1 및 제2 스위치(S1, S2)를 제어하기 위한 신호이다.

[0036] 고전위 전압(VDD), 스캔 신호들(SCANm, SCANm+1), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC) 각각은 1 프레임 기간(1 frame)을 주기로 발생한다. 1 프레임 기간(1 frame)은 제1 버티컬 블랭크 기간(Vertical Blank Interval, VBI1), 액티브 기간(active), 및 제2 버티컬 블랭크 기간(VBI2)을 포함한다. 액티브 기간(active)은 표시패널(10)에 유효한 데이터 전압(DATA)이 공급되는 기간을 의미하고, 제1 버티컬 블랭크 기간(VBI1)은 액티브 기간(active) 이전의 공백 기간을 의미하며, 제2 버티컬 블랭크 기간(VBI2)은 액티브 기간(active) 이후의 공백 기간을 의미한다. 데이터 전압(DATA)은 액티브 기간(active) 동안 1 수평기간(1H)을 주기로 발생한다. 1 수평기간(1H)은 표시패널(10)에서 1 수평라인의 픽셀들에 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다.

[0037] 데이터 전압(DATA)은 액티브 기간(active) 동안 스캔 신호들(SCANm, SCANm+1) 각각에 동기하여 발생한다. 도 3에서는 설명의 편의를 위해 어느 하나의 데이터 라인에 공급되는 제1 내지 제k(k는 자연수로 표시패널(10)의 스캔 라인의 수) 데이터 전압(D1~Dk)을 예시하였음에 유의하여야 한다. 스캔 신호들(SCANm, SCANm+1)은 액티브 기간(active) 동안 순차적으로 발생한다. 도 3에서는 설명의 편의를 위해 제1, 제2 및 제k 스캔 라인에 공급되는 제1, 제2, 및 제k 스캔 신호만을 예시하였음에 유의하여야 한다.

[0038] 첫 번째로, 제1 버티컬 블랭크 기간(VBI1) 동안 표시패널(10)에 입력되는 데이터 전압(DATA), 고전위 전압(VDD), 스캔 신호들(SCANm, SCANm+1), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC)를 살펴본다. 제1 버티컬 블랭크 기간(VBI1)은 제1 내지 제3 기간(t1, t2, t3)으로 구분될 수 있다. 데이터 전압(DATA)은 제1 내지 제3 기간(t1, t2, t3) 동안 프리셋 전압(Vpre)으로 발생한다. 고전위 전압(VDD)은 제1 및 제3 기간(t1, t3) 동안 하이 레벨(VDD_H)로 발생하고, 제2 기간(t2) 동안 로우 레벨(VDD_L)로 발생한다. 발광 신호(EM)은 제1 기간(t1) 동안 게이트 로우 전압(VGL)으로 발생하고, 제2 및 제3 기간(t2, t3) 동안 게이트 하이 전압(VGH)으로 발생한다. 센싱 신호(SEN)는 제1 기간(t1) 동안 게이트 하이 전압(VGH)으로 발생하고, 제2 및 제3 기간(t2, t3) 동안 게이트 로우 전압(VGL)으로 발생한다. 스위칭 제어 신호(SC)는 제1 기간(t1) 동안 게이트 로우 전압(VGL)으로 발생하고, 제2 및 제3 기간(t2, t3) 동안 게이트 하이 전압(VGH)으로 발생한다.

[0039] 한편, 본 발명의 유기발광다이오드 표시장치는 1 프레임 기간(1 frame)마다 하나의 스캔 라인에 접속된 화소들의 구동 TFT의 문턱전압과 전자 이동도, 또는 유기발광다이오드의 문턱전압 등을 외부 보상한다. 도 3에서는 제m 스캔 라인(SLm)에 접속된 화소들의 구동 TFT의 드레인-소스간 전류(Ids), 또는 유기발광다이오드(OLED)의 전류(Ioled)를 센싱하고 이를 이용하여 외부 보상을 하는 것을 중심으로 설명하였다. 이 경우, 스캔 신호들(SCANm, SCANm+1) 중에서, 외부 보상이 실시되는 제m 스캔 라인(SLm)에 공급되는 제m 스캔 신호(SCANm)는 제1 및 제2 기간(t1, t2)과 제3 기간(t3)의 A 기간(t3-A) 동안 게이트 하이 전압(VGH)으로 발생하고, 제3 기간(t3)의 B 기간(t3-B) 동안 게이트 로우 전압(VGL)으로 발생한다. 스캔 신호들(SCANm, SCANm+1) 중에서, 외부 보상이 실시되지 않는 제m+1 스캔 라인(SLm+1)에 공급되는 제m+1 스캔 신호(SCANm+1)는 제1 기간(t1), 제2 기간(t2), 및 제3 기간(t3)의 A 기간(t3-A) 동안 게이트 하이 전압(VGH)으로 발생하고, 제3 기간(t3)의 B 기간(t3-B) 동안 게이트 로우 전압(VGL)으로 발생한다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.

- [0040] 두 번째로, 액티브 기간(active) 동안 표시패널(10)에 입력되는 데이터 전압(DATA), 고전위 전압(VDD), 스캔 신호들(SCAN_m, SCAN_{m+1}), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC)를 살펴본다. 액티브 기간(active)은 표시패널(10)의 화소(P)들 각각에 데이터 전압이 순차적으로 기입(writing)되는 기간이다. 액티브 기간(active)은 제4 기간(t₄)으로 정의될 수 있다. 데이터 전압(DATA)은 제4 기간(t₄) 동안 1 수평기간(1H)을 주기로 발생한다. 고전위 전압(VDD)은 제4 기간(t₄) 동안 미들 레벨(VDD_M)로 발생한다. 제4 기간(t₄) 동안 고전위 전압(VDD)이 미들 레벨(VDD_M)로 발생하는 이유는 구동 TFT(DT)의 턴-온으로 인해 유기발광다이오드(OLED)가 발광하는 것을 방지하기 위함이다. 결국, 제4 기간(t₄) 동안 고전위 전압(VDD)이 미들 레벨(VDD_M)로 발생함으로써, 발광 기간인 제5 기간(t₅) 이전에 유기발광다이오드(OLED)의 발광을 방지할 수 있으므로, 명암대 비비(Contrast Ratio)를 높일 수 있다.
- [0041] 스캔 신호들(SCAN_m, SCAN_{m+1}) 각각은 제4 기간(t₄) 동안 데이터 전압(DATA) 각각에 동기되어 게이트 하이 전압(VGH)으로 발생한다. 즉, 제_m 스캔 신호(SCAN_m)는 제_m 데이터 전압(D_m)과 동기된 기간 동안 게이트 하이 전압(VGH)으로 발생하고, 나머지 기간 동안 게이트 로우 전압(VGL)으로 발생한다. 제_{m+1} 스캔 신호(SCAN_{m+1})는 제_{m+1} 데이터 전압(D_{m+1})과 동기된 기간 동안 게이트 하이 전압(VGH)으로 발생하고, 나머지 기간 동안 게이트 로우 전압(VGL)으로 발생한다. 발광 신호(EM)은 제4 기간(t₄) 동안 게이트 로우 전압(VGL)으로 발생한다. 센싱 신호(SEN)는 제4 기간(t₄) 동안 게이트 로우 전압(VGL)으로 발생한다. 스위칭 제어 신호(SC)는 제4 기간(t₄) 동안 게이트 하이 전압(VGH)으로 발생한다.
- [0042] 세 번째로, 제2 버티컬 블랭크 기간(VBI2) 동안 표시패널(10)에 입력되는 데이터 전압(DATA), 고전위 전압(VDD), 스캔 신호들(SCAN_m, SCAN_{m+1}), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC)를 살펴본다. 제2 버티컬 블랭크 기간(VBI2)은 제5 기간(t₅)으로 구분될 수 있다. 데이터 전압(DATA)은 제5 기간(t₅) 동안 프리셋 전압(Vpre)으로 발생한다. 고전위 전압(VDD)은 제5 기간(t₅) 동안 하이 레벨(VDD_H)로 발생한다. 스캔 신호들(SCAN_m, SCAN_{m+1}) 각각은 제5 기간(t₅) 동안 게이트 로우 전압(VGL)으로 발생한다. 발광 신호(EM)은 제5 기간(t₅)의 A 기간(t₅-A) 동안 게이트 하이 전압(VGH)으로 발생하고, 제5 기간(t₅)의 B 기간(t₅-B) 동안 게이트 로우 전압(VGL)으로 발생한다. 센싱 신호(SEN)는 제5 기간(t₅) 동안 게이트 로우 전압(VGL)으로 발생한다. 스위칭 제어 신호(SC)는 제5 기간(t₅) 동안 게이트 하이 전압(VGH)으로 발생한다.
- [0043] 도 4는 화소의 노드들의 전압 변화를 보여주는 표이다. 이하에서, 도 2 내지 도 4를 참조하여 제1 내지 제5 기간(t₁-t₅) 동안 화소(P)의 동작을 상세히 설명한다. 제1 기간(t₁)은 외부 보상을 위한 전류 센싱 기간이고, 제2 기간(t₂)은 제1 내지 제3 노드(N₁, N₂, N₃)를 초기화하는 기간이고, 제3 기간(t₃)은 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, 제4 기간(t₄)은 데이터 전압 공급 기간이며, 제5 기간(t₅)은 유기발광다이오드(OLED) 발광 기간이다. 제2 기간(t₂)은 제1 기간(t₁)에 연속하고, 제3 기간(t₃)은 제2 기간(t₂)에 연속하며, 제4 기간(t₄)은 제3 기간(t₃)에 연속하고, 제5 기간(t₅)은 제4 기간(t₄)에 연속한다. 제3 기간(t₃)은 A 기간(t₃-A)과 B 기간(t₃-B)으로 분할되고, 제5 기간(t₅)은 A 기간(t₅-A)과 B 기간(t₅-B)으로 분할된다.
- [0044] 첫 번째로, 제1 기간(t₁) 동안 게이트 하이 전압(VGH)의 제_m 스캔 신호(SCAN_m)가 제_m 스캔 라인(SL_m)을 통해 공급되고, 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, 제1 기간(t₁) 동안 게이트 하이 전압(VGH)의 센싱 신호(SEN)가 센싱 라인(SEN_L)을 통해 공급되고, 게이트 로우 전압(VGL)의 스위칭 제어 신호(SC)가 스위칭 제어 라인(SCL)을 통해 공급된다. 또한, 제1 기간(t₁) 동안 프리셋 전압(Vpre)의 데이터 전압(DATA)이 제_n 데이터 라인(DL_n)을 통해 공급되고, 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.
- [0045] 제1 스위치(S1)는 게이트 로우 전압(VGL)의 스위칭 제어 신호(SC)에 의해 턴-오프된다. 제2 스위치(S2)는 인버터(Inv)에 의해 반전된 스위칭 제어 신호(SC) 게이트 하이 전압(VGH)에 응답하여 턴-온되어 전류 센싱 회로(ADC)를 제_{n+1} 기준 전압 라인(RL_{n+1})에 접속시킨다. 제1 스위치(S1)의 턴-오프와 제2 스위치(S2)의 턴-온으로 인해, 제_{n+1} 기준 전압 라인(RL_{n+1})은 기준 전압원과의 접속이 차단되고, 전류 센싱 회로(ADC)와 접속된다.
- [0046] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제_m 스캔 신호(SCAN_m)에 응답하여 턴-온되어 제1 노드(N1)를 제_n 데이터 라인(DL_n)에 접속시킨다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 턴-온되어 제2 노드(N2)를 제_{n+1} 기준 전압 라인(RL_{n+1})에 접속시킨다.
- [0047] 제1 기간(t₁) 동안, 제1 TFT(T1)의 턴-온으로 인해 제1 노드(N1)에는 제_n 데이터 라인(DL_n)의 프리셋 전압

(Vpre)이 공급된다. 구동 TFT(DT)의 드레인-소스간 전류(Ids)를 센싱하는 경우, 제1 기간(t1) 동안 프리셋 전압(Vpre)은 구동 TFT(DT)를 턴-온시킬 수 있는 전압으로 인가되어야 한다. 즉, 구동 TFT(DT)의 게이트 전극의 전압인 프리셋 전압(Vpre)과 소스 전극의 전압인 고전위 전압(VDD)의 전압 차(Vgs)가 문턱전압(Vth)보다 크도록 프리셋 전압(Vpre)이 인가된다. 이 경우, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 도 5와 같이 구동 TFT(DT), 제2 노드(N2), 제3 TFT(T3), 및 제n+1 기준 전압 라인(RLn+1)을 통해 전류 센싱 회로(ADC)로 흐른다. 따라서, 전류 센싱 회로(ADC)는 구동 TFT(DT)의 드레인-소스간 전류(Ids)를 센싱할 수 있다.

[0048] 또한, 유기발광다이오드(OLED)의 전류(Ioled)를 센싱하는 경우, 제1 기간(t1) 동안 프리셋 전압(Vpre)은 구동 TFT(DT)를 턴-오프시킬 수 있는 전압으로 인가되어야 한다. 즉, 구동 TFT(DT)의 게이트 전극의 전압인 프리셋 전압(Vpre)과 소스 전극의 전압인 고전위 전압(VDD)의 전압 차(Vgs)가 문턱전압(Vth)보다 작도록 프리셋 전압(Vpre)이 인가된다. 이 경우, 유기발광다이오드(OLED)의 전류(Ioled)는 도 6과 같이 전류 센싱 회로(ADC), 제 n+1 기준 전압 라인(RLn+1), 제3 TFT(T3), 제2 노드(N2), 및 유기발광다이오드(OLED)를 통해 저전위 전압원으로 흐른다. 따라서, 전류 센싱 회로(ADC)는 유기발광다이오드(OLED)의 전류(Ioled)를 센싱할 수 있다.

[0049] 두 번째로, 제2 기간(t2) 동안 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)가 제m 스캔 라인(SLm)을 통해 공급되고, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, 제2 기간(t2) 동안 게이트 로우 전압(VGL)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되고, 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)가 스위칭 제어 라인(SCL)을 통해 공급된다. 또한, 제2 기간(t2) 동안 프리셋 전압(Vpre)의 데이터 전압(DATA)이 제n 데이터 라인(DLn)을 통해 공급되고, 로우 레벨의 고전위 전압(VDD_L)이 고전위 전압원으로부터 공급된다.

[0050] 제1 스위치(S1)는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 기준 전압원을 제n+1 기준 전압 라인(RLn+1)에 접속시킨다. 제2 스위치(S2)는 스위칭 제어 신호(SC)의 반전 신호에 의해 턴-오프된다. 제1 스위치(S1)의 턴-온과 제2 스위치(S2)의 턴-오프로 인해, 제n+1 기준 전압 라인(RLn+1)은 전류 센싱 회로(ADC)과의 접속이 차단되고, 기준 전압원과 접속된다.

[0051] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)에 응답하여 턴-온되어 제1 노드(N1)를 제n 데이터 라인(DLn)에 접속시킨다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 센싱 신호(SEN)에 의해 턴-오프된다.

[0052] 제2 기간(t2) 동안 제1 TFT(T1)의 턴-온으로 인해 제1 노드(N1)에는 제n 데이터 라인(DLn)의 프리셋 전압(Vpre)이 공급된다. 또한, 제2 기간(t2) 동안 고전위 전압원으로부터 로우 레벨의 고전위 전압(VDD_L)이 공급되므로, 고전위 전압원에 접속된 구동 TFT(DT)의 드레인 전극은 소스 전극 역할을 하고, 제2 노드(N2)에 접속된 구동 TFT(DT)의 소스 전극은 드레인 전극으로 역할을 한다. 따라서, 제2 기간(t2) 동안 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)이 문턱전압(Vth)보다 커지므로, 구동 TFT(DT)는 턴-온된다. 구동 TFT(DT)의 턴-온으로 인해, 제2 노드(N2)는 로우 레벨의 고전위 전압(VDD_L)으로 방전된다. 또한, 제3 TFT(T3)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)가 접속되므로, 제3 노드(N3)는 로우 레벨의 고전위 전압(VDD_L)으로 방전된다.

[0053] 세 번째로, 제3 기간(t3)의 A 기간(t3-A) 동안 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)가 제m 스캔 라인(SLm)을 통해 공급되고, 제3 기간(t3)의 B 기간(t3-B) 동안 게이트 로우 전압(VGL)의 제m 스캔 신호(SCANm)가 제m 스캔 라인(SLm)을 통해 공급된다. 또한, 제3 기간(t3) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급되고, 게이트 로우 전압(VGL)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되며, 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)가 스위칭 제어 라인(SCL)을 통해 공급된다. 또한, 제3 기간(t3) 동안 프리셋 전압(Vpre)의 데이터 전압(DATA)이 제n 데이터 라인(DLn)을 통해 공급되고, 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.

[0054] 제1 스위치(S1)는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 기준 전압원을 제n+1 기준 전압 라인(RLn+1)에 접속시킨다. 제2 스위치(S2)는 스위칭 제어 신호(SC)의 반전 신호에 의해 턴-오프된다. 제1 스위치(S1)의 턴-온과 제2 스위치(S2)의 턴-오프로 인해, 제n+1 기준 전압 라인(RLn+1)은 전류 센싱 회로(ADC)와의 접속이 차단되고, 기준 전압원과 접속된다.

[0055] 제1 TFT(T1)는 제3 기간(t3)의 A 기간(t3-A) 동안 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)에 응답하여 턴-온되고, 제3 기간(t3)의 B 기간(t3-B) 동안 게이트 로우 전압(VGL)의 제m 스캔 신호(SCANm)에 의해 턴-오프

된다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 센싱 신호(SEN)에 의해 턴-오프된다.

[0056] 제3 기간(t3) 동안 고전위 전압원으로 부터 하이 레벨의 고전위 전압(VDD_H)이 공급된다. 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)보다 크므로, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 프리셋 전압(Vpre)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(Vpre-Vth)까지 상승한다. 또한, 제3 TFT(T3)의 턴-온으로 인해 제2 노드(N2)와 제3 노드(N3)가 접속되므로, 제3 노드(N3)의 전압은 프리셋 전압(Vpre)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(Vpre-Vth)까지 상승한다.

[0057] 한편, 제3 기간(t3)의 B 기간(t3-B)은 제1 노드(N1) 플로팅 기간으로 정의될 수 있다. 제3 기간(t3)의 B 기간(t3-B) 동안 제1 노드(N1)가 플로팅 되므로, 구동 TFT(DT)의 게이트 전극과 소스 전극 사이에 존재하는 기생용량에 의해 제1 노드(N1)에는 제2 노드(N2)의 전압 변화량이 반영될 수 있다. 이로 인해, 제1 노드(N1)의 전압이 상승하므로, 구동 TFT(DT)의 문턱전압(Vth) 센싱 속도를 높일 수 있는 효과가 있다.

[0058] 결국, 제3 기간(t3) 동안 제2 노드(N2)와 제3 노드(N3)는 구동 TFT(DT)의 문턱전압(Vth)을 센싱한다. 즉, 제3 기간(t3)은 사전 실험을 통해 대략 2 수평기간 이상으로 적절하게 설정될 수 있다. 이에 대한 자세한 설명은 도 5를 결부하여 후술한다. 본 발명은 2 수평 기간 이상의 기간 동안 구동 TFT(DT)의 문턱전압(Vth)을 센싱하므로, 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT(DT)의 문턱전압(Vth) 센싱의 정확도를 높일 수 있다.

[0059] 네 번째로, 제4 기간(t4) 동안 제m 데이터 전압(Dm)에 동기되는 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)가 제m 스캔 라인(SLm)을 통해 공급되고, 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 제4 기간(t4) 동안 게이트 로우 전압(VGL)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되며, 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)가 스위칭 제어 라인(SCL)을 통해 공급된다. 또한, 제4 기간(t4) 동안 제1 내지 제k 데이터 전압(D1-Dk)을 포함하는 데이터 전압(DATA)이 제n 데이터 라인(DLn)을 통해 공급되고, 미들 레벨의 고전위 전압(VDD_M)이 고전위 전압원으로 부터 공급된다.

[0060] 제1 스위치(S1)는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 기준 전압원을 제n+1 기준 전압 라인(RLn+1)에 접속시킨다. 제2 스위치(S2)는 스위칭 제어 신호(SC)의 반전 신호에 의해 턴-오프된다. 제1 스위치(S1)의 턴-온과 제2 스위치(S2)의 턴-오프로 인해, 제n+1 기준 전압 라인(RLn+1)은 전류 센싱 회로(ADC)과의 접속이 차단되고, 기준 전압원과 접속된다.

[0061] 제1 TFT(T1)는 제4 기간(t4)에서 제m 데이터 전압(Dm)과 동기되는 기간 동안 게이트 하이 전압(VGH)의 제m 스캔 신호(SCANm)에 응답하여 턴-온된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 센싱 신호(SEN)에 의해 턴-오프된다.

[0062] 제1 TFT(T1)의 턴-온으로 인해, 제1 노드(N1)는 데이터 전압(DATA)으로 충전된다. 제2 TFT(T2)의 턴-오프로 인해, 제2 노드(N2)와 제3 노드(N3)의 접속은 차단되고, 제3 노드(N3)는 플로팅된다. 제4 기간(t4) 동안 제3 노드(N3)가 플로팅되므로, 제1 노드(N1)의 전압 변화량이 제1 캐패시터(C1)에 의해 제3 노드(N3)에 반영된다. 즉, 제3 노드(N3)에는 제1 노드(N1)의 전압 변화량인 'Vpre-DATA'가 반영된다. 다만, 제3 노드(N3)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수학적 2와 같이 C'의 비율로 전압 변화량이 반영된다.

수학적 2

[0063]
$$C' = \frac{CA1}{CA1+CA2}$$

[0064] 수학적 2에서, CA1은 제1 캐패시터(C1)의 용량, CA2는 제2 캐패시터(C2)의 용량을 의미한다. 결국, 제3 노드(N3)에는 'C'(Vpre-DATA)'가 반영되므로, 제3 노드(N3)의 전압은 'Vpre-Vth-C'(Vpre-DATA)'로 변화된다.

[0065] 다섯 번째로, 제5 기간(t5) 동안 게이트 로우 전압(VGL)의 제m 스캔 신호(SCANm)가 제m 스캔 라인(SLm)을 통해 공급된다. 또한, 제5 기간(t5)의 A 기간(t5-A) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EM

L)을 통해 공급되고, 제5 기간(t5)의 B 기간(t5-B) 동안 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, 제5 기간(t5) 동안 게이트 로우 전압(VGL)의 센싱 신호(SEN)가 센싱 라인(SEN L)을 통해 공급되며, 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)가 스위칭 제어 라인(SCL)을 통해 공급된다. 또한, 제5 기간(t5) 동안 프리셋 전압(Vpre)의 데이터 전압(DATA)이 제n 데이터 라인(DLn)을 통해 공급되고, 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.

[0066] 제1 스위치(S1)는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 기준 전압원을 제n+1 기준 전압 라인(RLn+1)에 접속시킨다. 제2 스위치(S2)는 스위칭 제어 신호(SC)의 반전 신호에 의해 턴-오프된다. 제1 스위치(S1)의 턴-온과 제2 스위치(S2)의 턴-오프로 인해, 제n+1 기준 전압 라인(RLn+1)은 전류 센싱 회로(ADC)과의 접속이 차단되고, 기준 전압원과 접속된다.

[0067] 제1 TFT(T1)는 게이트 로우 전압(VGH)의 제m 스캔 신호(SCANm)에 의해 턴-오프된다. 제2 TFT(T2)는 제5 기간(t5)의 A 기간(t5-A) 동안 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시키고, 제5 기간(t5)의 B 기간(t5-B) 동안 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 센싱 신호(SEN)에 의해 턴-오프된다.

[0068] 제5 기간(t5)의 A 기간(t5-A) 동안 제2 TFT(T2)의 턴-온으로 인해 제2 노드(N2)와 제3 노드(N3)가 접속되므로, 제3 노드(N3)의 전압이 제2 노드(N2)의 전압(Voled_anode)으로 상승한다. 또한, 제5 기간(t5) 동안 제1 TFT(T1)의 턴-오프로 인해 제1 노드(N1)는 플로팅된다. 제1 노드(N1)의 플로팅으로 인해, 제3 노드(N3)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제1 노드(N1)에는 제3 노드(N3)의 전압 변화량인 'Vpre-Vth-C'(Vpre-DATA)-Voled_anode'가 반영된다. 따라서, 제1 노드(N1)의 전압은 'DATA-{Vpre-Vth-C}(Vpre-DATA)-Voled_anode}'로 변화된다.

[0069] 한편, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학적 식 3과 같이 표현된다.

수학적 식 3

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0070]

[0071] 수학적 식 3에서, k'는 구동 TFT(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수로서, 구동 TFT(DT)의 전자 이동도(mobility), 채널 폭, 및 채널 길이 등에 의해 결정된다. Vgs는 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차, Vth는 구동 TFT(DT)의 문턱전압을 의미한다. 제5 기간(t5)의 A 기간(t5-A) 동안 'Vgs-Vth'는 수학적 식 4와 같다.

수학적 식 4

$$V_{gs} - V_{th} = [DATA - \{V_{pre} - V_{th} - C'(V_{pre} - DATA) - V_{oled_anode}\} - V_{oled_anode}] - V_{th}$$

[0072]

[0073] 수학적 식 4를 정리하면, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학적 식 5와 같이 도출된다.

수학적 식 5

$$I_{ds} = k' [(1 + C') \cdot (DATA - V_{pre})]^2$$

[0074]

[0075] 결국, 제5 기간(t5) 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학적 식 5와 같이 구동 TFT(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 본 발명은 구동 TFT(DT)의 문턱전압을 보상할 수 있다.

[0076] 종합해보면, 본 발명의 제1 실시예에 따른 화소(P)는 고전위 전압(VDD)을 초기화 기간(t2 기간) 동안 로우 레벨

(VDD_L)로 공급함으로써 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)를 로우 레벨의 고전위 전압(VDD_L)으로 초기화한다. 로우 레벨의 고전위 전압(VDD_L)은 프리셋 전압(Vpre)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압보다 작은 전압으로 설정된다. 그 결과, 본 발명의 제1 실시예에 따른 화소(P)는 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트(negative shift) 되더라도, 문턱전압(Vth) 센싱 기간(t2 기간) 동안 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)를 문턱전압(Vth)보다 크게 할 수 있다. 이로 인해, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성하므로, 제2 노드(N2)의 전압은 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF-Vth)까지 상승한다. 따라서, 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트 되더라도, 제2 노드(N2)는 문턱전압(Vth)을 센싱할 수 있다. 한편, 네거티브 쉬프트는 구동 TFT(DT)가 N타입 MOSFET으로 구현된 경우 구동 TFT(DT)의 문턱전압(Vth)이 0V보다 낮은 전압으로 쉬프트되는 것을 의미한다.

[0077] 도 7은 본 발명의 제1 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프이다. 도 7을 참조하면, x축에는 구동 TFT(DT)의 문턱전압 변동 범위(Vth Variation)가 나타나 있고, y축에는 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids) 오차(error)가 나타나 있다.

[0078] 구동 TFT(DT)의 열화로 인해, 구동 TFT(DT)의 문턱전압(Vth)은 화소(P)별로 기준 값 대비 -2.0V 내지 +2.0V 정도 쉬프트(shift)될 수 있다. 따라서, 최근 유기발광다이오드 표시장치는 화소(P)별로 구동 TFT(DT)의 문턱전압(Vth)을 센싱하여 문턱전압(Vth)을 보상함으로써, 유기발광다이오드(OLED)가 문턱전압(Vth)에 의존하지 않고 발광할 수 있도록 하고 있다. 하지만, 구동 TFT(DT)의 문턱전압(Vth) 센싱의 정확도가 낮은 경우 문턱전압(Vth) 센싱 기간(제3 기간(t3)) 동안 센싱된 문턱전압(Vth) 보상 값과 실제 구동 TFT(DT)의 문턱전압(Vth)이 다르므로, 수학적 4에서 'Vth'가 삭제되지 않는다. 이로 인해, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids)에 오차(error)가 발생하게 된다.

[0079] 도 7에서는 구동 TFT(DT)의 문턱전압(Vth) 센싱 기간(제3 기간(t3))에서 제1 노드(N1) 플로팅 기간(제3 기간의 B 기간(t3-B))을 3 내지 5 수평기간(3H, 4H, 5H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)를 살펴보았다. 제1 노드(N1) 플로팅 기간(제3 기간의 B 기간(t3-B))을 3 수평기간(3H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)가 기준 값인 100% 대비 대략 -10% 내지 12%로 발생하였다. 또한, 제1 노드(N1) 플로팅 기간(제3 기간의 B 기간(t3-B))을 4 수평기간(4H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)는 기준 값 대비 대략 -5% 내지 23%로 발생하였다. 또한, 제1 노드(N1) 플로팅 기간(제3 기간의 B 기간(t3-B))을 5 수평기간(5H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)는 기준 값 대비 대략 -3% 내지 45%로 발생하였다.

[0080] 제1 노드(N1) 플로팅 기간(제3 기간의 B 기간(t3-B))은 구동 TFT(DT)의 문턱전압(Vth) 센싱 속도를 높일 수 있는 효과가 있으므로, 본 발명의 제1 실시예는 제1 노드(N1) 플로팅 기간(제3 기간의 B 기간(t3-B))을 도 7과 같이 3 수평기간(3H)으로 할 경우 구동 TFT(DT)의 문턱전압(Vth)의 센싱 정확도를 높일 수 있고, 이로 인해 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차는 최소화될 수 있다.

[0081] 도 8은 내부 보상의 경우 본 발명의 제2 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다. 도 8에는 내부 보상의 경우 1 프레임 기간 동안 표시패널(10)에 입력되는 데이터 전압(DATA), 고전위 전압(VDD), 스캔 신호들(SCANm, SCANm+1), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC)가 나타나 있다.

[0082] 본 발명의 제2 실시예에 따른 화소(P)에 입력되는 신호들 중에서 고전위 전압(VDD)과 센싱 신호(SEN)를 제외하고는 도 3을 결부하여 설명한 본 발명의 제1 실시예에 따른 화소(P)에 입력되는 신호들과 실질적으로 동일하다. 따라서, 본 발명의 제2 실시예에 따른 화소(P)에 입력되는 신호들 중에서 데이터 전압(DATA), 스캔 신호들(SCANm, SCANm+1), 발광 신호(EM), 및 스위칭 제어 신호(SC)에 대한 설명은 생략하기로 한다.

[0083] 한편, 고전위 전압(VDD)는 제1 내지 제3 기간(t1, t3), 및 제5 기간(t5) 동안 하이 레벨의 고전위 전압(VDD_H)으로 발생하고, 제4 기간(t4) 동안 미들 레벨의 고전위 전압(VDD_M)로 발생한다. 제4 기간(t4) 동안 고전위 전압(VDD)이 미들 레벨(VDD_M)로 발생하는 이유는 구동 TFT(DT)의 턴-온으로 인해 유기발광다이오드(OLED)가 발광하는 것을 방지하기 위함이다. 결국, 제4 기간(t4) 동안 고전위 전압(VDD)이 미들 레벨(VDD_M)로 발생함으로써, 발광 기간인 제5 기간(t5) 이전에 유기발광다이오드(OLED)의 발광을 방지할 수 있으므로, 명암대

비비(Contrast Ratio)를 높일 수 있다. 또한, 센싱 신호(SEN)는 제1 및 제2 기간(t_1, t_2) 동안 게이트 하이 전압(VGH)으로 발생하고, 제3 내지 제5 기간(t_3, t_4, t_5) 동안 게이트 로우 전압(VGL)으로 발생한다.

- [0084] 이하에서, 도 2 및 도 8을 참조하여 제1 내지 제5 기간($t_1 \sim t_5$) 동안 화소(P)의 동작을 상세히 설명한다. 제1, 및 제3 내지 제5 기간($t_1, t_3 \sim t_5$) 동안 화소(P)의 동작은 도 2 내지 도 4를 결부하여 앞에서 설명한 바와 실질적으로 동일하다. 따라서, 제1, 및 제3 내지 제5 기간($t_1, t_3 \sim t_5$) 동안 화소(P)의 동작에 대한 설명은 생략하기로 한다.
- [0085] 제2 기간(t_2) 동안 게이트 하이 전압(VGH)의 제 m 스캔 신호(SCAN m)가 제 m 스캔 라인(SL m)을 통해 공급되고, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, 제2 기간(t_2) 동안 게이트 하이 전압(VGH)의 센싱 신호(SEN)가 센싱 라인(SENL)을 통해 공급되고, 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)가 스위칭 제어 라인(SCL)을 통해 공급된다. 또한, 제2 기간(t_2) 동안 프리셋 전압(V_{pre})의 데이터 전압(DATA)이 제 n 데이터 라인(DL n)을 통해 공급되고, 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.
- [0086] 제1 스위치(S1)는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 기준 전압원을 제 $n+1$ 기준 전압 라인(RL $n+1$)에 접속시킨다. 제2 스위치(S2)는 스위칭 제어 신호(SC)의 반전 신호에 의해 턴-오프된다. 제1 스위치(S1)의 턴-온과 제2 스위치(S2)의 턴-오프로 인해, 제 $n+1$ 기준 전압 라인(RL $n+1$)은 전류 센싱 회로(ADC)과의 접속이 차단되고, 기준 전압원과 접속된다.
- [0087] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제 m 스캔 신호(SCAN m)에 응답하여 턴-온되어 제1 노드(N1)를 제 n 데이터 라인(DL n)에 접속시킨다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 센싱 신호(SEN)에 응답하여 턴-온되어 제 $n+1$ 기준 전압 라인(RL $n+1$)을 제2 노드(N2)에 접속시킨다.
- [0088] 제2 기간(t_2) 동안 제2 노드(N2)는 기준 전압원에 접속된 제 $n+1$ 기준 전압 라인(RL $n+1$)에 접속되므로, 기준 전압(REF)으로 방전된다. 또한, 제2 TFT(T2)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)가 접속되므로, 제3 노드(N3)는 기준 전압(REF)으로 방전된다. 한편, 도 8에서 설명된 '기준 전압(REF)'은 도 2 내지 도 4에서 설명된 '로우 레벨의 고전위 전압(VDD_L)'과 실질적으로 동일한 것임에 유의하여야 한다.
- [0089] 도 9는 본 발명의 제2 실시예에 따른 화소의 등가회로도이다. 도 9를 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 구동 TFT(DT), 유기발광다이오드(OLED), 제어 회로, 캐패시터(capacitor)들, 및 기준 전압 스위칭 회로(REF_SW) 등을 포함한다. 제어 회로는 제1 내지 제3 TFT(T1, T2, T3)를 포함하고, 캐패시터들은 제1 내지 제3 캐패시터(C1, C2, C3)를 포함한다. 기준 전압 스위칭 회로(REF_SW)는 제1 및 제2 스위치(S1, S2), 인버터(Inv), 및 전류 센싱 회로(ADC)를 포함한다.
- [0090] 본 발명의 제2 실시예에 따른 화소(P)는 제3 캐패시터(C3)를 제외하고는 도 2를 결부하여 설명한 본 발명의 제1 실시예에 따른 화소(P)와 그 구조가 실질적으로 동일하다. 따라서, 본 발명의 제2 실시예에 따른 화소(P)의 구동 TFT(DT), 유기발광다이오드(OLED), 제1 내지 제3 TFT(T1, T2, T3), 제1 및 제2 캐패시터(C1, C2), 및 기준 전압 스위칭 회로(REF_SW)에 대한 설명은 생략하기로 한다. 또한, 본 발명의 제2 실시예에 따른 화소(P)에는 신호들이 도 3 및 도 8과 같이 입력되고, 그 동작 방법은 도 3 및 도 8을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 본 발명의 제2 실시예에 따른 화소(P)의 제1 내지 제5 기간 동안의 동작에 대한 설명은 생략하기로 한다.
- [0091] 한편, 제3 캐패시터(C3)는 제1 노드(N1)와 고전위 전압원 사이에 접속되고, 제1 노드(N1)와 고전위 전압원의 차 전압을 저장한다. 제3 캐패시터(C3)는 구동 TFT(DT)의 기생용량에 의해 제2 노드(N2)의 전압 변화량이 제1 노드(N1)에 반영되는 것을 방지할 수 있다. 따라서, 제1 노드(N1)의 전압이 상승하는 것을 방지할 수 있으므로, 블랙 계조 표현 능력을 개선할 수 있다. 즉, 명암 대비비(contrast ratio)를 높일 수 있는 장점이 있다.
- [0092] 도 10은 본 발명의 제3 실시예에 따른 화소의 등가회로도이다. 도 10을 참조하면, 본 발명의 제3 실시예에 따른 화소(P)는 구동 TFT(DT), 유기발광다이오드(OLED), 제어 회로, 캐패시터(capacitor)들, 및 데이터 전압 스위칭 회로(DATA_SW)를 포함한다. 제어 회로는 제1 내지 제3 TFT(T1, T2, T3)를 포함하고, 캐패시터들은 제1 내지 제3 캐패시터(C1, C2, C3)를 포함한다. 데이터 전압 스위칭 회로(DATA_SW)는 제1 및 제2 스위치(S1, S2), 인

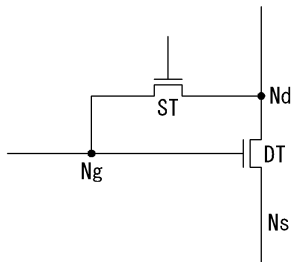
버터(Inv), 및 전류 센싱 회로(ADC)를 포함한다.

- [0093] 본 발명의 제3 실시예에 따른 화소(P)는 데이터 전압 스위칭 회로(DATA_SW)를 제외하고는 도 2를 결부하여 설명한 본 발명의 제1 실시예에 따른 화소(P)와 그 구조가 실질적으로 동일하다. 따라서, 본 발명의 제3 실시예에 따른 화소(P)의 구동 TFT(DT), 유기발광다이오드(OLED), 제1 내지 제3 TFT(T1, T2, T3), 제1 및 제2 캐패시터(C1, C2)에 대한 설명은 생략하기로 한다. 또한, 본 발명의 제3 실시예에 따른 화소(P)에는 신호들이 도 3과 같이 입력되고, 그 동작 방법은 도 3을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 본 발명의 제3 실시예에 따른 화소(P)의 제1 내지 제5 기간(t1~t5) 동안의 동작에 대한 설명은 생략하기로 한다.
- [0094] 한편, 데이터 전압 스위칭 회로(DATA_SW)는 제1 및 제2 스위치(S1, S2), 인버터(Inv), 전류 센싱 회로(ADC), 및 소스 드라이브 IC(S-IC)를 포함한다. 제1 및 제2 스위치(S1, S2)는 N 타입 MOSFET으로 형성된 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 데이터 전압 스위칭 회로(DATA_SW)는 내부 보상을 하는 제2 내지 제5 기간 동안 데이터 라인(DLn, DLn+1)을 소스 드라이브 IC(S-IC)에 접속시키고, 외부 보상을 위해 전류 센싱하는 제1 기간 동안 데이터 라인(DLn, DLn+1)을 전류 센싱 회로(ADC)에 접속시킨다.
- [0095] 제1 스위치(S1)는 스위칭 제어 라인(SCL)으로부터 공급되는 게이트 하이 전압(VGH)의 스위칭 제어 신호(SC)에 응답하여 턴-온되어 데이터 라인(DLn, DLn+1)을 데이터 전압(DATA)을 공급하는 소스 드라이브 IC(S-IC)에 접속시킨다. 제1 스위치(S1)의 게이트 전극은 스위칭 제어 라인(SCL)에 접속되고, 소스 전극은 데이터 라인(DLn, DLn+1)에 접속되며, 드레인 전극은 소스 드라이브 IC(S-IC)에 접속된다.
- [0096] 제2 스위치(S2)는 스위칭 제어 라인(SCL)으로부터 공급되는 인버터에 의해 반전된 스위칭 제어 신호(SC)의 게이트 하이 전압(VGH)에 응답하여 턴-온되어 데이터 라인(DLn, DLn+1)을 전류 센싱 회로(ADC)에 접속시킨다. 제2 스위치(S2)의 게이트 전극은 인버터(Inv)에 접속되고, 소스 전극은 전류 센싱 회로(ADC)에 접속되며, 드레인 전극은 데이터 라인(DLn, DLn+1)에 접속된다.
- [0097] 인버터(Inv)는 스위칭 제어 라인(SCL)으로부터 공급되는 스위칭 제어 신호(SC)를 인버전시킨다. 인버터(Inv)는 스위칭 제어 라인(SCL)과 제2 스위치(S2)의 게이트 전극 사이에 접속된다.
- [0098] 전류 센싱 회로(ADC)는 제1 기간 동안 데이터 라인(DLn, DLn+1)을 각각에 접속되어 데이터 라인(DLn, DLn+1) 각각에 흐르는 전류를 센싱한다. 전류 센싱 회로(ADC)는 센싱된 전류를 디지털 데이터로 변환하고, 변환된 디지털 데이터를 타이밍 컨트롤러(40)로 출력한다. 한편, 기준 전압원은 제2 캐패시터(C2)의 타측 전극에 접속된다.
- [0099] 도 11은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다. 도 11을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 컨트롤러(40) 및 호스트 시스템(50) 등을 구비한다.
- [0100] 표시패널(10)에는 데이터 라인(DL)들과 스캔 라인(SL)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인(SL)들과 나란하게 발광 라인(EML)들과 센싱 라인(SENL)들이 형성된다. 또한, 표시패널(10)에는 스캔 라인(SL)들과 나란하게 스위칭 제어 라인(SCL)들이 형성될 수 있다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)들 각각은 도 2, 도 9, 및 도 10을 결부하여 설명한 바와 같다.
- [0101] 데이터 구동부(20)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터 구동 TFT(DT)의 문턱전압(Vth)과 전자 이동도(Mobility), 유기발광다이오드(OLED)의 문턱전압(Vth) 등이 보상된 디지털 비디오 데이터(RGB')를 입력받는다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 보상 디지털 비디오 데이터(RGB')를 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 신호(SCAN)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다.
- [0102] 스캔 구동부(30)는 스캔 신호 출력부, 발광 신호 출력부, 센싱 신호 출력부, 및 스위칭 제어 신호 출력부를 포함한다. 스캔 신호 출력부는 표시패널(10)의 스캔 라인(SL)들에 스캔 신호(SCAN)들을 순차적으로 출력한다. 발광 신호 출력부는 표시패널(10)의 발광 라인(EML)들에 발광 신호(EM)를 출력한다. 센싱 신호 출력부는 표시패널(10)의 센싱 라인(SENL)들에 센싱 신호(SEN)를 출력한다. 스위칭 제어 신호 출력부는 표시패널(10)의 스위칭 제어 라인(SCL)들에 스위칭 제어 신호(SC)를 출력한다. 스캔 신호(SCAN), 발광 신호(EM), 센싱 신호(SEN), 및 스위칭 제어 신호(SC) 등에 대한 자세한 설명은 도 3, 및 도 8을 결부하여 상세히 설명하였다.

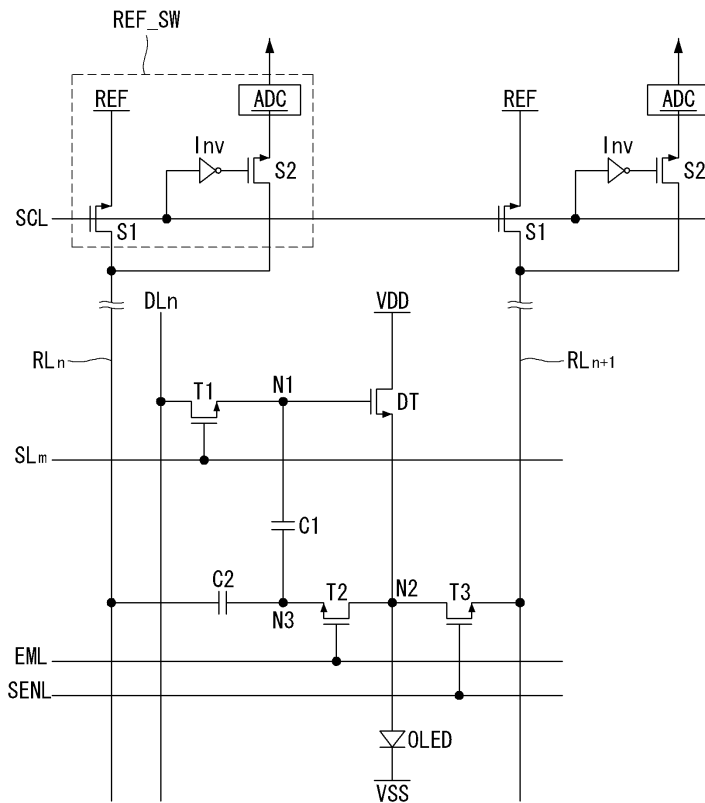
- | | |
|-------------------------|-----------------|
| ADC: 전류 센싱 회로 | C1: 제1 캐패시터 |
| C2: 제2 캐패시터 | N1: 제1 노드 |
| N2: 제2 노드 | N3: 제3 노드 |
| SCAN: 스캔 신호 | EM: 발광 신호 |
| SEN: 센싱 신호 | SC: 스위칭 제어 신호 |
| 10: 표시패널 | 20: 데이터 구동부 |
| 30: 스캔 구동부 | 40: 타이밍 컨트롤러 |
| 41: 외부 보상부 | 41a: 보상 데이터 산출부 |
| 41b: 보상 디지털 비디오 데이터 출력부 | |
| 50: 호스트 시스템 | |

도면

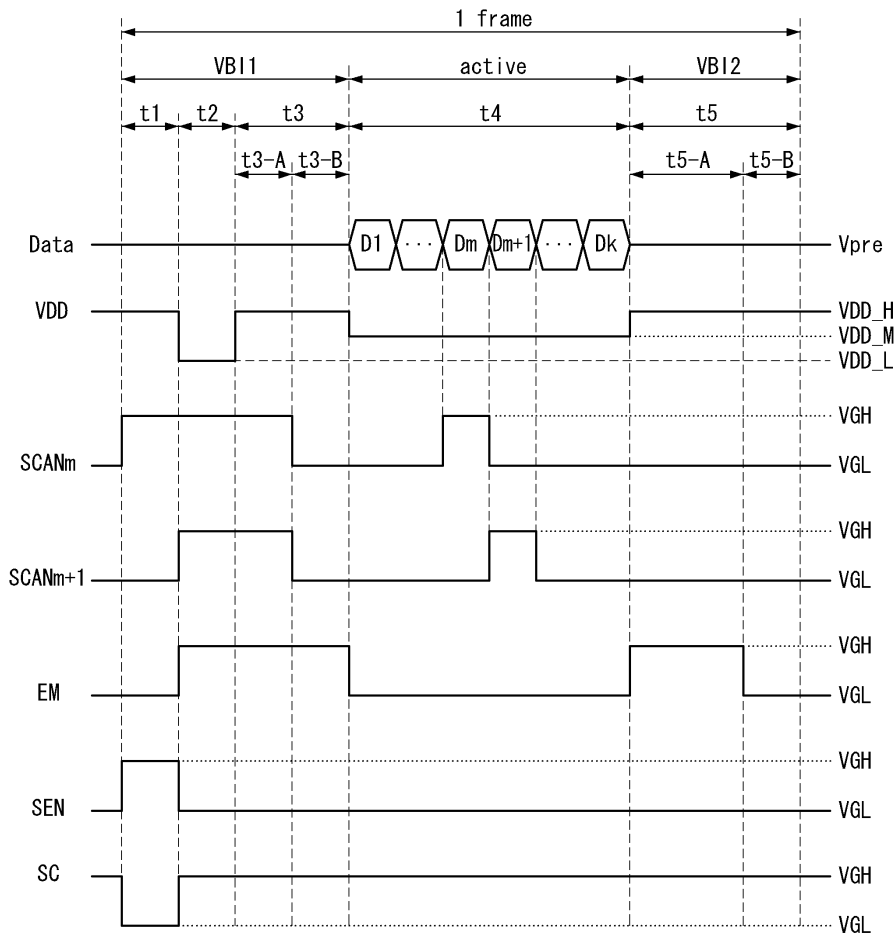
도면1



도면2



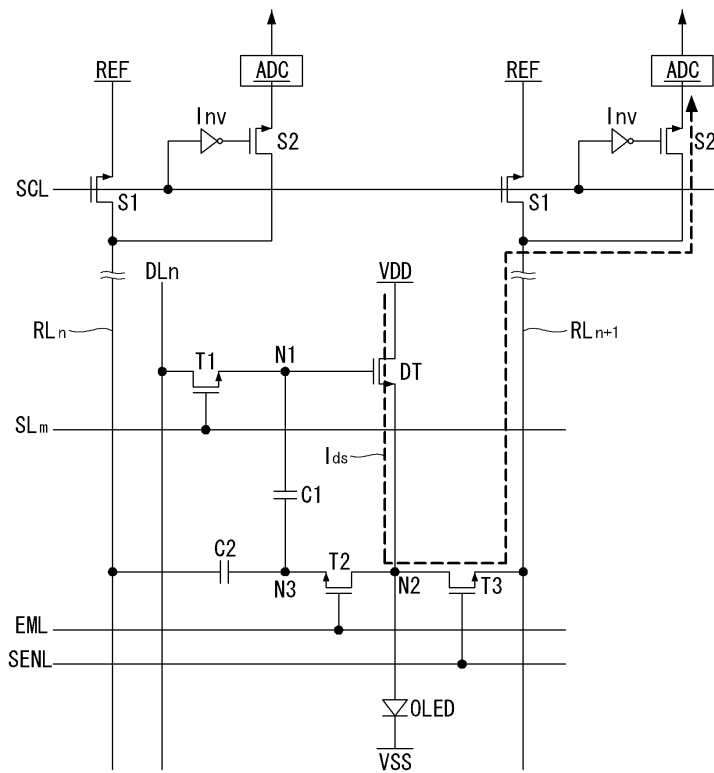
도면3



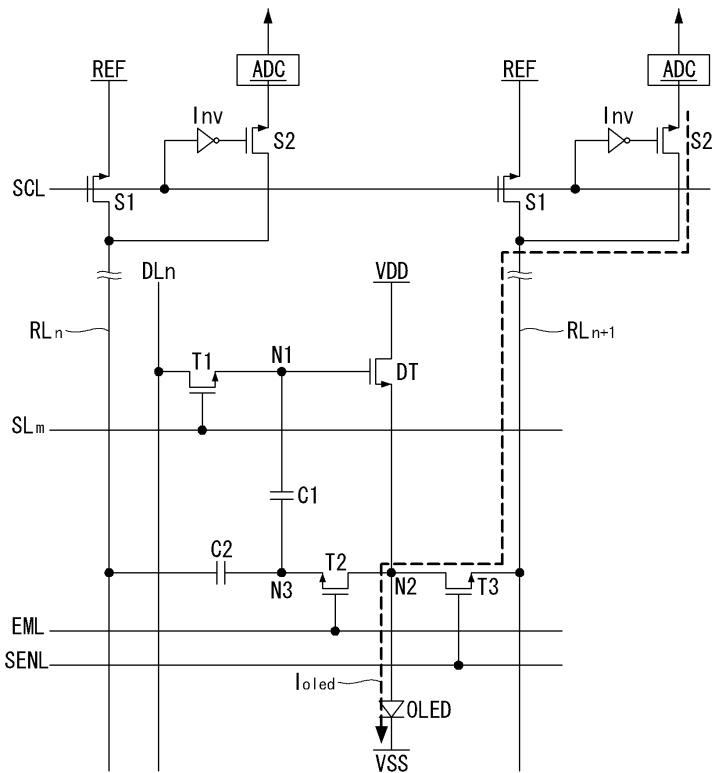
도면4

기간	N1	N2	N3
t1	Vpre	-	-
t2	Vpre	VDD_L	VDD_L
t3	Vpre	Vpre-Vth	Vpre-Vth
t4	DATA	\cong Vpre-Vth	Vpre-Vth - C' (Vpre-DATA)
t5	DATA+ (Voled_anode - [Vpre-Vth - C' (Vpre-DATA)])	Voled_anode	Voled_anode

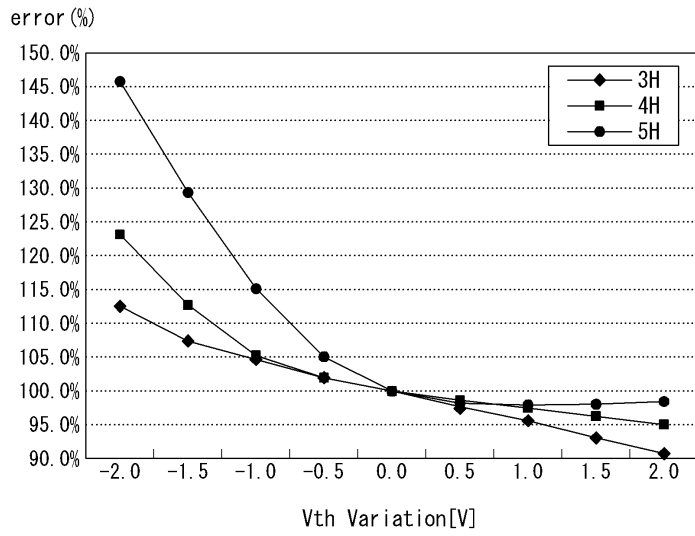
도면5



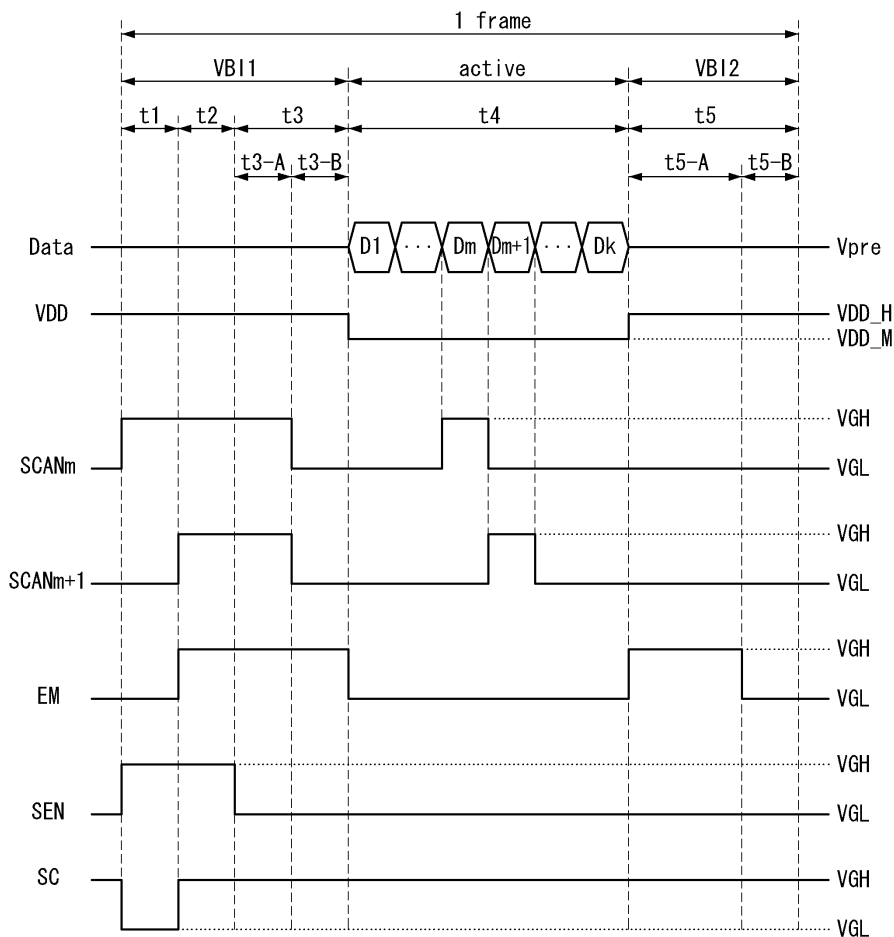
도면6



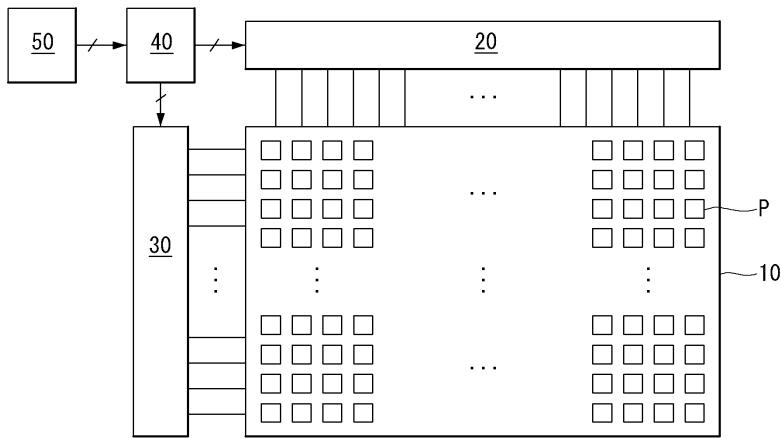
도면7



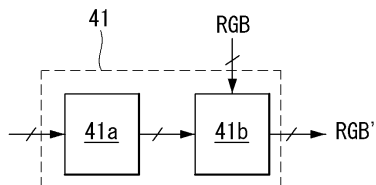
도면8



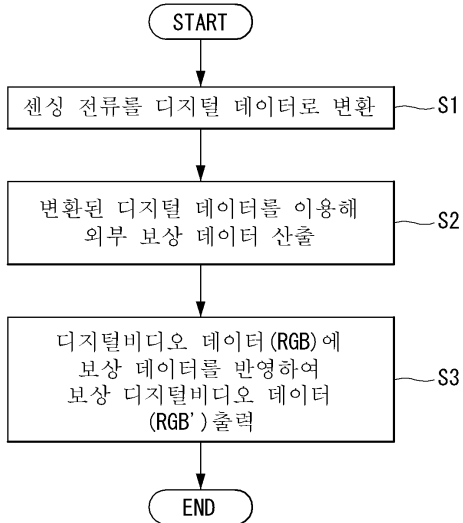
도면11



도면12



도면13



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR101938880B1	公开(公告)日	2019-01-16
申请号	KR1020110121137	申请日	2011-11-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	윤중선 이영학		
发明人	윤중선 이영학		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3258 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/0295		
审查员(译)	贞茵		
其他公开文献	KR1020130055402A		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示装置包括：具有多个像素的显示面板，每个像素包括：驱动TFT，驱动TFT包括耦合至第一节点的栅电极，耦合至第二节点的源电极和漏电极 耦合到高电压源；有机发光二极管，其包括耦接至第二节点的阳极和耦接至低电位电压源的阴极；第一TFT响应于具有第一逻辑电平电压的扫描信号以将第一节点连接到数据线；第二TFT响应于具有第一逻辑电平电压的发射信号而将第二节点连接到第三节点；第一电容器，耦合在第一节点和第三节点之间；第二电容器，耦接在第三节点与参考电压源之间。