



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월15일
(11) 등록번호 10-1687069
(24) 등록일자 2016년12월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2014-0097125
(22) 출원일자 2014년07월30일
심사청구일자 2015년07월31일
(65) 공개번호 10-2015-0100462
(43) 공개일자 2015년09월02일
(30) 우선권주장
61/944,499 2014년02월25일 미국(US)
61/944,501 2014년02월25일 미국(US)
(56) 선행기술조사문헌
JP2011023695 A*
KR1020060100932 A*
KR1020050111171 A
KR1020110006812 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권희용
부산광역시 동래구 명륜로177번길 6-9
이준석
서울특별시 관악구 난곡로 55 관악산휴먼시아2단
지아파트 214동 601호
(74) 대리인
(뒷면에 계속)
특허법인인벤투스

전체 청구항 수 : 총 14 항

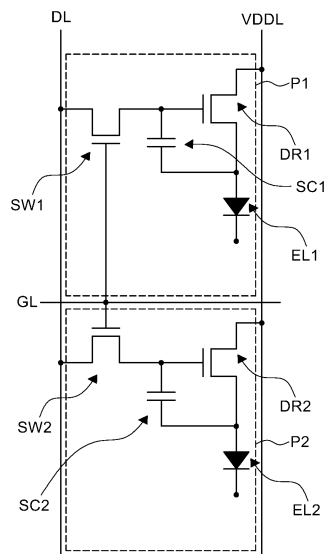
심사관 : 홍종선

(54) 발명의 명칭 유기 전계 발광 표시 장치

(57) 요약

복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치가 제공된다. 기판에는 제1 화소 및 제2 화소가 포함된다. 제1 화소 및 제2 화소 각각은 발광 영역과 소자 영역을 구비한다. 제1 화소의 소자 영역과 제2 화소의 소자 영역 각각에는 스위칭 박막 트랜지스터가 형성되고, 제1 화소의 발광 영역 및 제2 화소의 발광 영역 각각에는 유

(뒷면에 계속)
대표도 - 도2



기 발광 소자가 형성된다. 제1 화소의 소자 영역에 형성된 스위칭 박막 트랜지스터는 산화물 반도체 박막 트랜지스터이고, 제2 화소의 소자 영역에 형성된 스위칭 박막 트랜지스터는 LTPS 박막 트랜지스터이다. 서로 인접하는 화소의 구동 박막 트랜지스터가 각각 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터로 형성되어 유기 전계 발광 표시 장치의 구동, 특히, 서로 인접하는 화소가 게이트 라인을 공유하는 경우의 유기 전계 발광 표시 장치의 구동이 보다 용이해질 수 있다.

또한, 유기 전계 발광 표시 장치가 제공된다. 기관에는 게이트 전극, 액티브층, 소스 전극 및 드레인 전극을 각각 갖는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터가 형성된다. 스위칭 박막 트랜지스터는 산화물 반도체 박막 트랜지스터이고, 구동 박막 트랜지스터는 LTPS 박막 트랜지스터이다. 제1 저장 커패시터의 하나의 전극은 구동 박막 트랜지스터의 액티브층이다. 제2 저장 커패시터의 하나의 전극은 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나이다. 제1 저장 커패시터의 다른 하나의 전극 및 제2 저장 커패시터의 다른 하나의 전극은 스위칭 박막 트랜지스터의 액티브층 또는 구동 박막 트랜지스터의 게이트 전극이다. 유기 전계 발광 표시 장치를 구동하기 위해 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 복합 구조를 사용하여, 각각의 장점을 활용할 수 있다. 또한, 다중 커패시터를 구현함과 동시에 저장 커패시터가 차지하는 면적을 감소시킬 수 있다.

(72) 발명자

김의태

경기도 파주시 한빛로 67 한빛마을2단지휴먼빌레이
크펠리스 214동 703호

박성희

경기도 고양시 일산동구 강송로 156 강촌마을2단지
아파트 202동 1001호

신기섭

서울특별시 송파구 오금로27길 16 인택스빌 802호

명세서

청구범위

청구항 1

발광 영역 및 소자 영역이 각각 구비된 제1 화소 및 제2 화소를 포함하는 기관;
 상기 제1 화소 및 상기 제2 화소 각각의 소자 영역에 형성된 스위칭 박막 트랜지스터; 및
 상기 제1 화소 및 상기 제2 화소 각각의 발광 영역에 형성된 유기 발광 소자를 포함하며,
 상기 제1 화소의 스위칭 박막 트랜지스터는 산화물 반도체 박막 트랜지스터로 구성되고,
 상기 제2 화소의 스위칭 박막 트랜지스터는 LTPS 박막 트랜지스터로 구성되며,
 상기 제1 화소와 상기 제2 화소는 서로 인접하고,
 상기 산화물 반도체 박막 트랜지스터와 상기 LTPS 박막 트랜지스터는 하나의 게이트 라인을 서로 공유하면서 상기 게이트 라인에 연결되는, 유기 전계 발광 표시 장치.

청구항 2

제1항에 있어서,
 상기 제1 화소의 발광 영역과 상기 제2 화소의 발광 영역이 서로 인접한, 유기 전계 발광 표시 장치.

청구항 3

삭제

청구항 4

제1항에 있어서,
 상기 제1 화소의 산화물 반도체 박막 트랜지스터는 n-타입 박막 트랜지스터이고,
 상기 제2 화소의 LTPS 박막 트랜지스터는 p-타입 박막 트랜지스터인, 유기 전계 발광 표시 장치.

청구항 5

제1항에 있어서,
 상기 제1 화소 및 상기 제2 화소 각각의 소자 영역에 형성된 구동 박막 트랜지스터를 더 포함하는, 유기 전계 발광 표시 장치.

청구항 6

제5항에 있어서,
 상기 구동 박막 트랜지스터는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터 중 하나인, 유기 전계 발광 표시 장치.

청구항 7

제1항에 있어서,
 상기 제1 화소 및 상기 제2 화소 각각은 투과 영역을 더 구비하는, 유기 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 제1 화소의 발광 영역과 상기 제1 화소의 소자 영역은 서로 중첩하고,

상기 제2 화소의 발광 영역과 상기 제2 화소의 소자 영역은 서로 중첩하는, 유기 전계 발광 표시 장치.

청구항 9

제7항에 있어서,

상기 제1 화소의 투과 영역과 상기 제2 화소의 투과 영역 사이에 상기 제1 화소의 발광 영역 및 상기 제2 화소의 발광 영역이 배치된, 유기 전계 발광 표시 장치.

청구항 10

제1항에 있어서,

상기 제1 화소 및 상기 제2 화소를 구동하기 위하여 전기적 신호를 발생시키는 GIP(Gate In Panel) 회로부를 더 포함하는, 유기 전계 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 GIP 회로부는 상기 제1 화소의 스위칭 박막 트랜지스터와 상기 제2 화소의 스위칭 박막 트랜지스터를 순차적으로 구동시키는 교류 게이트 전압을 생성하는, 유기 전계 발광 표시 장치.

청구항 12

제1항에 있어서,

상기 스위칭 박막 트랜지스터의 액티브층으로 향하는 광을 가려주는 광 차단층을 더 포함하는, 유기 전계 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 광 차단층은 상기 기관과 상기 스위칭 박막 트랜지스터 사이에 형성된, 유기 전계 발광 표시 장치.

청구항 14

제1항에 있어서,

상기 LTPS 박막 트랜지스터는 상기 기관으로부터 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극 순서로 적층된 코플래너(Coplanar) 구조인, 유기 전계 발광 표시 장치.

청구항 15

제1항에 있어서,

상기 산화물 반도체 박막 트랜지스터는 상기 기관으로부터 게이트 전극, 액티브층, 및 소스 전극 및 드레인 전극 순서로 적층된 바텀 게이트(Bottom Gate) 구조인, 유기 전계 발광 표시 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

발명의 설명

기술 분야

[0001] 본 발명은 유기 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 액티브층이 산화물 반도체로 형성된 산화물 반도체 박막 트랜지스터와 액티브층이 저온 폴리 실리콘으로 형성된 LTPS(Low Temperature Poly Silicon) 박막 트랜지스터가 동일한 게이트 라인으로부터의 게이트 전압을 공유하여 효율적인 개구율 확보가 가능하고, 고해상도 제품 구현에 유리한 유기 전계 발광 표시 장치 및 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터가 동일한 유기 발광 소자를 구동하기 위한 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터로 사용되는 유기 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보 신호를 시각적으로 표현하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저 소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시 장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이와 같은 평판 표시 장치의 구체적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 유기 전계 발광 표시 장치(Organic Light Emitting Display: OLED), 전기 영동 표시 장치(Electrophoretic Display: EPD), 플라즈마 표시 장치(Plasma Display Panel device: PDP), 전계 방출 표시 장치(Field Emission Display device: FED) 및 전기 습윤 표시 장치(Electro-Wetting Display: EWD) 등을 들 수 있다.

[0004] 특히, 유기 전계 발광 표시 장치는 자체 발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치에 비해 시야각, 콘트라스트(contrast), 응답 속도, 소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0005] 평판 표시 장치들은 공통적으로 영상을 구현하는 평판 표시 패널을 필수적인 구성요소로 하는데, 평판 표시 패널은 고유의 발광 물질 또는 편광 물질층을 사이에 두고 대면 합착된 한 쌍의 기판을 포함하여 이루어진다. 이러한 평판 표시 패널에 포함된 기판은 복수의 화소(Pixel) 어레이(Array)가 발광하는 발광 영역과 복수의 화소를 구동하기 위한 회로 소자들이 위치하는 소자 영역으로 나누어진다. 특히 소자 영역에는 복수의 박막 트랜지스터(Thin Film Transistor; TFT)가 위치하여 복수의 화소를 구동하고, 회로 소자를 동작시킨다.

[0006] 유기 전계 발광 표시 장치는 애노드 전극, 유기 발광층 및 캐소드 전극으로 구성되는 유기 전계 발광 다이오드(diode)를 포함하며, 게이트 라인(gate line)과 데이터 라인(data line) 사이에 유기 전계 발광 다이오드가 매트릭스 방식으로 연결되어 화소를 구성하는 패시브 매트릭스(passive matrix) 방식과, 각 화소의 동작이 스위칭 역할을 하는 박막 트랜지스터에 의해 제어되는 액티브 매트릭스(active matrix) 방식으로 구성된다.

[0007] 액티브 매트릭스 방식의 유기 전계 발광 표시 장치에서 화소 구동부는, 회로 소자에서 출력된 전압이 게이트 라인을 경유하여 화소의 스위칭 박막 트랜지스터가 동작하고, 데이터 라인을 통해 화소 구동을 위한 데이터 값이 입력되어 저장 커패시터(storage capacitor)에 저장되면, 구동 박막 트랜지스터에서 데이터 값에 해당하는 픽셀 구동 전류가 유기 전계 발광 다이오드에 흘러 유기 전계 발광 표시 장치의 각 화소가 발광한다.

[0008] 유기 전계 발광 표시 장치에 대한 고객의 눈높이가 올라감에 따라, 고개구율 및 고해상도의 유기 전계 발광 표시 장치에 대한 연구가 계속되고 있다. 그러나, 유기 전계 발광 다이오드를 구동시키기 위한 박막 트랜지스터, 커패시터 및 각종 전압 공급 라인 자체의 크기를 감소시키는데에는 한계가 있다. 따라서, 고개구율 및 고해상도의 유기 전계 발광 표시 장치를 구현하기 위한 다양한 노력이 계속되고 있다.

[0009] 또한, 종래의 유기 전계 발광 표시 장치에서는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터로 LTPS 박막 트랜지스터만 사용하거나 산화물 반도체 박막 트랜지스터만을 사용하였다. 다만, 이와 같이 한 종류의 박막 트랜지스터만을 사용하는 경우, 충분한 크기의 저장 커패시터를 확보하기 위해 그만큼 넓은 면적이 요구되었다. 이에, 저장 커패시터의 면적을 충분히 크게 가져가는 경우, 화소자체의 크기가 증가하거나 화소 내에서 화소 구동부가 차지하는 면적이 증가하게 되므로, 고해상도 패널이나 고투과율 패널 제작에 어려움이 있다.

발명의 내용

해결하려는 과제

[0010] 이에, 본 발명이 해결하고자 하는 과제는 하나의 화소 및 그에 인접한 다른 하나의 화소가 게이트 라인을 공통으로 사용하는 유기 전계 발광 표시 장치를 제공하는 것이다.

[0011] 본 발명이 해결하고자 하는 다른 과제는 게이트 라인을 서로 공유하고 서로 인접하는 화소의 구동 박막 트랜지

스터가 각각 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터로 형성되어 보다 용이한 구동이 가능한 유기 전계 발광 표시 장치를 제공하는 것이다.

[0012] 본 발명이 해결하고자 하는 또 다른 과제는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터 중 하나는 LTPS 박막 트랜지스터로 형성되고, 다른 하나는 산화물 반도체 박막 트랜지스터로 형성되는 유기 전계 발광 표시 장치를 제공하는 것이다.

[0013] 본 발명이 해결하고자 하는 또 다른 과제는 저장 커패시터의 면적 증가 없이 저장 커패시터를 다중 커패시터로 형성하여, 고해상도 및 고투과율 확보가 가능한 유기 전계 발광 표시 장치를 제공하는 것이다.

[0014] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0015] 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치가 제공된다. 기관에는 제1 화소 및 제2 화소가 포함된다. 제1 화소 및 제2 화소 각각은 발광 영역과 소자 영역을 구비한다. 제1 화소의 소자 영역과 제2 화소의 소자 영역 각각에는 스위칭 박막 트랜지스터가 형성되고, 제1 화소의 발광 영역 및 제2 화소의 발광 영역 각각에는 유기 발광 소자가 형성된다. 제1 화소의 소자 영역에 형성된 스위칭 박막 트랜지스터는 산화물 반도체 박막 트랜지스터이고, 제2 화소의 소자 영역에 형성된 스위칭 박막 트랜지스터는 LTPS 박막 트랜지스터이다. 서로 인접하는 화소의 구동 박막 트랜지스터가 각각 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터로 형성되어 유기 전계 발광 표시 장치의 구동, 특히, 서로 인접하는 화소가 게이트 라인을 공유하는 경우의 유기 전계 발광 표시 장치의 구동이 보다 용이해질 수 있다.

[0016] 본 발명의 다른 특징에 따르면, 제1 화소의 발광 영역과 제2 화소의 발광 영역이 서로 인접한 것을 특징으로 한다.

[0017] 본 발명의 또 다른 특징에 따르면, 제1 화소와 제2 화소는 서로 인접하며, 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터는 하나의 게이트 라인을 서로 공유하는 것을 특징으로 한다.

[0018] 본 발명의 또 다른 특징에 따르면, 제1 화소의 산화물 반도체 박막 트랜지스터는 n-타입 박막 트랜지스터이고, 제2 화소의 LTPS 박막 트랜지스터는 p-타입 박막 트랜지스터인 것을 특징으로 한다.

[0019] 본 발명의 또 다른 특징에 따르면, 유기 전계 발광 표시 장치는 제1 화소 및 제2 화소 각각의 소자 영역에 형성된 구동 박막 트랜지스터를 더 포함하는 것을 특징으로 한다.

[0020] 본 발명의 또 다른 특징에 따르면, 구동 박막 트랜지스터는 산화물 반도체 박막 트랜지스터 및 와 LTPS 박막 트랜지스터 중 하나인 것을 특징으로 한다.

[0021] 본 발명의 또 다른 특징에 따르면, 제1 화소 및 제2 화소 각각은 투과 영역을 더 구비하는 것을 특징으로 한다.

[0022] 본 발명의 또 다른 특징에 따르면, 제1 화소의 발광 영역과 제1 화소의 소자 영역은 서로 중첩하고, 제2 화소의 발광 영역과 제2 화소의 소자 영역은 서로 중첩하는 것을 특징으로 한다.

[0023] 본 발명의 또 다른 특징에 따르면, 제1 화소의 투과 영역과 제2 화소의 투과 영역 사이에 제1 화소의 발광 영역 및 제2 화소의 발광 영역이 배치된 것을 특징으로 한다.

[0024] 본 발명의 또 다른 특징에 따르면, 유기 전계 발광 표시 장치는 제1 화소 및 제2 화소를 구동하기 위하여 전기적 신호를 발생시키는 GIP(Gate In Panel) 회로부를 더 포함하는 것을 특징으로 한다.

[0025] 본 발명의 또 다른 특징에 따르면, GIP 회로부는 제1 화소의 스위칭 박막 트랜지스터와 제2 화소의 스위칭 박막 트랜지스터를 순차적으로 구동시키는 교류 게이트 전압을 생성하는 것을 특징으로 한다.

[0026] 본 발명의 또 다른 특징에 따르면, 유기 전계 발광 표시 장치는 스위칭 박막 트랜지스터의 액티브층으로 향하는 광을 가려주는 광 차단층을 더 포함하는 것을 특징으로 한다.

[0027] 본 발명의 또 다른 특징에 따르면, 광 차단층은 기관과 스위칭 박막 트랜지스터 사이에 형성된 것을 특징으로 한다.

[0028] 본 발명의 또 다른 특징에 따르면, LTPS 박막 트랜지스터는 기관으로부터 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극 순서로 적층된 코플래너(Coplanar) 구조인 것을 특징으로 한다.

- [0029] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터는 기관으로부터 게이트 전극, 액티브층, 및 소스 전극 및 드레인 전극 순서로 적층된 바텀 게이트(Bottom Gate) 구조인 것을 특징으로 한다.
- [0030] 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치가 제공된다. 기관에는 게이트 전극, 액티브층, 소스 전극 및 드레인 전극을 각각 갖는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터가 형성된다. 스위칭 박막 트랜지스터는 산화물 반도체 박막 트랜지스터이고, 구동 박막 트랜지스터는 LTPS 박막 트랜지스터이다. 제1 저장 커패시터의 하나의 전극은 구동 박막 트랜지스터의 액티브층이다. 제2 저장 커패시터의 하나의 전극은 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나이다. 제1 저장 커패시터의 다른 하나의 전극 및 제2 저장 커패시터의 다른 하나의 전극은 스위칭 박막 트랜지스터의 액티브층 또는 구동 박막 트랜지스터의 게이트 전극이다. 유기 전계 발광 표시 장치를 구동하기 위해 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 복합 구조를 사용하여, 각각의 장점을 활용할 수 있다. 또한, 다중 커패시터를 구현함과 동시에 저장 커패시터가 차지하는 면적을 감소시킬 수 있다.
- [0031] 본 발명의 다른 특징에 따르면, 제1 저장 커패시터의 다른 하나의 전극 및 제2 저장 커패시터의 다른 하나의 전극 모두는 스위칭 박막 트랜지스터의 액티브층인 것을 특징으로 한다.
- [0032] 본 발명의 또 다른 특징에 따르면, 기관 상에 구동 박막 트랜지스터의 액티브층이 형성되고, 구동 박막 트랜지스터의 액티브층을 덮도록 게이트 절연층이 형성되고, 게이트 절연층 상에 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극이 형성되고, 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극을 덮도록 층간 절연층이 형성되고, 층간 절연층 상에서 스위칭 박막 트랜지스터의 액티브층이 구동 박막 트랜지스터의 액티브층과 중첩하도록 형성되고, 스위칭 박막 트랜지스터의 액티브층을 덮도록 에치 스톱퍼가 형성되고, 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나가 에치 스톱퍼 상에서 스위칭 박막 트랜지스터의 액티브층과 중첩하도록 형성된 것을 특징으로 한다.
- [0033] 본 발명의 또 다른 특징에 따르면, 제1 저장 커패시터의 다른 하나의 전극 및 제2 저장 커패시터의 다른 하나의 전극 모두는 구동 박막 트랜지스터의 게이트 전극인 것을 특징으로 한다.
- [0034] 본 발명의 또 다른 특징에 따르면, 기관 상에 구동 박막 트랜지스터의 액티브층이 형성되고, 구동 박막 트랜지스터의 액티브층을 덮도록 게이트 절연층이 형성되고, 게이트 절연층 상에 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극이 형성되고, 구동 박막 트랜지스터의 게이트 전극은 구동 박막 트랜지스터의 액티브층과 중첩하고, 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극을 덮도록 층간 절연층이 형성되고, 층간 절연층 상에 스위칭 박막 트랜지스터의 액티브층이 형성되고, 스위칭 박막 트랜지스터의 액티브층을 덮도록 에치 스톱퍼가 형성되고, 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나가 에치 스톱퍼 상에서 구동 박막 트랜지스터의 게이트 전극과 중첩하도록 형성된 것을 특징으로 한다.
- [0035] 본 발명의 또 다른 특징에 따르면, 제1 저장 커패시터의 다른 하나의 전극은 구동 박막 트랜지스터의 게이트 전극이고, 제2 저장 커패시터의 다른 하나의 전극은 스위칭 박막 트랜지스터의 액티브층인 것을 특징으로 한다.
- [0036] 본 발명의 또 다른 특징에 따르면, 기관 상에 구동 박막 트랜지스터의 액티브층이 형성되고, 구동 박막 트랜지스터의 액티브층을 덮도록 게이트 절연층이 형성되고, 게이트 절연층 상에 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극이 형성되고, 구동 박막 트랜지스터의 게이트 전극은 구동 박막 트랜지스터의 액티브층과 중첩하고, 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극을 덮도록 층간 절연층이 형성되고, 층간 절연층 상에서 스위칭 박막 트랜지스터의 액티브층이 형성되고, 스위칭 박막 트랜지스터의 액티브층을 덮도록 에치 스톱퍼가 형성되고, 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나가 에치 스톱퍼 상에서 스위칭 박막 트랜지스터의 액티브층과 중첩하도록 형성된 것을 특징으로 한다.
- [0037] 본 발명의 또 다른 특징에 따르면, 스위칭 박막 트랜지스터의 액티브층과 구동 박막 트랜지스터의 게이트 전극은 전기적으로 연결된 것을 특징으로 한다.
- [0038] 본 발명의 또 다른 특징에 따르면, 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나를 하나의 전극으로 하고, 스위칭 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나와 전기적으로 연결된 금속층을 다른 하나의 전극으로 하는 제3 저장 커패시터를 더 포함하는 것을 특징으로 한다.
- [0039] 본 발명의 또 다른 특징에 따르면, 유기 전계 발광 표시 장치는 스위칭 박막 트랜지스터의 액티브층 및 구동 박

막 트랜지스터의 액티브층으로 향하는 광을 가려주는 광 차단층을 더 포함하는 것을 특징으로 한다.

- [0040] 본 발명의 또 다른 특징에 따르면, 유기 전계 발광 표시 장치는 구동 박막 트랜지스터의 액티브층을 하나의 전극으로 하고, 광 차단층을 다른 하나의 전극으로 하는 제4 저장 커패시터를 더 포함하는 것을 특징으로 한다.
- [0041] 본 발명의 또 다른 특징에 따르면, 유기 전계 발광 표시 장치는 기판과 구동 박막 트랜지스터의 액티브층 사이에 형성된 버퍼층을 더 포함하는 것을 특징으로 한다.
- [0042] 본 발명의 또 다른 특징에 따르면, 구동 박막 트랜지스터는 기판으로부터 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극 순서로 적층된 코플래너(Coplanar) 구조인 것을 특징으로 한다.
- [0043] 본 발명의 또 다른 특징에 따르면, 스위칭 박막 트랜지스터는 기판으로부터 게이트 전극, 액티브층, 및 소스 전극 및 드레인 전극 순서로 적층된 바텀 게이트(Bottom Gate) 구조인 것을 특징으로 한다.
- [0044] 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치가 제공된다. 기판에는 게이트 전극, 액티브층, 소스 전극 및 드레인 전극을 각각 갖는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터가 형성된다. 스위칭 박막 트랜지스터는 LTPS 박막 트랜지스터이고, 구동 박막 트랜지스터는 산화물 반도체 박막 트랜지스터이다. 금속층이 스위칭 박막 트랜지스터의 소스 전극 전극 및 드레인 전극 중 하나와 전기적으로 연결된다. 제1 저장 커패시터의 하나의 전극은 구동 박막 트랜지스터의 게이트 전극이고, 다른 하나의 전극은 구동 박막 트랜지스터의 액티브층이다. 제2 저장 커패시터의 하나의 전극은 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나이고, 다른 하나의 전극은 금속층이다. 유기 전계 발광 표시 장치를 구동하기 위해 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 복합 구조를 사용하여, 각각의 장점을 활용할 수 있다. 또한, 다중 커패시터를 구현함과 동시에 저장 커패시터가 차지하는 면적을 감소시킬 수 있다.
- [0045] 본 발명의 다른 특징에 따르면, 기판 상에 스위칭 박막 트랜지스터의 액티브층이 형성되고, 스위칭 박막 트랜지스터의 액티브층을 덮도록 게이트 절연층이 형성되고, 게이트 절연층 상에 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극이 형성되고, 스위칭 박막 트랜지스터의 게이트 전극 및 구동 박막 트랜지스터의 게이트 전극을 덮도록 층간 절연층이 형성되고, 층간 절연층 상에서 구동 박막 트랜지스터의 액티브층이 구동 박막 트랜지스터의 게이트 전극과 중첩하도록 형성되고, 구동 박막 트랜지스터의 액티브층을 덮도록 에치 스톱퍼가 형성되고, 금속층은 에치 스톱퍼 상에 형성된 스위칭 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나와 전기적으로 연결되고, 구동 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나와 중첩하도록 형성된 것을 특징으로 한다.
- [0046] 본 발명의 또 다른 특징에 따르면, 스위칭 박막 트랜지스터는 기판으로부터 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극 순서로 적층된 코플래너 구조인 것을 특징으로 한다.
- [0047] 본 발명의 또 다른 특징에 따르면, 구동 박막 트랜지스터는 기판으로부터 게이트 전극, 액티브층, 및 소스 전극 및 드레인 전극 순서로 적층된 바텀 게이트 구조인 것을 특징으로 한다.
- [0048] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0049] 본 발명은 하나의 화소 및 그에 인접한 다른 하나의 화소가 게이트 라인을 공통으로 사용하여, 고개구율 및 고해상도의 유기 전계 발광 표시 장치를 제공할 수 있다.
- [0050] 본 발명은 게이트 라인을 서로 공유하고 서로 인접하는 화소의 구동 박막 트랜지스터가 각각 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터로 형성되는 것을 특징으로 하여 유기 전계 발광 표시 장치를 보다 용이하게 구동할 수 있다.
- [0051] 본 발명은 유기 전계 발광 표시 장치를 구동하기 위한 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터 각각을 서로 상이한 박막 트랜지스터 종류로 형성하여 저장 커패시터의 커패시턴스를 증가시킬 수 있고, 보다 용이하게 고해상도 패널이나 고투과율 패널을 제조할 수 있다.
- [0052] 본 발명은 유기 전계 발광 표시 장치를 구동하기 위해 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 복합 구조를 사용하여 산화물 박막 트랜지스터의 장점 및 LTPS 박막 트랜지스터의 장점 둘 모두를 활용할 수 있다.
- [0053] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0054] 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 제1 화소 및 제2 화소를 설명하기 위한 개략적인 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 제1 화소 및 제2 화소가 공유하는 게이트 라인의 게이트 전압을 설명하기 위한 개략적인 타이밍 다이어그램이다.
- 도 4는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 평면도이다.
- 도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 평면도이다.
- 도 6은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다.
- 도 7 내지 도 11은 본 발명의 다양한 실시예들에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0055] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0056] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0057] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0058] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0059] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0060] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0061] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0062] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0063] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0064] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0065] 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 평면도이다. 도 2는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 제1 화소 및 제2 화소를 설명하기 위한 개략적인 회로도이다. 도 1을 참조하면, 유기 전계 발광 표시 장치(100)는 기판(110), 표시부(120), GIP(Gate In Panel) 회

로부, COF(Chip On Film)(140) 및 인쇄 회로 기판(150)을 포함한다.

- [0066] 기관(110)은 유기 전계 발광 표시 장치(100)의 여러 엘리먼트들을 지지하고 보호한다. 기관(110)은 절연 물질로 구성될 수 있고, 예를 들어, 유리 또는 플라스틱 등으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 형성될 수 있다.
- [0067] 영상을 표시하기 위한 표시부(120)가 기관(110) 상에 형성된다. 표시부(120)는 유기 발광 소자 및 유기 발광 소자를 구동하기 위한 다양한 박막 트랜지스터 및 커패시터를 포함한다. 또한, 표시부(120)에는 게이트 라인(GL), 데이터 라인(DL), Vdd 전압 공급 라인(VDDL) 등과 같은 다양한 배선들이 형성될 수 있다. 도 1에 도시된 바와 같이, 데이터 라인(DL)과 Vdd 전압 공급 라인(VDDL)은 서로 동일한 방향으로 연장하고, 게이트 라인(GL)은 데이터 라인(DL) 및 Vdd 전압 공급 라인(VDDL)과 상이한 방향, 예를 들어, 수직한 방향으로 연장한다.
- [0068] 기관(110)은 특정 색의 광을 각각 발광하는 복수의 화소를 포함한다. 복수의 화소는 표시부(120)에 포함되는 것으로 정의될 수도 있다. 복수의 화소 각각은 적색광, 녹색광 및 청색광 중 하나를 발광할 수도 있고, 적색광, 녹색광, 청색광 및 백색광 중 하나를 발광할 수도 있다. 이하에서는, 복수의 화소 중 제1 화소(P1) 및 제2 화소(P2)를 예로 하여 설명한다.
- [0069] 제1 화소(P1)는 홀수 화소 라인에 배치된 화소이고, 제2 화소(P2)는 짝수 화소 라인에 배치된 화소일 수 있다. 즉, 제1 화소(P1)와 제2 화소(P2)는 세로 방향으로 서로 인접하는 화소이고, 동일한 데이터 라인(DL)에 전기적으로 연결된 화소이다.
- [0070] 제1 화소(P1) 및 제2 화소(P2) 각각은 발광 영역(EA1, EA2) 및 소자 영역(DA1, DA2)을 구비한다. 제1 화소(P1)의 발광 영역(EA1)은 제1 유기 발광 소자(EL1)가 배치되어 발광하는 영역이고, 제1 화소(P1)의 소자 영역(DA1)은 제1 스위칭 박막 트랜지스터(SW1), 제1 저장 커패시터(SC1), 제1 구동 박막 트랜지스터(DR1) 등과 같은 제1 유기 발광 소자(EL1)를 구동하기 위한 다양한 소자들이 형성된 영역이다. 유기 전계 발광 표시 장치(100)가 바텀 에미션(bottom emission) 방식의 유기 전계 발광 표시 장치인 경우, 도 1에 도시된 바와 같이 제1 화소(P1)의 발광 영역(EA1)과 소자 영역(DA1)은 서로 중첩하지 않으나, 유기 전계 발광 표시 장치(100)가 탑 에미션(top emission) 방식의 유기 전계 발광 표시 장치인 경우, 제1 화소(P1)의 발광 영역(EA1)과 소자 영역(DA1)은 중첩할 수도 있다. 제2 화소(P2)의 발광 영역(EA2)에는 제2 유기 발광 소자(EL2)가 배치되고, 제2 화소(P2)의 소자 영역(DA2)에는 제2 스위칭 박막 트랜지스터(SW2), 제2 저장 커패시터(SC2), 제2 구동 박막 트랜지스터(DR2) 등과 같은 제2 유기 발광 소자(EL2)를 구동하기 위한 다양한 소자들이 형성된다.
- [0071] 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)는 산화물 반도체 박막 트랜지스터이다. 즉, 제1 스위칭 박막 트랜지스터(SW1)는 기관(110)으로부터 게이트 전극, 산화물 반도체로 형성된 액티브층, 및 소스 전극 및 드레인 전극이 순차적으로 적층된 바텀 게이트(Bottom Gate) 구조이다. 제1 스위칭 박막 트랜지스터(SW1)는 n-타입 박막 트랜지스터일 수 있다. 제1 화소(P1)의 제1 구동 박막 트랜지스터(DR1)는 산화물 반도체 박막 트랜지스터일 수도 있고, LTPS 박막 트랜지스터일 수도 있다.
- [0072] 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)는 LTPS 박막 트랜지스터이다. 즉, 제2 스위칭 박막 트랜지스터(SW2)는 기관(110)으로부터 저온 폴리 실리콘으로 형성된 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극이 순차적으로 적층된 코플래너(Coplanar) 구조이다. 제2 스위칭 박막 트랜지스터(SW2)는 p-타입 박막 트랜지스터일 수 있다. 제2 화소(P2)의 제2 구동 박막 트랜지스터(DR2)는 n-타입 산화물 반도체 박막 트랜지스터일 수도 있고, p-타입 LTPS 박막 트랜지스터일 수도 있다.
- [0073] 제1 화소(P1)와 제2 화소(P2)는 서로 인접한다. 도 1을 참조하면, 제1 화소(P1)와 제2 화소(P2)는 데이터 라인(DL)이 연장하는 방향으로 서로 인접한다. 제1 화소(P1)의 발광 영역(EA1)과 제2 화소(P2)의 발광 영역(EA2)은 서로 인접한다. 다시 말해서, 도 1에 도시된 바와 같이 제1 화소(P1)의 발광 영역(EA1)과 제2 화소(P2)의 발광 영역(EA2)은 서로 마주본다.
- [0074] 상술한 바와 같이, 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)는 n-타입 박막 트랜지스터이고 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)는 p-타입 박막 트랜지스터이므로, 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)와 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)는 하나의 게이트 라인(GL)을 공유할 수 있다. 즉, 제1 스위칭 박막 트랜지스터(SW1)와 제2 스위칭 박막 트랜지스터(SW2)는 동일한 게이트 라인(GL)으로부터의 게이트 전압을 공급받는다. 도 2를 참조하면, 제1 스위칭 박막 트랜지스터(SW1)의 게이트 전극 및 제2 스위칭 박막 트랜지스터(SW2)의 게이트 전극은 동일한 게이트 라인(GL)으로부터 분지된다. 따라서, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)에서는 게이트 라인(GL)의 개수가 절반으로 감소될 수 있으며

로, 게이트 라인(GL)이 차지하던 면적 또한 감소될 수 있다. 따라서, 유기 전계 발광 표시 장치(100)에 포함되는 화소의 수 또는 화소의 면적이 증가될 수 있고, 이에 따라 고개구율 및 고해상도 유기 전계 발광 표시 장치 구현이 가능하다. 제1 화소(P1) 및 제2 화소(P2)의 구동에 대한 보다 상세한 설명은 도 3을 참조하여 후술한다.

[0075] 다시 도 1을 참조하면, 기관(110) 상에서 표시부(120)의 일 측에는 GIP 회로부(130)가 형성된다. GIP 회로부(130)는 표시부(120)의 복수의 화소에 게이트 전압을 인가하기 위한 다양한 회로가 형성된 것으로서, 박막 트랜지스터, 커패시터 등을 포함한다. GIP 회로부(130)는 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)와 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)를 순차적으로 구동시키는 교류 게이트 전압을 생성한다. 게이트 라인(GL)은 GIP 회로부(130)로부터 연장한다. 데이터 드라이버 IC 등이 형성된 COF(140)가 배치되고, COF(140)는 별도의 인쇄 회로 기관(150)(110)과 연결된다. 데이터 라인(DL) 및 Vdd 전압 공급 라인(VDDL)은 COF(140)와 전기적으로 연결될 수 있다. 도 1에서는 GIP 회로부(130)가 표시부(120)의 일 측에 형성되는 것으로 도시되었으나, GIP 회로부(130)는 표시부(120)의 양 측에 형성될 수도 있다.

[0076] 상술한 바와 같이, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)에서 게이트 라인(GL)의 개수가 감소함에 따라, 게이트 라인(GL)과 관련된 라우팅 구성을 단순화할 수 있고, 이에 따라 GIP 회로부(130) 및 기타 배선들의 크기 및 개수가 감소될 수 있다. 따라서, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)에서는 베젤의 크기가 보다 감소될 수 있다.

[0077] 몇몇 실시예에서, 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)와 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2) 각각의 액티브층으로 향하는 광을 가려주는 광 차단층이 형성될 수 있다. 광 차단층은 기관(110)과 스위칭 박막 트랜지스터(SW1, SW2) 사이에 형성될 수 있다.

[0078] 도 3은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 제1 화소 및 제2 화소가 공유하는 게이트 라인의 게이트 전압을 설명하기 위한 개략적인 타이밍 다이어그램이다. 도 3은 제1 화소(P1) 및 제2 화소(P2)가 공유하는 게이트 라인(GL)을 통해 GIP 회로부(130)에 의해 인가되는 교류 게이트 전압의 시간에 따른 변화를 도시하였다.

[0079] 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)에서는 n-타입 박막 트랜지스터와 p-타입 박막 트랜지스터의 차이점을 이용하여, 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)와 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)를 하나의 게이트 라인(GL)을 이용하여 구동한다. 즉, 게이트 라인(GL)에 인가되는 게이트 전압이 높은 레벨의 전압 값인 경우, 제1 스위칭 박막 트랜지스터(SW1)가 턴온되어 제1 화소(P1)의 제1 구동 박막 트랜지스터(DR1)를 구동시키고, 게이트 라인(GL)에 인가되는 게이트 전압이 낮은 레벨의 전압 값인 경우, 제2 스위칭 박막 트랜지스터(SW2)가 턴온되어 제2 화소(P2)의 제2 구동 박막 트랜지스터(DR2)를 구동시킨다.

[0080] 구동 박막 트랜지스터를 턴온(turn on)시키고, 유기 발광 소자에 흐르는 전류를 조절하는 것은 데이터 전압이다. 또한, 데이터 전압을 타이밍에 맞게 구동 박막 트랜지스터의 게이트 전극으로 전달하는 역할은 스위칭 박막 트랜지스터에 의해 수행된다. 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)에서는 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1) 및 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)에 인가되는 게이트 전압의 크기 및 인가 시간을 조절하여 제1 화소(P1) 및 제2 화소(P2)를 구동한다.

[0081] 도 3을 참조하면, Vg0 전압이 인가되는 시간(1h, 4h) 동안에는 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1) 및 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2) 모두 동작하지 않는다.

[0082] 시간(2h) 동안에는 게이트 라인(GL)을 통해 높은 레벨의 전압 값인 Vgh가 인가된다. 이 때, Vgh 전압은 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)뿐만 아니라 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)에도 전달된다. 다만, 제1 스위칭 박막 트랜지스터(SW1)는 n-타입 산화물 반도체 박막 트랜지스터인 반면, 제2 스위칭 박막 트랜지스터(SW2)는 p-타입 산화물 반도체 박막 트랜지스터이므로, 제1 스위칭 박막 트랜지스터(SW1)만이 턴온되고, 제2 스위칭 박막 트랜지스터(SW2)는 동작하지 않는다.

[0083] 시간(3h) 동안에는 게이트 라인(GL)을 통해 낮은 레벨의 전압 값인 Vgl이 인가된다. 이 때, Vgl 전압은 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)뿐만 아니라 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)에도 전달된다. 다만, 제1 스위칭 박막 트랜지스터(SW1)는 n-타입 산화물 반도체 박막 트랜지스터인 반면, 제2 스위칭 박막 트랜지스터(SW2)는 p-타입 산화물 반도체 박막 트랜지스터이므로, 제2 스위칭 박막 트랜지스터(SW2)만이 턴온되고, 제1 스위칭 박막 트랜지스터(SW1)는 동작하지 않는다.

[0084] 적합한 구동을 위한 도 3에 도시된 게이트 전압 값 및 박막 트랜지스터들의 문턱 전압 값은 아래와 같다. 다만,

이는 설명의 편의를 위한 일 예시일 뿐, 아래의 전압 값에 제한되는 것은 아니다.

[0085] $0V < \text{데이터 전압} < 5V$

[0086] $V_{gl} = -10V$

[0087] $V_{g0} = 3V$

[0088] $V_{gh} = 15V$

[0089] $V_{ref} = 1V$ (구동 박막 트랜지스터(DR1, DR2)의 게이트 전극에 걸리는 초기 전압)

[0090] $V_{th_n} = 3V$ (제1 스위칭 박막 트랜지스터(SW1)의 문턱 전압)

[0091] $V_{th_p} = -2.5V$ (제2 스위칭 박막 트랜지스터(SW2)의 문턱 전압)

[0092] 도 4는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 평면도이다. 도 4에 도시된 유기 전계 발광 표시 장치(400)는 투명 유기 전계 발광 표시 장치이다. 도 4에서는 설명의 편의를 위해 유기 전계 발광 표시 장치(400)의 표시부(420)만을 도시하였다. 도 4의 유기 전계 발광 표시 장치(400)는 제1 화소(P1) 및 제2 화소(P2)가 투과 영역(TA1, TA2)을 더 구비한다는 것을 제외하면, 도 1 및 도 2의 유기 전계 발광 표시 장치(400)와 실질적으로 동일하므로, 중복 설명을 생략한다.

[0093] 도 4를 참조하면, 제1 화소(P1) 및 제2 화소(P2) 각각은 발광 영역(EA1, EA2) 및 투과 영역(TA1, TA2)을 구비한다. 도 4에 도시된 바와 같이, 유기 전계 발광 표시 장치(400)가 투명 유기 전계 발광 표시 장치인 경우, 제1 화소(P1)의 발광 영역(EA1)과 제1 화소(P1)의 소자 영역(DA1)은 서로 중첩하고, 제2 화소(P2)의 발광 영역(EA2)과 제2 화소(P2)의 소자 영역(DA2)은 서로 중첩할 수도 있다. 다만, 이에 제한되지 않고, 제1 화소(P1)의 발광 영역(EA1)과 제1 화소(P1)의 소자 영역(DA1)은 서로 중첩하지 않고, 제2 화소(P2)의 발광 영역(EA2)과 제2 화소(P2)의 소자 영역(DA2)은 서로 중첩하지 않을 수도 있다.

[0094] 제1 화소(P1)의 발광 영역(EA1)과 제2 화소(P2)의 발광 영역(EA2)은 서로 인접한다. 즉, 제1 화소(P1)의 소자 영역(DA1)과 제2 화소(P2)의 소자 영역(DA1)은 서로 인접한다. 따라서, 제1 화소(P1)의 투과 영역(TA1)과 제2 화소(P2)의 투과 영역(TA2) 사이에 제1 화소(P1)의 발광 영역(EA1) 및 제2 화소(P2)의 발광 영역(EA2)이 배치된다.

[0095] 투명 유기 전계 발광 표시 장치(400)를 구현하는데 있어서 투과 영역(TA1, TA2)의 면적 확보가 중요한 과제로 떠오르고 있다. 이에, 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치(400)에서, 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)는 n-타입 박막 트랜지스터이고 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)는 p-타입 박막 트랜지스터이므로, 제1 화소(P1)의 제1 스위칭 박막 트랜지스터(SW1)와 제2 화소(P2)의 제2 스위칭 박막 트랜지스터(SW2)는 하나의 게이트 라인(GL)을 공유할 수 있다. 즉, 제1 스위칭 박막 트랜지스터(SW1)와 제2 스위칭 박막 트랜지스터(SW2)는 동일한 게이트 라인(GL)으로부터의 게이트 전압을 공급받는다. 따라서, 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치(400)에서는 게이트 라인(GL)의 개수가 절반으로 감소될 수 있으므로, 게이트 라인(GL)이 차지하던 면적 또한 감소될 수 있다. 따라서, 유기 전계 발광 표시 장치(400)에 포함되는 투과 영역(TA1, TA2)의 면적이 증가될 수 있고, 투명 유기 전계 발광 표시 장치(400)의 개구율이 향상될 수 있다.

[0096] 도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 평면도이다. 도 6는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 5 및 도 6을 참조하면, 유기 전계 발광 표시 장치(1100)는 기관(1110), 스위칭 박막 트랜지스터(1120), 구동 박막 트랜지스터(1130), 제1 저장 커패시터(SC1) 및 제2 저장 커패시터(SC2)를 포함한다.

[0097] 기관(1110)은 유기 전계 발광 표시 장치(1100)의 여러 엘리먼트들을 지지하고 보호한다. 기관(1110)은 절연 물질로 구성될 수 있고, 예를 들어, 유리 또는 플라스틱 등으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 형성될 수 있다.

[0098] 기관(1110) 상에는 버퍼층(1111)이 형성된다. 버퍼층(1111)은 기관(1110)을 통한 수분 또는 산소의 침투를 최소화하며, 기관(1110) 상부를 평탄화한다. 버퍼층(1111)은 절연 물질로 형성될 수 있다. 버퍼층(1111)을 구성하는 절연 물질은 기관(1110)의 종류나 스위칭 박막 트랜지스터(1120) 및 구동 박막 트랜지스터(1130)의 종류에 따라 선택될 수 있다. 다만, 버퍼층(1111)은 필수적으로 유기 전계 발광 표시 장치(1100)에서 사용되는 것은 아니며, 버퍼층(1111)은 생략될 수도 있다.

- [0099] 버퍼층(1111) 상에 스위칭 박막 트랜지스터(1120) 및 구동 박막 트랜지스터(1130)가 형성된다. 스위칭 박막 트랜지스터(1120)는 게이트 전극(1121), 액티브층(1122), 소스 전극 및 드레인 전극(1123)을 포함하고, 구동 박막 트랜지스터(1130) 또한 게이트 전극(1131), 액티브층(1132), 소스 전극(1134) 및 드레인 전극(1133)을 포함한다. 다만, 도 5 및 도 6에서는 스위칭 박막 트랜지스터(1120)의 소스 전극에 대한 도시를 생략하고, 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이 직접 구동 박막 트랜지스터(1130)의 게이트 전극(1131)과 접하도록 도시하였다. 만약, 스위칭 박막 트랜지스터(1120)의 소스 전극이 사용된다면, 스위칭 박막 트랜지스터(1120)의 소스 전극은 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)과 동일한 층 상에 동일한 물질로 형성되고, 스위칭 박막 트랜지스터(1120)의 소스 전극이 임의의 위치에서 구동 박막 트랜지스터(1130)의 게이트 전극(1131)과 접하도록 구현될 수도 있다.
- [0100] 도 6을 참조하면, 구동 박막 트랜지스터(1130)는 코플래너(Coplanar) 구조의 박막 트랜지스터이다. 즉, 구동 박막 트랜지스터(1130)는 기판(1110)으로부터 액티브층(1132), 게이트 전극(1131), 및 소스 전극(1134) 및 드레인 전극(1133)이 적층된 구조로 형성된다. 스위칭 박막 트랜지스터(1120)는 바텀 게이트(Bottom Gate) 구조의 박막 트랜지스터이다. 즉, 스위칭 박막 트랜지스터(1120)는 기판(1110)으로부터 게이트 전극(1121), 액티브층(1122), 및 소스 전극 및 드레인 전극(1123)이 적층된 구조로 형성된다.
- [0101] 도 5 및 도 6을 참조하면, 버퍼층(1111) 상에 구동 박막 트랜지스터(1130)의 액티브층(1132)이 형성된다. 구동 박막 트랜지스터(1130)의 액티브층(1132)은 저온 폴리 실리콘으로 형성된다. 즉, 구동 박막 트랜지스터(1130)는 LTPS 박막 트랜지스터이다.
- [0102] 구동 박막 트랜지스터(1130)의 액티브층(1132) 상에 게이트 절연층(1112)이 형성된다. 게이트 절연층(1112)은 구동 박막 트랜지스터(1130)의 액티브층(1132)을 덮도록 형성된다. 게이트 절연층(1112)은 절연 물질로 형성되어 구동 박막 트랜지스터(1130)의 액티브층(1132)과 게이트 전극(1131)을 절연시킨다.
- [0103] 게이트 절연층(1112) 상에 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1130)의 게이트 전극(1131)이 형성된다. 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121)은 게이트 라인(1142)으로부터 분지되고, 게이트 라인(1142)으로부터 게이트 신호를 인가받는다. 구동 박막 트랜지스터(1130)의 게이트 전극(1131)은 구동 박막 트랜지스터(1130)의 액티브층(1132)과 중첩되도록 형성된다. 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121)과 구동 박막 트랜지스터(1130)의 게이트 전극(1121)은 동일한 물질로 형성될 수 있다.
- [0104] 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1130)의 게이트 전극(1131) 상에 층간 절연층(1113)이 형성된다. 층간 절연층(1113)은 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1130)의 게이트 전극(1131)을 덮도록 형성된다. 층간 절연층(1113)은 절연 물질로 형성되어 스위칭 박막 트랜지스터(1120)의 액티브층(1122)과 게이트 전극(1121)을 절연시킨다.
- [0105] 층간 절연층(1113) 상에 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이 형성된다. 스위칭 박막 트랜지스터(1120)의 액티브층(1122)은 산화물 반도체로 형성된다. 즉, 스위칭 박막 트랜지스터(1120)는 산화물 반도체 박막 트랜지스터이다. 액티브층(1122)으로 사용될 수 있는 산화물 반도체로서, 예를 들어, 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물(InSnGaZnO)계 재료, 3원계 금속 산화물인 인듐 갈륨 아연 산화물(InGaZnO)계 재료, 인듐 주석 아연 산화물(InSnZnO)계 재료, 인듐 알루미늄 아연 산화물(InAlZnO)계 재료, 인듐 하프늄 아연 산화물(InHfZnO), 주석 갈륨 아연 산화물(SnGaZnO)계 재료, 알루미늄 갈륨 아연 산화물(AlGaZnO)계 재료, 주석 알루미늄 아연 산화물(SnAlZnO)계 재료, 2원계 금속 산화물인 인듐 아연 산화물(InZnO)계 재료, 주석 아연 산화물(SnZnO)계 재료, 알루미늄 아연 산화물(AlZnO)계 재료, 아연 마그네슘 산화물(ZnMgO)계 재료, 주석 마그네슘 산화물(SnMgO)계 재료, 인듐 마그네슘 산화물(InMgO)계 재료, 인듐 갈륨 산화물(InGaO)계 재료나, 인듐 산화물(InO)계 재료, 주석 산화물(SnO)계 재료, 아연 산화물(ZnO)계 재료 등이 사용될 수 있다. 상술한 각각의 산화물 반도체 재료에서 포함되는 각각의 원소의 조성 비율은 특별히 한정되지 않고 다양하게 조정될 수 있다.
- [0106] 스위칭 박막 트랜지스터(1120)의 액티브층(1122)은 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121)과 중첩한다. 도 5 및 도 6에서는 스위칭 박막 트랜지스터(1120)의 소스 전극의 도시를 생략하였으므로, 스위칭 박막 트랜지스터(1120)의 액티브층(1122)은 구동 박막 트랜지스터(1130)의 게이트 전극(1131)과 전기적으로 연결될 수 있다. 예를 들어, 도 6에 도시된 바와 같이 층간 절연층(1113)에 형성된 콘택홀을 통해 스위칭 박막 트랜지스터(1120)의 액티브층(1122)은 구동 박막 트랜지스터(1130)의 게이트 전극(1131)과 접할 수 있다.
- [0107] 스위칭 박막 트랜지스터(1120)의 액티브층(1122) 상에 에치 스톱퍼(1114)가 형성된다. 에치 스톱퍼(1114)는 스

위칭 박막 트랜지스터(1120)의 액티브층(1122)을 덮도록 형성된다. 에치 스톱퍼(1114)는 절연 물질로 형성되어 스위칭 박막 트랜지스터(1120)의 액티브층(1122)과 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123), 구동 박막 트랜지스터(1130)의 소스 전극(1134) 및 드레인 전극(1133)을 절연시킨다.

[0108] 에치 스톱퍼(1114) 상에 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)이 형성된다. 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)은 데이터 라인(1141)으로부터 분지되고, 데이터 라인(1141)으로부터 데이터 신호를 인가받는다. 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)은 에치 스톱퍼(1114)에 형성된 콘택홀을 통해 스위칭 박막 트랜지스터(1120)의 액티브층(1122)과 전기적으로 연결된다. 도 5 및 도 6에서 도시는 생략되었지만, 스위칭 박막 트랜지스터(1120)의 소스 전극이 사용되는 경우, 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)은 스위칭 박막 트랜지스터(1120)의 소스 전극과 동일한 층 상에 동일한 물질로 형성되고, 스위칭 박막 트랜지스터(1120)의 소스 전극이 임의의 위치에서 구동 박막 트랜지스터(1130)의 게이트 전극(1131)과 접하도록 구현될 수도 있다.

[0109] 에치 스톱퍼(1114) 상에 구동 박막 트랜지스터(1130)의 소스 전극(1134) 및 드레인 전극(1133)이 형성된다. 구동 박막 트랜지스터(1130)의 소스 전극(1134)은 게이트 절연층(1112), 층간 절연층(1113) 및 에치 스톱퍼(1114)에 형성된 콘택홀을 통해 구동 박막 트랜지스터(1130)의 액티브층(1132)과 전기적으로 연결된다. 또한, 구동 박막 트랜지스터(1130)의 소스 전극(1134)은 스위칭 박막 트랜지스터(1120)의 액티브층(1122)과 중첩한다. 구동 박막 트랜지스터(1130)의 드레인 전극(1133)은 게이트 절연층(1112), 층간 절연층(1113) 및 에치 스톱퍼(1114)에 형성된 콘택홀을 통해 구동 박막 트랜지스터(1130)의 액티브층(1132)과 전기적으로 연결된다. 구동 박막 트랜지스터(1130)의 드레인 전극(1133)은 Vdd 전압 공급 라인(1143)으로부터 분지되고, Vdd 전압 공급 라인(1143)으로부터 Vdd 전압을 공급받는다. 구동 박막 트랜지스터(1130)의 소스 전극(1134) 상에 평탄화층이 형성될 수 있고, 구동 박막 트랜지스터(1130)의 소스 전극(1134)은 평탄화층에 형성된 콘택홀을 통해 애노드(1170)와 전기적으로 연결될 수 있다. 구동 박막 트랜지스터(1130)의 소스 전극(1134) 및 드레인 전극(1133)은 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)과 동일한 물질로 형성될 수 있다.

[0110] 기판(1110) 상에 제1 저장 커패시터(SC1)와 제2 저장 커패시터(SC2)가 형성되고, 제1 저장 커패시터(SC1)와 제2 저장 커패시터(SC2)가 하나의 저장 커패시터로서 기능한다. 제1 저장 커패시터(SC1)의 하나의 전극은 구동 박막 트랜지스터(1130)의 액티브층(1132)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1130)의 액티브층(1132)과 중첩하는 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이다. 제2 저장 커패시터(SC2)의 하나의 전극은 구동 박막 트랜지스터(1130)의 소스 전극(1134)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1130)의 소스 전극(1134)과 중첩하는 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이다.

[0111] 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(1100)에서는 스위칭 박막 트랜지스터(1120)가 산화물 반도체 박막 트랜지스터이고 구동 박막 트랜지스터(1130)가 LTPS 박막 트랜지스터인 복합 구조 박막 트랜지스터를 사용하여, 이중 커패시터 구조를 갖는 저장 커패시터 구현이 가능하다. 즉, 구동 박막 트랜지스터(1130)의 액티브층(1132)과 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이 제1 저장 커패시터(SC1)를 구성하고, 구동 박막 트랜지스터(1130)의 소스 전극(1134)과 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이 제2 저장 커패시터(SC2)를 구성하여, 제한된 면적 내에서 저장 커패시터의 커패시턴스를 증가시킬 수 있다. 따라서, 이중 커패시터 구조에 따라 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1100) 구현이 가능하다.

[0112] 추가적으로, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(1100)에서는 오프-전류(Off-Current)가 낮은 산화물 반도체 박막 트랜지스터를 스위칭 박막 트랜지스터(1120)로 사용함으로써 소비 전력을 낮출 수 있다. 또한, 이동도가 우수한 LTPS 박막 트랜지스터를 구동 박막 트랜지스터(1130)로 사용함으로써 구동 박막 트랜지스터(1130)의 크기를 감소시킬 수 있고, 이에 따라 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1100) 구현에 유리하고, 장시간 구동에도 안정적인 구동 박막 트랜지스터(1130) 구현이 가능하고, 유기 전계 발광 표시 장치(1100)의 신뢰성이 향상된다.

[0113] 도 5 및 도 6에서는 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)이 데이터 라인(1141)으로부터 분지되는 것으로 도시하였으나, 스위칭 박막 트랜지스터(1120)의 소스 전극이 데이터 라인(1141)으로부터 분지되고 스위칭 박막 트랜지스터(1120)의 드레인 전극(1123)의 사용이 생략될 수도 있다. 또한, 도 5 및 도 6에서는 구동 박막 트랜지스터(1130)의 드레인 전극(1133)이 Vdd 전압 공급 라인(1143)으로부터 분지되고, 구동 박막 트랜지스터(1130)의 소스 전극(1134)이 스위칭 박막 트랜지스터(1120)의 액티브층(1122)과 중첩하여 제2 저장 커패시터(SC2)의 하나의 전극으로 기능하는 것으로 도시하였으나, 구동 박막 트랜지스터(1130)의 소스 전극(1134)이 Vdd 전압 공급 라인(1143)으로부터 분지되고 구동 박막 트랜지스터(1130)의 드레인 전극(1133)이 스위칭 박막 트랜

지스터(1120)의 액티브층(1122)과 중첩하여 제2 저장 커패시터(SC2)의 하나의 전극으로 기능할 수도 있다.

[0114] 도 7은 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 7에 도시된 유기 전계 발광 표시 장치(1300)는 도 6에 도시된 유기 전계 발광 표시 장치(1100)와 비교하여, 스위칭 박막 트랜지스터(1320)의 액티브층(1322), 구동 박막 트랜지스터(1330)의 게이트 전극(1331), 제1 저장 커패시터(SC1) 및 제2 저장 커패시터(SC2)의 배치 관계만이 상이할 뿐 다른 구성요소들은 실질적으로 동일하므로, 중복 설명을 생략한다.

[0115] 도 7을 참조하면, 구동 박막 트랜지스터(1330)의 액티브층(1322)을 덮도록 게이트 절연층(1112)이 형성되고, 게이트 절연층(1112) 상에 스위칭 박막 트랜지스터(1320)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1330)의 게이트 전극(1331)이 형성된다. 여기서, 구동 박막 트랜지스터(1330)의 액티브층(1132)은 구동 박막 트랜지스터(1330)의 게이트 전극(1331)과 중첩하는데, 구동 박막 트랜지스터(1330)의 액티브층(1322)은 구동 박막 트랜지스터(1330)의 소스 전극(1134) 및 드레인 전극(1133) 사이에 위치하여 구동 박막 트랜지스터(1330)가 온(on) 상태인 경우 채널이 형성되는 부분뿐만 아니라, 채널이 형성되지 않는 위치에서도 구동 박막 트랜지스터(1330)의 게이트 전극(1331)과 중첩한다. 스위칭 박막 트랜지스터(1320)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1330)의 게이트 전극(1331)을 덮도록 층간 절연층(1113)이 형성되고, 층간 절연층(1113) 상에 스위칭 박막 트랜지스터(1320)의 액티브층(1322)이 형성된다. 스위칭 박막 트랜지스터(1320)의 액티브층(1322)을 덮도록 에치 스톱퍼(1114)가 형성되고, 구동 박막 트랜지스터(1330)의 소스 전극(1134)이 에치 스톱퍼(1114) 상에서 구동 박막 트랜지스터(1330)의 게이트 전극(1331)과 중첩하도록 형성된다.

[0116] 이에 따라, 제1 저장 커패시터(SC1)의 하나의 전극은 구동 박막 트랜지스터(1330)의 액티브층(1132)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1330)의 액티브층(1132)과 중첩하는 구동 박막 트랜지스터(1330)의 게이트 전극(1331)이다. 또한, 제2 저장 커패시터(SC2)의 하나의 전극은 구동 박막 트랜지스터(1330)의 소스 전극(1134)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1330)의 소스 전극(1134)과 중첩하는 구동 박막 트랜지스터(1330)의 게이트 전극(1331)이다.

[0117] 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치(1300)에서는 스위칭 박막 트랜지스터(1320)가 산화물 반도체 박막 트랜지스터이고, 구동 박막 트랜지스터(1330)가 LTPS 박막 트랜지스터인 복합 구조 박막 트랜지스터를 사용하여, 이중 커패시터 구조를 갖는 저장 커패시터 구현이 가능하다. 즉, 구동 박막 트랜지스터(1330)의 액티브층(1132)과 구동 박막 트랜지스터(1330)의 게이트 전극(1331)이 제1 저장 커패시터(SC1)를 구성하고, 구동 박막 트랜지스터(1330)의 소스 전극(1134)과 구동 박막 트랜지스터(1330)의 게이트 전극(1331)이 제2 저장 커패시터(SC2)를 구성하여, 제한된 면적 내에서 저장 커패시터의 커패시턴스를 증가시킬 수 있다. 따라서, 이중 커패시터 구조에 따라 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1300) 구현이 가능하다.

[0118] 도 7에 도시된 스위칭 박막 트랜지스터(1320)의 드레인 전극(1133)은 소스 전극으로 변경될 수 있고, 도 7에 도시된 구동 박막 트랜지스터(1330)의 소스 전극(1134)이 드레인 전극(1133)으로 변경되고 드레인 전극(1133)이 소스 전극(1134)으로 변경될 수도 있다.

[0119] 도 8은 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 8에 도시된 유기 전계 발광 표시 장치(1400)는 도 6에 도시된 유기 전계 발광 표시 장치(1100)와 비교하여, 스위칭 박막 트랜지스터(1420)의 액티브층(1422), 구동 박막 트랜지스터(1430)의 게이트 전극(1431), 제1 저장 커패시터(SC1) 및 제2 저장 커패시터(SC2)의 배치 관계만이 상이할 뿐 다른 구성요소들은 실질적으로 동일하므로, 중복 설명을 생략한다.

[0120] 도 8을 참조하면, 구동 박막 트랜지스터(1430)의 액티브층(1132)을 덮도록 게이트 절연층(1112)이 형성되고, 게이트 절연층(1112) 상에 스위칭 박막 트랜지스터(1420)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1430)의 게이트 전극(1431)이 형성된다. 여기서, 구동 박막 트랜지스터(1430)의 액티브층(1422)은 구동 박막 트랜지스터(1430)의 게이트 전극(1431)과 중첩하는데, 구동 박막 트랜지스터(1430)의 액티브층(1132)은 구동 박막 트랜지스터(1430)의 소스 전극(1134) 및 드레인 전극(1133) 사이에 위치하여 구동 박막 트랜지스터(1430)가 온(on) 상태인 경우 채널이 형성되는 부분뿐만 아니라, 채널이 형성되지 않는 위치에서도 구동 박막 트랜지스터(1430)의 게이트 전극(1431)과 중첩한다. 스위칭 박막 트랜지스터(1420)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1430)의 게이트 전극(1431)을 덮도록 층간 절연층(1113)이 형성되고, 층간 절연층(1113) 상에 스위칭 박막 트랜지스터(1420)의 액티브층(1422)이 형성된다. 스위칭 박막 트랜지스터(1420)의 액티브층(1422)은 구동 박막 트랜지스터(1430)의 게이트 전극(1431)과 전기적으로 연결된다. 스위칭 박막 트랜지스터(1420)의 액티브층(1422)을 덮도록 에치 스톱퍼(1114)가 형성되고, 구동 박막 트랜지스터(1430)의 소스 전극(1134)이 에치 스톱퍼(1114)

상에서 스위칭 박막 트랜지스터(1420)의 액티브층(1422)과 중첩하도록 형성된다.

- [0121] 이에 따라, 제1 저장 커패시터(SC1)의 하나의 전극은 구동 박막 트랜지스터(1430)의 액티브층(1132)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1430)의 액티브층(1132)과 중첩하는 구동 박막 트랜지스터(1430)의 게이트 전극(1431)이다. 또한, 제2 저장 커패시터(SC2)의 하나의 전극은 구동 박막 트랜지스터(1430)의 소스 전극(1134)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1430)의 소스 전극(1134)과 중첩하는 스위칭 박막 트랜지스터(1420)의 액티브층(1422)이다.
- [0122] 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1400)에서는 스위칭 박막 트랜지스터(1420)가 산화물 반도체 박막 트랜지스터이고 구동 박막 트랜지스터(1430)가 LTPS 박막 트랜지스터인 복합 구조 박막 트랜지스터를 사용하여, 이중 커패시터 구조를 갖는 저장 커패시터 구현이 가능하다. 즉, 구동 박막 트랜지스터(1430)의 액티브층(1132)과 구동 박막 트랜지스터(1430)의 게이트 전극(1431)이 제1 저장 커패시터(SC1)를 구성하고, 구동 박막 트랜지스터(1430)의 소스 전극(1134)과 스위칭 박막 트랜지스터(1420)의 액티브층(1422)이 제2 저장 커패시터(SC2)를 구성하여, 제한된 면적 내에서 저장 커패시터의 커패시턴스를 증가시킬 수 있다. 따라서, 이중 커패시터 구조에 따라 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1400) 구현이 가능하다.
- [0123] 또한, 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1400)에서는, 제1 저장 커패시터(SC1)의 전극 사이의 간격 및 제2 저장 커패시터(SC2)의 전극 사이의 간격을 좁게하여, 저장 커패시터가 차지하는 면적이 더욱 감소될 수 있다.
- [0124] 도 8에 도시된 스위칭 박막 트랜지스터(1420)의 드레인 전극(1123)은 소스 전극으로 변경될 수 있고, 도 8에 도시된 구동 박막 트랜지스터(1430)의 소스 전극(1134)이 드레인 전극(1133)으로 변경되고 드레인 전극(1133)이 소스 전극(1134)으로 변경될 수도 있다.
- [0125] 도 9는 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 9에 도시된 유기 전계 발광 표시 장치(1500)는 도 6에 도시된 유기 전계 발광 표시 장치(1100)와 비교하여, 스위칭 박막 트랜지스터(1520)의 소스 전극(1524), 패시베이션층(1515) 및 금속층(1550)이 추가되어, 제3 저장 커패시터(SC3)가 추가되었다는 것만이 상이할 뿐 다른 구성요소들은 실질적으로 동일하므로, 중복 설명을 생략한다.
- [0126] 도 9를 참조하면, 스위칭 박막 트랜지스터(1520)의 소스 전극(1524) 및 드레인 전극(1123)과 구동 박막 트랜지스터(1130)의 소스 전극(1134) 및 드레인 전극(1133)을 덮도록 패시베이션층(1515)이 형성된다. 패시베이션층(1515)은 절연 물질로 형성되어, 구동 박막 트랜지스터(1130) 및 스위칭 박막 트랜지스터(1520)를 보호한다.
- [0127] 패시베이션층(1515) 상에 금속층(1550)이 형성된다. 금속층(1550)은 스위칭 박막 트랜지스터(1520)의 소스 전극(1524)과 전기적으로 연결되고, 구동 박막 트랜지스터(1130)의 소스 전극(1524)과 중첩할 수 있다. 이에 따라, 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1500)에서는 구동 박막 트랜지스터(1130)의 소스 전극(1134)이 하나의 전극을 구성하고, 금속층(1550)이 다른 하나의 전극을 구성하는 제3 저장 커패시터(SC3)를 더 포함한다.
- [0128] 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1500)에서는 스위칭 박막 트랜지스터(1520)가 산화물 반도체 박막 트랜지스터이고 구동 박막 트랜지스터(1130)가 LTPS 박막 트랜지스터인 복합 구조 박막 트랜지스터 및 금속층(1550)을 사용하여, 삼중 커패시터 구조를 갖는 저장 커패시터 구현이 가능하다. 즉, 구동 박막 트랜지스터(1130)의 액티브층(1132)과 스위칭 박막 트랜지스터(1520)의 액티브층(1122)이 제1 저장 커패시터(SC1)를 구성하고, 구동 박막 트랜지스터(1130)의 소스 전극(1134)과 스위칭 박막 트랜지스터(1520)의 액티브층(1122)이 제2 저장 커패시터(SC2)를 구성하고, 구동 박막 트랜지스터(1130)의 소스 전극(1134)과 금속층(1550)이 제3 저장 커패시터(SC3)를 구성하여, 제한된 면적 내에서 저장 커패시터의 커패시턴스를 증가시킬 수 있다. 따라서, 삼중 커패시터 구조에 따라 저장 커패시터가 차지하는 면적을 보다 감소시킬 수 있으므로, 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1500) 구현이 가능하다.
- [0129] 도 9에서는 도 6에 도시된 유기 전계 발광 표시 장치(1100)에 금속층(1550)이 추가되는 것을 도시하였으나, 도 9에서 사용된 금속층(1550)은 도 7에 도시된 유기 전계 발광 표시 장치(1300) 및 도 8에 도시된 유기 전계 발광 표시 장치(1400)에도 적용될 수 있다.
- [0130] 도 9에 도시된 스위칭 박막 트랜지스터(1520)의 소스 전극(1524)이 드레인 전극(1123)으로 변경되고 드레인 전극(1123)이 소스 전극(1524)으로 변경될 수 있고, 도 9에 도시된 구동 박막 트랜지스터(1130)의 소스 전극

(1134)이 트레인 전극(1133)으로 변경되고 트레인 전극(1133)이 소스 전극(1134)으로 변경될 수도 있다.

- [0131] 도 10은 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 10에 도시된 유기 전계 발광 표시 장치(1600)는 도 6에 도시된 유기 전계 발광 표시 장치(1100)와 비교하여, 광 차단층(1660)이 추가되어, 제4 저장 커패시터(SC4)가 추가되었다는 것만이 상이할 뿐 다른 구성요소들은 실질적으로 동일하므로, 중복 설명을 생략한다.
- [0132] 도 10을 참조하면, 기판(1110) 상에 광 차단층(1660)이 형성된다. 광 차단층(1660)은 스위칭 박막 트랜지스터(1120)의 액티브층(1122) 및 구동 박막 트랜지스터(1130)의 액티브층(1132)으로 향하는 광을 가려준다. 스위칭 박막 트랜지스터(1120)의 액티브층(1122) 및 구동 박막 트랜지스터(1130)의 액티브층(1132)은 광에 상당히 민감하고, 특히, 산화물 반도체로 형성되는 스위칭 박막 트랜지스터(1120)의 액티브층(1122)은 광에 보다 더 민감하다. 산화물 반도체 박막 트랜지스터의 액티브층에 광이 입사하는 경우, 누설 전류가 증가하고 문턱 전압이 시프트되는 현상이 발생할 수 있고, 이는 패널 전체의 구동 불량, 소비 전력 증가, 패널 균일성과 같은 패널 신뢰성 문제로 이어진다. LTPS 박막 트랜지스터는 산화물 반도체 박막 트랜지스터에 비해 광에 덜 민감하지만, 상술한 문제점은 LTPS 박막 트랜지스터에도 동일하게 발생할 수 있다. 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1600)가 바텀 에미션(bottom emission) 방식의 유기 전계 발광 표시 장치라면 편광판을 사용하여 외광에 의한 신뢰성 문제 발생이 상대적으로 적다. 그러나, 유기 전계 발광 표시 장치(1600)가 탑 에미션(top emission) 방식의 유기 전계 발광 표시 장치인 경우, 유기 전계 발광 표시 장치(1600) 상부에만 편광판이 배치되므로, 유기 전계 발광 표시 장치(1600) 하부로 입사하는 외광에 매우 취약하다. 또한, 유기 전계 발광 표시 장치(1600)가 투명 유기 전계 발광 표시 장치인 경우 편광판이 제거되기 때문에, 투과부를 통해서도 광이 지속적으로 들어오게 되고, 이에 따라 박막 트랜지스터 특성 변화가 더욱 가속화된다.
- [0133] 이에, 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1600)에서는 스위칭 박막 트랜지스터(1120)의 액티브층(1122) 및 구동 박막 트랜지스터(1130)의 액티브층(1132)으로 향하는 광을 가려주는 광 차단층(1660)이 사용되어, 상술한 바와 같은 문제점들을 해결할 수 있다.
- [0134] 도 10에 도시되지는 않았으나, 광 차단층(1660)은 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1130)의 게이트 전극(1131) 중 하나와 전기적으로 연결될 수 있다. 광 차단층(1660)이 단순히 패터닝된 상태, 즉, 플로팅 상태로 유지되는 경우, 광 차단층(1660)은 임의의 전압을 갖게 되고, 이에 따라 구동 박막 트랜지스터(1130) 또는 스위칭 박막 트랜지스터(1120)에 채널이 형성되고 전류가 흐르게 되어 박막 트랜지스터의 오작동이 발생할 수도 있다. 즉, 복합 형태 박막 트랜지스터 구조에서 광 차단층(1660)이 정확한 전압값으로 고정되지 않는다면 박막 트랜지스터의 온/오프 조절이 어렵게 된다. 이에, 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1600)에서는 광 차단층(1660)을 스위칭 박막 트랜지스터(1120)의 게이트 전극(1121) 및 구동 박막 트랜지스터(1130)의 게이트 전극(1131) 중 하나와 전기적으로 연결하여 구동 박막 트랜지스터(1130) 및 스위칭 박막 트랜지스터(1120)의 오작동의 위험을 제거한다.
- [0135] 또한, 광 차단층(1660)은 제4 저장 커패시터(SC4)의 하나의 전극으로 기능할 수도 있다. 즉, 도 10에 도시된 바와 같이 광 차단층(1660) 및 구동 박막 트랜지스터(1130)의 액티브층(1132)이 제4 저장 커패시터(SC4)의 전극으로 기능할 수 있다.
- [0136] 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1600)에서는 스위칭 박막 트랜지스터(1120)가 산화물 반도체 박막 트랜지스터이고 구동 박막 트랜지스터(1130)가 LTPS 박막 트랜지스터인 복합 구조 박막 트랜지스터 및 광 차단층(1660)을 사용하여, 삼중 커패시터 구조를 갖는 저장 커패시터 구현이 가능하다. 즉, 구동 박막 트랜지스터(1130)의 액티브층(1132)과 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이 제1 저장 커패시터(SC1)를 구성하고, 구동 박막 트랜지스터(1130)의 소스 전극(1134)과 스위칭 박막 트랜지스터(1120)의 액티브층(1122)이 제2 저장 커패시터(SC2)를 구성하고, 구동 박막 트랜지스터(1130)의 액티브층(1132)과 광 차단층(1660)이 제4 저장 커패시터(SC4)를 구성하여, 제한된 면적 내에서 저장 커패시터의 커패시턴스를 증가시킬 수 있다. 따라서, 삼중 커패시터 구조에 따라 저장 커패시터가 차지하는 면적을 보다 감소시킬 수 있으므로, 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1600) 구현이 가능하다.
- [0137] 도 10에서 설명된 광 차단층(1660)은 도 7 내지 도 9의 유기 전계 발광 표시 장치(1300, 400, 500)에도 적용될 수 있고, 광 차단층(1660)이 적용됨에 따라 제4 저장 커패시터(SC4) 또한 도 7 내지 도 9의 유기 전계 발광 표시 장치(1300, 400, 500)에 포함될 수 있다.
- [0138] 도 10에 도시된 스위칭 박막 트랜지스터(1120)의 트레인 전극(1123)은 소스 전극으로 변경될 수 있고, 도 10에

도시된 구동 박막 트랜지스터(1130)의 소스 전극(1134)이 드레인 전극(1133)으로 변경되고 드레인 전극(1133)이 소스 전극(1134)으로 변경될 수도 있다.

- [0139] 도 11은 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 11을 참조하면, 유기 전계 발광 표시 장치(1700)는 기관(1110), 스위칭 박막 트랜지스터(1720), 구동 박막 트랜지스터(1730), 금속층(1750), 제1 저장 커패시터(SC1) 및 제2 저장 커패시터(SC2)를 포함한다. 도 11에 도시된 유기 전계 발광 표시 장치(1700)는 도 9에 도시된 유기 전계 발광 표시 장치(1500)와 비교하여, 스위칭 박막 트랜지스터(1720)의 게이트 전극(1721), 액티브층(1722), 소스 전극(1724) 및 드레인 전극(1723), 구동 박막 트랜지스터(1730)의 게이트 전극(1731), 액티브층(1732), 소스 전극(1734) 및 드레인 전극(1733)의 형성 위치 만이 상이할 뿐 다른 구성요소들은 실질적으로 동일하므로, 중복 설명을 생략한다.
- [0140] 버퍼층(1111) 상에 스위칭 박막 트랜지스터(1720) 및 구동 박막 트랜지스터(1730)가 형성된다. 스위칭 박막 트랜지스터(1720)는 코플래너 구조의 박막 트랜지스터이다. 즉, 스위칭 박막 트랜지스터(1720)는 기관(1110)으로부터 액티브층(1722), 게이트 전극(1721), 및 소스 전극(1724) 및 드레인 전극(1723)이 적층된 구조로 형성된다. 구동 박막 트랜지스터(1730)는 바텀 게이트 구조의 박막 트랜지스터이다. 즉, 구동 박막 트랜지스터(1730)는 기관(1110)으로부터 게이트 전극(1731), 액티브층(1732), 및 소스 전극(1734) 및 드레인 전극(1733)이 적층된 구조로 형성된다.
- [0141] 도 11을 참조하면, 버퍼층(1111) 상에 스위칭 박막 트랜지스터(1720)의 액티브층(1722)이 형성된다. 스위칭 박막 트랜지스터(1720)의 액티브층(1722)은 저온 폴리 실리콘으로 형성된다. 즉, 스위칭 박막 트랜지스터(1720)는 LTPS 박막 트랜지스터이다.
- [0142] 스위칭 박막 트랜지스터(1720)의 액티브층(1722) 상에 게이트 절연층(1712)이 형성된다. 게이트 절연층(1712)은 스위칭 박막 트랜지스터(1720)의 액티브층(1722)을 덮도록 형성된다. 게이트 절연층(1712)은 절연 물질로 형성되어 스위칭 박막 트랜지스터(1720)의 액티브층(1722)과 게이트 전극(1721)을 절연시킨다.
- [0143] 게이트 절연층(1712) 상에 스위칭 박막 트랜지스터(1720)의 게이트 전극(1721) 및 구동 박막 트랜지스터(1730)의 게이트 전극(1731)이 형성된다. 스위칭 박막 트랜지스터(1720)의 게이트 전극(1721)과 구동 박막 트랜지스터(1730)의 게이트 전극(1731)은 동일한 물질로 형성될 수 있다.
- [0144] 스위칭 박막 트랜지스터(1720)의 게이트 전극(1721) 및 구동 박막 트랜지스터(1730)의 게이트 전극(1731) 상에 층간 절연층(1713)이 형성된다. 층간 절연층(1713)은 스위칭 박막 트랜지스터(1720)의 게이트 전극(1721) 및 구동 박막 트랜지스터(1730)의 게이트 전극(1731)을 덮도록 형성된다. 층간 절연층(1713)은 절연 물질로 형성되어 구동 박막 트랜지스터(1730)의 액티브층(1732)과 게이트 전극(1731)을 절연시킨다.
- [0145] 층간 절연층(1713) 상에 구동 박막 트랜지스터(1730)의 액티브층(1732)이 형성된다. 구동 박막 트랜지스터(1730)의 액티브층(1732)은 산화물 반도체로 형성된다. 즉, 구동 박막 트랜지스터(1730)는 산화물 반도체 박막 트랜지스터이다.
- [0146] 구동 박막 트랜지스터(1730)의 액티브층(1732)은 구동 박막 트랜지스터(1730)의 게이트 전극(1731)과 중첩한다. 구동 박막 트랜지스터(1730)의 액티브층(1732)은 구동 박막 트랜지스터(1730)의 소스 전극(1734) 및 드레인 전극(1733) 사이에 위치하여 구동 박막 트랜지스터(1730)가 온(on) 상태인 경우 채널이 형성되는 부분뿐만 아니라, 채널이 형성되지 않는 위치에서도 구동 박막 트랜지스터(1730)의 게이트 전극(1731)과 중첩한다.
- [0147] 구동 박막 트랜지스터(1730)의 액티브층(1732) 상에 에치 스톱퍼(1714)가 형성된다. 에치 스톱퍼(1714)는 구동 박막 트랜지스터(1730)의 액티브층(1732)을 덮도록 형성된다. 에치 스톱퍼(1714)는 절연 물질로 형성되어 구동 박막 트랜지스터(1730)의 액티브층(1732)과 구동 박막 트랜지스터(1730)의 소스 전극(1734) 및 드레인 전극(1733), 스위칭 박막 트랜지스터(1720)의 소스 전극(1724) 및 드레인 전극(1723)을 절연시킨다.
- [0148] 에치 스톱퍼(1714) 상에 스위칭 박막 트랜지스터(1720)의 소스 전극(1724) 및 드레인 전극(1723)과 구동 박막 트랜지스터(1730)의 소스 전극(1734) 및 드레인 전극(1733)이 형성된다. 스위칭 박막 트랜지스터(1720)의 소스 전극(1724) 및 드레인 전극(1723)과 구동 박막 트랜지스터(1730)의 소스 전극(1734) 및 드레인 전극(1733) 상에 패시베이션층(1715)이 형성된다. 패시베이션층(1715) 상에 금속층(1750)이 형성되고, 금속층(1750)은 스위칭 박막 트랜지스터(1720)의 소스 전극(1724)과 전기적으로 연결된다. 또한, 금속층(1750)은 구동 박막 트랜지스터(1730)의 소스 전극(1734)과 중첩한다.
- [0149] 기관(1110) 상에 제1 저장 커패시터(SC1)와 제2 저장 커패시터(SC2)가 형성되고, 제1 저장 커패시터(SC1)와 제2

저장 커패시터(SC2)가 하나의 저장 커패시터로서 기능한다. 제1 저장 커패시터(SC1)의 하나의 전극은 구동 박막 트랜지스터(1730)의 게이트 전극(1731)이고, 다른 하나의 전극은 구동 박막 트랜지스터(1730)의 게이트 전극(1731)과 중첩하는 구동 박막 트랜지스터(1730)의 액티브층(1732)이다. 제2 저장 커패시터(SC2)의 하나의 전극은 구동 박막 트랜지스터(1730)의 소스 전극(1734)이고, 다른 하나의 전극은 금속층(1750)이다.

[0150] 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1700)에서는 스위칭 박막 트랜지스터(1720)가 산화물 반도체 박막 트랜지스터이고 구동 박막 트랜지스터(1730)가 LTPS 박막 트랜지스터인 복합 구조 박막 트랜지스터를 사용하여, 이중 커패시터 구조를 갖는 저장 커패시터 구현이 가능하다. 따라서, 제한된 면적 내에서 저장 커패시터의 커패시턴스를 증가시킬 수 있고, 이중 커패시터 구조에 따라 고해상도 및 고투과율의 유기 전계 발광 표시 장치(1700) 구현이 가능하다.

[0151] 추가적으로, 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(1700)에서는 포화(saturation) 특성이 우수한 산화물 반도체 박막 트랜지스터를 구동 박막 트랜지스터(1730)로 사용함으로써 유기 발광 소자의 안정적인 구동이 구현될 수 있고, 소비 전력이 감소될 수 있다.

[0152] 도 11에 도시된 스위칭 박막 트랜지스터(1720)의 소스 전극(1724)이 드레인 전극(1723)으로 변경되고 드레인 전극(1723)이 소스 전극(1724)으로 변경될 수 있고, 도 11에 도시된 구동 박막 트랜지스터(1730)의 소스 전극(1734)이 드레인 전극(1733)으로 변경되고 드레인 전극(1733)이 소스 전극(1734)으로 변경될 수도 있다.

[0153] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0154] 110: 기판
120, 420: 표시부
130: GIP 회로부
140: COF
150: 인쇄 회로 기판
100, 400: 유기 발광 전계 표시 장치
P1: 제1 화소
EA1: 제1 화소의 발광 영역
DA1: 제1 화소의 소자 영역
TA1: 제1 화소의 투과 영역
P2: 제2 화소
EA2: 제2 화소의 발광 영역
DA2: 제2 화소의 소자 영역
TA2: 제2 화소의 투과 영역
GL: 게이트 라인
DL: 데이터 라인
VDDL: Vdd 전압 공급 라인
SW1: 제1 스위칭 박막 트랜지스터

SW2: 제2 스위칭 박막 트랜지스터

DR1: 제1 구동 박막 트랜지스터

DR2: 제2 구동 박막 트랜지스터

SC1: 제1 저장 커패시터

SC2: 제2 저장 커패시터

EL1: 제1 유기 발광 소자

EL2: 제2 유기 발광 소자

1110: 기판

1111: 버퍼층

1112, 1712: 게이트 절연층

1113, 1713: 층간 절연층

1114, 1714: 에치 스톱퍼

1515, 1715: 패시베이션층

1120, 1320, 1420, 1520, 1720: 스위칭 박막 트랜지스터

1121, 1721: 스위칭 박막 트랜지스터의 게이트 전극

1122, 1322, 1422, 1722: 스위칭 박막 트랜지스터의 액티브층

1123, 1723: 스위칭 박막 트랜지스터의 드레인 전극

1524, 1724: 스위칭 박막 트랜지스터의 소스 전극

1130, 1330, 1430, 1730: 구동 박막 트랜지스터

1131, 1331, 1431, 1731: 구동 박막 트랜지스터의 게이트 전극

1132, 1732: 구동 박막 트랜지스터의 액티브층

1133, 1733: 구동 박막 트랜지스터의 드레인 전극

1134, 1734: 구동 박막 트랜지스터의 소스 전극

1141: 데이터 라인

1142: 게이트 라인

1143: Vdd 전압 공급 라인

1550, 1750: 금속층

1660: 광 차단층

1170: 애노드

1100, 1300, 1400, 1500, 1600, 1700: 유기 전계 발광 표시 장치

SC1: 제1 저장 커패시터

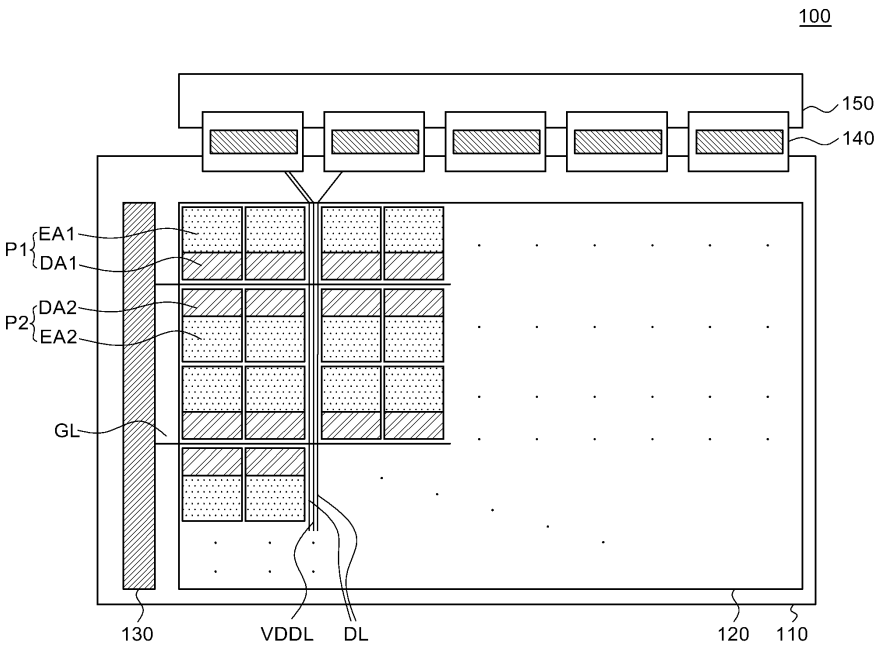
SC2: 제2 저장 커패시터

SC3: 제3 저장 커패시터

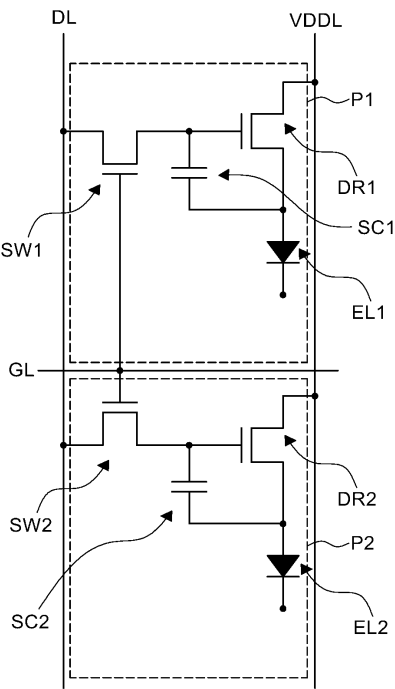
SC4: 제4 저장 커패시터

도면

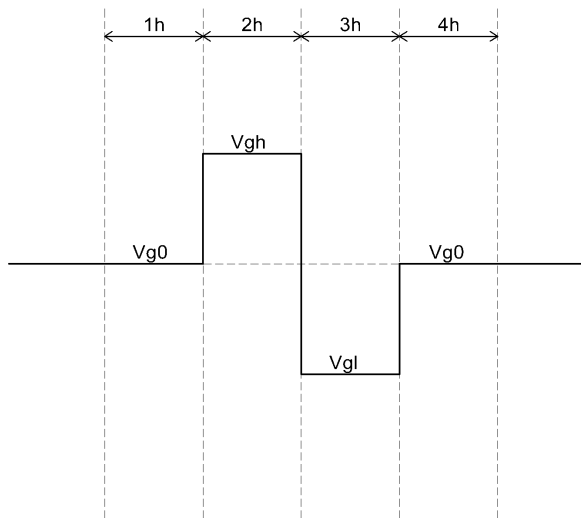
도면1



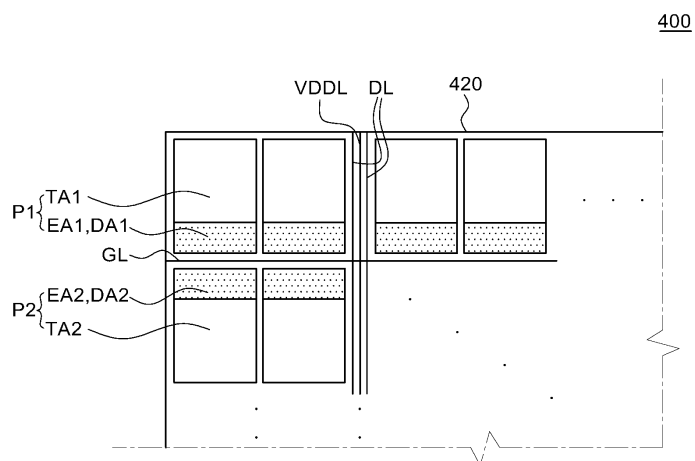
도면2



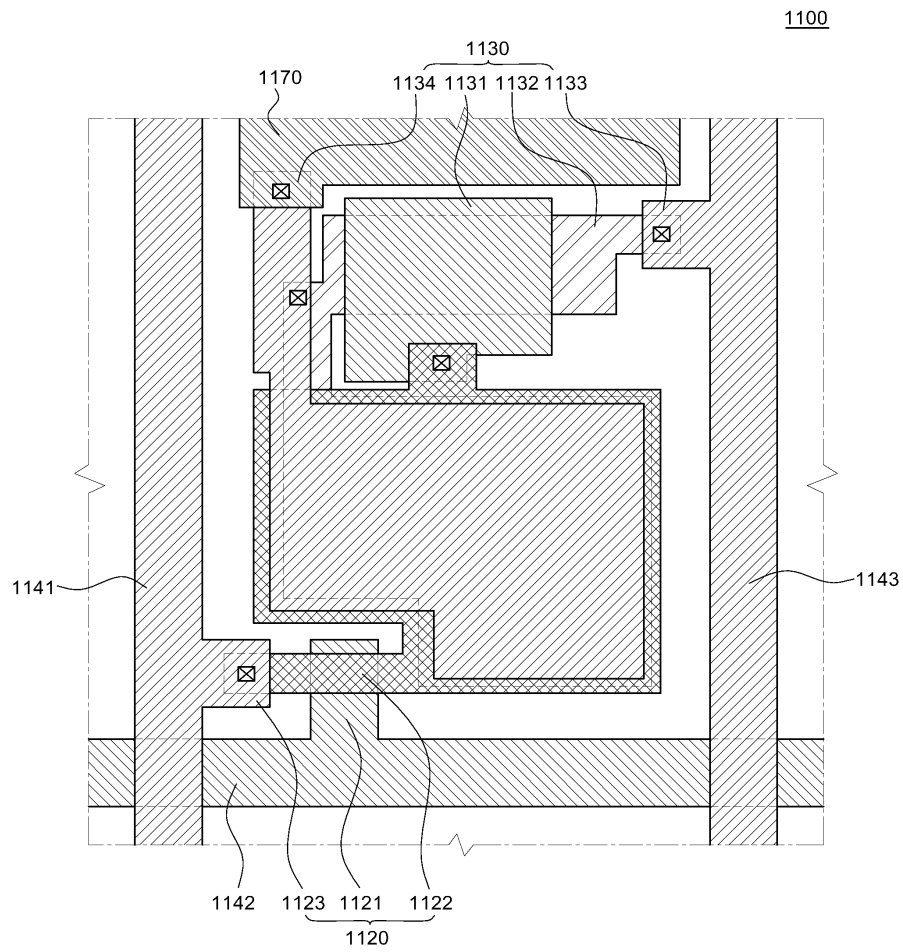
도면3



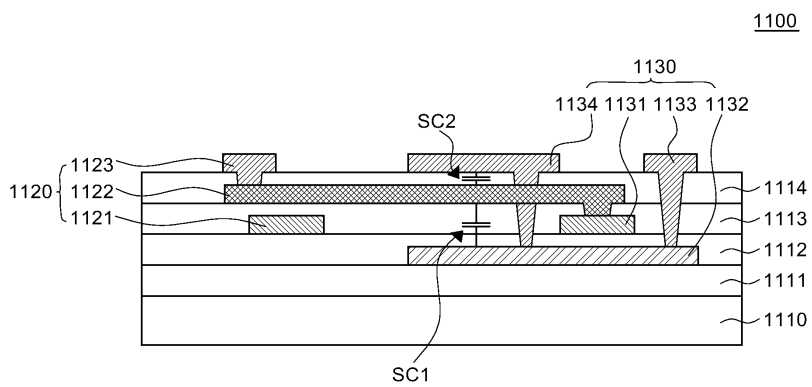
도면4



도면5

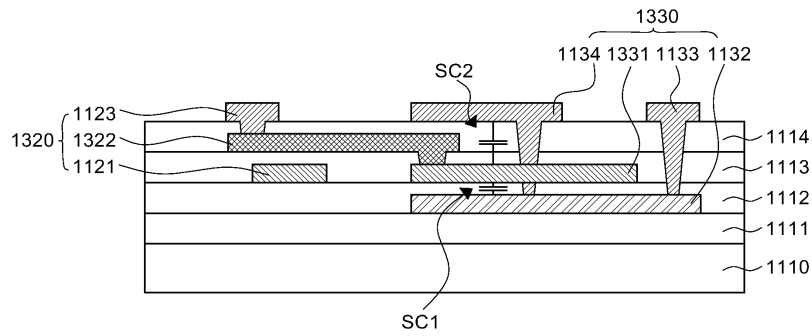


도면6



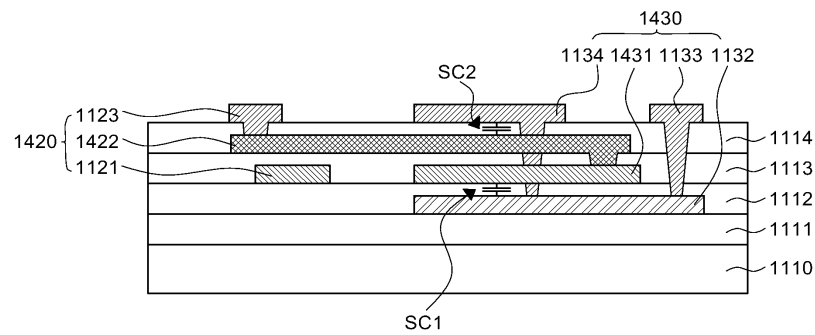
도면7

1300



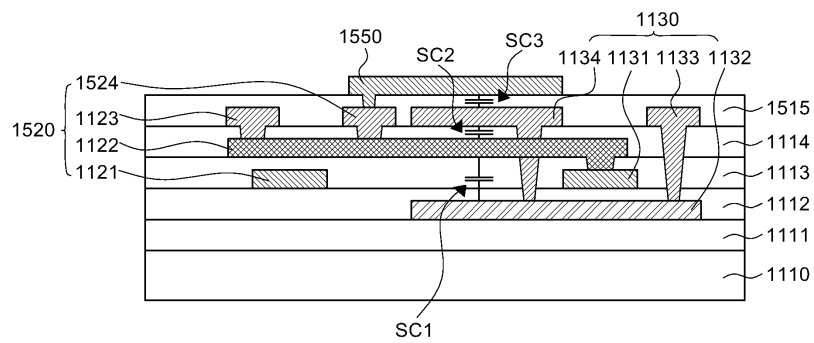
도면8

1400

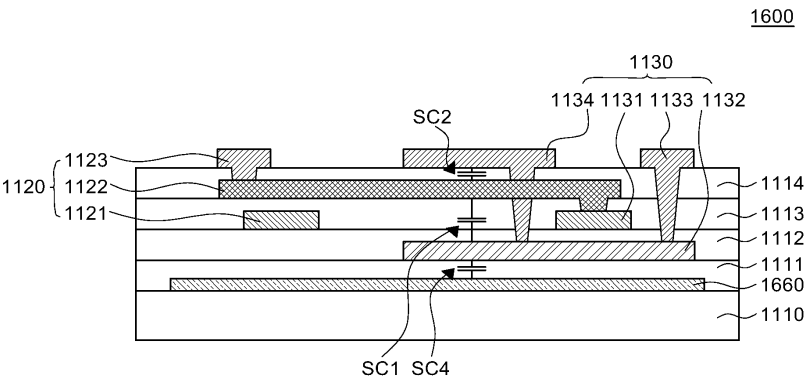


도면9

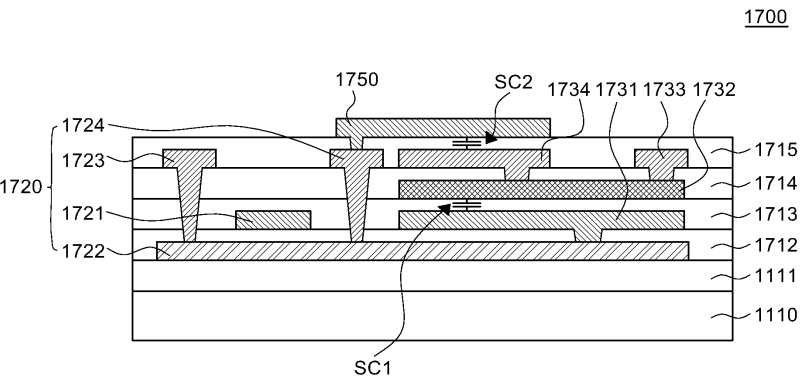
1500



도면10



도면11



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR101687069B1	公开(公告)日	2016-12-15
申请号	KR1020140097125	申请日	2014-07-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON HOI YONG 권회용 LEE JOON SUK 이준석 KIM EUI TAE 김의태 PARK SUNG HEE 박성희 SHIN KI SEOB 신기섭		
发明人	권회용 이준석 김의태 박성희 신기섭		
IPC分类号	H01L27/32 H01L27/12 H01L29/786		
CPC分类号	H01L27/32 H01L27/3272 H01L27/3262 H01L27/1251 H01L27/3218 H01L29/7869 H01L27/3274		
优先权	61/944499 2014-02-25 US 61/944501 2014-02-25 US		
其他公开文献	KR1020150100462A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及有机发光显示装置。 本发明提供了包括复合薄膜晶体管的有机发光显示装置。 根据本发明实施例的有机发光显示装置包括：基板，其包括第一像素和第二像素；开关薄膜晶体管，其形成在第一像素和第二像素的每个器件区域上。 第一像素的开关薄膜晶体管由氧化物半导体薄膜晶体管组成。 第二像素的开关薄膜晶体管由LTPS薄膜晶体管组成。

