



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년05월21일

(11) 등록번호 10-2113173

(24) 등록일자 2020년05월14일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2013-0077940

(22) 출원일자 2013년07월03일

심사청구일자 2018년06월29일

(65) 공개번호 10-2015-0004661

(43) 공개일자 2015년01월13일

(56) 선행기술조사문헌

JP2013076864 A*

KR1020100021311 A*

KR1020110041107 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

송성훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 16 항

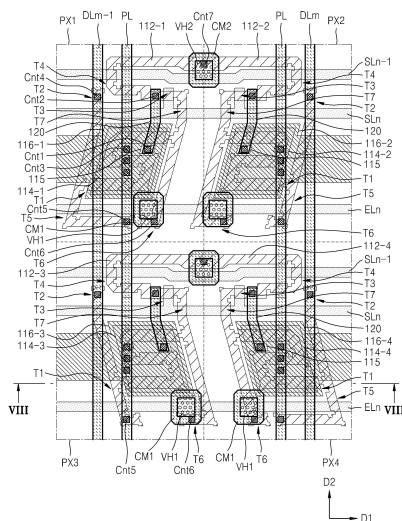
심사관 : 김우영

(54) 발명의 명칭 유기발광표시장치

(57) 요약

제1 방향을 따라 연장된 다수의 주사선들, 제1 방향과 수직인 제2 방향을 따라 연장되는 다수의 데이터선들, 다수의 주사선들과 다수의 데이터선들의 교차 영역에 다수의 행과 열을 이루도록 형성되고, 유기발광소자 및 유기발광소자와 전기적으로 연결된 박막트랜지스터를 포함하는 다수의 화소들, 및 화소들 각각에 구동 전압을 공급하고 제2 방향을 따라 연장되는 다수의 구동 전압선들을 포함하고, 화소들 각각에 포함된 박막트랜지스터의 활성층은 구동 전압선 및 데이터선에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장되는 유기발광표시장치에 관한 것이다.

대표도 - 도7



명세서

청구범위

청구항 1

제1 방향을 따라 연장된 다수의 주사선들;

제1 방향과 수직인 제2 방향을 따라 연장되는 다수의 데이터선들;

상기 다수의 주사선들과 다수의 데이터선들의 교차 영역에 다수의 행과 열을 이루도록 형성되고, 유기발광소자 및 상기 유기발광소자와 전기적으로 연결된 박막트랜지스터를 포함하는 다수의 화소회로들; 및

상기 화소회로들 각각에 구동 전압을 공급하고 상기 제2 방향을 따라 연장되는 다수의 구동 전압선들;을 포함하고,

상기 다수의 화소회로들은, 제1화소회로, 상기 제1 방향을 따라 상기 제1화소회로에 인접한 제2화소회로, 및 상기 제2 방향을 따라 상기 제1화소회로에 인접한 제3화소회로를 포함하고,

상기 제1화소회로, 상기 제2화소회로, 및 상기 제3화소회로 각각에 포함된 박막트랜지스터의 활성층은 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장되되,

상기 제1화소회로의 상기 활성층은 상기 제2 방향에 대하여 기울어진 제3방향에 따라 연장되고, 상기 제3화소회로의 상기 활성층은 상기 제2 방향에 대하여 기울어지고 상기 제3방향과 다른 제4방향에 따라 연장되며, 상기 제2화소회로의 상기 활성층은 상기 제3방향에 따라 연장된, 유기발광표시장치.

청구항 2

제1항에 있어서,

각각의 상기 박막트랜지스터의 활성층은,

일 방향을 따라 연장된 제1 영역;

상기 제1 영역과 동일한 방향을 따라 연장된 제2 영역;

상기 제1 영역과 동일한 방향을 따라 연장된 제3 영역;

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제1 영역 및 상기 제2 영역을 연결하는 제4 영역; 및

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제2 영역 및 상기 제3 영역을 연결하는 제5 영역;을 포함하는, 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은, 상기 제1 방향과 동일한 방향을 향해 연장된, 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향은, 상기 구동 전압선이 연장되는 상기 제2 방향과 예각을 이루는, 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 제1화소회로 및 상기 제3화소회로의 박막트랜지스터의 활성층들은, 셰브런(chevron) 형상을 이루는, 유기 발광표시장치.

청구항 6

제1항에 있어서,

상기 다수의 화소회로들 중 상기 제1 방향을 따라 배치되는 인접한 두개의 화소회로들의 상기 데이터선들은, 각각 상기 인접한 두개의 화소회로들의 경계를 기준으로 거울 대칭인, 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 다수의 화소회로들 중 상기 제1 방향을 따라 배치되는 인접한 두개의 화소회로들의 상기 구동 전압선들은, 각각 상기 인접한 두개의 화소회로들의 경계를 기준으로 거울 대칭인, 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 다수의 화소회로들 중 상기 제1 방향을 따라 배치되고 m (m 은 자연수)번째 행을 이루는 화소회로들 각각에 포함된 박막트랜지스터의 활성층은, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제 3방향을 따라 구불구불(serpentine)하게 연장되고,

상기 다수의 화소회로들 중 상기 제1 방향을 따라 배치되고 $m+1$ 번째 행을 이루는 화소회로들 각각에 포함된 박막트랜지스터의 활성층은, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제4 방향을 따라 구불구불(serpentine)하게 연장되는, 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 제3 방향과 상기 제4 방향은 셰브런(chevron) 형상을 이루는, 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 박막트랜지스터의 활성층은 구동 박막트랜지스터의 활성층인, 유기발광표시장치.

청구항 11

기관 상에 형성되며, 제1 방향의 주사선 및 상기 제1 방향에 수직인 제2 방향의 데이터선과 연결된 스위칭 박막트랜지스터;

상기 데이터선과 동일한 방향을 향해 연장되는 구동 전압선;

상기 스위칭 박막트랜지스터와 전기적으로 연결된 구동 박막트랜지스터; 및

상기 구동 박막트랜지스터와 전기적으로 연결된 유기 발광 소자;를 포함하며,

상기 구동 박막트랜지스터는,

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장되며, 상기 구동 박막트랜지스터의 게이트전극과 전기적으로 연결되고 상기 구동 전압선에 전기적으로 연결된 스토리지 커패시터에 중첩하는 활성층을 포함하며,

상기 활성층의 구부러진 부분은, 상기 스토리지 커패시터의 하부전극이자 상기 구동 박막트랜지스터의 게이트전극인 전극인 제1전극, 및 상기 제1전극과 커패시턴스를 형성하는 제2전극에 중첩하는, 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 유기발광표시장치는,

다수의 화소회로들을 포함하며, 상기 다수의 화소회로들 중 상기 제2 방향을 따라 배치되는 인접한 두개의 화소회로들에 포함된 구동 박막트랜지스터의 활성층들은, 세브런(chevron) 형상을 이루는, 유기발광표시장치.

청구항 13

제11항에 있어서,

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향은, 상기 구동 전압선이 연장되는 상기 제2 방향과 예각을 이루는, 유기발광표시장치.

청구항 14

제11항에 있어서,

상기 활성층은,

일 방향을 따라 연장된 제1 영역;

상기 제1 영역과 동일한 방향을 따라 연장된 제2 영역;

상기 제1 영역과 동일한 방향을 따라 연장된 제3 영역;

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제1 영역의 일단과 상기 제2 영역의 일단을 연결하는 제4 영역; 및

상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제2 영역의 타단과 상기 제3 영역의 일단을 연결하는 제5 영역;을 포함하는, 유기발광표시장치.

청구항 15

제11항에 있어서,

상기 제1 방향을 따라 인접하게 배치되고 m (m 은 자연수)번째 행을 이루는 화소회로들 각각에 포함된 구동 박막트랜지스터의 활성층은, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제 3방향을 따라 구불구불(serpentine)하게 연장되고,

상기 제1 방향을 따라 인접하게 배치되고 $m+1$ 번째 행을 이루는 화소회로들 각각에 포함된 구동 박막트랜지스터의 활성층은, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제 4방향을 따라 구불구불(serpentine)하게 연장되는, 유기발광표시장치.

청구항 16

제15항에 있어서,

상기 제 3방향 및 상기 제 4방향은 세브런 형상을 이루는, 유기발광표시장치.

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술 분야

본 발명은 유기발광표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기발광표시장치(organic light emitting diode display)가 주목받고 있다.
- [0003] 유기발광표시장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은, 구동 박막트랜지스터의 활성층이 전원전압(ELVDD)을 공급하기 위한 구동 전압선 및 데이터선에 대하여 기울어진 방향을 향해 구불구불하게 형성된 유기발광표시장치를 제공하고자 한다.

과제의 해결 수단

- [0005] 본 발명의 일 측면에 따르면, 제1 방향을 따라 연장된 다수의 주사선들; 제1 방향과 수직인 제2 방향을 따라 연장되는 다수의 데이터선들; 상기 다수의 주사선들과 다수의 데이터선들의 교차 영역에 다수의 행과 열을 이루도록 형성되고, 유기발광소자 및 상기 유기발광소자와 전기적으로 연결된 박막트랜지스터를 포함하는 다수의 화소들; 및
- [0006] 상기 화소들 각각에 구동 전압을 공급하고 상기 제2 방향을 따라 연장되는 다수의 구동 전압선들을 포함하고, 상기 화소들 각각에 포함된 박막트랜지스터의 활성층은 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장되는, 유기발광표시장치를 제공한다.
- [0007] 본 발명의 일 특징에 따르면, 상기 박막트랜지스터의 활성층은, 일 방향을 따라 연장된 제1 영역; 상기 제1 영역과 동일한 방향을 따라 연장된 제2 영역; 상기 제1 영역과 동일한 방향을 따라 연장된 제3 영역; 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제1 영역 및 상기 제2 영역을 연결하는 제4 영역; 및 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제2 영역 및 상기 제3 영역을 연결하는 제5 영역;을 포함할 수 있다.
- [0008] 본 발명의 또 다른 특징에 따르면, 상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은, 상기 제1 방향과 동일한 방향을 향해 연장될 수 있다.
- [0009] 본 발명의 또 다른 특징에 따르면, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향은, 상기 구동 전압선이 연장되는 상기 제2 방향과 예각을 이룰 수 있다.
- [0010] 본 발명의 또 다른 특징에 따르면, 상기 다수의 화소들 중 상기 제2 방향을 따라 배치되는 인접한 두개의 화소들에 포함된 박막트랜지스터의 활성층들은, 셰브론(chevron) 형상을 이룰 수 있다.
- [0011] 본 발명의 또 다른 특징에 따르면, 상기 다수의 화소들 중 상기 제1 방향을 따라 배치되는 인접한 두개의 화소들의 상기 데이터선들은, 각각 상기 인접한 두개의 화소들의 경계를 기준으로 거울 대칭일 수 있다.
- [0012] 본 발명의 또 다른 특징에 따르면, 상기 다수의 화소들 중 상기 제1 방향을 따라 배치되는 인접한 두개의 화소들의 상기 구동 전압선들은, 각각 상기 인접한 두개의 화소들의 경계를 기준으로 거울 대칭일 수 있다.
- [0013] 본 발명의 또 다른 특징에 따르면, 상기 다수의 화소들 중 상기 제1 방향을 따라 배치되고 m (m 은 자연수)번째 행을 이루는 화소들 각각에 포함된 박막트랜지스터의 활성층은, 상기 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제 3방향을 따라 구불구불(serpentine)하게 연장되고, 상기 다수의 화소들 중 상기 제1 방향을 따라 배치되고 $m+1$ 번째 행을 이루는 화소들 각각에 포함된 박막트랜지스터의 활성층은, 상기 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제4 방향을 따라 구불구불(serpentine)하게 연장될 수 있다.
- [0014] 본 발명의 또 다른 특징에 따르면, 상기 제3 방향과 상기 제4 방향은 셰브론(chevron) 형상을 이룰 수 있다.
- [0015] 본 발명의 또 다른 특징에 따르면, 상기 박막트랜지스터의 활성층은 구동 박막트랜지스터의 활성층일 수 있다.
- [0016] 본 발명의 또 다른 측면에 따르면, 기판 상에 형성되며, 제1 방향의 주사선 및 상기 제1 방향에 수직인 제2 방

향의 데이터선과 연결된 스위칭 박막트랜지스터;

- [0017] 상기 데이터선과 동일한 방향을 향해 연장되는 구동 전압선; 상기 스위칭 박막 트랜지스터와 전기적으로 연결된 구동 박막 트랜지스터; 및 상기 구동 박막 트랜지스터와 전기적으로 연결된 유기 발광 소자;를 포함하며, 상기 구동 박막트랜지스터는, 상기 제1 방향을 따라 인접하는 두개의 화소들 간에 연결되고, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장되는 활성층을 포함하는 유기발광표시장치를 제공한다.
- [0018] 본 발명의 일 특징에 따르면, 상기 다수의 화소들 중 상기 제2 방향을 따라 배치되는 인접한 두개의 화소들에 포함된 구동 박막트랜지스터의 활성층들은, 세브런(chevron) 형상을 이룰 수 있다.
- [0019] 본 발명의 또 다른 특징에 따르면, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향은, 상기 구동 전압선이 연장되는 상기 제2 방향과 예각을 이룰 수 있다.
- [0020] 본 발명의 또 다른 특징에 따르면, 상기 활성층은, 일 방향을 따라 연장된 제1 영역; 상기 제1 영역과 동일한 방향을 따라 연장된 제2 영역; 상기 제1 영역과 동일한 방향을 따라 연장된 제3 영역; 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제1 영역의 일단과 상기 제2 영역의 일단을 연결하는 제4 영역; 및 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 방향을 따라 연장되고, 상기 제2 영역의 타단과 상기 제3 영역의 일단을 연결하는 제5 영역;을 포함할 수 있다.
- [0021] 본 발명의 또 다른 특징에 따르면, 상기 제1 방향을 따라 인접하게 배치되고 m (m 은 자연수)번째 행을 이루는 화소들 각각에 포함된 구동 박막트랜지스터의 활성층은, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제 3방향을 따라 구불구불(serpentine)하게 연장되고, 상기 제1 방향을 따라 인접하게 배치되고 $m+1$ 번째 행을 이루는 화소들 각각에 포함된 구동 박막트랜지스터의 활성층은, 상기 구동 전압선 및 상기 데이터선에 대하여 기울어진 제 4방향을 따라 구불구불(serpentine)하게 연장될 수 있다.
- [0022] 본 발명의 또 다른 특징에 따르면, 상기 제3 방향 및 상기 제4 방향 세브런 형상을 이룰 수 있다.
- [0023] 본 발명의 또 다른 특징에 따르면, 상기 박막트랜지스터의 활성층을 덮는 제1 절연막, 및 상기 박막트랜지스터의 활성층과 중첩하는 커패시터를 더 포함할 수 있다.
- [0024] 본 발명의 또 다른 특징에 따르면, 상기 커패시터는 상기 제1 절연막 상에 구비되며, 상기 박막트랜지스터의 활성층과 중첩하고 상기 박막트랜지스터의 게이트 전극의 기능을 겸하는 제1 커패시터 전극, 및 상기 제1 커패시터 전극을 덮는 제2 절연막; 및 상기 제2 절연막 상에 형성되고, 적어도 일부가 상기 제1 커패시터 전극과 중첩되는 제2 커패시터 전극을 포함할 수 있다.

발명의 효과

- [0025] 상기와 같은 본 발명의 일 실시예에 따르면, 활성층이 전원전압(ELVDD)을 공급하기 위한 구동 전압선 및 데이터선에 대하여 기울어진 방향을 향해 구불구불하게 형성됨으로써, 구동 전압선과 데이터선의 전체 배선 길이가 짧아지고 소비전류의 개선 효과가 있다.
- [0026] 또한, 본 발명의 일 실시예에 따르면, 열 방향을 인접하게 배치된 구동 박막트랜지스터의 활성층이 세브런 구조를 갖도록 각각의 활성층의 기울어진 방향을 서로 다르게 형성함으로써 열룩의 발생을 감소시킬 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치의 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치의 인접하게 배치된 4개의 화소의 구체적 배치도이다.
- 도 4 내지 도 9은 본 발명의 일 실시예에 따른 유기발광표시장치의 인접하게 배치된 4개의 화소 회로를 형성하는 각 단계를 나타낸 도면이다.
- 도 10은 본 발명의 또 다른 실시예에 따른 유기발광표시장치의 인접하게 배치된 4개의 화소의 구체적 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다. 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 한편, 하기에서 사용된 "/"는 상황에 따라 "및"으로 해석될 수도 있고 "또는"으로 해석될 수도 있다.
- [0029] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "위에" 있다고 할 때, 이는 다른 부분의 바로 위에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 블록도이다.
- [0031] 본 발명의 일 실시예에 따른 유기발광표시장치(100, 이하, 표시장치라고 함)는 복수의 화소를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)를 포함한다. 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 또한, 주사 구동부(20)는 표시부(10)와 동일한 기판 상에 형성될 수도 있다.
- [0032] 표시부(10)는 복수의 주사선(SL0 내지 SLn), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소를 포함한다.
- [0033] 각 화소는 표시부(10)에 전달되는 복수의 주사선(SL0 내지 SLn) 중 두 개의 주사선에 연결되어 있다. 도 1에서 화소는 해당 화소 라인에 대응하는 주사선과 그 이전 화소 라인의 주사선에 연결되어 있으나, 이에 반드시 제한되는 것은 아니다.
- [0034] 각 화소는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 복수의 발광 제어선(EL1 내지 ELn) 중 하나의 발광 제어선에 연결되어 있다. 그리고, 각 화소는 초기화 전압을 공급하는 복수의 초기화 전압선(VL) 중 하나의 초기화 전압선과 제1전원전압(ELVDD)을 공급하는 복수의 구동 전압선(PL) 중 하나와 연결된다.
- [0035] 다수의 화소들 중 인접한 두개의 화소는 복수의 주사선(SL0 내지 SLn)이 연장되는 방향, 즉 제1 방향 (또는 행 방향, 가로 방향, 수평 방향)으로 배치되는 초기화 전압선(VL)을 공유한다.
- [0036] 인접한 두개의 화소 각각에 인접하고 제2방향(또는 열 방향, 세로 방향, 수직 방향)으로 배열된 구동 전압선(PL)은 일정 거리 서로 이격되어 평행하게 마주본다. 또한, 제2 방향으로 배열된 데이터선(DL1 내지 DLm)은 구동 전압선(PL)과 마찬가지로 서로 이격되어 평행하게 마주본다.
- [0037] 주사 구동부(20)는 복수의 주사선(SL0 내지 SLn)을 통해 각 화소에 두 개의 대응하는 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 각 화소가 포함되는 행 라인에 대응하는 주사선을 통해 제1 주사 신호를 전달하고, 해당 행 라인의 이전 행 라인에 대응하는 주사선을 통해 제2 주사 신호를 전달한다. 예를 들어, 주사 구동부(20)는 n번째 행 라인의 m번째 열 라인에 배치된 화소에 n번째 주사선(SLn)을 통해 제1 주사 신호(Sn)를 전달하고, n-1번째 주사선(SLn-1)을 통해 제2 주사 신호(Sn-1)를 전달한다. 또한 주사 구동부(20)는 복수의 발광 제어선(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호(EM1 내지 EMn)를 생성하여 전달한다. 본 실시예에서는 주사 신호 및 발광 제어신호가 동일한 주사 구동부(20)에서 생성되는 것으로 도시하였으나 이에 제한되는 것은 아니다. 또 다른 실시예로, 표시 장치(100)는 발광 제어 구동부를 더 포함하고, 발광 제어신호는 발광 제어 구동부에서 생성될 수 있다.
- [0038] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소에 데이터 신호(D1 내지 Dm)를 전달한다.
- [0039] 제어부(40)는 외부에서 전달되는 복수의 영상 신호(R,G,B)를 복수의 영상 데이터 신호(DR,DG,DB)로 변경하여 데

이터 구동부(30)에 전달한다. 또한 제어부(40)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20) 및 데이터 구동부(30)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS) 및 발광 구동 제어 신호(ECS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS)를 각각 생성하여 전달한다.

[0040] 복수의 화소 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호(D0 내지 Dm)에 따라 유기 발광 소자(OLED)로 공급되는 구동 전류(Ioled: 도 2 참조)에 의해 소정 휘도의 빛을 발광한다.

[0041] 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치의 하나의 화소의 등가 회로도이고, 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치의 인접하게 배치된 4개의 화소의 개략적인 회로도이다.

[0042] 도 2 및 도 3을 참조하면, 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T7) 및 스토리지 캐패시터(storage capacitor, Cst)를 포함하는 화소 회로(2)를 포함한다. 그리고, 화소(1)는 화소 회로(2)를 통해 구동 전압을 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.

[0043] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 제1,2 보상 박막 트랜지스터(T3, T7), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함한다.

[0044] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 제1,2 보상 박막 트랜지스터(T3, T7)에 제1 주사 신호(Sn)를 전달하는 제1 주사선(SLn), 초기화 박막 트랜지스터(T4)에 이전 주사 신호인 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(SLn-1), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EMn)를 전달하는 발광 제어선(ELn), 제1 주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(DLm), 제1전원전압(ELVDD)을 전달하며 데이터선(DLm)과 거의 평행하게 형성되어 있는 구동 전압선(PL), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하며 제2 주사선(SLn-1)과 거의 평행하게 형성되어 있는 초기화 전압선(VL)을 포함한다.

[0045] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 제1전극(Cst1)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.

[0046] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선(SLn)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(DLm)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(SLn)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 데이터선(DLm)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0047] 제1 보상 박막 트랜지스터(T3) 및 제2 보상 박막 트랜지스터(T4)는 더블 게이트 구조이며, 이들의 게이트 전극(G3, G7)은 제1 주사선(SLn)에 연결되어 있다. 제1 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 연결되어 있으며, 제2 보상 박막 트랜지스터(T7)의 드레인(D4)은 스토리지 캐패시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 제1,2 보상 박막 트랜지스터(T3, T4)는 제1 주사선(SLn)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

[0048] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선(SLn-1)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(VL)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 캐패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(SLn-1)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

- [0049] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(ELn)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(PL)과 연결되어 있다. 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다. 동작 제어 박막 트랜지스터(T5)는 발광 제어선(ELn)에 의해 전달된 발광 제어 신호(EMn)에 의해 턴온되어 구동 전압(ELVDD)을 구동 박막 트랜지스터(T1)로 전달한다.
- [0050] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(ELn)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 제1 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(ELn)을 통해 전달받은 발광 제어 신호(EMn)에 따라 동시에 턴 온되어 제1 전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.
- [0051] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(PL)과 연결되어 있다. 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0052] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 제1 전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.
- [0053] 도 3을 참조하면, 다수의 화소들(1)은 행(m, m+1)과 열(1, 1+1)을 이루도록 배치된다. 행 방향인 제1 방향을 따라 초기화 전압(VINT)을 공급하는 초기화 전압선(VL), 제1 주사 신호(Sn)를 공급하는 제1 주사선(SLn), 제2 주사 신호(Sn-1)를 공급하는 제2 주사선(SLn-1), 발광 제어 신호(EMn)를 공급하는 발광 제어선(ELn)이 평행하게 형성된다. 행 방향과 직교하는 열 방향인 제2 방향을 따라 데이터선(DLm-1, DLm) 및 구동 전압선(PL)이 평행하게 형성된다.
- [0054] m번째 행에 배치된 인접한 두개의 화소들(1)은 초기화 전압선(VL)을 공유하고, 데이터선(DLm-1, DLm)과 구동 전압선(PL)이 서로 소정 거리 이격되어 마주보도록 형성된다. 마찬가지로 m+1번째 행에 배치된 인접한 두개의 화소들(1)은 초기화 전압선(VL)을 공유하고, 데이터선(DLm-1, DLm)과 구동 전압선(PL)이 서로 소정 거리 이격되어 마주보도록 형성된다.
- [0055] 본 발명의 실시예에 따르면, 인접하는 두개의 화소들(1)이 초기화 전압선(VL)을 공유할 수 있다. 이에 따라 좌측의 화소(1)의 세로 방향의 데이터 선(DLm-1)과 세로 방향의 구동 전압선(PL)을 좌측 화소(1)의 좌측 외곽에 배치하고, 우측 화소(1)의 세로 방향의 데이터 선(DLm)과 세로 방향의 구동 전압선(PL)을 우측 화소(1)의 우측 외곽에 배치할 수 있다.
- [0056] 도 4 내지 도 7은 본 발명의 일 실시예에 따른 유기발광표시장치의 인접하게 배치된 4개의 화소 회로를 형성하는 각 단계를 나타낸 도면이고, 도 8은 도 7의 VIII-VIII선을 따라 취한 단면도이다.
- [0057] 도4 내지 도 8을 참조하면, 기판(101) 상에는 제1화소(PX1)와 제2화소(PX2)가 제1 행(m)을 이루고, 제3화소(PX3)와 제4화소(PX4)가 제2 행(m+1)을 이루며, 제1화소(PX1)와 제3화소(PX3)은 제1 열(1)을 이루고, 제2화소(PX2)와 제4화소(PX4)는 제2 열(1+1)을 이룬다.
- [0058] 도 4 및 도 8을 참조하면, 기판(101) 상에 제1화소(PX1)와 제2화소(PX2) 각각의 활성층(112-1, 112-2)을 형성하고, 제3화소(PX3)와 제4화소(PX4) 각각의 활성층(112-3, 112-4)을 형성한다.
- [0059] 제1화소(PX1)의 제1활성층(112-1)과 제2화소(PX2)의 제2활성층(112-2)은 서로 연결된다. 따라서, 초기화 전압선(VL)으로부터 인가되는 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 전달할 수 있다. 제1화소(PX1)와 제2화소(PX2) 간에 연결된 액티브 영역은 추후 초기화 전압선(VL)과 연결된다.
- [0060] 마찬가지로, 제3화소(PX3)의 제3활성층(112-3)과 제4화소(PX4)의 제4활성층(112-4)은 서로 연결된다. 따라서, 초기화 전압선(VL)으로부터 인가되는 초기화 전압(VINT)을 제3화소(PX3)와 제4화소(PX4)로 전달할 수 있다. 제3

화소(PX3)와 제4화소(PX4) 간에 연결된 액티브 영역은 추후 초기화 전압선(VL)과 연결된다.

- [0061] 제1 내지 제4 활성층(112-1, 112-2, 112-3, 112-4)은 비정질 실리콘층으로 형성되거나, 다결정 실리콘층으로 형성되거나, G-I-Z-O층 $[(\text{In}2\text{O}_3)_a(\text{Ga}2\text{O}_3)_b(\text{ZnO})_c]$ (a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)와 같은 산화물 반도체층으로 형성될 수 있다.
- [0062] 제1,2 활성층(112-1, 112-2) 및 제3,4 활성층(112-3, 112-4)을 따라 화소 회로의 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)이 형성된다. 각각의 활성층(112-1, 112-2, 112-3, 112-4)에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 제1 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 제2 보상 박막 트랜지스터(T7)의 활성층(A1, A2, A3, A4, A5, A6, A7)이 형성된다. 각 박막 트랜지스터의 활성층(A1, A2, A3, A4, A5, A6, A7)은 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다.
- [0063] 제1,2 활성층(112-1, 112-2) 및 제3,4 활성층(112-3, 112-4)은 다양한 형상으로 굴곡지게 형성되어 있다.
- [0064] 특히, 구동 박막 트랜지스터(T1)의 활성층(A1)은 제2 방향에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장된다. 예컨대, 제1,2 활성층(112-1, 112-2)의 활성층(A1)은 제2 방향에 대하여 예각만큼 기울어진 제3 방향을 따라 구불구불한 S 형상일 수 있다. 제3,4 활성층(112-3, 112-4) 중 활성층(A1)은 제2 방향에 대하여 예각만큼 기울어진 제4 방향을 따라 구불구불한 'S' 형상일 수 있다.
- [0065] 보다 구체적으로, m번째 행에 배치된 구동 박막 트랜지스터(T1)의 활성층(A1)은 제1 방향을 따라 연장되고 서로 평행한 제1~3 영역들(A1-1, A1-2, A1-3), 제2 방향에 대하여 기울어진 제3 방향을 따라 연장되고 제1 영역(A1-1)의 일단과 제2 영역(A1-2)의 일단을 연결하는 제4 영역(A1-4), 및 제3 방향을 따라 연장되고 제2 영역(A1-2)의 타단과 제3 영역(A1-3)의 일단을 연결하는 제5 영역(A1-5)을 갖는 S 형상일 수 있다.
- [0066] 한편, m+1번째 행에 배치된 구동 박막 트랜지스터(T1)의 활성층(A1)은 제1 방향을 따라 연장되고 서로 평행한 제1~3 영역들(A1-1, A1-2, A1-3), 제2 방향에 대하여 기울어진 제4 방향을 따라 연장되고 제1 영역(A1-1)의 일단과 제2 영역(A1-2)의 일단을 연결하는 제4 영역(A1-4), 및 제4 방향을 따라 연장되고 제2 영역의 타단(A1-2)과 제3 영역(A1-3)의 일단을 연결하는 제5 영역(A1-5)을 갖는 S 형상일 수 있다.
- [0067] 이 때, 제3 방향과 제4 방향은 세브런(chvron) 구조를 가질 수 있다. 따라서, 1번째 열에 놓인 인접한 두개의 화소인 제1 화소(PX1)과 제3화소(PX3)의 구동 박막트랜지스터(T1)의 활성층(A1)도 세브런 구조를 가질 수 있고, 1+1번째 열에 놓인 인접한 두개의 화소인 제2 화소(PX2)과 제4화소(PX4)의 구동 박막트랜지스터(T1)의 활성층(A1)도 세브런 구조를 가질 수 있다. 예컨대, 제1화소(PX1)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양과 제3 화소(PX3)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양도 세브런 구조를 가질 수 있다. 마찬가지로, 제2화소(PX2)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양과 제4 화소(PX4)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양도 세브런 구조를 가질 수 있다.
- [0068] 제1~4 활성층(112-1, 112-2, 112-3, 112-4)의 활성층(A1)을 구불구불하게 형성함으로써 채널 영역을 길게 형성할 수 있고, 게이트 전압의 구동 범위(driving range)가 넓어지게 된다.
- [0069] 배선의 길이가 길어지면 배선의 길이에 의한 전압 강하가 커진다. 그러나, 본 발명의 실시예에 따르면, 구동 박막 트랜지스터(T1)의 활성층(A1)이 제2 방향에 대하여 기울어진 제3 방향 및/또는 제4 방향을 따라 구불구불하게 연장되므로, 활성층(A1)의 전체 길이를 그대로 유지하면서, 동시에 활성층(A1)이 화소 영역에서 차지하는 상하방향(제2 방향)의 길이를 최소화할 수 있다. 따라서, 데이터선(Dm, Dm-1)의 및 구동 전압선(PL)의 전체 길이를 감소시키고, 전압 강하가 커지는 것을 방지할 수 있으며, 소비전류를 개선할 수 있다.
- [0070] 제1 방향을 따라 배치되는 인접한 두개의 화소들인 제1,2화소(PX1, PX@) 또는 제3,4화소(PX3, PX4)의 데이터선들(DLm-1, DLm)은, 인접한 두개의 화소들의 경계를 기준으로 거울 대칭으로 배치될 수 있고, 제1 방향을 따라 배치되는 인접한 두개의 화소들인 제1,2화소(PX1, PX@) 또는 제3,4화소(PX3, PX4)의 구동 전압선들(PL)은, 인접한 두개의 화소들의 경계를 기준으로 거울 대칭으로 배치될 수 있다. 예컨대, 좌측의 제1,3화소(PX1, PX3)의 제2 방향의 데이터 선(DLm-1)과 구동 전압선(PL)을 좌측 외곽에 배치하고, 우측의 제2, 4화소(PX2, PX4)의 wp 방향의 데이터 선(DLm)과 세로 방향의 구동 전압선(PL)을 우측 외곽에 배치할 수 있다.
- [0071] 도 5 및 도 8을 참조하면, 제1~4 활성층(112-1, 112-2, 112-3, 112-4)이 형성된 기판(101) 상에 제1 절연막

(102)이 형성된다. 제1 절연막(102)은 게이트 절연막으로서, 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0072] 제1 게이트 절연막(102) 상부에 제1 게이트 배선을 형성한다. 제1 게이트 배선은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn) 및 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)을 포함할 수 있다. 제1 게이트 배선은 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다

[0073] 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 역할도 동시에 수행할 수 있다. 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn)과 분리되어 있으며, 플로팅 전극의 형태로 구동 박막 트랜지스터(T1)의 활성층(A1)의 채널 영역과 중첩한다.

[0074] 구동 박막 트랜지스터(T1)의 활성층(A1)이 제3 방향 및 제4 방향을 따라 구불구불하게 연장됨에 따라, 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)은 대략 평행사변형의 형상으로 형성될 수 있다. 제1 주사선(SLn)은 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)과 제1,2 보상 박막 트랜지스터(T3, T7)의 게이트 전극(G3, G7)의 역할을 한다. 제2주사선(SLn-1)은 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)의 역할을 한다. 발광 제어선(ELn)은 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)과 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)의 역할을 한다.

[0075] 도 6 및 도 8을 참조하면, 제1 게이트 배선이 형성된 기판(101) 상에 제2 절연막(103)을 형성한다. 제2 절연막(103)은 스토리지 커패시터(Cst)의 유전체로서의 기능을 할 수 있다. 제2 절연막(103)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0076] 그리고, 제2 절연막(103) 상부에 제2 게이트 배선을 형성한다. 제2 게이트 배선은 제2커패시터 전극(116-1, 116-2, 116-3, 116-4)을 포함할 수 있다. 제2 게이트 배선은 제1 게이트 배선과 유사하게 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.

[0077] 제2커패시터 전극(116-1, 116-2, 116-3, 116-4)은 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)과 중첩하여 스토리지 커패시터(Cst)를 형성한다. 제2커패시터 전극(116-1, 116-2, 116-3, 116-4)은 초기화 전압(VINT)을 공유하는 인접 화소 간에는 분리되고, 데이터선(DLn-1, DLn)을 기준으로 인접하는 화소 간에는 연결된다.

[0078] 제2커패시터 전극(116-1, 116-2, 116-3, 116-4)은 스토리지 개구부(115)를 구비한다. 스토리지 개구부(115)는 폐곡선의 형태로 형성될 수 있다. 이와 같은 제2 커패시터 전극(116-1, 116-2, 116-3, 116-4)의 형상에 따라, 제1 커패시터 전극과 제2 커패시터 전극(116-1, 116-2, 116-3, 116-4) 사이에 오버레이(overlay) 편차가 발생하더라도, 스토리지 커패시터(Cst)는 일정한 커패시턴스(capacitance)를 유지할 수 있다. 오버레이(overlay) 편차란, 서로 중첩되는 둘 이상의 층을 형성할 때 각 층이 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우 중첩되는 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다

[0079] 도 7 및 도 8을 참조하면, 제2 게이트 배선이 형성된 기판(101) 상에 제3 절연막(104)이 형성된다. 제3 절연막(103)은 제1,2 절연막(102, 103)과 마찬가지로, 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0080] 제2커패시터 전극(116-1, 116-2, 116-3, 116-4)의 개구부(115)를 관통하여 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)을 노출하도록 제2 절연막(103) 및 제3 절연막(104)에는 제1컨택홀(Cnt1)이 구비된다. 그리고, 제2 커패시터 전극(116-1, 116-2, 116-3, 116-4)을 노출하도록 제3 절연막(104) 상에는 제3 컨택홀(Cnt3)이 구비된다.

[0081] 각 화소(PX1, PX2, PX3, PX4)와 대응되는 영역에는 복수의 컨택홀(Cnt1, Cnt2, Cnt3, Cnt4, Cnt5, Cnt6)이 형성된다.

[0082] 제1 보상 박막 트랜지스터(T3)의 활성층(A3)의 드레인 영역과 초기화 박막 트랜지스터(T4)의 활성층(A4)의 드레인 영역을 노출하도록 제1 절연막(102), 제2 절연막(103) 및 제3 절연막(104)에는 제2컨택홀(Cnt2)이 구비된다.

[0083] 그리고, 스위칭 박막 트랜지스터(T2)의 활성층(A2)의 소스 영역을 노출하도록 제1 절연막(102), 제2 절연막(103) 및 제3 절연막(104)에는 제4컨택홀(Cnt4)이 구비된다. 동작 제어 박막 트랜지스터(T5)의 활성층(A5)을 노출하도록 제1 절연막(102), 제2 절연막(103) 및 제3 절연막(104)에는 제5컨택홀(Cnt5)이 구비된다. 발광 제어 박막 트랜지스터(T6)의 활성층(A6)을 노출하도록 제1 절연막(102), 제2 절연막(103) 및 제3 절연막(104)에는 제

6컨택홀(Cnt6)이 구비된다.

- [0084] 또한, 제1화소(PX1)의 제1활성층(112-1)과 제2화소(PX2)의 제2활성층(112-2)이 서로 연결된 영역을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103) 및 층간 절연막(104)에는 제7컨택홀(Cnt7)이 구비된다. 제3화소(PX3)의 제3활성층(112-3)과 제4화소(PX4)의 제4활성층(112-4)이 서로 연결된 영역을 노출하도록 제1 절연막(102), 제2 절연막(103) 및 제3 절연막(104)에도 제7컨택홀(Cnt7)이 구비된다.
- [0085] 제3 절연막(104) 상부에 제2 방향을 따라 데이터선(DLm-1, DLm), 구동 전압선(PL), 제1컨택홀(Cnt1)과 제2컨택홀(Cnt2)을 연결하는 연결 배선(120), 제6컨택홀(Cnt6)을 덮는 제1커버메탈(CM1), 제7컨택홀(Cnt7)을 덮는 제2커버메탈(CM2)이 형성된다.
- [0086] 데이터선(DLm-1, DLm)은 화소마다 하나씩 화소의 외곽에 제2 방향을 따라 연장된다. 데이터선(DLm-1, DLm)은 제4컨택홀(Cnt4)을 통해 스위칭 박막 트랜지스터(T2)와 연결된다. 데이터선(DLm-1, DLm)은 인접한 제1,2 화소들(PX1, PX2) 또는 제3,4 화소들(PX3, PX4)의 경계를 기준으로 거울 대칭으로 배치될 수 있다.
- [0087] 구동 전압선(PL)은 데이터선(DLm-1, DLm)와 소정의 간격 이격된채, 제2 방향을 따라 연장된다. 구동 전압선(PL)은 인접한 제1,2 화소들(PX1, PX2) 또는 제3,4 화소들(PX3, PX4)의 경계를 기준으로 거울 대칭으로 배치될 수 있다.
- [0088] 연결 배선(120)은 제1커패시터 전극(114-1, 114-2, 114-3, 114-4)과 제1 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)를 연결한다.
- [0089] 데이터선(DLm-1, DLm), 구동 전압선(PL), 연결 배선(120), 제1커버메탈(CM1), 제2커버메탈(CM2)은 동일층에 동일 물질로 형성될 수 있다.
- [0090] 데이터선(DLm-1, DLm), 구동 전압선(PL), 연결 배선(120), 제1커버메탈(CM1), 제2커버메탈(CM2)이 형성된 기판(101) 상에 보호막(105)이 형성될 수 있다. 보호막(105)에는 제1커버메탈(CM1)과 제2커버메탈(CM2) 각각의 일부를 노출하는 제1비아홀(VH1)과 제2비아홀(VH2)이 각각 형성된다. 제1비아홀(VH1)과 제2비아홀(VH2)은 동일 물질로 형성될 수 있다. 제2비아홀(VH2)을 두 개의 인접 화소(PX1, PX2)에 대해 공통으로 형성함으로써, 화소별로 제2비아홀(VH2)이 형성되는 경우에 비해 화소의 개구율을 향상시킬 수 있다.
- [0091] 도 9를 참조하면, 보호막(105) 상에 화소 전극(PE1, PE2, PE3, PE4)과 초기화 전압선(VL)이 형성된다. 화소 전극(PE1, PE2, PE3, PE4)은 제1비아홀(VH1)을 통해 각각 발광 제어 박막 트랜지스터(T6)와 연결된다.
- [0092] m번째 행에 배치되는 초기화 전압선(VL)은 제1화소(PX1)와 제2화소(PX2)에 대해 공통으로 형성된 제2비아홀(VH2)을 통해 제1화소(PX1)와 제2화소(PX2)의 초기화 박막 트랜지스터(T4)와 연결되어, 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 동시에 전달한다.
- [0093] m+1번째 행에 배치되는 초기화 전압선(VL)은 제3화소(PX3)와 제4화소(PX4)에 대해 공통으로 형성된 제2비아홀(VH2)을 통해 제3화소(PX3)와 제4화소(PX4)의 초기화 박막 트랜지스터(T4)와 연결되어, 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 동시에 전달한다.
- [0094] 초기화 전압선(VL)은 화소 전극(PE1, PE2, PE3, PE4)과 동일한 층에 동일한 물질로 형성할 수 있다.
- [0095] 도시되지 않았으나, 화소 전극(PE1, PE2, PE3, PE4)의 가장자리 및 보호막(105) 위에는 화소 정의막이 형성되고, 화소 정의막에 의해 노출된 화소 전극(PE1, PE2, PE3, PE4) 위에는 유기막(OE1, OE2, OE3, OE4) 및 대향 전극이 형성된다.
- [0096] 화소 전극(PE1, PE2, PE3, PE4)을 애노드 전극으로 사용할 경우, 일함수의 절대치가 높은 ITO, IZO, ZnO 등의 금속 산화물로 이루어진 층을 포함하도록 한다. 화소 전극(PE1, PE2, PE3, PE4)을 캐소드 전극으로 사용할 경우에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등의 일함수의 절대치가 낮은 고도전성의 금속을 사용한다. 화소 전극(PE1, PE2, PE3, PE4)을 애노드 전극으로 할 경우, 대향 전극은 캐소드 전극으로, 화소 전극(PE1, PE2, PE3, PE4)을 캐소드로 할 경우, 대향 전극은 애노드 전극으로 한다.
- [0097] 유기막(OE1, OE2, OE3, OE4)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.

- [0098] 표시 장치가 전면 발광형 구조의 경우, 화소 전극(PE1, PE2, PE3, PE4)은 반사형 전극으로 구비되고, 대향 전극은 광투과형 전극으로 구비될 수 있다. 이 경우, 대향 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 박막으로 형성한 반투과 반사막을 포함하거나, ITO, IZO, ZnO 등의 광투과성 금속 산화물을 포함할 수 있다.
- [0099] 액정표시장치(LCD)는 그 구동 방식 때문에, 기판과 화소 전극 사이의 소자 배선의 구조가 투과율에 영향을 미친다. 그러나 본 발명의 실시예와 같은 유기발광표시장치는, 전면 발광형인 경우에 유기막(OE1, OE2, OE3, OE4)에서 방출된 빛이 대향 전극을 통해 방출되므로, 화소 정의막의 하부에 배치된 구조에 무관하게 투과율을 유지할 수 있다.
- [0100] 따라서, 본 발명의 실시예에 따르면, 구동 박막 트랜지스터(T1)의 활성층(A1)이 제3 방향 및 제4 방향을 따라 구불구불하게 형성하고, 제2 방향을 따라 인접한 화소에 배치된 구동 박막트랜지스터(T1)의 활성층들(A1)이 전체적으로 세브런 구조를 가지도록 함으로써, 투과율의 저하 없이 소비전류를 개선할 수 있다.
- [0101] 도 10은 본 발명의 또 다른 실시예에 따른 유기발광표시장치의 인접하게 배치된 4개의 화소의 구체적 배치도이다.
- [0102] 도 10을 참조하면, 본 실시예에서는 제1화소(PX1)와 제2화소(PX2)가 제1 행(m)을 이루고, 제3화소(PX3)와 제4화소(PX4)가 제2 행(m+1)을 이루며, 제1화소(PX1)와 제3화소(PX3)은 제1 열(1)을 이루고, 제2화소(PX2)와 제4화소(PX4)는 제2 열(1+1)을 이룬다. m행의 인접한 두 화소(PX1, PX2)는 m+1행의 인접한 두 화소(PX3, PX4)와 거울대칭을 이룰 수 있다.
- [0103] 한편, 각각의 화소(1)는 스위칭 박막 트랜지스터(T2) 및 제1,2 보상 박막 트랜지스터(T3, T7)에 제1 주사 신호(Sn)를 전달하는 제1 주사선(SLn), 초기화 박막 트랜지스터(T4)에 이전 주사 신호인 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(SLn-1), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EMn)를 전달하는 발광 제어선(ELn), 제1 주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(DLm), 제1전원전압(ELVDD)을 전달하며 데이터선(DLm)과 거의 평행하게 형성되어 있는 구동 전압선(PL), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하며 제2 주사선(SLn-1)과 거의 평행하게 형성되어 있는 초기화 전압선(VL)을 포함한다.
- [0104] 본 실시예에서도, 제1화소(PX1)의 제1활성층(112-1)과 제2화소(PX2)의 제2활성층(112-2)은 서로 연결되고, 제3화소(PX3)의 제3활성층(112-3)과 제4화소(PX4)의 제4활성층(112-4)은 서로 연결된다. 따라서, 각각의 초기화 전압선(VL)으로부터 인가되는 초기화 전압(VINT)은 제1화소(PX1)와 제2화소(PX2), 및 제3화소(PX3)와 제4화소(PX4)로 전달될 수 있다.
- [0105] 제1,2 활성층(112-1, 112-2) 및 제3,4활성층(112-3, 112-4)은 다양한 형상으로 굴곡지게 형성되어 있다. 구동 박막 트랜지스터(T1)의 활성층(A1)은 제2 방향에 대하여 기울어진 방향을 따라 구불구불(serpentine)하게 연장된다. 예컨대, 제1,2 활성층(112-1, 112-2)의 활성층(A1)은 제2 방향에 대하여 예각만큼 기울어진 제3 방향을 따라 구불구불한 S 형상일 수 있다. 제3,4활성층(112-3, 112-4) 중 활성층(A1)은 제2 방향에 대하여 예각만큼 기울어진 제4 방향을 따라 구불구불한 'S' 형상일 수 있다.
- [0106] 이 때, 제3 방향과 제4 방향은 세브런(chevron) 구조를 가질 수 있다. 따라서, 1번째 열에 놓인 인접한 두개의 화소인 제1 화소(PX1)와 제3화소(PX3)의 구동 박막트랜지스터(T1)의 활성층(A1)도 세브런 구조를 가질 수 있고, 1+1번째 열에 놓인 인접한 두개의 화소인 제2 화소(PX2)와 제4화소(PX4)의 구동 박막트랜지스터(T1)의 활성층(A1)도 세브런 구조를 가질 수 있다. 예컨대, 제1화소(PX1)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양과 제3 화소(PX3)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양도 세브런 구조를 가질 수 있다. 마찬가지로, 제2화소(PX2)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양과 제4 화소(PX4)의 활성층(A1)이 구불구불하게 연장되면서 형성된 모양도 세브런 구조를 가질 수 있다.
- [0107] 상술한 바와 같이, 구동 박막 트랜지스터(T1)의 활성층(A1)을 구불구불하게 형성함으로써 채널 영역을 길게 형성하고, 게이트 전압의 구동 범위(driving range)가 넓어지게 된다.
- [0108] 또한, 구동 박막 트랜지스터(T1)의 활성층(A1)이 제2 방향에 대하여 기울어진 제3 방향 및/또는 제4 방향을 따라 구불구불하게 연장되므로, 활성층(A1)의 전체 길이를 그대로 유지하면서, 활성층(A1)이 화소 영역에서 차지하는 상하방향(제2 방향)의 길이를 최소화할 수 있다. 뿐만 아니라 데이터선(Dm, Dm-1)의 및 구동 전압선(PL)의 전체 길이를 감소시킬 수 있고, 전압 강하가 커지는 것을 방지할 수 있으며, 소비전류를 개선할 수 있음은 앞서

설명한 바와 같다.

[0109] 비록 본 발명이 상기 언급된 바람직한 실시예와 관련하여 설명되었지만, 발명의 요지와 범위로부터 벗어남이 없이 다양한 수정이나 변형을 하는 것이 가능하다. 따라서 첨부된 특허청구의 범위에는 본 발명의 요지에 속하는 한 이러한 수정이나 변형을 포함할 것이다.

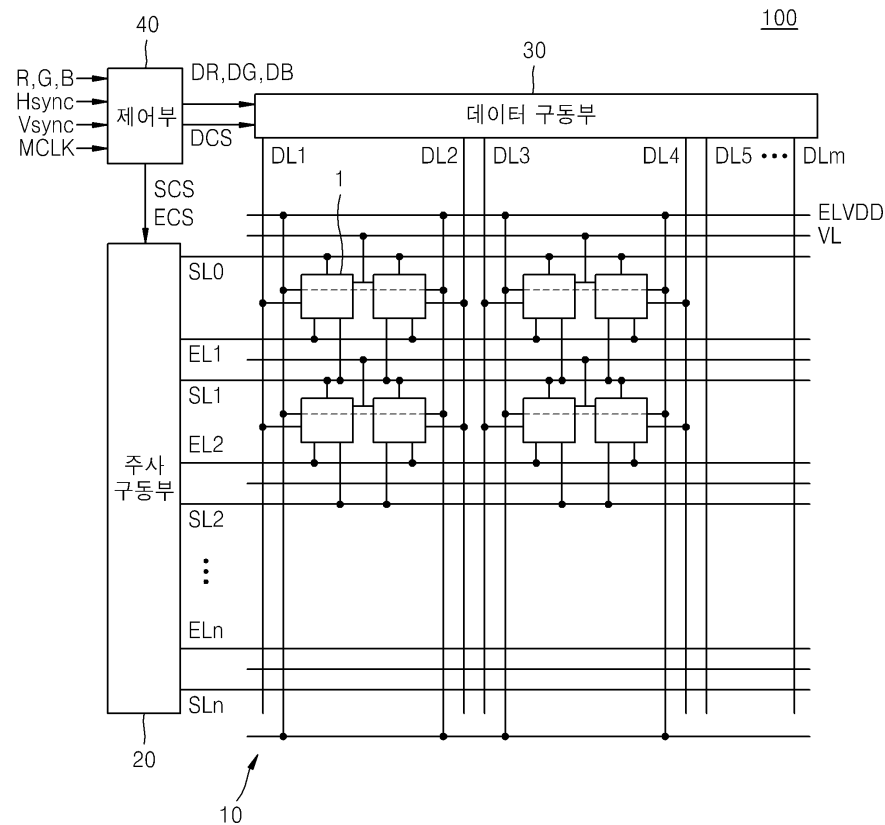
부호의 설명

[0110]

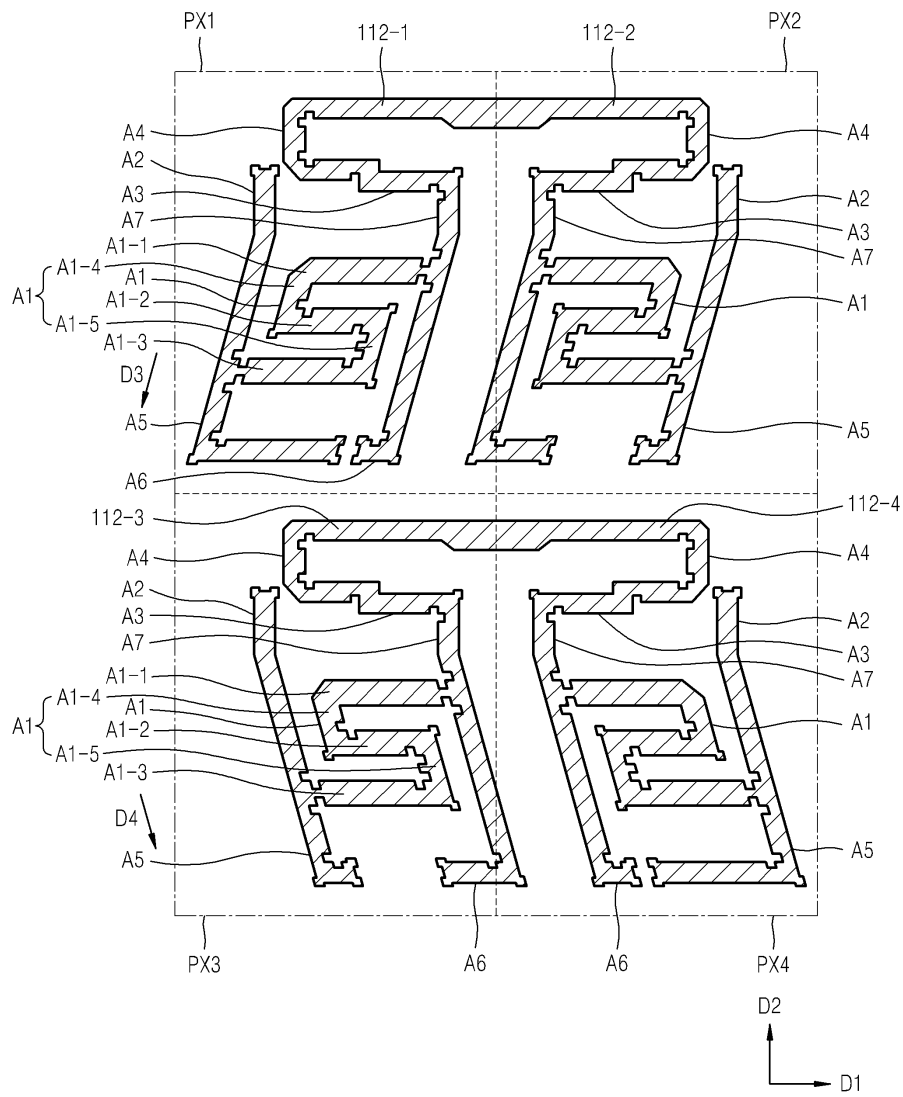
10: 표시부	20: 주사 구동부
30: 데이터 구동부	40: 제어부
T1: 구동 박막 트랜지스터	T2: 스위칭 박막 트랜지스터
T3: 제1 보상 박막 트랜지스터	T4: 초기화 박막 트랜지스터
T5: 동작 제어 박막 트랜지스터	T6: 발광 제어 박막 트랜지스터
T7: 제2 보상 박막 트랜지스터	A1: 구동 박막 트랜지스터의 활성층
101: 기판	102: 제1 절연막
103: 제2 절연막	104: 제3 절연막
105: 보호층	112-1, 112-2, 112-3, 112-4: 활성층
114-1, 114-2, 114-3, 114-4: 제1 커패시터 전극	
116-1, 116-2, 116-3, 116-4: 제2 커패시터 전극	

도면

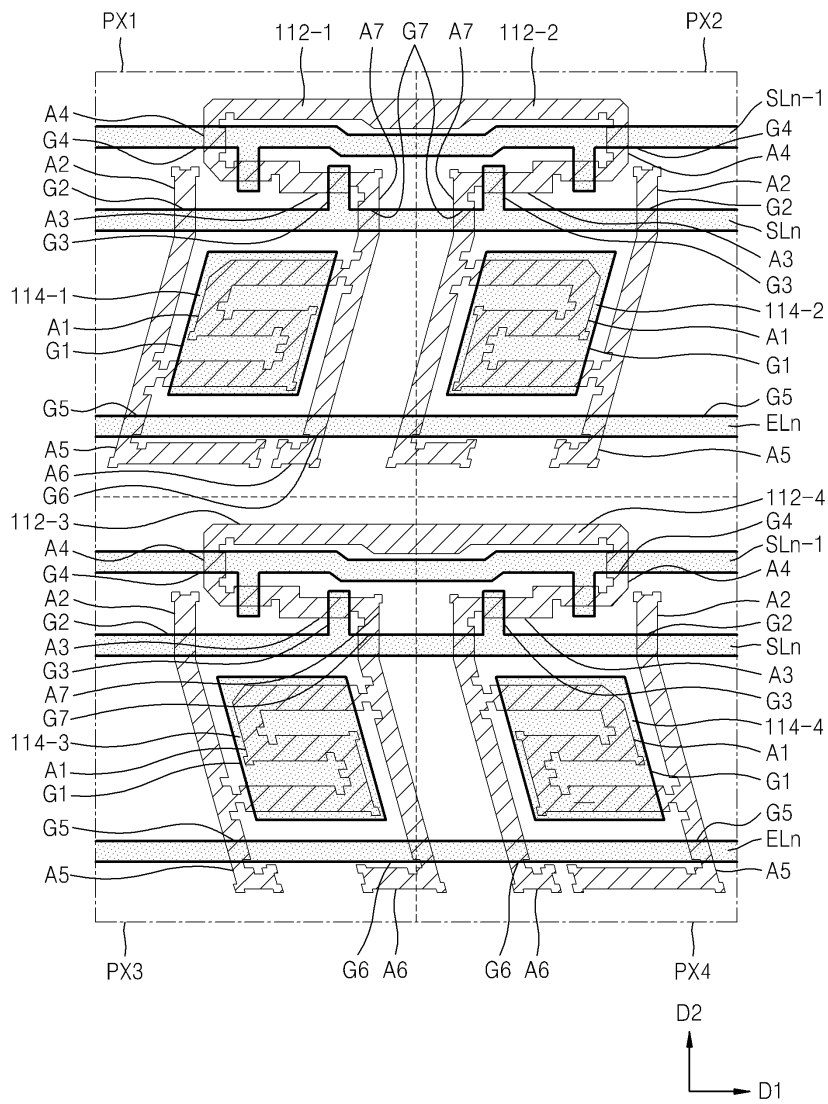
도면1



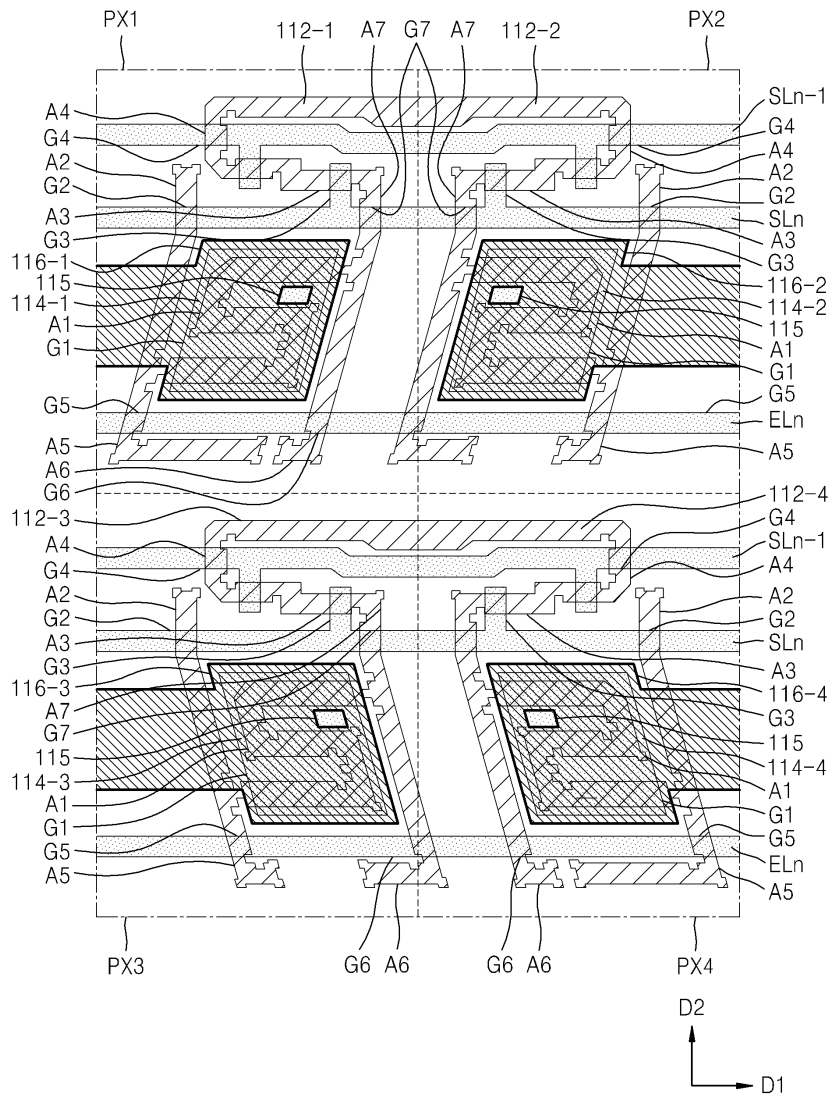
도면4



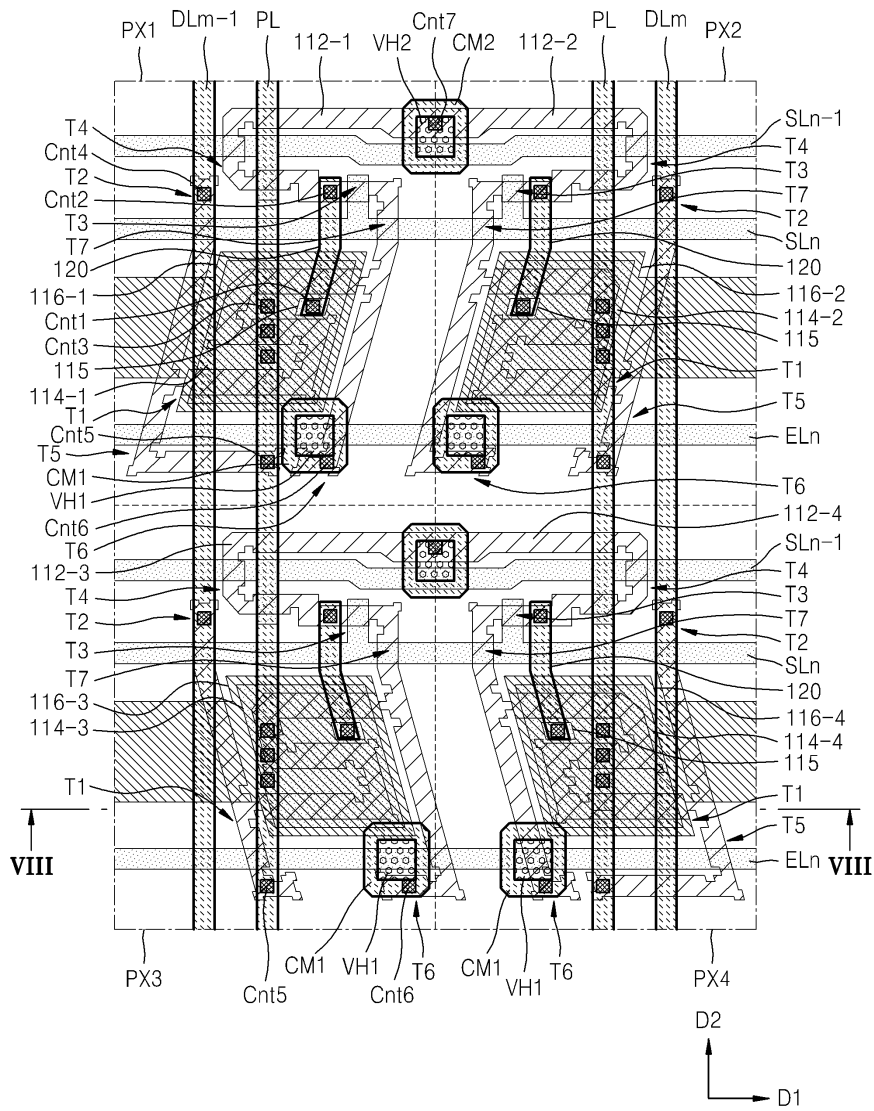
도면5



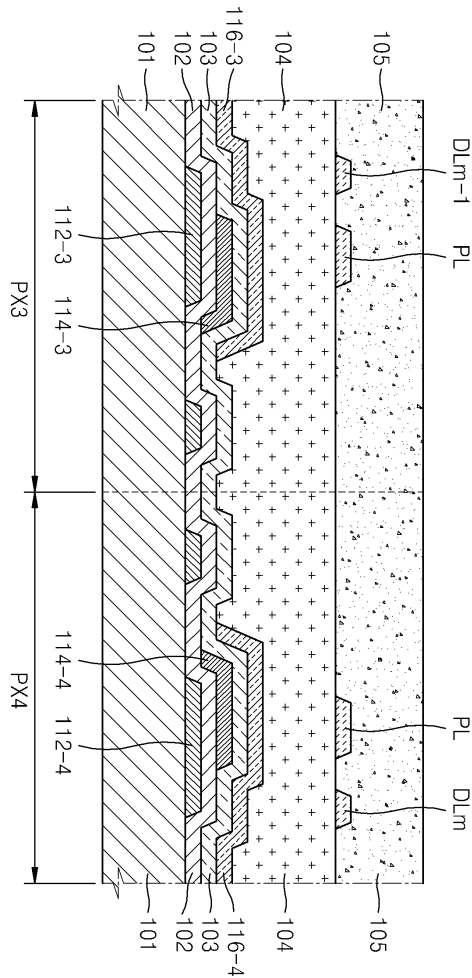
도면6



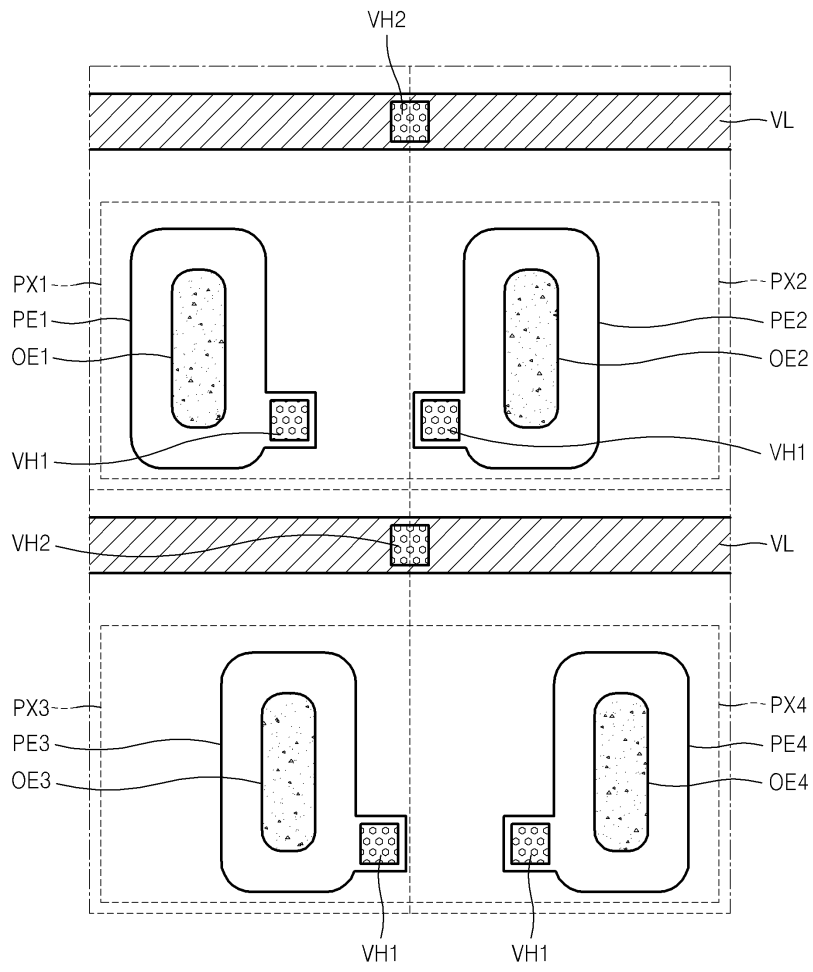
도면7



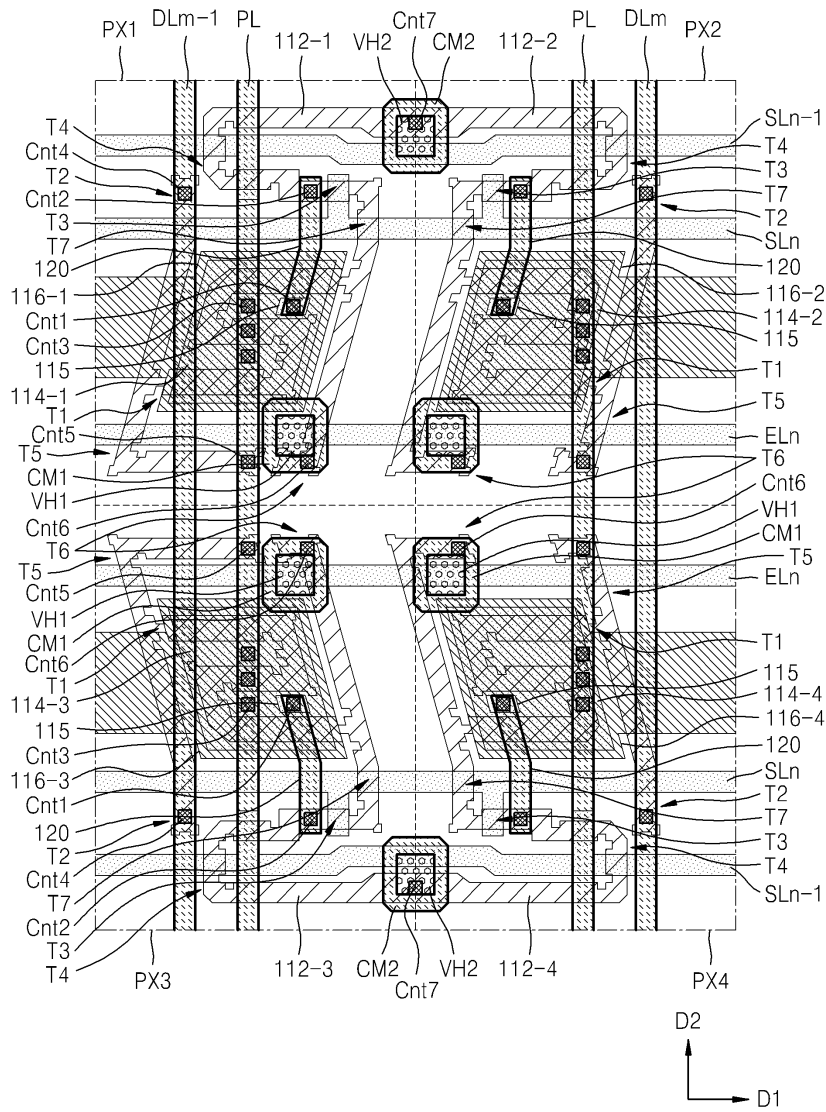
도면8



도면9



도면10



专利名称(译)	有机发光显示装置		
公开(公告)号	KR102113173B1	公开(公告)日	2020-05-21
申请号	KR1020130077940	申请日	2013-07-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	송성훈		
发明人	송성훈		
IPC分类号	H01L51/52		
CPC分类号	G09G3/3233 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0223 H01L27/1222 H01L27/124 C08G2261/312 C08G2261/3142 C08G2261/3223 C08G2261/3422 C08G2261/95 H01L27/3258 H01L51/5253 H01L51/5296 H01L2251/53 G09G3/3225		
审查员(译)	김우영		
其他公开文献	KR1020150004661A		
外部链接	Espacenet		

摘要(译)

公开了一种有机发光二极管(OLED)显示器。在一个方面,OLED显示器包括在第一方向上延伸的多条扫描线和在与第一方向交叉的第二方向上延伸的多条数据线。OLED显示器还包括电连接到扫描线和数据线并且布置成多个行和列的多个像素,每个像素包括OLED和电连接到OLED的薄膜晶体管。OLED显示器还包括多条驱动电压线,其向每个像素提供驱动电压并在第二方向上延伸,其中薄膜晶体管的有源层蜿蜒地相对于第二方向倾斜地延伸。

