



공개특허 10-2020-0000839

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0000839
(43) 공개일자 2020년01월03일(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *H01L 27/32* (2006.01)(52) CPC특허분류
G09G 3/3696 (2013.01)
H01L 27/3241 (2013.01)

(21) 출원번호 10-2019-0173465(분할)

(22) 출원일자 2019년12월23일

심사청구일자 2019년12월23일

(62) 원출원 특허 10-2012-0128371

원출원일자 2012년11월13일

심사청구일자 2017년10월25일

(71) 출원인
삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
김현태

경기도 용인시 기흥구 삼성로 1 (농서동)

(74) 대리인
리엔록특허법인

전체 청구항 수 : 총 30 항

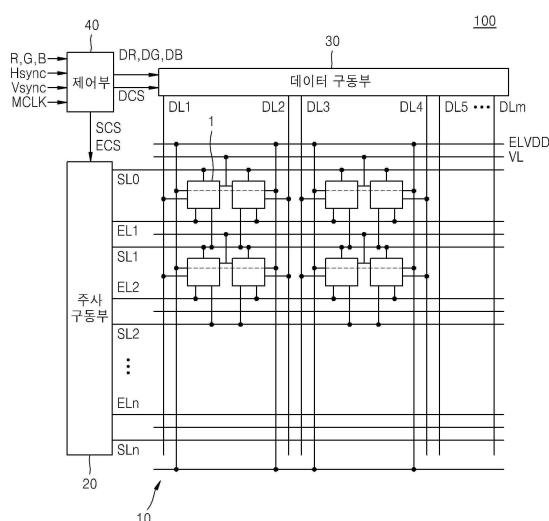
(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 유기 발광 표시 장치 및 이의 제조 방법을 개시한다.

본 발명의 유기 발광 표시 장치는, 다수의 주사선들과 다수의 데이터선들의 교차 영역에 형성되는 다수의 화소들; 상기 다수의 주사선들과 평행하고, 행 라인의 인접하는 두 개의 화소 간에 공유되어 초기화 전압을 상기 인접하는 두 개의 화소로 공급하는 다수의 초기화 전압선들; 및 상기 다수의 화소들 각각에 구동 전압을 공급하고, 세로 방향의 제1전압선과 상기 인접하는 두 개의 화소 간에 연결된 가로 방향의 제2전압선을 포함하는 구동 전압선;을 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 27/3297 (2013.01)

G09G 2300/0809 (2013.01)

명세서

청구범위

청구항 1

제1방향으로 연장된 주사선;

상기 제1방향과 상이한 제2방향으로 연장된 제1레이터선;

상기 제2방향으로 연장된 제1구동전압선;

상기 제1방향으로 연장된 초기화전압선;

제1게이트전극 및 상기 제1게이트전극 하부의 굴곡을 갖는 제1액티브층을 포함하고, 상기 제1구동전압선에 연결된 제1박막트랜지스터;

상기 제1레이터선과 상기 주사선에 연결된 제2박막트랜지스터;

상기 제1박막트랜지스터 및 상기 초기화전압선에 연결된 제3박막트랜지스터;

상기 제1박막트랜지스터에 연결된 제1발광소자;

상기 제1박막트랜지스터를 커버하는 제1절연막; 및

상기 제1박막트랜지스터의 제1게이트전극에 전기적으로 연결된 제1커패시터;를 포함하고,

상기 제1커패시터는 상기 제1박막트랜지스터의 제1게이트전극의 일부를 포함하는 제1커패시터전극 및 상기 제1커패시터전극에 오버랩하는 제2커패시터전극을 포함하고.

상기 제1절연막의 일부는 상기 제1커패시터전극과 상기 제2커패시터전극 사이에 구비되고,

상기 제1액티브층의 일단은 상기 제2박막트랜지스터로 연장되고, 상기 제1액티브층의 타단은 상기 제3박막트랜지스터로 연장된, 표시장치.

청구항 2

제1항에 있어서,

상기 제1구동전압선 및 상기 제1박막트랜지스터에 연결된 제4박막트랜지스터;를 더 포함하는 표시장치.

청구항 3

제2항에 있어서,

상기 제1액티브층은 상기 제4박막트랜지스터로 연장되어 상기 제4박막트랜지스터에 연결된, 표시장치.

청구항 4

제2항에 있어서,

상기 제2커패시터전극 상의 제2절연막;을 더 포함하는 표시장치.

청구항 5

제4항에 있어서,

상기 제1발광소자는, 상기 제2절연막 상에 구비되고, 상기 제1박막트랜지스터에 연결된 제1화소전극을 포함하는, 표시장치.

청구항 6

제4항에 있어서,

상기 초기화전압선은 상기 제2절연막 상에 구비된, 표시장치.

청구항 7

제6항에 있어서,

상기 제1액티브층은 상기 제4박막트랜지스터로 연장되어 상기 제4박막트랜지스터에 연결된, 표시장치.

청구항 8

제7항에 있어서,

상기 초기화전압선 및 상기 제3박막트랜지스터에 연결된 컨택메탈(CM2);을 더 포함하는 표시장치.

청구항 9

제1항에 있어서,

상기 제2방향으로 연장된 제2데이터선;

상기 제2방향으로 연장된 제2구동전압선;

제2게이트전극 및 상기 제2게이트전극 하부의 굴곡을 갖는 제2액티브층을 포함하고, 상기 제2구동전압선에 연결된 제5박막트랜지스터;

상기 제2데이터선과 상기 주사선에 연결된 제6박막트랜지스터;

상기 제5박막트랜지스터 및 상기 초기화전압선에 연결된 제7박막트랜지스터;

상기 제5박막트랜지스터에 연결된 제2발광소자; 및

상기 제5박막트랜지스터의 제2게이트전극에 전기적으로 연결된 제2커패시터;를 포함하고,

상기 제2커패시터는 상기 제5박막트랜지스터의 제2게이트전극의 일부를 포함하는 제3커패시터전극 및 상기 제3커패시터전극에 오버랩하는 제4커패시터전극을 포함하고.

상기 제1절연막의 일부는 상기 제3커패시터전극과 상기 제4커패시터전극 사이에 구비되고,

상기 제2액티브층의 일단은 상기 제6박막트랜지스터로 연장되고, 상기 제2액티브층의 타단은 상기 제7박막트랜지스터로 연장되고,

상기 제2액티브층과 상기 제1액티브층이 대칭인, 표시장치.

청구항 10

제9항에 있어서,

상기 제2구동전압선 및 상기 제5박막트랜지스터에 연결된 제8박막트랜지스터;를 더 포함하는 표시장치.

청구항 11

제10항에 있어서,

상기 제2액티브층은 상기 제8박막트랜지스터로 연장되어 상기 제8박막트랜지스터에 연결된, 표시장치.

청구항 12

제9항에 있어서,

상기 제1커패시터 및 상기 제2커패시터 상의 제2절연막;을 더 포함하는 표시장치.

청구항 13

제12항에 있어서,

상기 제2발광소자는, 상기 제2절연막 상에 구비되고, 상기 제5박막트랜지스터에 연결된 제2화소전극을

포함하는, 표시장치.

청구항 14

제13항에 있어서,

상기 초기화전압선은 상기 제2절연막 상에 구비된, 표시장치.

청구항 15

제14항에 있어서,

상기 제1액티브층은 상기 제2액티브층에 연장되어 상기 제2액티브층에 전기적으로 연결된, 표시장치.

청구항 16

기판;

상기 기판 상의 복수의 주사선들;

복수의 데이터선들;

상기 복수의 주사선들 중 제1주사선 및 상기 복수의 데이터선들 중 제1데이터선에 연결된 제1박막트랜지스터;

복수의 구동전압선들;

제1게이트전극 및 제1액티브층을 포함하고, 상기 복수의 구동전압선들 중 제1구동전압선에 연결된 제2박막트랜지스터;

복수의 초기화전압선들;

제2게이트전극을 포함하고, 상기 복수의 초기화전압선들 중 제1초기화전압선 및 상기 제2박막트랜지스터에 연결된 제3박막트랜지스터;

상기 제2박막트랜지스터에 전기적으로 연결된 제1발광소자;

상기 제2박막트랜지스터를 커버하는 제1절연막; 및

상기 제1게이트전극에 연결되고, 제1커패시터전극 및 상기 제1커패시터전극 상의 제1커패시터전극을 포함하는 제1커패시터;를 포함하고,

상기 제1커패시터전극은 상기 제2박막트랜지스터의 제1게이트전극의 일부를 포함하고, 상기 제1절연막의 일부가 상기 제1커패시터전극과 상기 제2커패시터전극 사이에 위치하고,

상기 제1액티브층은 상기 제3박막트랜지스터의 액티브층에 연결되고,

상기 제1게이트전극 하부의 상기 제1액티브층은 굴곡진, 표시장치.

청구항 17

제16항에 있어서,

제3게이트전극을 포함하고, 상기 제1구동전압선 및 상기 제2박막트랜지스터에 전기적으로 연결된 제4박막트랜지스터;를 더 포함하는 표시장치.

청구항 18

상기 제17항에 있어서,

상기 제1액티브층은 상기 제4박막트랜지스터의 액티브층에 연결된, 표시장치.

청구항 19

제17항에 있어서,

상기 제1커패시터 상의 제2절연막;을 더 포함하는 표시장치.

청구항 20

제19항에 있어서.

상기 제1발광소자는 상기 제2절연막 상에 구비된 제1화소전극을 포함하는, 표시장치.

청구항 21

제20항에 있어서,

상기 초기화전압선이 상기 제2절연막 상에 구비된, 표시장치.

청구항 22

제21항에 있어서,

상기 제1액티브층은 상기 제4박막트랜지스터의 액티브층에 연결된, 표시장치.

청구항 23

제22항에 있어서,

상기 제1초기화전압선 및 상기 제3박막트랜지스터에 연결된 컨택메탈;을 더 포함하는 표시장치.

청구항 24

제16항에 있어서,

상기 제1주사선 및 상기 복수의 데이터선들 중 제2데이터선에 연결된 제4박막트랜지스터;

제3게이트전극 및 제2액티브층을 포함하고, 상기 복수의 구동전압선들 중 제2구동전압선에 전기적으로 연결된 제5박막트랜지스터;

제4게이트전극을 포함하고, 상기 제1초기화전압선과 상기 제5박막트랜지스터에 연결된 제6박막트랜지스터;

상기 제5박막트랜지스터에 전기적으로 연결된 제3발광소자; 및

상기 제3게이트전극에 연결되고, 제3커패시터전극 및 상기 제3커패시터전극 상의 제4커패시터전극을 포함하는 제2커패시터;를 포함하고,

상기 제3커패시터전극은 상기 제5박막트랜지스터의 제3게이트전극의 일부를 포함하고, 상기 제1절연막의 일부가 상기 제3커패시터전극과 상기 제4커패시터전극 사이에 위치하고,

상기 제2액티브층은 상기 제6박막트랜지스터의 액티브층에 연결되고, 상기 제3게이트전극 하부의 상기 제2액티브층은 굽곡지고,

상기 제2액티브층은 상기 제1액티브층에 대칭인, 표시장치.

청구항 25

제24항에 있어서,

제5게이트전극을 포함하고, 상기 제2구동전압선과 상기 제5박막트랜지스터에 전기적으로 연결된 제7박막트랜지스터;를 더 포함하는 표시장치.

청구항 26

제25항에 있어서,

상기 제2액티브층은 상기 제7박막트랜지스터의 액티브층에 연결된, 표시장치.

청구항 27

제24항에 있어서,

상기 제1커패시터와 상기 제2커패시터 상의 제2절연막;을 더 포함하는 표시장치.

청구항 28

제27항에 있어서,

상기 제2발광소자는 상기 제2절연막 상에 구비된 제2화소전극을 포함하는, 표시장치.

청구항 29

제28항에 있어서,

상기 제1초기화전압선은 상기 제2절연막 상에 구비된, 표시장치.

청구항 30

제29항에 있어서,

상기 제1액티브층은 상기 제2액티브층에 연결된, 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 유기 발광 표시 장치의 패널은 일반적으로 NxM 행렬의 형태로 배열된 복수의 화소를 포함하고, 각각의 화소에 데이터 신호(Dm), 주사 신호(Sn), 및 전원전압(ELVDD)이 인가된다. 전원전압(ELVDD)은 모든 화소 회로에 대하여 공통으로 공급될 수 있다. 각 화소로 전원전압(ELVDD)을 공급하기 위한 배선에는 기생 저항 성분이 존재하고, 이러한 배선을 통하여 전원전압(ELVDD)이 공급되면 그러한 기생 저항 성분에 의하여 전압 강하가 발생하게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전원전압(ELVDD)을 공급하기 위한 배선을 그물망 구조로 형성함으로써 전원전압(ELVDD)의 전압 강하를 방지하면서 누설 전류를 최소화할 수 있는 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 다수의 주사선들과 다수의 데이터선들의 교차 영역에 형성되는 다수의 화소들; 상기 다수의 주사선들과 평행하고, 행 라인의 인접하는 두 개의 화소 간에 공유되어 초기화 전압을 상기 인접하는 두 개의 화소로 공급하는 다수의 초기화 전압선들; 및 상기 다수의 화소들 각각에 구동 전압을 공급하고, 세로 방향의 제1전압선과 상기 인접하는 두 개의 화소 간에 연결된 가로 방향의 제2전압선을 포함하는 구동 전압선;을 포함할 수 있다.

[0007] 상기 구동 전압선은 상기 제1전압선과 상기 제2전압선이 연결된 그물망 구조로 배치될 수 있다. 그리고, 상기 인접하는 두 개의 화소의 상기 제1전압선 각각은 서로 이격되어 마주보도록 형성될 수 있다. 상기 구동 전압선은 상기 다수의 데이터선들과 동일층에 형성될 수 있다.

[0008] 상기 초기화 전압선은 상기 제2전압선과 평행하게 배치될 수 있다. 그리고, 상기 초기화 전압선은 화소 전극과

동일층에 형성될 수 있다. 상기 초기화 전압선은 상기 인접하는 두 개의 화소에 대해 공통으로 형성된 비아홀을 통해 상기 두 개의 화소 각각의 초기화 박막 트랜지스터와 전기적으로 연결될 수 있다.

[0009] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 행 라인의 인접하는 두 개의 화소 간에 연결된 액티브층; 상기 액티브층 상에 차례로 형성된 제1 게이트 절연막, 제2 게이트 절연막 및 충간 절연막; 상기 액티브층에서 상기 두 개의 화소 간에 연결된 영역의 일부를 노출하며 상기 제1 게이트 절연막, 제2 게이트 절연막, 충간 절연막에 형성된 컨택홀; 상기 충간 절연막 상에 형성된 구동 전압선; 상기 충간 절연막 상에 상기 컨택홀과 접촉하는 커버메탈; 상기 구동 전압선 및 상기 커버메탈 상에 형성된 보호막; 상기 커버메탈의 일부를 노출하며 상기 보호막에 형성된 비아홀; 및 상기 비아홀을 통해 상기 액티브층과 연결되는 초기화 전압선;을 포함할 수 있다.

[0010] 상기 구동 전압선은 세로 방향의 제1전압선과 상기 인접하는 두 개의 화소 간에 연결된 가로 방향의 제2전압선을 포함할 수 있다. 상기 구동 전압선은 상기 제1전압선과 상기 제2전압선이 연결된 그물망 구조로 배치될 수 있다. 상기 인접하는 두 개의 화소 각각에 배치된 상기 제1전압선은 서로 이격되어 마주보도록 형성될 수 있다. 그리고, 상기 구동 전압선은 상기 다수의 데이터선들과 동일층에 형성될 수 있다.

[0011] 상기 초기화 전압선은 상기 제2전압선과 평행하게 배치될 수 있다. 상기 초기화 전압선은 화소 전극과 동일층에 형성될 수 있다.

[0012] 상기 액티브층은 상기 두 개의 화소 간에 연결된 영역을 기준으로 상기 두 개의 화소 간에 서로 대칭 구조로 형성될 수 있다. 상기 액티브층의 일부는 상기 제2전압선과 직교하는 방향으로 배치되며 상기 제2전압선과 중첩할 수 있다.

[0013] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은, 기판 상에 행 라인의 인접하는 두 개의 화소 간에 연결되는 액티브층을 형성하는 단계; 상기 액티브층 상에 차례로 제1 게이트 절연막, 제2 게이트 절연막 및 충간 절연막을 형성하는 단계; 상기 액티브층에서 상기 두 개의 화소 간에 연결된 영역의 일부를 노출하도록 상기 제1 게이트 절연막, 제2 게이트 절연막 및 충간 절연막에 컨택홀을 형성하는 단계; 상기 충간 절연막 상에 구동 전압선, 및 상기 컨택홀과 접촉하는 커버메탈을 형성하는 단계; 상기 구동 전압선 및 상기 커버메탈 상에 보호막을 형성하는 단계; 상기 커버메탈의 일부를 노출하도록 상기 보호막에 비아홀을 형성하는 단계; 및 상기 비아홀을 통해 상기 액티브층과 연결되는 초기화 전압선을 형성하는 단계;를 포함할 수 있다.

[0014] 상기 구동 전압선은 세로 방향의 제1전압선과 상기 두 개의 화소 간에 연결된 가로 방향의 제2전압선을 포함하며, 상기 제1전압선과 상기 제2전압선이 연결된 그물망 구조로 형성될 수 있다.

[0015] 상기 초기화 전압선은 상기 제2전압선과 평행하게 형성될 수 있다.

[0016] 상기 액티브층은 상기 두 개의 화소 간에 연결된 영역을 기준으로 상기 두 개의 화소 간에 서로 대칭 구조를 가지고, 각 화소에서 상기 액티브층의 일부가 상기 제2전압선과 직교하는 방향으로 배치되며 상기 제2전압선과 중첩하도록 형성될 수 있다.

발명의 효과

[0017] 본 발명에 따른 표시 장치는 표시 장치의 패널의 크기가 증가함으로 인하여 각각의 화소에 인가되는 전원전압의 전압 강하를 보상하는 효과가 있다.

[0018] 또한 본 발명에 따른 표시 장치는 기생 커패시터를 최소화하여 블랙 휘도 개선 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.

도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 표시 장치의 인접하는 두 개의 화소의 개략적인 회로도이다.

도 4는 본 발명의 일 실시예에 따른 표시 장치의 구동 전압선(PL)의 그물망 구조를 설명하는 도면이다.

도 5 내지 도 10은 본 발명의 일 실시예에 따른 인접하는 두 화소의 화소 회로를 형성하는 방법을 설명하기 위한 도면이다.

도 11 내지 도 13은 본 발명의 실시예에 대한 비교예를 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0021] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0022] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0023] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0024] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0025] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.
- [0026] 본 발명의 일 실시예에 의한 표시 장치(100)는 복수의 화소를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)를 포함한다. 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 또한, 주사 구동부(20)는 표시부(10)와 동일한 기판 상에 형성될 수도 있다.
- [0027] 표시부(10)는 복수의 주사선(SL0 내지 SL_n), 복수의 데이터선(DL1 내지 DL_m), 및 복수의 발광 제어선(EL1 내지 EL_n)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소를 포함한다.
- [0028] 각 화소는 표시부(10)에 전달되는 복수의 주사선(SL0 내지 SL_n) 중 두 개의 주사선에 연결되어 있다. 도 1에서 화소는 해당 화소 라인에 대응하는 주사선과 그 이전 화소 라인의 주사선에 연결되어 있으나, 이에 반드시 제한되는 것은 아니다.
- [0029] 또한 각 화소는 복수의 데이터선(DL1 내지 DL_m) 중 하나의 데이터선, 복수의 발광 제어선(EL1 내지 EL_n) 중 하나의 발광 제어선에 연결되어 있다.
- [0030] 그리고, 각 화소는 초기화 전압을 공급하는 복수의 초기화 전압선(VL) 중 하나의 초기화 전압선과 제1전원전압(ELVDD)을 공급하는 복수의 구동 전압선(PL) 중 하나와 연결되어 있다.
- [0031] 복수의 주사선(SL0 내지 SL_n)이 연장되는 방향, 즉 행 라인(또는 화소 라인, 가로 방향, 수평 방향)으로 서로 대칭이다. 대칭 구조의 인접한 두 개의 화소는 행 라인으로 배치되는 초기화 전압선(VL)을 공유한다. 대칭 구조의 인접한 두 개의 화소 각각의 열 라인(또는 세로 방향, 수직 방향)으로 배열된 구동 전압선(PL)은 일정 거리 서로 이격되어 평행하게 마주보고, 열 라인으로 대칭인 두 개의 구동 전압선(PL)은 행 라인으로 배열된 구동 전압선(PL)에 의해 서로 연결되어 그물망(mesh) 구조를 형성한다.
- [0032] 주사 구동부(20)는 복수의 주사선(SL0 내지 SL_n)을 통해 각 화소에 두 개의 대응하는 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 각 화소가 포함되는 행 라인에 대응하는 주사선을 통해 제1 주사 신호를 전달하고, 해당 행 라인의 이전 행 라인에 대응하는 주사선을 통해 제2 주사 신호를 전달한다. 예를 들어, 주사 구동부(20)는 n번째 행 라인의 m번째 열 라인에 배치된 화소에 n번째 주사선(SL_n)을 통해 제1 주사 신호(S_n)를 전달하고, n-1번째 주사선(SL_{n-1})을 통해 제2 주사 신호(S_{n-1})를 전달한다. 또한 주사 구동부(20)는 복수의 발광 제어선(EL1 내지 EL_n)을 통해 각 화소에 발광 제어 신호(EM1 내지 EM_n)를 생성하여 전달한다. 본 실시예에서는 주사 신호 및 발광 제어신호가 동일한 주사 구동부(20)에서 생성되는 것으로 도시하였으나 이에 제한되는 것은 아니다. 표시 장치(100)는 발광 제어 구동부를 더 포함하고, 발광 제어신호는 발광 제어 구동부에서 생성될 수 있

다.

[0033] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소에 데이터 신호(D1 내지 Dm)를 전달한다.

[0034] 제어부(40)는 외부에서 전달되는 복수의 영상 신호(R,G,B)를 복수의 영상 데이터 신호(DR,DG,DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(40)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20) 및 데이터 구동부(30)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS) 및 발광 구동 제어 신호(ECS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS)를 각각 생성하여 전달한다.

[0035] 복수의 화소 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호(D0 내지 Dm)에 따라 유기 발광 소자(OLED)로 공급되는 구동 전류(Ioled)에 의해 소정 휘도의 빛을 발광한다.

[0036] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다. 도 3은 본 발명의 일 실시예에 따른 표시 장치의 인접하는 두 개의 화소의 개략적인 회로도이다.

[0037] 도 2 및 도 3에 도시된 화소(1)는 n번째 행 라인에 포함된 복수의 화소 중 하나로서, n번째 행 라인에 대응하는 주사선(SLn)과 n번째 행 라인 이전의 n-1번째 행 라인에 대응하는 주사선(SLn-1)에 각각 연결되어 있다.

[0038] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T6) 및 스토리지 캐패시터(storage capacitor, Cst)를 포함하는 화소 회로(2)를 포함한다. 그리고 화소(1)는 화소 회로(2)를 통해 구동 전압을 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.

[0039] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)를 포함한다.

[0040] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1 주사 신호(Sn)를 전달하는 제1 주사 선(SLn), 초기화 박막 트랜지스터(T4)에 이전 주사 신호인 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(SLn-1), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EMn)를 전달하는 발광 제어선(ELn), 제1 주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(DLm), 제1전원전압(ELVDD)을 전달하며 데이터선(DLm)과 거의 평행하게 형성되어 있는 구동 전압선(PL), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하며 제2 주사선(SLn-1)과 거의 평행하게 형성되어 있는 초기화 전압선(VL)을 포함한다.

[0041] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1전극(Cst1)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.

[0042] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선(SLn)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(DLm)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(SLn)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 데이터선(DLm)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0043] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사선(SLn)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1 주사선(SLn)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

[0044] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선(SLn-1)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(VL)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은

스토리지 커패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(SLn-1)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0045] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(ELn)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.

[0046] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(ELn)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(34)을 통해 전달받은 발광 제어 신호(EMn)에 따라 동시에 턴 온되어 제1 전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.

[0047] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(PL)과 연결되어 있다. 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.

[0048] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 제1 전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.

[0049] 도 3을 참조하면, 초기화 전압(VINT)을 공급하는 초기화 전압선(VL), 제1 주사 신호(Sn)를 공급하는 제1 주사선(SLn), 제2 주사 신호(Sn-1)를 공급하는 제2 주사선(SLn-1), 발광 제어 신호(EMn)를 공급하는 발광 제어선(ELn)이 가로 방향으로 평행하게 형성된다. 그리고, 가로 방향과 직교하는 세로 방향으로 데이터선(DLm-1, DLm) 및 구동 전압선(PL)이 평행하게 형성된다.

[0050] 인접하는 두 개의 화소들(1)은 초기화 전압선(VL)을 공유하고, 데이터선(DLm-1, DLm)과 구동 전압선(PL)이 서로 소정 거리 이격되어 마주보도록 형성된다. 서로 마주보는 구동 전압선(PL)은 가로 방향으로 형성된 연결 배선(118)에 의해 연결됨으로써 그물망 구조로 형성되어, 가로 및 세로 방향으로 전원을 공급할 수 있다. 이에 따라, 전원을 공급하는 배선의 영역을 더욱 확장하게 되어 배선 자체의 저항에 의한 전압 강하 현상을 해결할 수 있다.

[0051] 본 발명의 실시예는, 인접하는 두 개의 화소들이 초기화 전압선(VL)을 공유함으로써, 두 개의 인접 화소들(1)을 대칭 구조로 형성할 수 있다. 이에 따라 좌측의 화소(1)의 세로 방향의 데이터 선(DLm-1)과 세로 방향의 구동 전압선(PL)을 좌측 화소(1)의 좌측 외곽에 배치하고, 우측 화소(1)의 세로 방향의 데이터 선(DLm)과 세로 방향의 구동 전압선(PL)을 우측 화소(1)의 우측 외곽에 배치할 수 있다. 따라서, 좌측 화소와 우측 화소(1)의 세로 방향의 두 개의 구동 전압선(PL) 사이에 동일층의 다른 신호 배선이 배치되지 않기 때문에, 세로 방향의 구동 전압선(PL)과 동시에 동일층에 형성되는 연결 배선(118)으로 세로 방향의 두 개의 구동 전압선(PL)을 연결할 수 있게 된다.

[0052] 도 4는 본 발명의 일 실시예에 따른 표시 장치의 구동 전압선(PL)의 그물망 구조를 설명하는 도면이다.

[0053] 도 4를 참조하면, 본 발명의 일 실시예에 따른 표시 장치의 구동 전압선(PL)은 열 라인마다 세로 방향으로 연장된 세로 구동 전압선(PLV)과, 행 라인으로 인접하는 두 개의 화소(예를 들어, PX1, PX2) 간을 연결하는 가로 구동 전압선(PLH)을 포함하여 그물망 구조로 형성된다. 가로 구동 전압선(PLH)은 두 개의 세로 구동 전압선(PLV)을 연결하는 연결 배선(118)에 의해 형성된다. 연결 배선(118)은 세로 구동 전압선(PLV)으로부터 연장된 배선으로 일체로 형성될 수도 있고, 별개의 배선으로 형성될 수도 있다.

[0054] 가로 구동 전압선(PLH)은 화소 회로의 소자들의 배치에 따라 배치된다. 가로 구동 전압선(PLH)을 공유하는 두 개의 화소(예를 들어, 제1화소(PX1)와 제2화소(PX2))의 각 세로 구동 전압선(PLV)은 서로 멀리 이격되어 마주보도록 배치된다. 반면, 가로 구동 전압선(PLH)을 공유하지 않는 인접한 두 개의 화소(예를 들어, 제2화소(PX2)와

제3화소(PX3))의 각 세로 구동 전압선(PLV)은 서로 근접하여 마주보도록 배치된다. 가로 구동 전압선(PLH)을 공유하지 않는 인접한 두 개의 화소(예를 들어, 제2화소(PX2)와 제3화소(PX3)) 간에는 가로 구동 전압선(PLH)이 형성되지 않는다.

[0055] 도 5 내지 도 10은 본 발명의 일 실시예에 따른 인접하는 두 화소의 화소 회로를 형성하는 방법을 설명하기 위한 도면이다. 도 9는 도 8의 A-A'선을 따라 자른 단면도이다.

[0056] 도 5 및 도 9를 참조하면, 기판(101) 상에 제1화소(PX1)와 제2화소(PX2) 각각의 액티브층(112-1, 112-2)을 형성한다. 제1화소(PX1)의 제1액티브층(112-1)과 제2화소(PX2)의 제2액티브층(112-2)은 서로 연결된다. 제1액티브층(112-1)과 제2액티브층(112-2)은 제1화소(PX1)와 제2화소(PX2) 간에 연결된 영역을 기준으로 서로 대칭 구조로 형성된다. 제1화소(PX1)와 제2화소(PX2) 간에 연결된 액티브 영역은 추후 초기화 전압선(VL)과 연결된다.

[0057] 제1액티브층(112-1)과 제2액티브층(112-2)은 비정질 실리콘층으로 형성되거나, 다결정 실리콘층으로 형성되거나, G-I-Z-O층 [(In₂O₃)_a(Ga₂O₃)_b(ZnO)_c층](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)과 같은 산화물 반도체층으로 형성될 수 있다. 본 발명의 일 실시예에 의하면, 제1액티브층(112-1)과 제2액티브층(112-2)은 서로 연결되기 때문에, 초기화 전압선(VL)으로부터 인가되는 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 전달할 수 있다.

[0058] 제1액티브층(112-1)과 제2액티브층(112-2)을 따라 화소 회로의 박막 트랜지스터가 형성된다. 제1액티브층(112-1)과 제2액티브층(112-2)에 각각 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)의 액티브층(A1, A2, A3, A4, A5, A6)이 형성된다. 각 박막 트랜지스터의 액티브층은 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다.

[0059] 제1액티브층(112-1)과 제2액티브층(112-2)은 다양한 형상으로 굴곡되어 형성되어 있다. 특히 구동 박막 트랜지스터(T1)의 액티브층(A1)은 지그재그 형상, 'S' 형상 또는 'ㄹ' 형상으로 복수의 굴곡부를 가진다. 이에 따라 채널 영역을 길게 형성할 수 있어 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 디아오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.

[0060] 도 6 및 도 9를 참조하면, 제1액티브층(112-1)과 제2액티브층(112-2)이 형성된 기판(101) 상에 제1 게이트 절연막(102)이 형성된다. 제1 게이트 절연막(102)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교변하는 다층 구조로 형성될 수도 있다.

[0061] 그리고, 제1 게이트 절연막(102) 상부에 제1 게이트 배선(GL1)을 형성한다. 제1 게이트 배선(GL1)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn) 및 제1커패시터 전극(114-1, 114-2)을 포함할 수 있다. 제1 게이트 배선(GL1) 물질은 알루미늄(A1), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.

[0062] 제1커패시터 전극(114-1, 114-2)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 역할도 동시에 한다. 제1커패시터 전극(114-1, 114-2)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn)과 분리되어 있으며, 플로팅 전극의 형태로 구동 박막 트랜지스터(T1)의 액티브층(A1)의 채널 영역과 중첩한다. 제1커패시터 전극(114-1, 114-2)은 인접한 화소와 분리되어 사각 형상으로 형성된다. 제1주사선(SLn)은 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)과 보상 박막 트랜지스터(T3)의 게이트 전극(G3)의 역할을 한다. 제2주사선(SLn-1)은 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)의 역할을 한다. 발광 제어선(ELn)은 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)과 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)의 역할을 한다.

[0063] 도 7 및 도 9를 참조하면, 제1 게이트 배선(GL1)이 형성된 기판(101) 상에 제2 게이트 절연막(103)이 형성된다. 제2 게이트 절연막(103)은 스토리지 커패시터(Cst)의 유전체로서의 기능도 한다. 제2 게이트 절연막(103)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교변하는 다층 구조로 형성될 수도 있다.

[0064] 그리고, 제2 게이트 절연막(103) 상부에 제2 게이트 배선(GL2)을 형성한다. 제2 게이트 배선(GL2)은 제2커패시터 전극(116-1, 116-2)을 포함할 수 있다. 제2 게이트 배선(GL2) 물질 또한 제1 게이트 배선(GL1) 물질과 유사하게 알루미늄(A1), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.

[0065]

제2커패시터 전극(116-1, 116-2)은 제1커패시터 전극(114-1, 114-2)과 중첩하여 스토리지 커패시터(Cst)를 형성한다. 제2커패시터 전극(116-1, 116-2)은 초기화 전압(VINT)을 공유하는 대칭 구조의 인접 화소 간에는 분리되고, 데이터선을 기준으로 인접하는 화소 간에는 연결된다. 제2커패시터 전극(116-1, 116-2)은 스토리지 개구부(115)를 구비한다. 스토리지 개구부(115)는 단일폐곡선(closed curve)의 형태를 가질 수 있다. 여기서 단일폐곡선이란, 다각형, 원 등과 같이 직선이나 곡선 위에 한 점을 찍었을 때 시작점과 끝점이 같은 닫힌 도형을 의미한다. 이러한 스토리지 개구부(115)를 구비한 제2커패시터 전극(116-1, 116-2)은 마치 도넛 형태를 가질 수 있다. 이러한 제2커패시터 전극(116-1, 116-2)의 형상에 의해, 표시 장치의 제조 공정 중에 제1커패시터 전극(114-1, 114-2)과 제2커패시터 전극(116-1, 116-2) 사이에 오버레이(overlay) 편차가 발생하더라도 스토리지 커패시터(Cst)가 항상 일정한 커패시턴스(capacitance)를 유지할 수 있다. 오버레이(overlay) 편차란, 서로 중첩되는 둘 이상의 층을 형성할 때 각 층이 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우 중첩되는 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다. 오버레이(overlay) 편차는 기판에 전면적으로 도전층을 형성하고, 포토 리소그라피(photo lithography) 공정으로 패터닝할 때, 기판과 마스크의 미스 얼라인(miss align) 또는 기판과 노광기 사이의 미스 얼라인 등으로 인해 발생할 수 있다. 이러한 오버레이(overlay) 편차는 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서 공정 장비의 오차 범위 내에서 발생할 수 있는 확률이 크다. 본 발명의 실시예에는 제1커패시터 전극(114-1, 114-2)이 설계된 위치보다 상, 하, 좌, 우로 시프트된 경우라도, 항상 제2커패시터 전극(116-1, 116-2)이 제1커패시터 전극(114-1, 114-2) 전체와 중첩되고, 제2커패시터 전극(116-1, 116-2)의 스토리지 개구부(115)가 항상 제1커패시터 전극(114-1, 114-2)과 중첩되기 때문에 커패시턴스는 일정하게 유지될 수 있다.

[0066]

도 8 및 도 9를 참조하면, 제2 게이트 배선(GL2)이 형성된 기판(101) 상에 충간 절연막(104)이 형성된다. 충간 절연막(104)은 제1 게이트 절연막(102), 제2 게이트 절연막(103)과 마찬가지로, 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교변하는 다층 구조로 형성될 수도 있다.

[0067]

제2커패시터 전극(116-1, 116-2)의 개구부(115)를 관통하여 제1커패시터 전극(114-1, 114-2)을 노출하도록 제2 게이트 절연막(103) 및 충간 절연막(104)에는 제1컨택홀(Cnt1)이 구비된다. 그리고, 제2커패시터 전극(116-1, 116-2)을 노출하도록 충간 절연막(104) 상에는 제3컨택홀(Cnt3)이 구비된다. 또한, 보상 박막 트랜지스터(T3)의 액티브층(A3)의 드레인 영역과 초기화 박막 트랜지스터(T4)의 액티브층(A4)의 드레인 영역을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103) 및 충간 절연막(104)에는 제2컨택홀(Cnt2)이 구비된다. 그리고, 스위칭 박막 트랜지스터(T2)의 액티브층(A2)의 소스 영역을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103) 및 충간 절연막(104)에는 제4컨택홀(Cnt4)이 구비된다. 그리고, 제1 발광 제어 박막 트랜지스터(T5)의 액티브층(A5)을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103) 및 충간 절연막(104)에는 제5컨택홀(Cnt5)이 구비된다. 그리고, 제2 발광 제어 박막 트랜지스터(T6)의 액티브층(A6)을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103) 및 충간 절연막(104)에는 제6컨택홀(Cnt6)이 구비된다. 또한, 제1화소(PX1)의 제1액티브층(112-1)과 제2화소(PX2)의 제2액티브층(112-2)이 서로 연결된 영역을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103) 및 충간 절연막(104)에는 제7컨택홀(Cnt7)이 구비된다.

[0068]

다음으로, 충간 절연막(104) 상부에 데이터선(DLm-1, DLm), 세로 방향의 구동 전압선(PL), 연결 배선(118), 제1 컨택홀(Cnt1)과 제2컨택홀(Cnt2)을 연결하는 연결 배선(120), 제6컨택홀(Cnt6)을 덮으며 형성되는 제1커버메탈(CM1), 제7컨택홀(Cnt7)을 덮으며 형성되는 제2커버메탈(CM2)이 형성된다.

[0069]

데이터선(DLm-1, DLm)은 화소마다 하나씩 화소의 외곽에 세로 방향으로 배치된다. 데이터선(DLm-1, DLm)은 제4 컨택홀(Cnt4)을 통해 스위칭 박막 트랜지스터(T2)와 연결된다.

[0070]

구동 전압선(PL)은 세로 방향의 구동 전압선(PL)과 가로 방향의 연결 배선(118)을 포함한다. 세로 방향의 구동 전압선(PL)은 화소마다 하나씩 데이터선(DLm-1, DLm)에 근접하게 화소의 외곽에 세로 방향으로 배치된다. 두 개의 세로 방향의 구동 전압선(PL)은 제1화소(PX1)와 제2화소(PX2)를 사이에 두고 서로 마주본다. 연결 배선(118)은 제1화소(PX1)와 제2화소(PX2)를 가로 방향으로 가로지르며, 제1화소(PX1)와 제2화소(PX2)의 세로 방향의 구동 전압선(PL)을 서로 연결함으로써 가로 방향의 구동 전압선(PL)으로 역할을 한다. 이에 따라 구동 전압선(PL)의 그물망 구조가 구현된다. 구동 전압선(PL)은 제3컨택홀(Cnt3)을 통해 제1커패시터 전극(114-1, 114-2)과 연결된다.

[0071]

연결 배선(120)은 제1커패시터 전극(114-1, 114-2)과 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)를 연결한다.

[0072]

데이터선(DLm-1, DLm), 연결 배선(118)을 포함하는 구동 전압선(PL), 연결 배선(120), 제1커버메탈(CM1), 제2

커버메탈(CM2)은 동일층에 동일 물질로 형성될 수 있다.

[0073] 다음으로, 데이터선(DLm-1, DLm), 연결 배선(118)을 포함하는 구동 전압선(PL), 연결 배선(120), 제1커버메탈(CM1), 제2커버메탈(CM2)이 형성된 기판(101) 상에 보호막(105)이 형성된다. 보호막(105)에는 제1커버메탈(CM1)과 제2커버메탈(CM2) 각각의 일부를 노출하는 제1비아홀(VH1)과 제2비아홀(VH2)이 각각 형성된다. 제1비아홀(VH1)과 제2비아홀(VH2)은 동일 물질로 형성될 수 있다.

[0074] 제2비아홀(VH2)을 두 개의 인접 화소(PX1, PX2)에 대해 공통으로 형성함으로써, 화소별로 제2비아홀(VH2)이 형성되는 경우에 비해 화소의 개구율을 향상시킬 수 있다.

[0075] 도 10을 참조하면, 보호막(105) 상에 화소 전극(PE1, PE2)과 초기화 전압선(VL)이 형성된다. 화소 전극(PE1, PE2)은 제1비아홀(VH1)을 통해 각각 제2 발광 제어 박막 트랜지스터(T6)와 연결된다. 그리고, 초기화 전압선(VL)은 제1화소(PX1)와 제2화소(PX2)에 대해 공통으로 형성된 제2비아홀(VH2)을 통해 제1화소(PX1)와 제2화소(PX2)의 초기화 박막 트랜지스터(T4)와 연결되어, 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 동시에 전달한다. 초기화 전압선(VL)은 화소 전극(PE1, PE2)과 동일한 층에 동일한 물질로 형성할 수 있다.

[0076] 도시되지 않았으나, 화소 전극(PE1, PE2)의 가장자리 및 보호막(105) 위에는 화소 정의막이 형성되고, 화소 정의막은 화소 전극(PE1, PE2)을 드러내는 화소 개구부를 가진다. 화소 정의막은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 유기물 또는 실리카 계열의 무기물 등으로 만들 수 있다. 그리고, 화소 개구부로 노출된 화소 전극(PE1, PE2) 위에는 유기막(OE1, OE2) 및 유기막(OE1, OE2)을 덮으며 기판 전면에 형성되는 대향 전극(미도시)이 형성된다. 이에 따라 화소 전극(PE1, PE2), 화소 전극(PE1, PE2) 상에 배치되는 유기막(OE1, OE2), 및 유기막(OE1, OE2)을 덮으면 기판 전면에 형성되는 대향 전극(미도시)을 포함하는 제1화소(PX1)와 제2화소(PX2) 각각의 유기 발광 소자(OLED)가 형성된다.

[0077] 표시 장치가 전면 발광형 구조의 경우, 화소 전극(PE1, PE2)은 반사형 전극으로 구비되고, 대향 전극은 광투과형 전극으로 구비될 수 있다. 이 경우, 대향 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 박막으로 형성한 반투과 반사막을 포함하거나, ITO, IZO, ZnO 등의 광투과성 금속 산화물을 포함할 수 있다. 표시 장치가 배면 발광형 구조의 경우, 대향 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 증착하여 반사 기능을 갖도록 할 수 있다. 화소 전극(PE1, PE2)을 애노드 전극으로 사용할 경우, 일함수(절대치)가 높은 ITO, IZO, ZnO 등의 금속 산화물로 이루어진 층을 포함하도록 한다. 화소 전극(PE1, PE2)을 캐소드 전극으로 사용할 경우에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등의 일함수(절대치)가 낮은 고도전성의 금속을 사용한다. 화소 전극(PE1, PE2)을 애노드 전극으로 할 경우, 대향 전극은 캐소드 전극으로, 화소 전극(PE1, PE2)을 캐소드로 할 경우, 대향 전극은 애노드 전극으로 한다.

[0078] 제1화소(PX1)와 제2화소(PX2)의 유기막(OE1, OE2)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기막(OE1, OE2)은 저분자 또는 고분자 유기물로 구비될 수 있다. 유기막(OE1, OE2)이 적색, 녹색, 청색의 각각의 빛을 방출하는 경우, 상기 발광층은 적색 부화소, 녹색 부화소 및 청색 부화소에 따라 각각 적색 발광층, 녹색 발광층 및 청색 발광층으로 패터닝될 수 있다. 한편, 유기막(OE1, OE2)이 백색광을 방출하는 경우, 상기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일 층 구조를 가질 수 있다.

[0079] 도 11 내지 도 13은 본 발명의 실시예에 대한 비교예를 설명하기 위한 도면들이다. 도 12는 도 11의 B-B'선을 따라 자른 단면도이다.

[0080] 도 11 내지 도 13을 참조하면, 기판(101) 상에 제1화소(PX1)의 액티브층(212-1)과 제2화소(PX2)의 액티브층(212-2)이 서로 분리되어 형성된다. 액티브층(212-1, 212-2)의 상부에는 제1 게이트 절연막(102), 제1 게이트 배선(GL1), 제2 게이트 절연막(103), 제2 게이트 배선(GL2), 중간 절연막(104)이 차례로 형성된다. 제1 게이트 배선(GL1)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn) 및 제1커패시터 전극(214-1, 214-2)을 포함할 수 있다. 제2 게이트 배선(GL2)은 제2커패시터 전극(216-1, 216-2)을 포함할 수 있다. 제1화소(PX1)의 제2커패시터 전극(216-1)과 제2화소(PX2)의 제2커패시터 전극(216-2)은 서로 연결되어 있다.

[0081] 그리고, 중간 절연막(104) 상에는 데이터선(DL)과 구동 전압선(PL)이 각각 형성된다. 제1화소(PX1)의 제2커패시터 전극(216-1)과 제2화소(PX2)의 제2커패시터 전극(216-2)은 각각 컨택홀을 통해 구동 전압선(PL)과 연결되어,

제2커패시터 전극(216-1, 216-2)은 구동 전압선(PL)의 그물망 구조를 구현하는 역할도 한다. 또한 충간 절연막(104) 상에는 제1커버메탈(CM1)과 제2커버메탈(CM2)이 형성된다.

[0082] 데이터선(DLm-1, DLm)과 구동 전압선(PL), 제1커버메탈(CM1), 제2커버메탈(CM2)이 형성된 기판(101) 상에 보호막(105)이 형성된다. 보호막(105)에는 제1커버메탈(CM1)과 제2커버메탈(CM2) 각각의 일부를 노출하는 제1비아홀(VH1)과 제2비아홀(VH2)이 제1화소(PX1)와 제2화소(PX2)에 각각 형성된다.

[0083] 그리고, 보호막(105) 상에 화소 전극(PE1, PE2)과 초기화 전압선(VL)이 형성된다. 각 화소 전극(PE1, PE2)은 제1비아홀(VH1)을 통해 각 화소(PX1, PX2)의 제2 발광 제어 박막 트랜지스터(T6)와 연결된다. 그리고, 초기화 전압선(VL)은 제1화소(PX1)와 제2화소(PX2) 각각에 형성된 제2비아홀(VH2)을 통해 각 화소(PX1, PX2)의 초기화 박막 트랜지스터(T4)와 연결되어, 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)에 각각 전달한다.

[0084] 본 발명의 실시예는 도 9에 도시된 바와 같이, 세로 구동 전압선(PLV)과 가로 구동 전압선(PLH)을 포함하는 그물망 구조의 구동 전압선(PL)을 데이터선(DLm-1, DLm)과 동일층에 동일 물질로 형성한다. 이에 따라, 가로 구동 전압선(PLH)을 구성하는 연결 배선(118)과, 연결 배선(118)과 대략 직교하는 방향으로 배치된 하부의 액티브층(112-1, 112-2)과의 사이에 제1 게이트 절연막(102), 제2 게이트 절연막(103), 충간 절연막(104)이 배치된다.

[0085] 반면, 도 12의 비교예의 경우, 그물망 구조의 구동 전압선(PL)을 제2 게이트 배선(GL2)인 제2커패시터 전극(216-1, 216-2)으로 형성한다. 이에 따라, 제2커패시터 전극(216-1, 216-2)의 연결 부분과 하부의 액티브층(212-1, 112-2)과의 사이에 제1 게이트 절연막(102), 제2 게이트 절연막(103)이 배치된다.

[0086] 도 9 및 도 12를 비교하면, 본 발명의 실시예에서 구동 전압선(PL)과 액티브층(112-1, 112-2) 간에 발생하는 기생 커패시터(C1)의 커패시턴스는, 비교예에서 구동 전압선(PL)과 액티브층(212-1, 112-2) 간에 발생하는 기생 커패시터(C2)의 커패시터보다 작다.

[0087] 그물망 구조의 구동 전압선(PL)과 액티브층 간에 발생하는 기생 커패시터는 제2 발광 제어 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)의 화소 전극으로 흐르는 누설 전류(leakage current) 증가 원인이 되어, 표시 장치의 블랙 휘도를 증가시킨다.

[0088] 본 발명의 실시예는, 가로 구동 전압선(PLH)을, 데이터선(DLm-1, DLm)과 동일층에 형성되는 세로 구동 전압선(PLV)과 동일층에 형성함으로써, 비교예에 비해 구동 전압선(PL)과 액티브층(112-1, 112-2) 간에 절연막을 두껍게 형성할 수 있다. 즉, 본 발명의 실시예는 두 개의 신호 배선인 구동 전압선(PL)과 액티브층 사의 간격(Gap)을 최대화하여 불필요한 기생 커패시터를 줄일 수 있어 블랙 휘도 상승을 방지할 수 있고, 따라서 화면의 왜곡 현상을 감소시킬 수 있다.

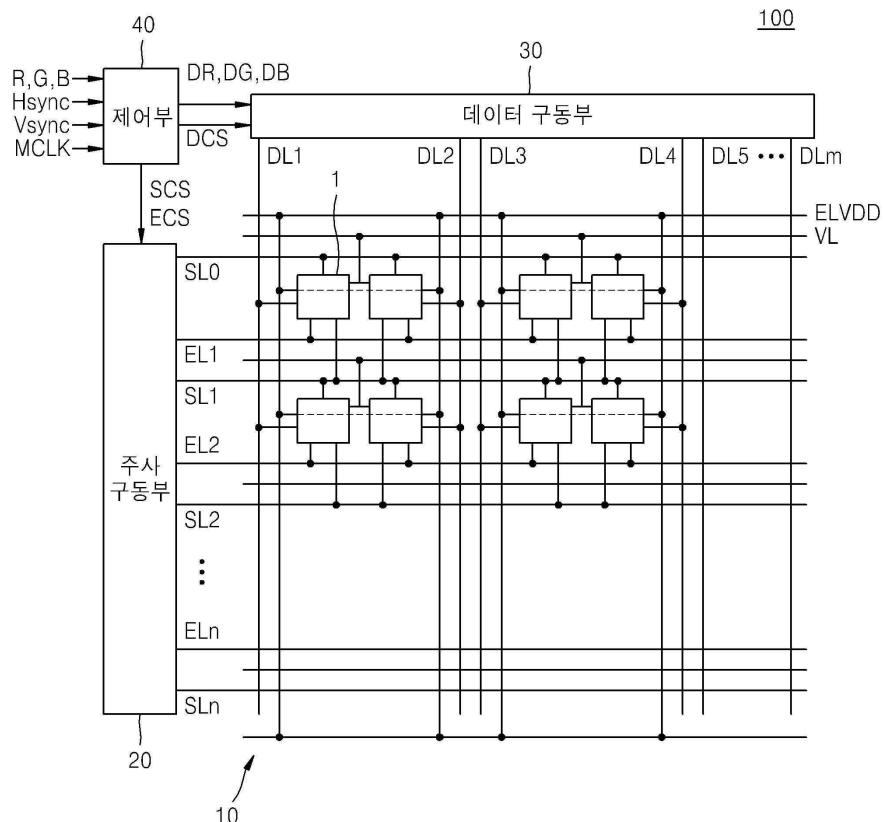
[0089] 또한 본 발명의 실시예는 구동 전압선(PL)을 그물망 구조로 형성함으로써 화소에 일정한 크기의 제1전원전압(ELVDD)을 공급할 수 있어 전압 강하를 줄일 수 있다.

[0090] 전술한 실시예에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 1개의 커패시터(capacitor)를 구비하는 6Tr-1Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다.

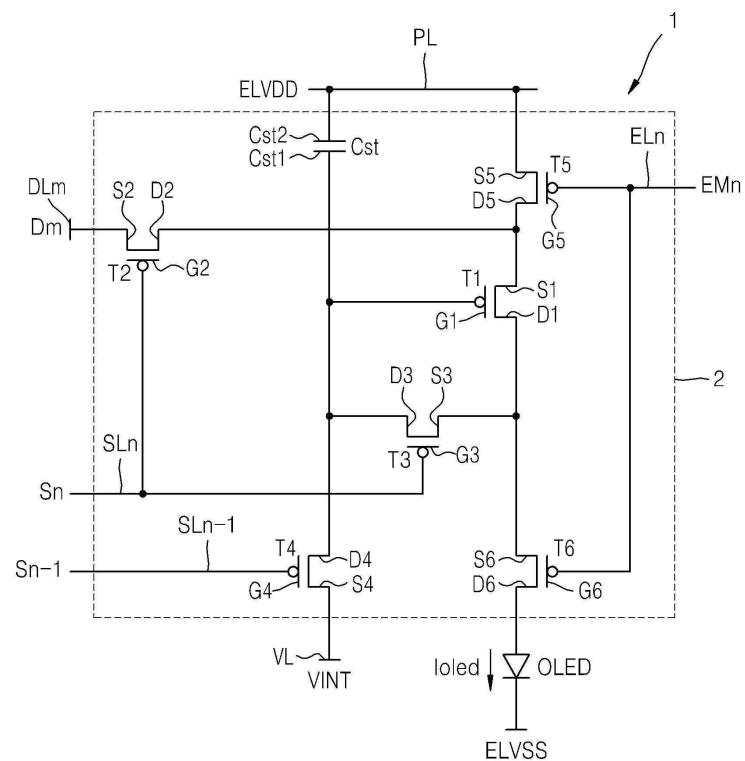
[0091] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

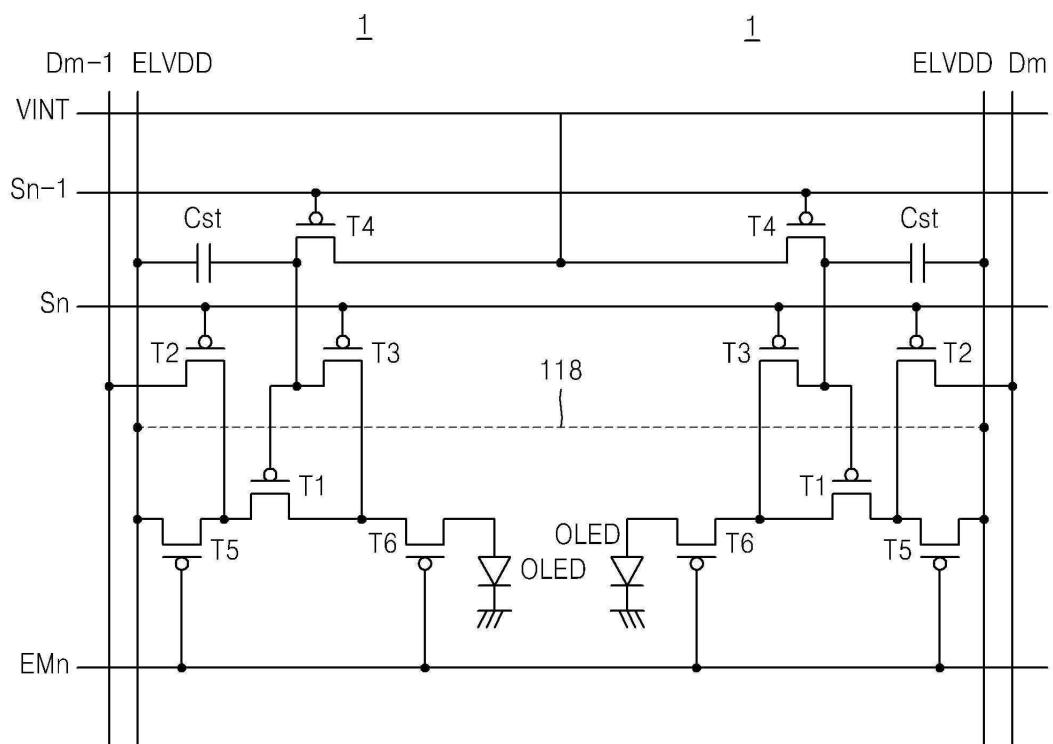
도면1



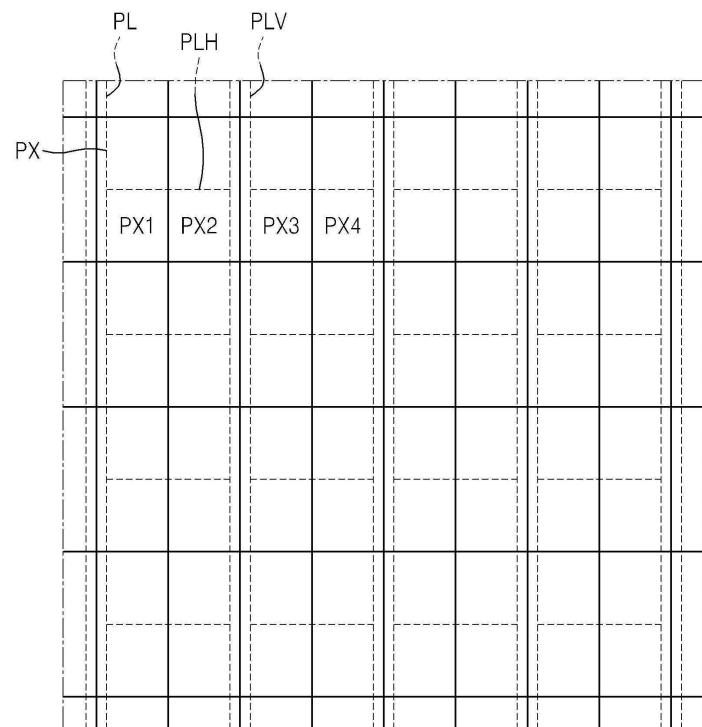
도면2



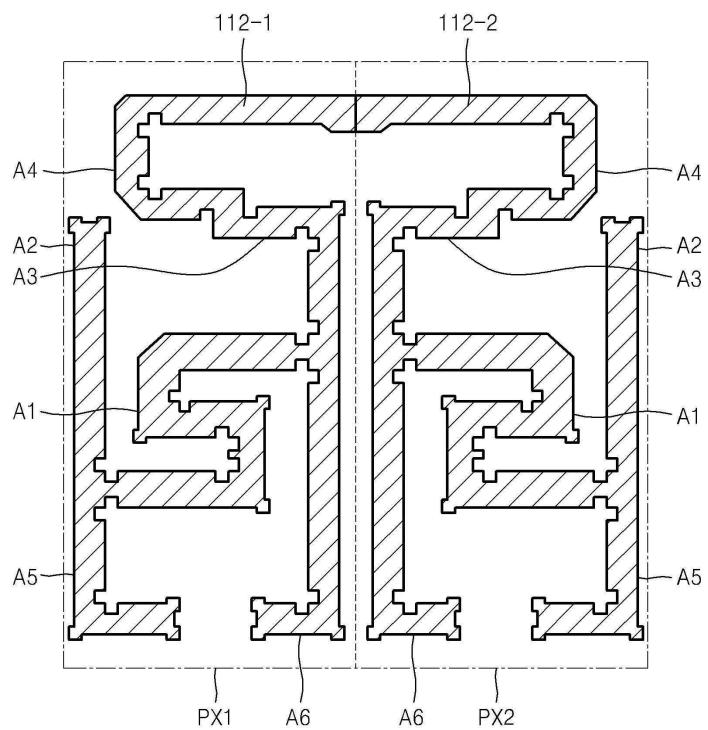
도면3



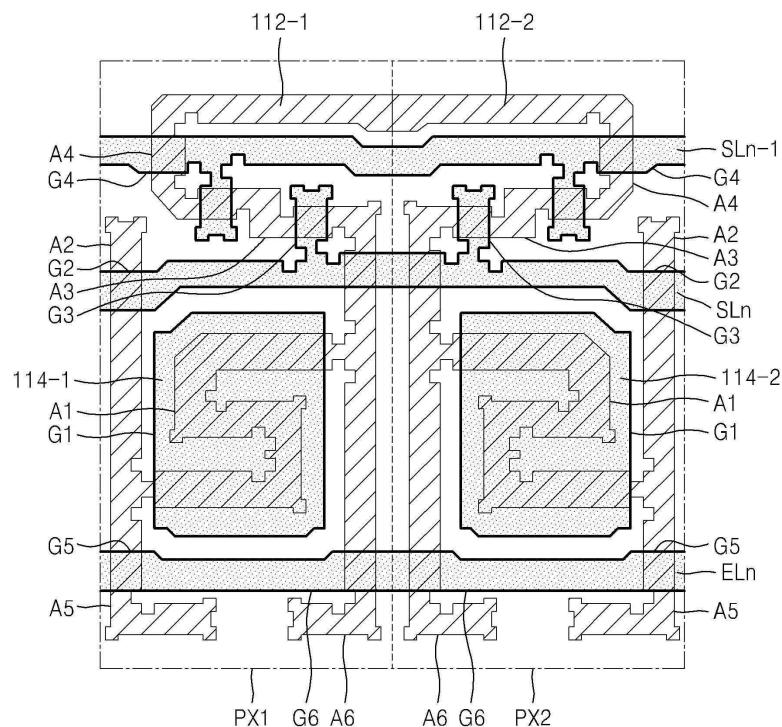
도면4



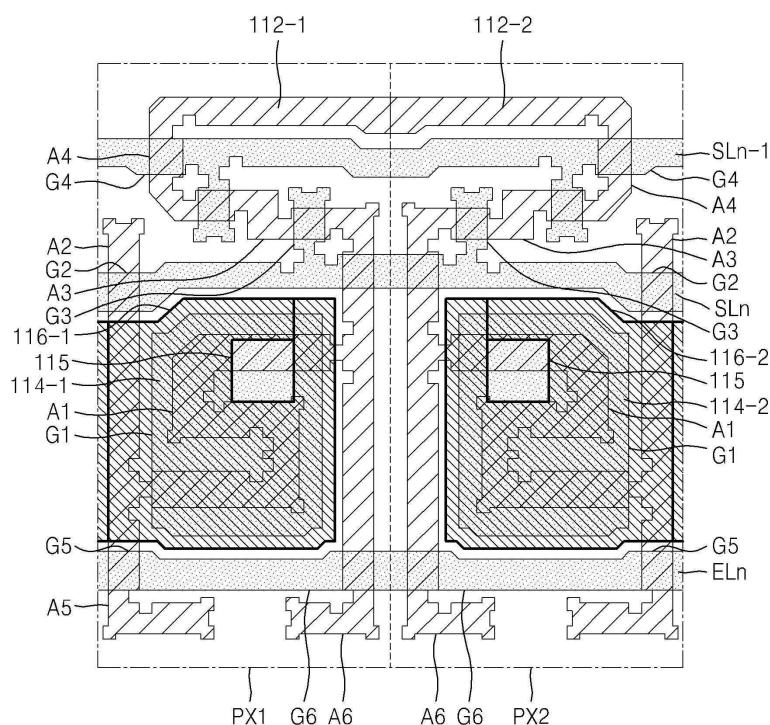
도면5



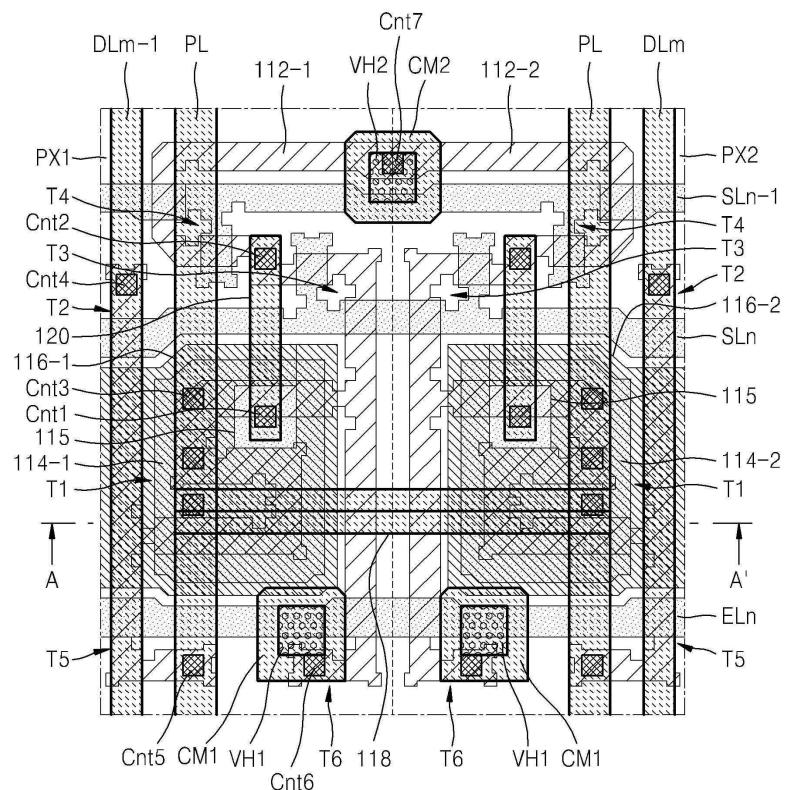
도면6



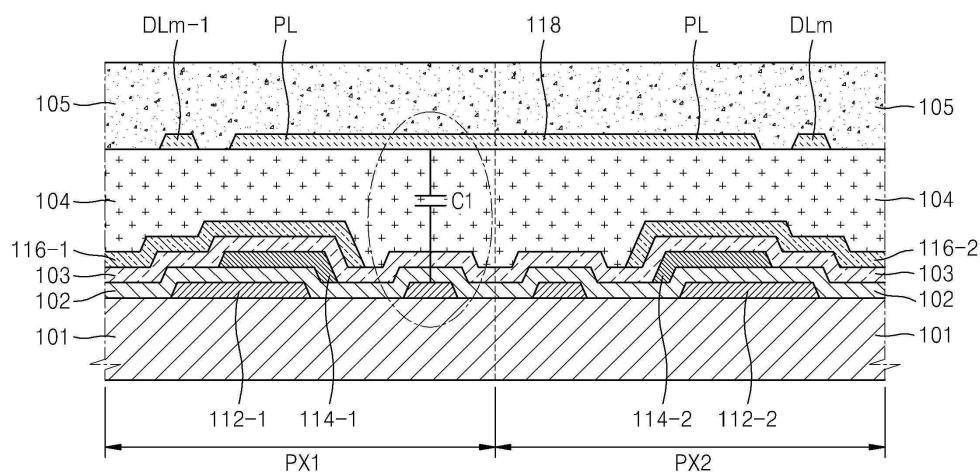
도면7



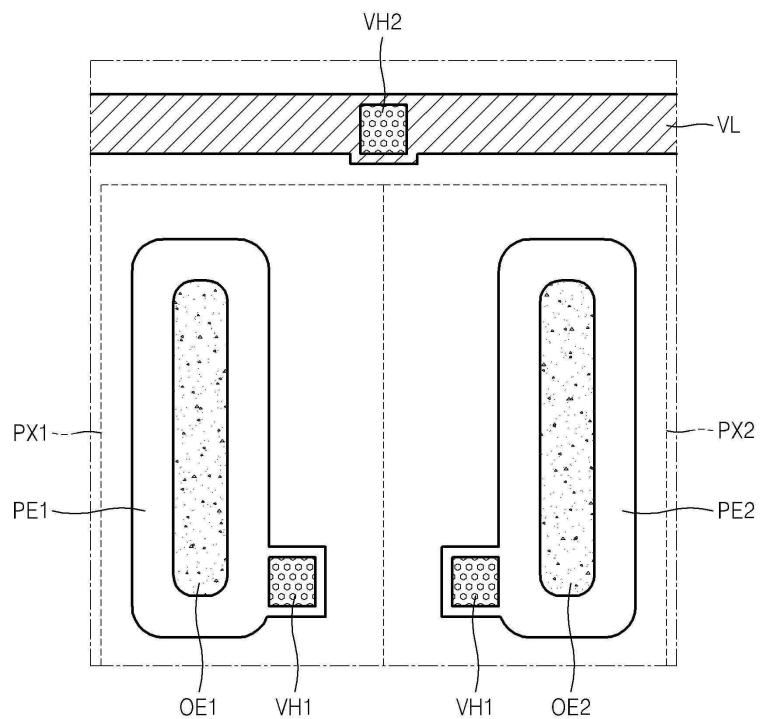
도면8



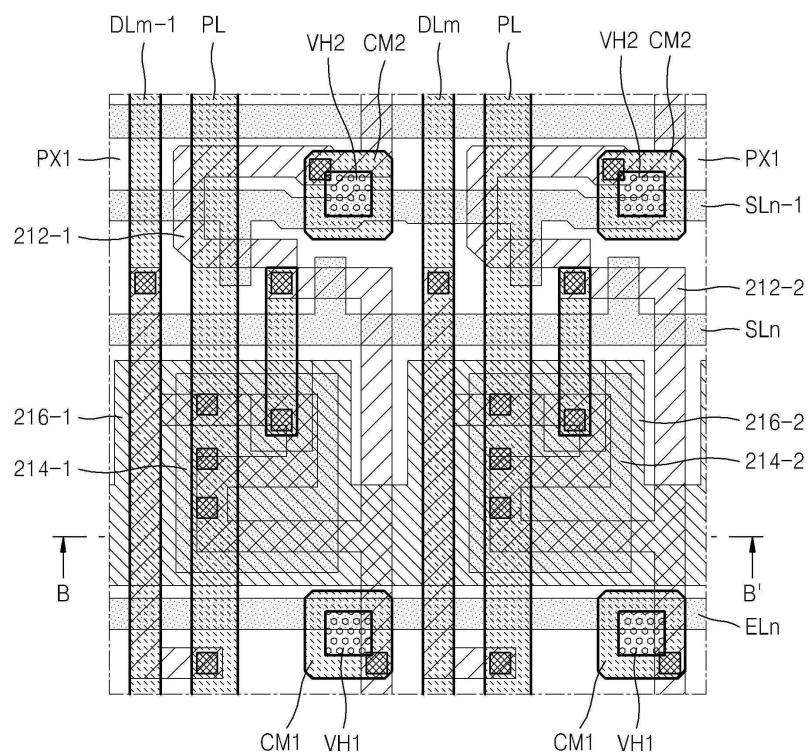
도면9



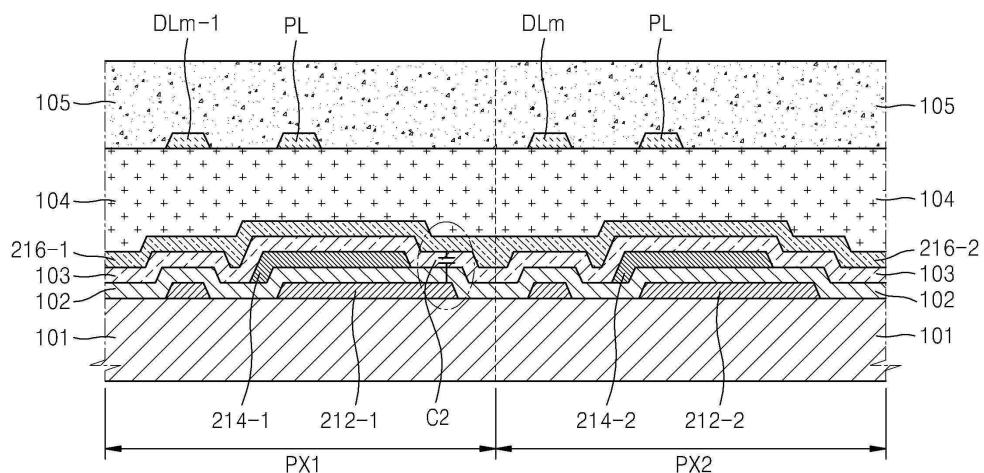
도면10



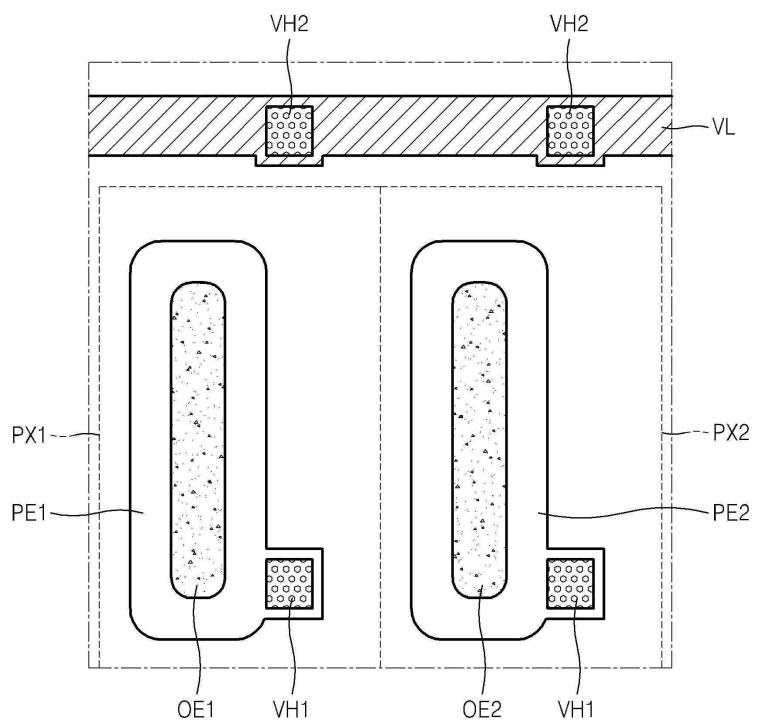
도면11



도면12



도면13



专利名称(译) 有机发光显示装置及其制造方法

公开(公告)号 KR1020200000839A

公开(公告)日 2020-01-03

申请号 KR1020190173465

申请日 2019-12-23

[标]申请(专利权)人(译) 三星显示有限公司

申请(专利权)人(译) 三星显示器有限公司

[标]发明人 김현태

发明人 김현태

IPC分类号 G09G3/36 H01L27/32

CPC分类号 G09G3/3696 H01L27/3241 H01L27/3276 H01L27/3297 G09G2300/0809

外部链接 [Espacenet](#)

摘要(译)

本发明公开了一种有机发光显示装置及其制造方法。本发明的能够使泄漏电流最小的有机发光显示装置可以包括：多个像素，该多个像素形成在多个扫描线和多个数据线交叉的区域中；以及多个像素。与扫描线平行并在行线中彼此相邻的两个像素之间共享的多个初始化电压线，以向两个相邻的像素提供初始化电压；驱动电压线，向每个像素提供驱动电压，并且包括垂直方向上的第一电压线和水平方向上的第二电压线，其中第二电压线连接在两个相邻像素之间。

