



오드의 애노드 전극 사이에 접속되고, 게이트 전극은 상기 발광 제어 라인에 접속되는 제3 트랜지스터; 상기 제1 노드와 데이터 라인 사이에 접속되고, 게이트 전극은 제1 스캔 라인에 접속되는 제4 트랜지스터; 상기 제2 노드와 스토리지 커패시터 사이에 접속되고, 게이트 전극은 상기 제1 스캔 라인에 접속되는 제5 트랜지스터; 초기화 전원과 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 상기 제1 스캔 라인에 접속되는 제6 트랜지스터; 제1 전극은 상기 초기화 전원에 접속되고, 제2 전극은 상기 제2 트랜지스터의 게이트 전극에 접속되며, 게이트 전극은 제2 스캔 라인에 접속되는 제7 트랜지스터; 및 상기 구동전원 및 상기 제5 트랜지스터 사이에 접속되는 스토리지 커패시터를 포함하고, 상기 제1 트랜지스터 내지 상기 제7 트랜지스터는 P 타입 산화물 반도체 박막 트랜지스터로 형성될 수 있다.

(52) CPC특허분류

*H01L 29/517* (2013.01)

*H01L 29/7869* (2013.01)

*G09G 2300/0842* (2013.01)

*G09G 2320/0214* (2013.01)

*G09G 2330/021* (2013.01)

(72) 발명자

**김시우**

경기도 수원시 영통구 센트럴타운로 85 (이의동,  
광교c1호반베르디움) 103동 2503호

**김원석**

경기도 성남시 분당구 판교역로 100 (백현동, 백현  
마을6단지아파트) 백현마을606-803

**김정문**

서울특별시 송파구 위례광장로 121 (장지동,  
위례24단지) 꿈에그린아파트 2416동 805호

## 명세서

### 청구범위

#### 청구항 1

유기발광 다이오드;

제1 전극은 구동전원에 접속되고, 제2 전극은 제1 노드에 접속되며, 게이트 전극은 발광 제어라인에 접속되는 제1 트랜지스터;

상기 제1 노드 및 제2 노드 사이에 접속되고, 게이트 전극은 제7 트랜지스터의 제2 전극에 접속되는 제2 트랜지스터;

상기 제2 노드와 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 상기 발광 제어 라인에 접속되는 제3 트랜지스터;

상기 제1 노드와 데이터 라인 사이에 접속되고, 게이트 전극은 제1 스캔 라인에 접속되는 제4 트랜지스터;

상기 제2 노드와 스토리지 커패시터 사이에 접속되고, 게이트 전극은 상기 제1 스캔 라인에 접속되는 제5 트랜지스터;

초기화 전원과 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 상기 제1 스캔 라인에 접속되는 제6 트랜지스터;

제1 전극은 상기 초기화 전원에 접속되고, 제2 전극은 상기 제2 트랜지스터의 게이트 전극에 접속되며, 게이트 전극은 제2 스캔 라인에 접속되는 제7 트랜지스터; 및

상기 구동전원 및 상기 제5 트랜지스터 사이에 접속되는 스토리지 커패시터를 포함하고,

상기 제1 트랜지스터 내지 상기 제7 트랜지스터는 P타입 산화물 반도체 박막 트랜지스터로 형성되는 픽셀.

#### 청구항 2

제 1 항에 있어서,

상기 P타입 산화물 반도체 박막 트랜지스터의 채널층은 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물(InSnGaZnO)계 재료나, 3원계 금속 산화물인 인듐 갈륨 아연 산화물(InGaZnO)계 재료, 인듐 주석 아연 산화물(InSnZnO)계 재료, 인듐 알루미늄 아연 산화물(InAlZnO)계 재료, 인듐 하프늄 아연 산화물(InHfZnO)계 재료, 주석 갈륨 아연 산화물(SnGaZnO)계 재료, 알루미늄 갈륨 아연 산화물(AlGaZnO)계 재료, 주석 알루미늄 아연 산화물(SnAlZnO)계 재료나, 2원계 금속 산화물인 인듐 아연 산화물(InZnO)계 재료, 주석 아연 산화물(SnZnO)계 재료, 인듐 마그네슘 산화물(InMgO)계 재료, 인듐 갈륨 산화물(InGaO)계 재료나, 인듐 산화물(InO)계 재료, 주석 산화물(SnO)계 재료, 아연 산화물(ZnO)계 재료 중 적어도 하나로 구성되는 픽셀.

#### 청구항 3

복수의 데이터 라인 및 복수의 스캔 라인과 복수의 픽셀이 배치되어 구성되는 유기전계발광 표시패널;

상기 복수의 데이터 라인으로 데이터 전압을 공급하여 상기 복수의 데이터 라인을 구동하는 데이터 구동부;

상기 복수의 스캔 라인으로 스캔 신호를 순차적으로 공급하여 상기 복수의 스캔 라인을 순차적으로 구동하는 스캔 구동부; 및

상기 데이터 구동부 및 상기 스캔 구동부로 제어신호를 공급하여 상기 데이터 구동부 및 상기 스캔 구동부를 제어하는 제어부를 포함하며,

상기 복수의 픽셀 각각에 포함된 트랜지스터는 산화물 반도체 박막 트랜지스터로만 형성되는 유기전계발광 표시

장치.

#### 청구항 4

제 3 항에 있어서,

상기 복수의 픽셀 각각에 포함된 트랜지스터는 P 타입 산화물 반도체 박막 트랜지스터로만 형성되는 유기전계발광 표시장치.

#### 청구항 5

제 3 항에 있어서, 상기 복수의 픽셀 각각은,

유기발광 다이오드;

제1 전극은 구동전원에 접속되고, 제2 전극은 제1 노드에 접속되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터;

데이터 라인과 상기 제2 노드 사이에 접속되고, 게이트 전극은 제2 스캔 라인에 접속되는 제2 트랜지스터;

상기 제1 노드와 기준전압 라인 사이에 접속되고, 게이트 전극은 제3 스캔 라인에 접속되는 제3 트랜지스터;

상기 제1 노드와 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 제1 스캔 라인에 접속되는 제4 트랜지스터; 및

상기 제1 노드와 상기 제2 노드 사이에 접속되는 스토리지 커패시터를 포함하는 유기전계발광 표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 제2 스캔 라인 및 상기 제3 스캔 라인은 하나의 공용 스캔 라인으로 구성되는 유기전계발광 표시장치.

#### 청구항 7

제 3 항에 있어서, 상기 복수의 픽셀 각각은,

유기발광 다이오드;

제1 전극은 제4 트랜지스터의 제2 전극에 접속되고, 제2 전극은 제1 노드에 접속되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터;

데이터 라인과 상기 제2 노드 사이에 접속되고, 게이트 전극은 제1 스캔 라인에 접속되는 제2 트랜지스터;

상기 제1 노드와 기준전압 라인 사이에 접속되고, 게이트 전극은 제3 스캔 라인에 접속되는 제3 트랜지스터;

제1 전극은 구동전원에 접속되고, 제2 전극은 상기 제1 트랜지스터의 제1 전극에 접속되며, 게이트 전극은 제2 스캔 라인에 접속되는 제4 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 접속되는 스토리지 커패시터를 포함하는 유기전계발광 표시장치.

#### 청구항 8

제 7 항에 있어서,

상기 제1 스캔 라인 및 상기 제3 스캔 라인은 하나의 공용 스캔 라인으로 구성되는 유기전계발광 표시장치.

**청구항 9**

제 3 항에 있어서, 상기 복수의 픽셀 각각은,

유기발광 다이오드;

제1 전극은 제5 트랜지스터의 제2 전극에 접속되고, 제2 전극은 제1 노드에 접속되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터;

데이터 라인과 상기 제2 노드 사이에 접속되고, 게이트 전극은 제2 스캔 라인에 접속되는 제2 트랜지스터;

상기 제1 노드와 기준전압 라인 사이에 접속되고, 게이트 전극은 제4 스캔 라인에 접속되는 제3 트랜지스터;

상기 제1 노드와 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 제1 스캔 라인에 접속되는 제4 트랜지스터;

제1 전극은 구동전원에 접속되고, 제2 전극은 상기 제1 트랜지스터의 제1 전극에 접속되며, 게이트 전극은 제3 스캔 라인에 접속되는 제5 트랜지스터; 및

상기 제1 노드와 상기 제2 노드 사이에 접속되는 스토리지 커패시터를 포함하는 유기전계발광 표시장치.

**청구항 10**

제 9 항에 있어서,

상기 제2 스캔 라인 및 상기 제4 스캔 라인은 하나의 공용 스캔 라인으로 구성되는 유기전계발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 픽셀 및 이를 포함하는 유기전계발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기발광 다이오드(Organic Light Emitting Diode; OLED)를 이용하여 영상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기전계발광 표시장치는 복수의 데이터 라인 및 복수의 스캔 라인에 접속되는 복수의 픽셀을 구비하며, 각각의 픽셀은 유기발광 다이오드와 유기발광 다이오드로 흐르는 전류량을 제어하기 위한 구동 트랜지스터를 포함한다.

[0004] 구동전압을 낮게 설정하여 고휘도를 구현하거나, 유기전계발광 표시장치를 저 주사율로 구동하여 소비전력을 최소화하는 방법이 사용되고 있다.

[0005] 그러나, 저온폴리실리콘(Low Temperature Polycrystalline Silicon; LTPS) 방식의 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하는 경우, 픽셀에서의 누설전류로 인해 저 주사율로 구동이 어렵다는 한계가 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 기술적 사상이 이루고자 하는 과제 중 하나는, 소비전력을 최소화할 수 있는 픽셀 및 이를 포함하는 유기전계발광 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

[0007] 본 발명의 실시예에 따른 픽셀은, 유기발광 다이오드; 제1 전극은 구동전원에 접속되고, 제2 전극은 제1 노드에

접속되며, 게이트 전극은 발광 제어라인에 접속되는 제1 트랜지스터; 상기 제1 노드 및 제2 노드 사이에 접속되고, 게이트 전극은 제7 트랜지스터의 제2 전극에 접속되는 제2 트랜지스터; 상기 제2 노드와 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 상기 발광 제어 라인에 접속되는 제3 트랜지스터; 상기 제1 노드와 데이터 라인 사이에 접속되고, 게이트 전극은 제1 스캔 라인에 접속되는 제4 트랜지스터; 상기 제2 노드와 스토리지 커패시터 사이에 접속되고, 게이트 전극은 상기 제1 스캔 라인에 접속되는 제5 트랜지스터; 초기화 전원과 상기 유기발광 다이오드의 애노드 전극 사이에 접속되고, 게이트 전극은 상기 제1 스캔 라인에 접속되는 제6 트랜지스터; 제1 전극은 상기 초기화 전원에 접속되고, 제2 전극은 상기 제2 트랜지스터의 게이트 전극에 접속되며, 게이트 전극은 제2 스캔 라인에 접속되는 제7 트랜지스터; 및 상기 구동전원 및 상기 제5 트랜지스터 사이에 접속되는 스토리지 커패시터를 포함하고, 상기 제1 트랜지스터 내지 상기 제7 트랜지스터는 P 타입 산화물 반도체 박막 트랜지스터로 형성될 수 있다.

[0009] 본 발명의 실시예에 따른 유기전계발광 표시장치는, 복수의 데이터 라인 및 복수의 스캔 라인과 복수의 픽셀이 배치되어 구성되는 유기전계발광 표시패널; 상기 복수의 데이터 라인으로 데이터 전압을 공급하여 상기 복수의 데이터 라인을 구동하는 데이터 구동부; 상기 복수의 스캔 라인으로 스캔 신호를 순차적으로 공급하여 상기 복수의 스캔 라인을 순차적으로 구동하는 스캔 구동부; 및 상기 데이터 구동부 및 상기 스캔 구동부로 제어신호를 공급하여 상기 데이터 구동부 및 상기 스캔 구동부를 제어하는 제어부를 포함하며, 상기 복수의 픽셀 각각에 포함된 트랜지스터는 산화물 반도체 박막 트랜지스터로만 형성될 수 있다.

**발명의 효과**

[0010] 본 발명의 일 실시예에 따르면, 소비전력을 최소화할 수 있는 픽셀 및 이를 포함하는 유기전계발광 표시장치를 제공할 수 있다.

[0012] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치를 도시하는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 다음과 같이 설명한다.

[0016] 도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치를 도시하는 도면이다.

[0017] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광 표시장치(100)는 유기전계발광 표시패널(110), 데이터 구동부(120), 스캔 구동부(130) 및 제어부(140)를 포함할 수 있다.

[0019] 유기전계발광 표시패널(110)은 복수의 데이터 라인(DL) 및 복수의 스캔 라인(SL)과 복수의 픽셀(P)이 배치되어 구성될 수 있다.

[0020] 유기전계발광 표시패널(110)에 배치되는 복수의 픽셀(P)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.

- [0021] 일 예에 따르면, 각각의 픽셀(P)은 유기발광 다이오드(OLED)와 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성될 수 있다.
- [0022] 본 발명의 실시예들에 따른 픽셀의 구조는 도 2 내지 도 6을 참조하여 보다 구체적으로 후술하기로 한다.
- [0024] 데이터 구동부(120)는 복수의 데이터 라인(DL)으로 데이터 전압을 공급하여 복수의 데이터 라인(DL)을 구동할 수 있다.
- [0025] 일 예에 따르면, 데이터 구동부(120)는 적어도 하나의 소스 구동부 집적회로(Source Driver Integrated Circuit; SDIC)를 포함하여 복수의 데이터 라인(DL)을 구동할 수 있다.
- [0027] 스캔 구동부(130)는 복수의 스캔 라인(SL)으로 스캔 신호를 순차적으로 공급하여 복수의 스캔 라인(SL)을 순차적으로 구동할 수 있다.
- [0028] 일 예에 따르면, 스캔 구동부(130)는 적어도 하나의 게이트 구동부 집적회로(Gate Driver Integrated Circuit; GDIC)를 포함할 수 있으며, 게이트 구동부 집적회로(GDIC)는 GIP(Gate In Panel) 타입으로 구현되어 유기전계발광 표시패널(110)에 배치될 수 있다. 여기서, GIP는 저온폴리실리콘(LTPS) 방식으로 구현될 수 있으며, 이에 따라 높은 전자 이동도를 가지고 빠른 구동 특성을 가질 수 있다.
- [0030] 제어부(140)는 데이터 구동부(120) 및 스캔 구동부(130)로 제어신호를 공급하여, 데이터 구동부(120) 및 스캔 구동부(130)를 제어할 수 있다.
- [0031] 구체적으로, 제어부(140)는 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(Data Enable; DE) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예를 들어, 호스트 시스템)로부터 수신할 수 있다.
- [0032] 또한, 제어부(140)는 수신한 타이밍 신호들에 대응하여 데이터 구동제어신호(DCS) 및 스캔 구동제어신호(SCS)를 생성하고, 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급하고, 스캔 구동제어신호(SCS)는 스캔 구동부(130)로 공급할 수 있다. 또한, 제어부(140)는 외부로부터 공급되는 영상 데이터(Data)를 재정렬하여 데이터 구동부(120)로 공급할 수 있다.
- [0034] 상술한 스캔 구동부(130)는, 제어부(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 복수의 스캔 라인(SL)으로 순차적으로 공급할 수 있다.
- [0035] 데이터 구동부(120)는, 스캔 구동부(130)에 의해 임의의 스캔 라인이 구동되면, 제어부(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 복수의 데이터 라인(DL)으로 공급할 수 있다.
- [0037] 도 1에서는 데이터 구동부(120)가 유기전계발광 표시패널(110)의 일측(예를 들어, 상측 또는 하측)에 위치한 것으로 도시되어 있으나 반드시 이로 제한되는 것은 아니다. 예를 들어, 유기전계발광 표시패널(110)의 구동 방식, 패널 설계 방식 등에 따라서 데이터 구동부(120)는 유기전계발광 표시패널(110)의 양측(예를 들어, 상측 및 하측)에 모두 위치할 수도 있다.
- [0038] 또한, 도 1에서는 스캔 구동부(130)가 유기전계발광 표시패널(110)의 일측(예를 들어, 좌측 또는 우측)에 위치한 것으로 도시되어 있으나 반드시 이로 제한되는 것은 아니다. 예를 들어, 유기전계발광 표시패널(110)의 구동 방식, 패널 설계 방식 등에 따라서 스캔 구동부(130)는 유기전계발광 표시패널(110)의 양측(예를 들어, 좌측 및 우측)에 모두 위치할 수도 있다.
- [0040] 도 2는 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다. 도 2에서 픽셀은 i번째 스캔 라인에 위치되며, m번째 데이터 라인에 접속된 것으로 가정한다.

- [0041] 도 2를 참조하면, 본 발명의 일 실시예에 따른 픽셀은 유기발광 다이오드(OLED) 및 픽셀 회로(20)를 포함한다.
- [0043] 유기발광 다이오드(OLED)의 애노드 전극은 픽셀 회로(20)에 접속되며, 픽셀 회로(20)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성할 수 있다.
- [0045] 픽셀 회로(20)는 데이터 신호(Dm)에 대응하여 구동전원(ELVDD)으로부터 유기발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 여기서, 픽셀 회로(20)는 제1 트랜지스터 내지 제7 트랜지스터(M1 내지 M7) 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0047] 제1 트랜지스터(M1)의 제1 전극은 구동전원(ELVDD)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 또한, 제1 트랜지스터(M1)의 게이트 전극은 발광 제어 라인(EL)에 접속된다. 제1 트랜지스터(M1)는 발광 제어 라인(EL)으로 발광 제어신호(Ei)가 공급될 때 턴-오프되고, 발광 제어신호(Ei)가 공급되지 않을 때 턴-온된다. 또한, 제1 트랜지스터(M1)는 발광 제어신호(Ei)에 대응하여 구동전원(ELVDD)으로부터 유기발광 다이오드(OLED)로 흐르는 전류량을 제어한다.
- [0049] 제2 트랜지스터(M2)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 또한, 제2 트랜지스터(M2)의 게이트 전극은 제7 트랜지스터(M7)의 제2 전극에 접속된다.
- [0051] 제3 트랜지스터(M3)는 제2 노드(N2)와 유기발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 또한, 제3 트랜지스터(M3)의 게이트 전극은 발광 제어 라인(EL)에 접속된다. 제3 트랜지스터(M3)는 발광 제어 라인(EL)으로 발광 제어신호(Ei)가 공급될 때 턴-오프되고, 발광 제어신호(Ei)가 공급되지 않을 때 턴-온된다.
- [0053] 제4 트랜지스터(M4)는 제1 노드(N1)와 데이터 라인(DL) 사이에 접속된다. 또한, 제4 트랜지스터(M4)의 게이트 전극은 제1 스캔 라인(SL1)에 접속된다. 제4 트랜지스터(M4)는 제1 스캔 라인(SL1)으로 제1 스캔 신호(S1i)가 공급될 때 턴-온된다. 제4 트랜지스터(M4)가 턴-온되면 데이터 라인(DL)과 제1 노드(N1)가 전기적으로 접속된다.
- [0055] 제5 트랜지스터(M5)는 제2 노드(N2)와 스토리지 커패시터(Cst) 사이에 접속된다. 또한, 제5 트랜지스터(M5)의 게이트 전극은 제1 스캔 라인(SL1)에 접속된다. 제5 트랜지스터(M5)는 제1 스캔 라인(SL1)으로 제1 스캔 신호(S1i)가 공급될 때 턴-온된다. 제5 트랜지스터(M5)가 턴-온되면 스토리지 커패시터(Cst)와 제2 노드(N2)가 전기적으로 접속된다.
- [0057] 제6 트랜지스터(M6)는 초기화 전원(Vint)과 유기발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 또한, 제6 트랜지스터(M6)의 게이트 전극은 제1 스캔 라인(SL1)에 접속된다. 제6 트랜지스터(M6)는 제1 스캔 라인(SL1)으로 제1 스캔 신호(S1i)가 공급될 때 턴-온된다. 제6 트랜지스터(M6)가 턴-온되면 초기화 전원(Vint)이 유기발광 다이오드(OLED)의 애노드 전극으로 공급된다.
- [0059] 제7 트랜지스터(M7)의 제1 전극은 초기화 전원(Vint)에 접속되고, 제2 전극은 제2 트랜지스터(M2)의 게이트 전극에 접속된다. 제7 트랜지스터(M7)의 게이트 전극은 제2 스캔 라인(SL2)에 접속된다. 제7 트랜지스터(M7)는 제2 스캔 라인(SL2)으로 제2 스캔 신호(S2i)가 공급될 때 턴-온된다. 제7 트랜지스터(M7)가 턴-온되면 초기화 전원(Vint)이 제2 트랜지스터(M2)의 게이트 전극으로 공급된다.

- [0061] 스토리지 커패시터(Cst)는 구동전원(ELVDD)과 제5 트랜지스터(M5) 사이에 접속된다.
- [0063] 상술한 제1 트랜지스터 내지 제7 트랜지스터(M1 내지 M7)는 P타입 산화물 반도체 박막 트랜지스터로 형성할 수 있다. 여기서, P타입 산화물 반도체 박막 트랜지스터의 채널층의 구성 물질은 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물(InSnGaZnO)계 재료나, 3원계 금속 산화물인 인듐 갈륨 아연 산화물(InGaZnO)계 재료, 인듐 주석 아연 산화물(InSnZnO)계 재료, 인듐 알루미늄 아연 산화물(InAlZnO)계 재료, 인듐 하프늄 아연 산화물(InHfZnO)계 재료, 주석 갈륨 아연 산화물(SnGaZnO)계 재료, 알루미늄 갈륨 아연 산화물(AlGaZnO)계 재료, 주석 알루미늄 아연 산화물(SnAlZnO)계 재료나, 2원계 금속 산화물인 인듐 아연 산화물(InZnO)계 재료, 주석 아연 산화물(SnZnO)계 재료, 인듐 마그네슘 산화물(InMgO)계 재료, 인듐 갈륨 산화물(InGaO)계 재료나, 인듐 산화물(InO)계 재료, 주석 산화물(SnO)계 재료, 아연 산화물(ZnO)계 재료 등을 포함할 수 있다. 상술한 각각의 산화물 반도체 재료에 포함되는 각각의 원소의 조성 비율은 특정 비율로 한정되지 않고 다양하게 조성될 수 있다.
- [0064] 또한, 본 발명의 실시예에 따르면, P타입 산화물 반도체는 게이트 층을 채널층의 하부로 하는 BCE(Back Channel Etch) 형태 또는 ESL(Etch Stop Layer) 형태일 수 있다. 또는, P타입 산화물 반도체는 게이트 층이 채널층과 게이트 절연막 위에 배치된 자기정렬방식의 구조를 가질 수 있다.
- [0065] 이와 같이, 제1 트랜지스터 내지 제7 트랜지스터(M1 내지 M7)가 산화물 반도체 박막 트랜지스터로 형성되면 누설전류에 의한 전압 변동을 최소화하여 저 주사율로 구동이 가능해진다. 또한, 제1 트랜지스터 내지 제7 트랜지스터(M1 내지 M7)를 모두 P타입 산화물 반도체 박막 트랜지스터로 형성함으로써, 별도의 배선(예를 들어 N타입 산화물 반도체 박막 트랜지스터를 위한 클록 배선 등)을 구비할 필요가 없어서 소비전력을 보다 감소시킬 수 있다.
- [0067] 도 3은 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.
- [0068] 도 3을 참조하면, 본 발명의 일 실시예에 따른 픽셀은 유기발광 다이오드(OLED) 및 픽셀 회로(30)를 포함한다.
- [0070] 유기발광 다이오드(OLED)의 애노드 전극은 픽셀 회로(30)에 접속되며, 픽셀 회로(30)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성할 수 있다.
- [0072] 픽셀 회로(30)는 데이터 신호에 대응하여 구동전원(ELVDD)으로부터 유기발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 여기서, 픽셀 회로(30)는 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4) 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0074] 제1 트랜지스터(M1)의 제1 전극은 구동전원(ELVDD)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 또한, 제1 트랜지스터(M1)의 게이트 전극은 제2 노드(N2)에 접속된다. 제1 트랜지스터(M1)는 유기발광 다이오드(OLED)로 구동 전류를 공급하여 유기발광 다이오드(OLED)를 구동해주는 구동 트랜지스터(Driving Transistor; DRT)로서 동작할 수 있다.
- [0076] 제2 트랜지스터(M2)는 데이터 라인(DL)과 제2 노드(N2) 사이에 접속된다. 또한, 제2 트랜지스터(M2)의 게이트 전극은 제2 스캔 라인(SL2)에 접속된다. 제2 트랜지스터(M2)는 제2 스캔 라인(SL2)으로 제2 스캔 신호(S2i)가 공급될 때 턴-온된다. 2 트랜지스터(M2)가 턴-온되면 데이터 라인(DL)과 제2 노드(N2)가 전기적으로 접속된다. 제2 트랜지스터(M2)는 제1 트랜지스터(M1)의 게이트 전극에 해당하는 제2 노드(N2)로 데이터 신호를 전달하는 스위칭 트랜지스터(Switching Transistor; SWT)로서 동작할 수 있다.
- [0078] 제3 트랜지스터(M3)는 제1 노드(N1)와 기준전압(Vr)을 공급하는 기준전압 라인(RVL) 사이에 접속된다. 또한, 제3 트랜지스터(M3)의 게이트 전극은 제3 스캔 라인(SL3)에 접속된다. 제3 트랜지스터(M3)는 제3 스캔 라인(SL3)

으로 제3 스캔 신호(S3i)가 공급될 때 턴-온된다. 제3 트랜지스터(M3)가 턴-온되면 제1 노드(N1)와 기준전압 라인(RVL)이 전기적으로 접속된다. 제3 트랜지스터(M3)는 기준전압 라인(RVL)과 제1 노드(N1) 사이를 전기적으로 연결하는 센싱 트랜지스터(Sensing Transistor; SENT)로서 동작할 수 있다.

[0080] 제4 트랜지스터(M4)는 제1 노드(N1)와 유기발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 또한, 제4 트랜지스터(M4)의 게이트 전극은 제1 스캔 라인(SL1)에 접속된다. 제4 트랜지스터(M4)는 제1 스캔 라인(SL1)으로 제1 스캔 신호(S1i)가 공급될 때 턴-온된다.

[0082] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.

[0084] 상술한 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4)는 P타입 또는 N타입 산화물 반도체 박막 트랜지스터로 형성할 수 있으며, 이로써 누설전류에 의한 전압 변동을 최소화하여 저 주사율로 구동이 가능해진다.

[0085] 또는, 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4)는 모두 P타입 산화물 반도체 박막 트랜지스터로 형성할 수도 있으며, 이로써 별도의 배선(예를 들어 N타입 산화물 반도체 박막 트랜지스터를 위한 클록 배선 등)을 구비할 필요가 없어서 소비전력을 보다 감소시킬 수 있다.

[0087] 도 4는 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.

[0088] 도 4를 참조하면, 본 발명의 일 실시예에 따른 픽셀은 유기발광 다이오드(OLED) 및 픽셀 회로(40)를 포함한다.

[0090] 유기발광 다이오드(OLED)의 애노드 전극은 픽셀 회로(40)에 접속되며, 픽셀 회로(40)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성할 수 있다.

[0092] 픽셀 회로(40)는 데이터 신호에 대응하여 구동전원(ELVDD)으로부터 유기발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 여기서, 픽셀 회로(40)는 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4) 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[0094] 제1 트랜지스터(M1)의 제1 전극은 제4 트랜지스터(M4)의 제2 전극에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 또한, 제1 트랜지스터(M1)의 게이트 전극은 제2 노드(N2)에 접속된다. 제1 트랜지스터(M1)는 유기발광 다이오드(OLED)로 구동 전류를 공급하여 유기발광 다이오드(OLED)를 구동해주는 구동 트랜지스터(Driving Transistor; DRT)로서 동작할 수 있다.

[0096] 제2 트랜지스터(M2)는 데이터 라인(DL)과 제2 노드(N2) 사이에 접속된다. 또한, 제2 트랜지스터(M2)의 게이트 전극은 제1 스캔 라인(SL1)에 접속된다. 제2 트랜지스터(M2)는 제1 스캔 라인(SL1)으로 제1 스캔 신호(S1i)가 공급될 때 턴-온된다. 제2 트랜지스터(M2)가 턴-온되면 데이터 라인(DL)과 제2 노드(N2)가 전기적으로 접속된다. 제2 트랜지스터(M2)는 제1 트랜지스터(M1)의 게이트 전극에 해당하는 제2 노드(N2)로 데이터 신호를 전달하는 스위칭 트랜지스터(Switching Transistor; SWT)로서 동작할 수 있다.

[0098] 제3 트랜지스터(M3)는 제1 노드(N1)와 기준전압(Vr)을 공급하는 기준전압 라인(RVL) 사이에 접속된다. 또한, 제3 트랜지스터(M3)의 게이트 전극은 제3 스캔 라인(SL3)에 접속된다. 제3 트랜지스터(M3)는 제3 스캔 라인(SL3)으로 제3 스캔 신호(S3i)가 공급될 때 턴-온된다. 제3 트랜지스터(M3)가 턴-온되면 제1 노드(N1)와 기준전압 라인(RVL)이 전기적으로 접속된다. 제3 트랜지스터(M3)는 기준전압 라인(RVL)과 제1 노드(N1) 사이를 전기적으로 연결하는 센싱 트랜지스터(Sensing Transistor; SENT)로서 동작할 수 있다.

- [0100] 제4 트랜지스터(M4)의 제1 전극은 구동전원(ELVDD)에 접속되고, 제2 전극은 제1 트랜지스터(M1)의 제1 전극에 접속된다. 또한, 제4 트랜지스터(M4)의 게이트 전극은 제2 스캔 라인(SL2)에 접속된다. 제4 트랜지스터(M4)는 제2 스캔 라인(SL2)으로 제2 스캔 신호(S2i)가 공급될 때 턴-온된다. 제4 트랜지스터(M4)가 턴-온되면 구동전원(ELVDD)과 제1 트랜지스터(M1)의 제1 전극이 전기적으로 접속된다.
- [0102] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.
- [0104] 상술한 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4)는 P타입 또는 N타입 산화물 반도체 박막 트랜지스터로 형성할 수 있으며, 이로써 누설전류에 의한 전압 변동을 최소화하여 저 주사율로 구동이 가능해진다.
- [0105] 또는, 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4)는 모두 P타입 산화물 반도체 박막 트랜지스터로 형성할 수도 있으며, 이로써 별도의 배선(예를 들어 N타입 산화물 반도체 박막 트랜지스터를 위한 클록 배선 등)을 구비할 필요가 없어서 소비전력을 보다 감소시킬 수 있다.
- [0107] 도 5는 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.
- [0108] 도 5를 참조하면, 본 발명의 일 실시예에 따른 픽셀은 유기발광 다이오드(OLED) 및 픽셀 회로(50)를 포함한다.
- [0110] 유기발광 다이오드(OLED)의 애노드 전극은 픽셀 회로(50)에 접속되며, 픽셀 회로(50)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성할 수 있다.
- [0112] 픽셀 회로(50)는 데이터 신호에 대응하여 구동전원(ELVDD)으로부터 유기발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 여기서, 픽셀 회로(50)는 제1 트랜지스터 내지 제5 트랜지스터(M1 내지 M5) 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0114] 제1 트랜지스터(M1)의 제1 전극은 제5 트랜지스터(M5)의 제2 전극에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 또한, 제1 트랜지스터(M1)의 게이트 전극은 제2 노드(N2)에 접속된다. 제1 트랜지스터(M1)는 유기발광 다이오드(OLED)로 구동 전류를 공급하여 유기발광 다이오드(OLED)를 구동해주는 구동 트랜지스터(Driving Transistor; DRT)로서 동작할 수 있다.
- [0116] 제2 트랜지스터(M2)는 데이터 라인(DL)과 제2 노드(N2) 사이에 접속된다. 또한, 제2 트랜지스터(M2)의 게이트 전극은 제2 스캔 라인(SL2)에 접속된다. 제2 트랜지스터(M2)는 제2 스캔 라인(SL2)으로 제2 스캔 신호(S2i)가 공급될 때 턴-온된다. 제2 트랜지스터(M2)가 턴-온되면 데이터 라인(DL)과 제2 노드(N2)가 전기적으로 접속된다. 제2 트랜지스터(M2)는 제1 트랜지스터(M1)의 게이트 전극에 해당하는 제2 노드(N2)로 데이터 신호를 전달하는 스위칭 트랜지스터(Switching Transistor; SWT)로서 동작할 수 있다.
- [0118] 제3 트랜지스터(M3)는 제1 노드(N1)와 기준전압(Vr)을 공급하는 기준전압 라인(RVL) 사이에 접속된다. 또한, 제3 트랜지스터(M3)의 게이트 전극은 제4 스캔 라인(SL4)에 접속된다. 제3 트랜지스터(M3)는 제4 스캔 라인(SL4)으로 제4 스캔 신호(S4i)가 공급될 때 턴-온된다. 제3 트랜지스터(M3)가 턴-온되면 제1 노드(N1)와 기준전압 라인(RVL)이 전기적으로 접속된다. 제3 트랜지스터(M3)는 기준전압 라인(RVL)과 제1 노드(N1) 사이를 전기적으로 연결하는 센싱 트랜지스터(Sensing Transistor; SENT)로서 동작할 수 있다.
- [0120] 제4 트랜지스터(M4)는 제1 노드(N1)와 유기발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 또한, 제4 트

랜지스터(M4)의 게이트 전극은 제1 스캔 라인(SL1)에 접속된다. 제4 트랜지스터(M4)는 제1 스캔 라인(SL1)으로 제1 스캔 신호(S1i)가 공급될 때 턴-온된다.

[0122] 제5 트랜지스터(M5)의 제1 전극은 구동전원(ELVDD)에 접속되고, 제2 전극은 제1 트랜지스터(M1)의 제1 전극에 접속된다. 또한, 제5 트랜지스터(M5)의 게이트 전극은 제3 스캔 라인(SL3)에 접속된다. 제5 트랜지스터(M5)는 제3 스캔 라인(SL3)으로 제3 스캔 신호(S3i)가 공급될 때 턴-온된다. 제5 트랜지스터(M5)가 턴-온되면 구동전원(ELVDD)과 제1 트랜지스터(M1)의 제1 전극이 전기적으로 접속된다.

[0124] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.

[0126] 상술한 제1 트랜지스터 내지 제5 트랜지스터(M1 내지 M5)는 P타입 또는 N타입 산화물 반도체 박막 트랜지스터로 형성할 수 있으며, 이로써 누설전류에 의한 전압 변동을 최소화하여 저 주사율로 구동이 가능해진다.

[0127] 또는, 제1 트랜지스터 내지 제5 트랜지스터(M1 내지 M5)는 모두 P타입 산화물 반도체 박막 트랜지스터로 형성할 수도 있으며, 이로써 별도의 배선(예를 들어 N타입 산화물 반도체 박막 트랜지스터를 위한 클록 배선 등)을 구비할 필요가 없어서 소비전력을 보다 감소시킬 수 있다.

[0129] 도 6은 본 발명의 일 실시예에 따른 픽셀의 구조를 도시하는 도면이다.

[0130] 도 6을 참조하면, 본 발명의 일 실시예에 따른 픽셀은 유기발광 다이오드(OLED) 및 픽셀 회로(60)를 포함한다.

[0132] 유기발광 다이오드(OLED)의 애노드 전극은 픽셀 회로(60)에 접속되며, 픽셀 회로(60)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성할 수 있다.

[0134] 픽셀 회로(60)는 데이터 신호에 대응하여 구동전원(ELVDD)으로부터 유기발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 여기서, 픽셀 회로(60)는 제1 트랜지스터 내지 제4 트랜지스터(M1 내지 M4) 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[0135] 픽셀 회로(60)에서는 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)의 게이트 전극이 동일한 제2 스캔 라인(SL2)에 접속되어 제2 스캔 신호(S2i)를 공통으로 사용하도록 구성된다. 이 밖에 픽셀 회로(60)의 구조는 도 3에 도시된 픽셀 회로(30)와 동일하므로 이에 대한 중복적인 설명은 생략한다.

[0136] 그러나, 픽셀 회로(60)의 구조가 반드시 이로 제한되는 것은 아니다. 다시 말해, 도 6에서는 픽셀 회로(60)가 도 3에 도시된 픽셀 회로(30)를 기반으로 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)가 제2 스캔 라인(SL2)에 접속되어 제2 스캔 신호(S2i)를 공통으로 사용하는 것으로 도시되었으나, 도 4 및 도 5에 각각 도시된 픽셀 회로(40, 50)에서도 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)가 동일한 스캔 라인에 접속되어 하나의 스캔 신호를 공통으로 사용하도록 구성될 수도 있다.

[0138] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

**부호의 설명**

- [0139] 100: 유기전계발광 표시장치
- 110: 유기전계발광 표시패널

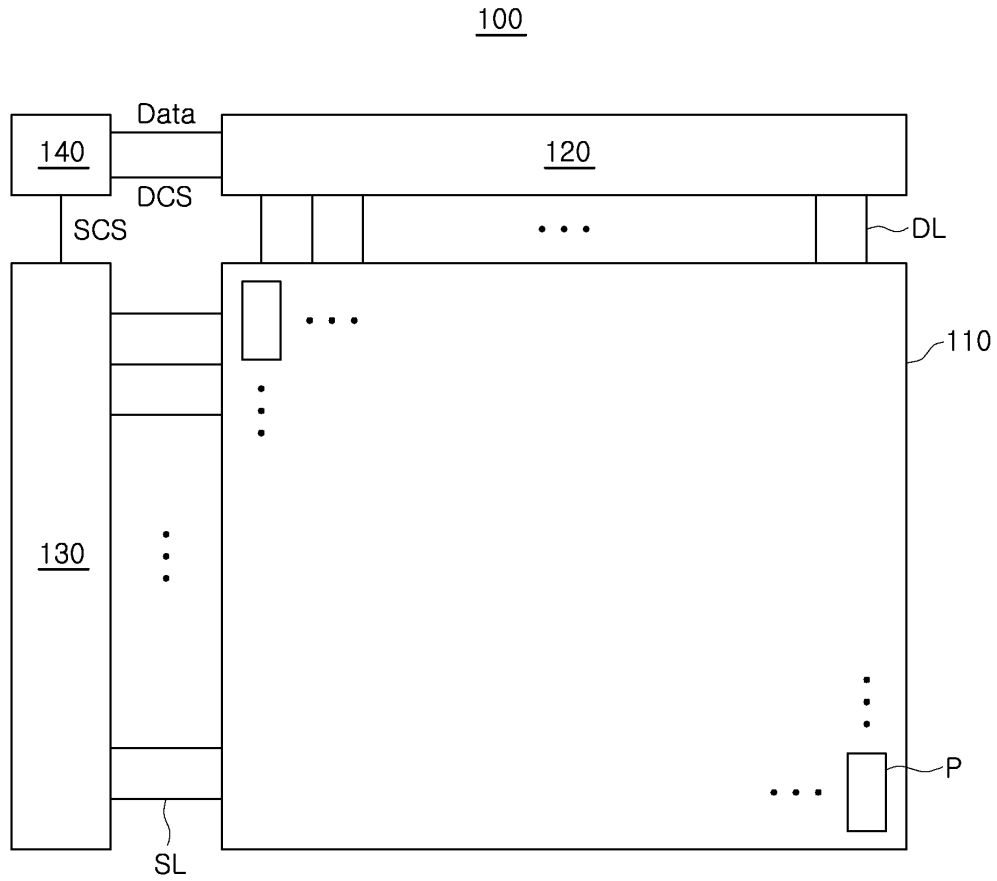
120: 데이터 구동부

130: 스캔 구동부

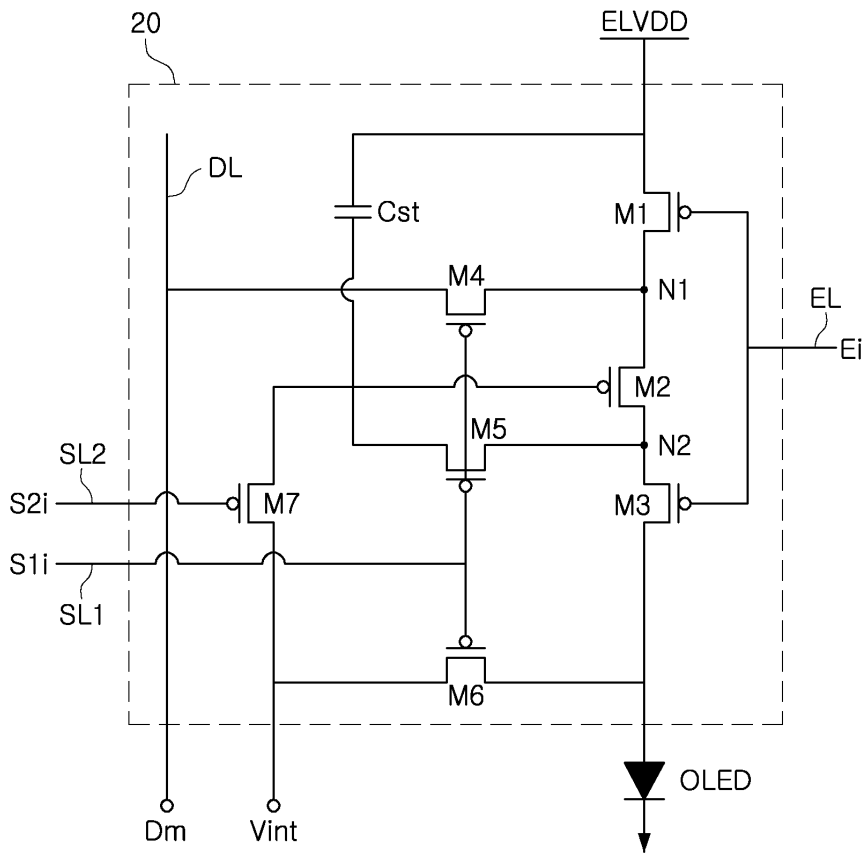
140: 제어부

도면

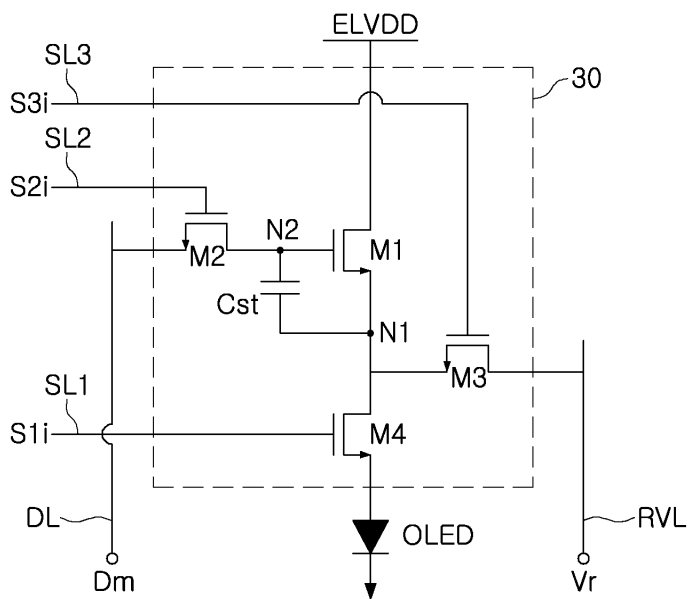
도면1



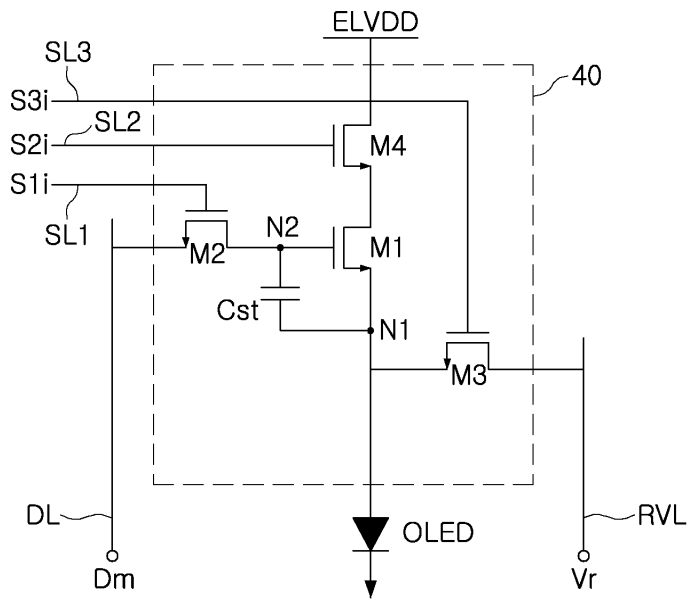
도면2



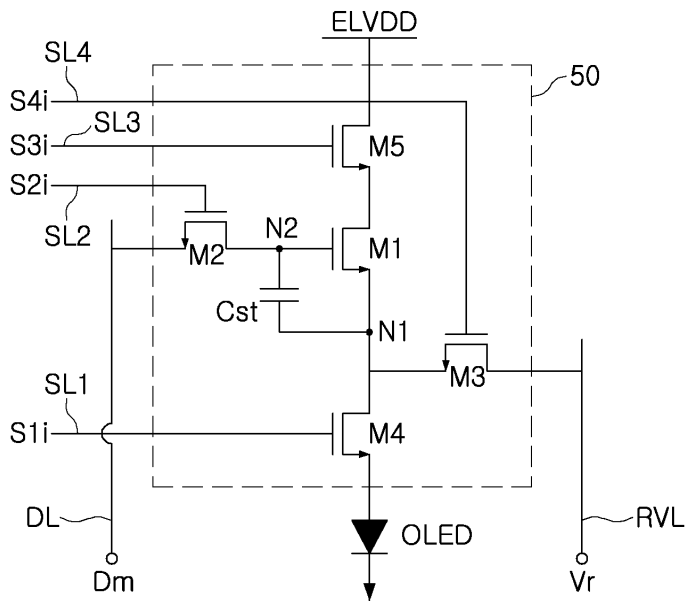
도면3



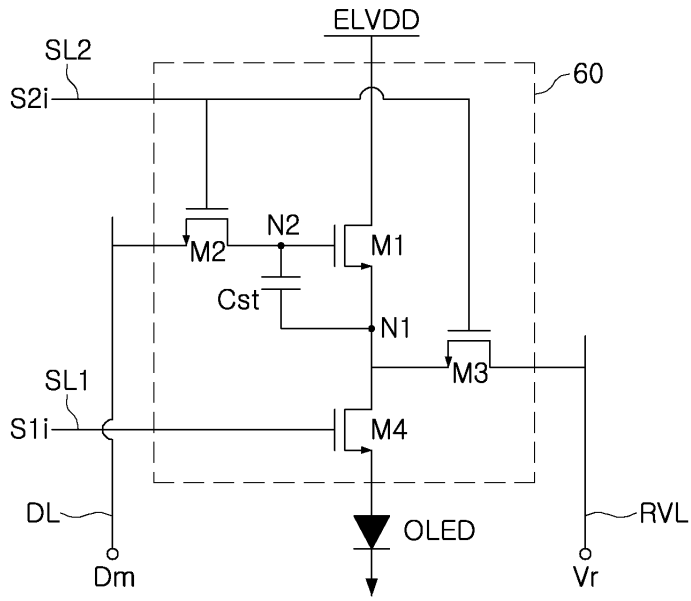
도면4



도면5



도면6



专利名称(译)	像素和包括该像素的有机发光显示装置		
公开(公告)号	<a href="#">KR1020190143309A</a>	公开(公告)日	2019-12-30
申请号	KR1020180071088	申请日	2018-06-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	장영신 국승희 김시우 김원석 김정문		
发明人	장영신 국승희 김시우 김원석 김정문		
IPC分类号	G09G3/3233 H01L27/32 H01L29/51 H01L29/786		
CPC分类号	G09G3/3233 H01L27/3244 H01L29/517 H01L29/7869 G09G2300/0842 G09G2320/0214 G09G2330/021 G09G3/3258 G09G2300/0819 G09G2300/0861 G09G2310/061 G09G2320/0233 H01L27/1225 H01L29/24 G09G3/3266 G09G3/3275 G09G2300/0809 H01L27/124 H01L27/1251 H01L27/1255 H01L27/3262 H01L29/78672		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的一个实施例，一种像素包括：有机发光二极管；以及有机发光二极管。第一晶体管，其第一电极连接到驱动电源，第二电极连接到第一节点，并且栅极连接到发光控制线；第二晶体管，其连接在第一和第二节点之间，并且其栅极连接到第七晶体管的第二电极；第三晶体管，其连接在第二节点和有机发光二极管的阳极之间，并且其栅极连接到发光控制线；第四晶体管，其连接在第一节点和数据线之间，并且其栅极连接到第一扫描线；第五晶体管，其连接在第二节点和存储电容器之间，并且其栅极连接到第一扫描线；第六晶体管，其连接在初始化电源和有机发光二极管的阳极之间，并且其栅极连接到第一扫描线；第七晶体管，其第一电极连接到初始化电源，第二电极连接到第二晶体管的栅极，并且栅极连接到第二扫描线；存储电容器连接在驱动电源和第五晶体管之间。第一至第七晶体管可以形成为p型氧化物半导体薄膜晶体管。

