



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0079856
(43) 공개일자 2019년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)

H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3262 (2013.01)

H01L 27/3211 (2013.01)

(21) 출원번호 10-2017-0181902

(22) 출원일자 2017년12월28일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

류원상

경기도 파주시 월롱면 엘지로 245

노상순

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인(유한) 대아

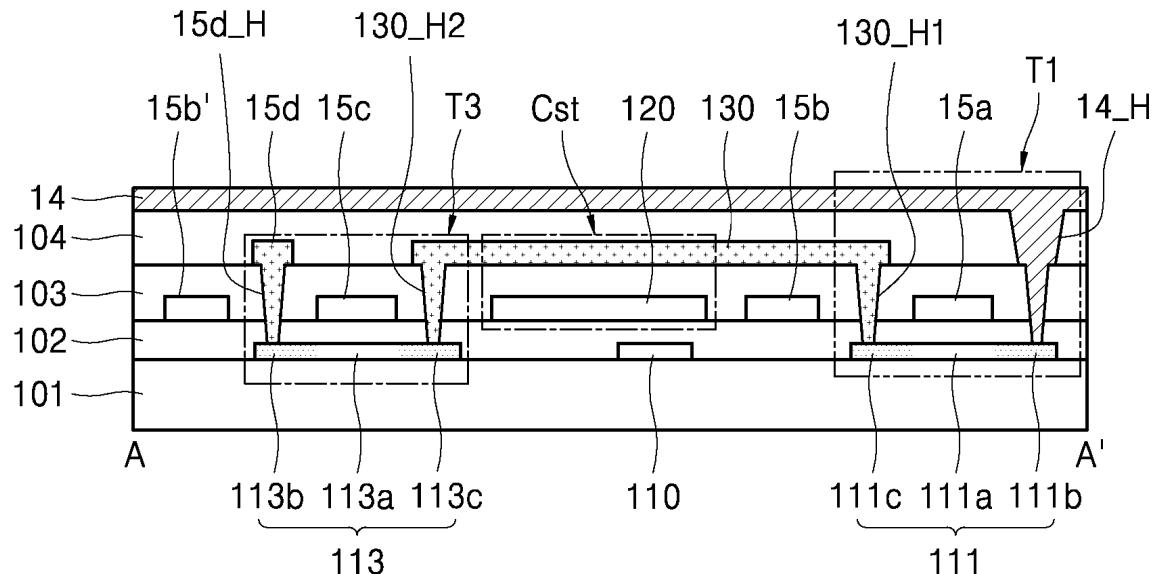
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기발광표시장치 및 그의 제조방법

(57) 요 약

본 발명의 일 실시예는 복수의 화소영역 각각에 대응하는 유기발광소자, 제 1 전원라인과 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 구동 박막트랜지스터, 및 상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 제 1 노드 사이에 배치되는 제 1 박막트랜지스터를 포함하는 유기발광표시장치를 제공한다. 여기서, 상기 구동 박막트랜지스터의 액티브층의 일측은 상기 제 1 전원라인에 일부 중첩되고, 상기 제 1 전원라인은 상기 구동 박막트랜지스터의 액티브층과 상기 제 1 전원라인 사이의 중첩영역에 배치되는 구동콘택홀을 통해 상기 구동 박막트랜지스터의 액티브층에 연결된다. 그리고, 상기 제 1 박막트랜지스터의 액티브층의 일측은 상기 데이터라인에 일부 중첩되며, 상기 데이터라인은 상기 제 1 박막트랜지스터의 액티브층과 상기 데이터라인 사이의 중첩영역에 배치되는 데이터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결된다.

대 표 도 - 도4



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

표시영역에 정의된 복수의 화소영역 각각에 대응하는 유기발광소자;

제 1 구동전원을 공급하는 제 1 전원라인과 상기 제 1 구동전원보다 낮은 전압의 제 2 구동전원을 공급하는 제 2 전원라인 사이에 상기 각 화소영역에 대응한 유기발광소자와 직렬로 배치되는 구동 박막트랜지스터; 및

상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 제 1 노드 사이에 배치되는 제 1 박막트랜지스터를 포함하고,

상기 구동 박막트랜지스터의 액티브층의 일측은 상기 제 1 전원라인 측으로 연장되어 상기 제 1 전원라인에 일부 중첩되고,

상기 제 1 전원라인은 상기 구동 박막트랜지스터의 액티브층과 상기 제 1 전원라인 사이의 중첩영역에 배치되는 구동콘택홀을 통해 상기 구동 박막트랜지스터의 액티브층에 연결되며,

상기 제 1 박막트랜지스터의 액티브층의 일측은 상기 데이터라인 측으로 연장되고 상기 데이터라인에 일부 중첩되며,

상기 데이터라인은 상기 제 1 박막트랜지스터의 액티브층과 상기 데이터라인 사이의 중첩영역에 배치되는 데이터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결되는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 구동 박막트랜지스터의 게이트전극에 연결된 제 2 노드와 상기 제 1 노드 사이에 배치되는 스토리지 커퍼시터를 더 포함하고,

상기 구동 박막트랜지스터의 액티브층의 채널영역은 상기 액티브층을 덮는 게이트절연막 상에 배치된 게이트전극에 중첩하며,

상기 스토리지 커퍼시터는 상기 게이트전극을 덮는 제 1 층간절연막 상에 배치된 커퍼시터전극패턴과 상기 게이트전극 사이의 중첩영역에 대응하고,

상기 데이터라인 및 상기 제 1 전원라인은 상기 커퍼시터전극패턴을 덮는 제 2 층간절연막 상에 배치되는 유기발광표시장치.

청구항 3

제 2 항에 있어서,

상기 커퍼시터전극패턴은 상기 제 1 박막트랜지스터의 액티브층의 다른 일측과 상기 커퍼시터전극패턴 사이의 중첩영역에 배치되는 제 1 커퍼시터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결되고,

상기 제 1 커퍼시터콘택홀은 상기 제 2 층간절연막을 사이에 두고 상기 데이터라인에 중첩되는 유기발광표시장치.

청구항 4

제 3 항에 있어서,

상기 제 1 박막트랜지스터의 액티브층의 채널영역은 상기 게이트절연막 상에 배치되는 제 1 스캔라인에 중첩하는 유기발광표시장치.

청구항 5

제 3 항에 있어서,

상기 구동 박막트랜지스터의 제 1 및 제 2 전극 중 상기 유기발광소자에 대응한 어느 하나에 연결된 제 3 노드와 상기 제 2 노드 사이에 배치되는 제 2 박막트랜지스터;

상기 각 화소영역에 기준전원을 공급하는 기준전원라인과 상기 제 1 노드 사이에 배치되는 제 3 박막트랜지스터;

상기 유기발광소자의 애노드전극에 연결된 제 4 노드와 상기 제 3 노드 사이에 배치되는 제 4 박막트랜지스터; 및

상기 기준전원라인과 상기 제 4 노드 사이에 배치되는 제 5 박막트랜지스터를 더 포함하는 유기발광표시장치.

청구항 6

제 5 항에 있어서,

상기 기준전원라인은 상기 제 1 층간절연막 상에 상기 데이터라인과 교차하는 방향으로 배치되고,

상기 기준전원라인은 상기 제 3 박막트랜지스터의 액티브층의 일측과 상기 기준전원라인 사이의 중첩영역에 배치되는 기준전원콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결되며,

상기 커패시터전극패턴은 상기 제 3 박막트랜지스터의 액티브층의 다른 일측과 상기 커패시터전극패턴 사이의 중첩영역에 배치되는 제 2 커패시터콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결되고,

상기 기준전원콘택홀 및 상기 제 2 커패시터콘택홀 각각은 상기 제 2 층간절연막을 사이에 두고 상기 데이터라인에 중첩되는 유기발광표시장치.

청구항 7

제 5 항에 있어서,

상기 제 2 및 제 5 박막트랜지스터는 제 2 스캔라인의 제 2 스캔신호에 기초하여 턴온되고,

상기 제 3 및 제 4 박막트랜지스터는 제 3 스캔라인의 에미션신호에 기초하여 턴온되며,

상기 제 2 및 제 3 스캔라인은 상기 게이트절연막 상에 배치되는 유기발광표시장치.

청구항 8

기판 상에 각 화소영역에 포함된 적어도 하나의 박막트랜지스터에 대응한 액티브층을 배치하는 단계;

상기 액티브층을 덮는 게이트절연막을 배치하는 단계;

상기 게이트절연막 상에 어느 하나의 액티브층의 채널영역에 중첩되는 게이트전극을 배치하는 단계;

상기 게이트전극을 덮는 제 1 층간절연막을 배치하는 단계;

복수의 콘택홀에 대응하여 상기 게이트절연막 및 상기 제 1 층간절연막을 패터닝하는 단계;

상기 액티브층에 대한 열처리를 실시하는 단계; 및

상기 제 1 층간절연막 상에, 상기 게이트전극과 중첩되는 커패시터전극패턴과 기준전원을 공급하는 기준전원라

인을 배치하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 커판시터전극패턴을 덮는 제 2 충간절연막을 배치하는 단계;

상기 복수의 콘택홀 중 일부에 대응하여 상기 제 2 충간절연막을 패터닝하는 단계; 및

상기 제 2 충간절연막 상에, 상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 상기 유기발광소자의 구동에 대응한 제 1 구동전원을 공급하는 제 1 전원라인을 배치하는 단계를 더 포함하고,

상기 기준전원라인은 상기 데이터라인 및 상기 제 1 전원라인에 교차하는 방향으로 배치되는 유기발광표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 각 화소영역에 포함된 적어도 하나의 박막트랜지스터는

상기 각 화소영역에 대응한 유기발광소자와 직렬로 배치되는 구동 박막트랜지스터,

상기 데이터라인과 제 1 노드 사이에 배치되는 제 1 박막트랜지스터,

상기 구동 박막트랜지스터의 게이트전극에 연결된 제 2 노드와 상기 구동 박막트랜지스터의 제 1 및 제 2 전극 중 상기 유기발광소자에 대응한 어느 하나에 연결된 제 3 노드 사이에 배치되는 제 2 박막트랜지스터,

상기 각 화소영역에 기준전원을 공급하는 기준전원라인과 상기 제 1 노드 사이에 배치되는 제 3 박막트랜지스터,

상기 유기발광소자의 애노드전극에 연결된 제 4 노드와 상기 제 3 노드 사이에 배치되는 제 4 박막트랜지스터, 및

상기 기준전원라인과 상기 제 4 노드 사이에 배치되는 제 5 박막트랜지스터를 포함하며,

상기 각 화소영역은 상기 게이트전극과 상기 커판시터전극패턴 사이의 중첩영역에 대응하는 스토리지 커판시터를 더 포함하고,

상기 스토리지 커판시터는 상기 제 1 및 제 2 노드 사이에 배치되는 유기발광표시장치의 제조방법.

청구항 11

제 10 항에 있어서,

상기 게이트절연막 및 상기 제 1 충간절연막을 패터닝하는 단계에서,

상기 복수의 콘택홀은

상기 구동 박막트랜지스터의 액티브층의 일측에 대응하는 구동콘택홀,

상기 제 1 박막트랜지스터의 액티브층의 일측에 대응하는 데이터콘택홀,

상기 제 1 박막트랜지스터의 액티브층의 다른 일측에 대응하는 제 1 커판시터콘택홀, 및

상기 제 3 박막트랜지스터의 액티브층의 일측에 대응하는 기준전원콘택홀,

상기 제 3 박막트랜지스터의 액티브층의 다른 일측에 대응하는 제 2 커판시터콘택홀을 포함하는 유기발광표시장치의 제조방법.

청구항 12

제 11 항에 있어서,

상기 제 2 층간절연막을 패터닝하는 단계는 상기 복수의 콘택홀 중 상기 구동콘택홀 및 상기 데이터콘택홀에 대응하여 실시되고,

상기 데이터라인 및 상기 제 1 전원라인을 배치하는 단계에서,

상기 제 1 전원라인은 상기 구동콘택홀을 통해 상기 구동 박막트랜지스터의 액티브층에 연결되고,

상기 데이터라인은 상기 데이터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결되는 유기발광표시장치의 제조방법.

청구항 13

제 11 항에 있어서,

상기 커패시터전극패턴과 상기 기준전원라인을 배치하는 단계에서,

상기 커패시터전극패턴은 상기 제 1 커패시터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결되고 상기 제 2 커패시터콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결되며,

상기 기준전원라인은 상기 기준전원콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결되는 유기발광표시장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 데이터라인 및 상기 제 1 전원라인을 배치하는 단계에서,

상기 데이터라인은 상기 기준전원콘택홀과 상기 제 1 및 제 2 커패시터콘택홀에 중첩하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 각 화소영역에 대응하는 적어도 하나의 박막트랜지스터를 포함하는 유기발광표시장치 및 그를 제조하는 방법에 관한 것이다.

배경 기술

[0003]

표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.

[0004]

표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0005]

그 중 유기발광표시장치는 영상이 표시되는 표시영역에 정의된 복수의 화소영역에 대응하는 복수의 유기발광소자를 포함한다. 유기발광소자는 스스로 발광하는 자발광소자이므로, 유기발광표시장치는 액정표시장치에 비해 응답속도가 빠르고, 발광효율, 휙도 및 시야각이 크며, 명암비 및 색재현율이 우수한 장점이 있다.

- [0006] 유기발광표시장치는 복수의 화소영역을 개별적으로 구동하는 액티브 매트릭스 방식으로 구현될 수 있다. 이러한 액티브 매트릭스 방식의 유기발광표시장치는 각 화소영역에 대응하는 유기발광소자에 구동전류를 공급하는 화소 구동회로를 포함한다.
- [0007] 화소구동회로는 유기발광소자의 구동에 대응한 제 1 구동전원과 제 2 구동전원 사이에 유기발광소자와 직렬로 연결되는 구동 박막트랜지스터, 각 화소영역의 데이터신호를 공급하는 스위칭 박막트랜지스터 및 데이터신호에 기초하여 충전되고 구동 박막트랜지스터에 케이트전극에 턴온신호를 공급하는 스토리지 커패시터를 포함하는 것이 일반적이다.
- [0008] 이에, 유기발광표시장치는 각 화소영역에 대응하는 복수의 박막트랜지스터 및 스토리지 커패시터와 각종 신호라인들을 구현하기 위하여, 둘 이상의 절연막에 의해 상호 절연되는 다수의 도전층을 포함한다. 또한, 유기발광표시장치는 적어도 하나의 절연막에 의해 분리된 도전층 사이를 연결하기 위하여 적어도 하나의 절연막을 관통하는 콘택홀과 콘택홀 사이를 연결하는 브릿지패턴을 더 포함할 수 있다.
- [0009] 이러한 콘택홀 및 브릿지패턴을 배치함에 있어서, 일반적인 유기발광표시장치는 보다 간단한 제조공정을 위하여, 다수의 도전층 중 최상단의 도전층으로 브릿지패턴을 구현할 수 있다. 이 경우, 쇼트 불량 등을 방지하기 위해, 콘택홀들과 브릿지패턴들이 평면 상에서 적어도 공정마진의 이격거리로 상호 이격되도록 배치되어야 한다. 이에 따라, 각 화소영역의 공간 활용도가 향상되는 데에 한계가 있는 문제점이 있다.
- [0010] 더불어, 화소영역 별 구동 스트레스 차이로 인해, 각 화소영역의 구동 박막트랜지스터 및 유기발광소자의 특성이 서로 상이하게 변동될 수 있다. 이 경우, 화소영역 간 휘도 차이가 발생됨으로써, 얼룩 등의 화질 저하가 유발될 수 있다. 이를 방지하기 위하여 유기발광표시장치는 각 화소영역에 대응한 구동 박막트랜지스터 및 유기발광소자의 특성을 보상하기 위한 보상회로를 더 포함할 수 있다. 이에 따라, 각 화소영역에는 화소구동회로에 대응한 소자들뿐만 아니라, 보상회로를 구현하기 위한 소자들이 더 배치되어야 한다.
- [0011] 그러므로, 각 화소영역의 공간 활용도가 향상되지 않으면, 화소영역의 면적을 감소시키는 데에 한계가 있는 문제점이 있다. 그로 인해, 유기발광표시장치의 고해상도화에 한계가 있는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0013] 본 발명은 화소영역의 공간 활용도를 향상시킬 수 있고 고해상도화에 유리해질 수 있는 유기발광표시장치 및 그의 제조방법을 제공하기 위한 것이다.
- [0014] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특히 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0016] 본 발명의 일 예시는 표시영역에 정의된 복수의 화소영역 각각에 대응하는 유기발광소자, 제 1 구동전원을 공급하는 제 1 전원라인과 상기 제 1 구동전원보다 낮은 전압의 제 2 구동전원을 공급하는 제 2 전원라인 사이에 상기 각 화소영역에 대응한 유기발광소자와 직렬로 배치되는 구동 박막트랜지스터, 및 상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 제 1 노드 사이에 배치되는 제 1 박막트랜지스터를 포함하는 유기발광표시장치를 제공한다.
- [0017] 여기서, 상기 구동 박막트랜지스터의 액티브층의 일측은 상기 제 1 전원라인 측으로 연장되어 상기 제 1 전원라인에 일부 중첩되고, 상기 제 1 전원라인은 상기 구동 박막트랜지스터의 액티브층과 상기 제 1 전원라인 사이의 중첩영역에 배치되는 구동콘택홀을 통해 상기 구동 박막트랜지스터의 액티브층에 연결된다. 그리고, 상기 제 1 박막트랜지스터의 액티브층의 일측은 상기 데이터라인 측으로 연장되고 상기 데이터라인에 일부 중첩되며, 상기 데이터라인은 상기 제 1 박막트랜지스터의 액티브층과 상기 데이터라인 사이의 중첩영역에 배치되는 데이터콘택

홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결된다.

- [0018] 상기 유기발광표시장치는 상기 구동 박막트랜지스터의 게이트전극에 연결된 제 2 노드와 상기 제 1 노드 사이에 배치되는 스토리지 커페시터를 더 포함한다. 여기서, 상기 구동 박막트랜지스터의 액티브층의 채널영역은 상기 액티브층을 덮는 게이트절연막 상에 배치된 게이트전극에 중첩하며, 상기 스토리지 커페시터는 상기 게이트전극을 덮는 제 1 충간절연막 상에 배치된 커페시터전극패턴과 상기 게이트전극 사이의 중첩영역에 대응한다. 그리고, 상기 데이터라인 및 상기 제 1 전원라인은 상기 커페시터전극패턴을 덮는 제 2 충간절연막 상에 배치된다.
- [0019] 상기 커페시터전극패턴은 상기 제 1 박막트랜지스터의 액티브층의 다른 일측과 상기 커페시터전극패턴 사이의 중첩영역에 배치되는 제 1 커페시터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결되고, 상기 제 1 커페시터콘택홀은 상기 제 2 충간절연막을 사이에 두고 상기 데이터라인에 중첩된다.
- [0020] 상기 유기발광표시장치는 상기 구동 박막트랜지스터의 제 1 및 제 2 전극 중 상기 유기발광소자에 대응한 어느 하나에 연결된 제 3 노드와 상기 제 2 노드 사이에 배치되는 제 2 박막트랜지스터, 상기 각 화소영역에 기준전원을 공급하는 기준전원라인과 상기 제 1 노드 사이에 배치되는 제 3 박막트랜지스터, 상기 유기발광소자의 애노드전극에 연결된 제 4 노드와 상기 제 3 노드 사이에 배치되는 제 4 박막트랜지스터, 및 상기 기준전원라인과 상기 제 4 노드 사이에 배치되는 제 5 박막트랜지스터를 더 포함한다.
- [0021] 여기서, 상기 기준전원라인은 상기 제 1 충간절연막 상에 상기 데이터라인과 교차하는 방향으로 배치되고, 상기 기준전원라인은 상기 제 3 박막트랜지스터의 액티브층의 일측과 상기 기준전원라인 사이의 중첩영역에 배치되는 기준전원콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결된다. 그리고, 상기 커페시터전극패턴은 상기 제 3 박막트랜지스터의 액티브층의 다른 일측과 상기 커페시터전극패턴 사이의 중첩영역에 배치되는 제 2 커페시터콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결되고, 상기 기준전원콘택홀 및 상기 제 2 커페시터콘택홀 각각은 상기 제 2 충간절연막을 사이에 두고 상기 데이터라인에 중첩된다.
- [0022] 본 발명의 다른 일 예시는 기판 상에 각 화소영역에 포함된 적어도 하나의 박막트랜지스터에 대응한 액티브층을 배치하는 단계, 상기 액티브층을 덮는 게이트절연막을 배치하는 단계, 상기 게이트절연막 상에 어느 하나의 액티브층의 채널영역에 중첩되는 게이트전극을 배치하는 단계, 상기 게이트전극을 덮는 제 1 충간절연막을 배치하는 단계, 복수의 콘택홀에 대응하여 상기 게이트절연막 및 상기 제 1 충간절연막을 패터닝하는 단계, 상기 액티브층에 대한 열처리를 실시하는 단계, 및 상기 제 1 충간절연막 상에, 상기 게이트전극과 중첩되는 커페시터전극패턴과 기준전원을 공급하는 기준전원라인을 배치하는 단계를 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0023] 상기 유기발광표시장치의 제조방법은 상기 커페시터전극패턴을 덮는 제 2 충간절연막을 배치하는 단계, 상기 복수의 콘택홀 중 일부에 대응하여 상기 제 2 충간절연막을 패터닝하는 단계, 및 상기 제 2 충간절연막 상에, 상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 상기 유기발광소자의 구동에 대응한 제 1 구동전원을 공급하는 제 1 전원라인을 배치하는 단계를 더 포함한다. 여기서, 상기 기준전원라인은 상기 데이터라인 및 상기 제 1 전원라인에 교차하는 방향으로 배치된다.
- [0024] 상기 각 화소영역에 포함된 적어도 하나의 박막트랜지스터는 상기 각 화소영역에 대응한 유기발광소자와 직렬로 배치되는 구동 박막트랜지스터, 상기 데이터라인과 제 1 노드 사이에 배치되는 제 1 박막트랜지스터, 상기 구동 박막트랜지스터의 게이트전극에 연결된 제 2 노드와 상기 구동 박막트랜지스터의 제 1 및 제 2 전극 중 상기 유기발광소자에 대응한 어느 하나에 연결된 제 3 노드 사이에 배치되는 제 2 박막트랜지스터, 상기 각 화소영역에 기준전원을 공급하는 기준전원라인과 상기 제 1 노드 사이에 배치되는 제 3 박막트랜지스터, 상기 유기발광소자의 애노드전극에 연결된 제 4 노드와 상기 제 3 노드 사이에 배치되는 제 4 박막트랜지스터, 및 상기 기준전원라인과 상기 제 4 노드 사이에 배치되는 제 5 박막트랜지스터를 포함한다. 여기서, 상기 각 화소영역은 상기 게이트전극과 상기 커페시터전극패턴 사이의 중첩영역에 대응하는 스토리지 커페시터를 더 포함하고, 상기 스토리지 커페시터는 상기 제 1 및 제 2 노드 사이에 배치된다.
- [0025] 상기 게이트절연막 및 상기 제 1 충간절연막을 패터닝하는 단계에서, 상기 복수의 콘택홀은 상기 구동 박막트랜지스터의 액티브층의 일측에 대응하는 구동콘택홀, 상기 제 1 박막트랜지스터의 액티브층의 일측에 대응하는 데이터콘택홀, 상기 제 1 박막트랜지스터의 액티브층의 다른 일측에 대응하는 제 1 커페시터콘택홀, 및 상기 제 3 박막트랜지스터의 액티브층의 일측에 대응하는 기준전원콘택홀, 상기 제 3 박막트랜지스터의 액티브층의 다른 일측에 대응하는 제 2 커페시터콘택홀을 포함한다.
- [0026] 상기 제 2 충간절연막을 패터닝하는 단계는 상기 복수의 콘택홀 중 상기 구동콘택홀 및 상기 데이터콘택홀에 대

응하여 실시되고, 상기 데이터라인 및 상기 제 1 전원라인을 배치하는 단계에서, 상기 제 1 전원라인은 상기 구동콘택홀을 통해 상기 구동 박막트랜지스터의 액티브층에 연결되고, 상기 데이터라인은 상기 데이터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결된다.

[0027] 상기 커패시터전극패턴과 상기 기준전원라인을 배치하는 단계에서, 상기 커패시터전극패턴은 상기 제 1 커패시터콘택홀을 통해 상기 제 1 박막트랜지스터의 액티브층에 연결되고 상기 제 2 커패시터콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결되며, 상기 기준전원라인은 상기 기준전원콘택홀을 통해 상기 제 3 박막트랜지스터의 액티브층에 연결된다.

[0028] 상기 데이터라인 및 상기 제 1 전원라인을 배치하는 단계에서, 상기 데이터라인은 상기 기준전원콘택홀과 상기 제 1 및 제 2 커패시터콘택홀에 중첩한다.

발명의 효과

[0030] 본 발명의 일 실시예에 따르면, 제 1 전원라인과 구동 박막트랜지스터 사이를 연결하기 위한 구동콘택홀은 제 1 전원라인 측으로 연장되는 구동 박막트랜지스터의 액티브층의 일측과 제 1 전원라인 사이의 중첩영역에 배치되고, 데이터라인과 제 1 박막트랜지스터 사이를 연결하기 위한 데이터콘택홀은 데이터라인 측으로 연장되는 제 1 박막트랜지스터의 액티브층의 일측과 데이터라인 사이의 중첩영역에 배치된다.

[0031] 즉, 별도의 브릿지패턴 없이도, 제 1 전원라인은 구동콘택홀을 통해 구동 박막트랜지스터에 연결될 수 있다. 마찬가지로, 별도의 브릿지패턴 없이도, 데이터라인은 데이터콘택홀을 통해 제 1 박막트랜지스터에 연결될 수 있다. 이로써, 제 1 전원라인과 구동 박막트랜지스터 사이의 연결을 위한 브릿지패턴 및 데이터라인과 제 1 박막트랜지스터 사이의 연결을 위한 브릿지패턴에 대응하는 면적이 할당되지 않는 만큼, 화소영역의 공간활용도가 향상될 수 있는 장점이 있다.

[0032] 그리고, 본 발명의 일 실시예에 따르면, 스토리지 커패시터는 구동 박막트랜지스터의 게이트전극과 이를 덮는 제 1 충간절연막 상의 커패시터전극패턴 사이의 중첩영역에 대응한다. 이때, 커패시터전극패턴은 제 1 커패시터콘택홀을 통해 제 1 박막트랜지스터에 연결되고, 제 2 커패시터콘택홀을 통해 제 3 박막트랜지스터에 연결된다.

[0033] 즉, 별도의 브릿지패턴 없이도, 커패시터전극패턴은 제 1 및 제 2 커패시터콘택홀을 통해 제 1 및 제 3 박막트랜지스터에 연결될 수 있다. 이로써, 제 1 및 제 3 박막트랜지스터 각각과 커패시터전극패턴 사이의 연결을 위한 브릿지패턴에 대응하는 면적이 할당되지 않는 만큼, 화소영역의 공간활용도가 향상될 수 있는 장점이 있다.

[0034] 또한, 제 1 및 제 3 박막트랜지스터 각각과 커패시터전극패턴 사이의 브릿지패턴이 배제될 수 있으므로, 그만큼 패턴이 감소됨으로써, 이물불량이 감소될 수 있는 장점이 있다.

[0035] 더불어, 제 1 및 제 2 커패시터콘택홀은 데이터라인에 중첩되도록 배치된다. 이로써, 제 1 및 제 2 커패시터콘택홀을 위한 별도의 면적을 할당하지 않는 만큼, 화소영역의 공간활용도가 향상될 수 있는 장점이 있다.

[0036] 또한, 본 발명의 일 실시예에 따르면, 커패시터전극패턴을 배치하기 전에, 액티브층의 일부를 노출하는 콘택홀이 배치되어야 한다. 이에, 콘택홀을 배치한 후, 커패시터전극패턴을 배치하기 전에, 액티브층에 대한 열처리를 실시할 수 있다. 즉, 커패시터전극패턴이 열처리에 노출되지 않을 수 있다. 그러므로, 커패시터전극패턴이 열처리에 취약한 저저항금속으로도 선택될 수 있고, 그로 인해 커패시터전극패턴과 동일층에 신호라인을 배치할 수 있다.

[0037] 특히, 커패시터전극패턴과 동일층에 기준전원라인을 배치하는 경우, 기준전원라인이 데이터라인 및 제 1 전원라인과 다른 층에 배치됨으로써, 데이터라인 및 제 1 전원라인에 교차하는 방향으로 배치될 수 있다. 이로써, 제 3 및 제 5 박막트랜지스터 각각과 기준전원라인 사이의 연결을 위한 기준전원콘택홀이 데이터라인에 중첩되도록 배치될 수 있다. 그러므로, 기준전원콘택홀을 위한 별도의 면적을 할당하지 않는 만큼, 화소영역의 공간활용도가 향상될 수 있는 장점이 있다.

[0038] 더불어, 기준전원라인이 수평라인에 대응됨에 따라, 기준전원라인이 데이터라인 및 제 1 전원라인과 동일층에 수직방향으로 배치되는 경우에 비해, 기준전원라인의 너비만큼 화소영역 간의 이격거리가 감소될 수 있으므로, 고해상도화에 유리해질 수 있는 장점이 있다.

도면의 간단한 설명

[0040]

도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다.

도 2는 도 1에 도시된 어느 하나의 화소영역에 대응하는 등가회로를 나타낸 도면이다.

도 3은 도 2의 등가회로에 대응하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다.

도 4는 도 3의 A-A'에 대한 단면을 나타낸 도면이다.

도 5는 도 3의 B-B'에 대한 단면을 나타낸 도면이다.

도 6은 도 3의 C-C'에 대한 단면을 나타낸 도면이다.

도 7은 일반적인 유기발광표시장치의 박막트랜지스터 어레이 기판에 있어서, 도 2에 도시된 제 1 및 제 3 박막 트랜지스터와 스토리지 커패시터의 일 예를 나타낸 도면이다.

도 8은 본 발명의 일 실시예에 따른 유기발광표시장치를 제조하는 방법을 나타낸 도면이다.

도 9 내지 도 20은 도 8의 각 과정을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0041]

전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.

[0042]

이하, 본 발명의 일 실시예에 따른 유기발광표시장치에 대하여 첨부한 도면들을 참고로 하여 상세히 설명하기로 한다.

[0043]

도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다. 도 2는 도 1에 도시된 어느 하나의 화소영역에 대응하는 등가회로를 나타낸 도면이다.

[0044]

도 3은 도 2의 등가회로에 대응하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다. 도 4는 도 3의 A-A'에 대한 단면을 나타낸 도면이다. 도 5는 도 3의 B-B'에 대한 단면을 나타낸 도면이다. 도 6은 도 3의 C-C'에 대한 단면을 나타낸 도면이다.

[0045]

도 7은 일반적인 유기발광표시장치의 박막트랜지스터 어레이 기판에 있어서, 도 2에 도시된 제 1 및 제 3 박막 트랜지스터와 스토리지 커패시터의 일 예를 나타낸 도면이다.

[0047]

도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 영상이 표시되는 표시영역(AA)에 정의된 복수의 화소영역(PXL)을 포함하는 표시패널(10)과, 표시패널(10)의 데이터라인(14)을 구동하는 데이터구동부(12)와, 표시패널(10)의 스캔라인(15)을 구동하는 게이트구동부(13)와, 데이터구동부(12) 및 게이트구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(11)를 포함한다.

[0048]

표시패널(10)은 복수의 화소영역(PXL) 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인(15)과, 복수의 화소영역(PXL) 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인(14)을 포함한다.

[0049]

여기서, 스캔라인(15)은 서로 다른 제 1 및 제 2 스캔신호(SCAN1, SCAN2)와 에미션신호(EM)를 공급하기 위한 제 1, 제 2 및 제 3 스캔라인을 포함할 수 있다. 제 1 스캔신호(SCAN)는 화소영역(PXL)에 데이터를 기입하기 위한 어드레싱 기간 동안 각 수평라인을 순차적으로 선택하기 위한 것일 수 있다. 제 2 스캔신호(SCAN2)는 화소영역(PXL)에 기준전원(VREF)을 공급하는 이니셜 기간에 대응될 수 있다. 에미션신호(EM)는 유기발광소자에 구동전류를 공급하는 에미션 기간에 대응될 수 있다.

[0050]

복수의 화소영역(PXL)은 상호 교차하는 스캔라인(15)와 데이터라인(14)에 의해 정의될 수 있다. 이에, 복수의 화소영역(PXL)은 표시영역(AA)에 매트릭스 형태로 배열된다.

- [0051] 그리고, 표시패널(10)은 복수의 화소영역(PXL)에 제 1 구동전원(VDD)을 공급하는 제 1 구동전원라인과, 제 1 구동전원(VDD)보다 낮은 전위의 제 2 구동전원(VSS)을 공급하는 제 2 구동전원라인과, 기준전원(VREF)을 공급하는 기준전원라인을 더 포함한다.
- [0052] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하고, 재정렬된 디지털 비디오 데이터(RGB')를 데이터구동부(12)에 공급한다.
- [0053] 그리고, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 공급한다.
- [0054] 데이터구동부(12)는 데이터 제어신호(DDC)에 기초하여 재정렬된 디지털 비디오 데이터(RGB')를 아날로그 데이터 전압으로 변환한다. 그리고, 데이터구동부(12)는 재정렬된 디지털 비디오 데이터(RGB')에 기초하여 각 수평기간 동안 각 화소영역에 데이터신호(VDATA)를 공급한다.
- [0055] 게이트구동부(13)는 게이트 제어신호(GDC)에 기초하여 각 수평라인의 스캔라인(15)에 순차적으로 제 1 스캔신호(SCAN1)를 공급할 수 있다.
- [0056] 별도로 도시하고 있지 않으나, 표시패널(10)은 상호 대향 합착되는 한 쌍의 기판과 그 사이에 배치되는 유기발광소자 어레이를 포함한다. 그리고, 한 쌍의 기판 중 어느 하나는 복수의 화소영역(PXL)을 정의하고 각 화소영역(PXL)의 유기발광소자에 구동전류를 공급하기 위한 박막트랜지스터 어레이 기판이며, 다른 나머지 하나는 유기발광소자 어레이를 밀봉하기 위한 봉지기판일 수 있다.
- [0057] 도 2에 도시한 바와 같이, 각 화소영역(PXL)은 유기발광소자(OLED), 구동 박막트랜지스터(DT), 제 1, 제 2, 제 3, 제 4 및 제 5 박막트랜지스터(T1, T2, T3, T4, T5) 및 스토리지 커패시터(Cst)를 포함한다.
- [0058] 유기발광소자(OLED)는 애노드전극과 캐소드전극, 및 이들 사이에 배치되는 유기발광층(미도시)을 포함한다. 예시적으로, 유기발광층은 정공주입층, 정공수송층, 발광층 및 전자수송층을 포함한다. 또는, 유기발광층은 전자주입층을 더 포함할 수 있다.
- [0059] 구동 박막트랜지스터(DT)는 제 1 구동전원(VDD)을 공급하는 제 1 구동전원라인(16)과 제 1 구동전원(VDD)보다 낮은 전위의 제 2 구동전원(VSS)을 공급하는 제 2 구동전원라인 사이에 유기발광소자(OLED)와 직렬로 배치된다.
- [0060] 제 1 박막트랜지스터(T1)는 각 화소영역의 데이터신호(VDATA)를 공급하는 데이터라인(14)과 제 1 노드(ND1) 사이에 배치된다.
- [0061] 이러한 제 1 박막트랜지스터(T1)는 제 1 스캔라인(15a)의 제 1 스캔신호(SCAN1)에 기초하여 턴온되면, 제 1 노드(ND1)에 데이터신호(VDATA)를 공급한다.
- [0062] 스토리지 커패시터(Cst)는 구동 박막트랜지스터(DT)의 게이트전극에 연결된 제 2 노드(ND2)와 제 1 노드(ND1) 사이에 배치된다.
- [0063] 이러한 스토리지 커패시터(Cst)는 턴온된 제 1 박막트랜지스터(T1)를 통해 제 1 노드(ND1)에 공급되는 데이터신호(VDATA)에 기초하여 충전된다.
- [0064] 그리고, 구동 박막트랜지스터(DT)는 스토리지 커패시터(Cst)의 충전전압에 기초하여 턴온하고, 데이터신호(VDATA)에 대응하는 구동전류를 제 3 노드(ND3), 즉 유기발광소자(OLED)에 공급한다. 여기서, 구동 박막트랜지스터(DT)의 제 1 및 제 2 전극 중 어느 하나는 제 1 전원라인(VDD)에 연결되고, 다른 나머지 하나는 제 3 노드(ND3)에 연결된다.
- [0065] 제 2 박막트랜지스터(T2)는 제 2 노드(ND2)와 제 3 노드(ND3) 사이에 배치된다. 여기서, 제 2 노드(ND2)는 구동 박막트랜지스터(DT)의 게이트전극에 연결되고, 제 3 노드(ND3)는 구동 박막트랜지스터(DT)의 제 1 및 제 2 전극 중 유기발광소자(OLED)에 대응한 어느 하나(예를 들면, 드레인전극)에 연결된다. 이에 따라, 제 2 박막트랜지스터(T2)는 구동 박막트랜지스터(DT)의 문턱전압을 보상하기 위한 것이다.
- [0066] 이러한 제 2 박막트랜지스터(T2)는 제 2 스캔라인(15b)의 제 2 스캔신호(SCAN2)에 기초하여 턴온되면, 제 2 노드(ND2)와 제 3 노드(ND3) 사이를 연결한다.
- [0067] 제 3 박막트랜지스터(T3)는 각 화소영역(PXL)에 기준전원(VREF)을 공급하는 기준전원라인(15d)과 제 1 노드(ND1) 사이에 배치된다.

- [0068] 이러한 제 3 박막트랜지스터(T3)는 제 3 스캔라인(15c)의 에미션신호(EM)에 기초하여 턴온되면, 제 1 노드(ND1)에 기준전원(VREF)을 공급한다.
- [0069] 제 4 박막트랜지스터(T4)는 유기발광소자(OLED)의 애노드전극에 연결된 제 4 노드(ND4)와 제 3 노드(ND3) 사이에 배치된다.
- [0070] 이러한 제 4 박막트랜지스터(T4)는 제 3 스캔라인(15c)의 에미션신호(EM)에 기초하여 턴온되면, 제 3 노드(ND3)와 제 4 노드(ND4) 사이를 연결한다.
- [0071] 제 5 박막트랜지스터(T5)는 기준전원라인(15d)과 제 4 노드(ND4) 사이에 배치된다.
- [0072] 이러한 제 5 박막트랜지스터(T5)는 제 2 스캔라인(15b)의 제 2 스캔신호(SCAN2)에 기초하여 턴온되면 제 4 노드(ND4)에 기준전원(VREF)을 공급한다.
- [0073] 다만, 도 2에 도시된 화소영역의 등가회로는 단지 예시일 뿐이며, 본 발명의 일 실시예는 도 2의 등가회로에만 국한되지 않는다. 즉, 본 발명의 일 실시예는 구동 박막트랜지스터(DT), 제 1 박막트랜지스터(T1) 및 스토리지 커페시터(Cst)를 비롯하여 기준전원라인(15d)에 연결된 적어도 하나의 박막트랜지스터(T3, T5)를 포함하는 등가회로의 화소영역(PXL)을 포함한 유기발광표시장치라면 어느 것에든 적용될 수 있음을 당연하다. 예시적으로, 도 2에 도시된 6T1C 구조 외에도, 7T1C, 8T1C 등의 등가회로에도 적용될 수 있다.
- [0075] 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 각 화소영역(PXL)에 대응하는 구동 박막트랜지스터(도 2의 DT), 제 1, 제 2, 제 3, 제 4 및 제 5 박막트랜지스터(도 2의 T1, T2, T3, T4, T5)와, 스토리지 커페시터(도 2의 Cst)를 포함한다.
- [0076] 그리고, 본 발명의 일 실시예에 따른 유기발광표시장치는 복수의 화소영역(도 1의 PXL) 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응한 제 1, 제 2, 제 3 스캔라인(15a, 15b, 15c)과 기준전원라인(15d), 및 복수의 화소영역(도 1의 PXL) 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응한 데이터라인(14)과 제 1 전원라인(16)을 더 포함한다.
- [0077] 구동 박막트랜지스터(DT)의 액티브층(110) 중 채널영역은 게이트전극(120)에 중첩된다.
- [0078] 여기서, 게이트전극(120)은 제 1 도전콘택홀(141_H1)을 통해 제 1 도전패턴(141)에 연결된다. 제 1 도전패턴(141)은 제 2 도전콘택홀(141_H2)을 통해 제 2 박막트랜지스터(T2)의 액티브층(112)에 연결된다. 즉, 구동 박막트랜지스터(DT)의 게이트전극(120)과 제 2 박막트랜지스터(T2)는 제 1 도전패턴(141)을 통해 연결되므로, 제 1 도전패턴(141)은 제 2 노드(도 2의 ND2)에 대응한다.
- [0079] 구동 박막트랜지스터(DT)의 액티브층(110)의 일측은 제 1 전원라인(16) 측으로 연장되고 제 1 전원라인(16)에 일부 중첩된다. 이에, 제 1 전원라인(16)은 구동 박막트랜지스터의 액티브층(110)과 제 1 전원라인(16) 사이의 중첩영역에 배치되는 구동콘택홀(16_H)을 통해 구동 박막트랜지스터의 액티브층(110)에 연결된다. 여기서, 구동 콘택홀(16_H)은 제 1 전원라인(16)에서 분기된 영역이 아니라, 제 1 전원라인(16)과 동일한 선상에 배치된다.
- [0080] 그리고, 구동 박막트랜지스터의 액티브층(110)의 다른 일측은 제 3 노드(도 2의 ND3)에 대응하며, 제 2 박막트랜지스터의 액티브층(112) 및 제 4 박막트랜지스터(T4)의 액티브층(114)에 이어진다.
- [0081] 스토리지 커페시터(도 2의 Cst)는 게이트전극(120)과 커페시터전극패턴(130) 사이의 중첩영역에 대응한다.
- [0082] 제 1 박막트랜지스터(T1)의 액티브층(111) 중 채널영역은 제 1 스캔신호(도 2의 SCAN1)를 공급하는 제 1 스캔라인(15a)에 중첩된다.
- [0083] 제 1 박막트랜지스터의 액티브층(111)의 일측은 데이터라인(14) 측으로 연장되고 데이터라인(14)에 일부 중첩된다. 이에, 데이터라인(14)은 제 1 박막트랜지스터의 액티브층(111)과 데이터라인(14) 사이의 중첩영역에 배치되는 데이터콘택홀(14_H)을 통해 제 1 박막트랜지스터의 액티브층(111)에 연결된다.
- [0084] 그리고, 제 1 박막트랜지스터의 액티브층(111)의 다른 일측은 커페시터전극패턴(130)에 일부 중첩된다. 이에, 커페시터전극패턴(130)은 제 1 박막트랜지스터의 액티브층(111)과 커페시터전극패턴(130) 사이의 중첩영역에 배치되는 제 1 커페시터콘택홀(130_H1)을 통해 제 1 박막트랜지스터의 액티브층(111)에 연결된다.
- [0085] 여기서, 제 1 커페시터콘택홀(130_H1)은 데이터라인(14)에 중첩된다.

- [0086] 즉, 데이터콘택홀(14_H) 및 제 1 커패시터콘택홀(130_H1)은 데이터라인(14)에서 분기된 영역이 아니라, 데이터라인(14)과 동일한 선상에 배치된다.
- [0087] 제 2 박막트랜지스터(T2)의 액티브층(112) 중 채널영역은 제 2 스캔신호(도 2의 SCAN2)를 공급하는 제 2 스캔라인(15b)에 중첩된다.
- [0088] 제 2 박막트랜지스터의 액티브층(112)의 일측은 제 2 도전콘택홀(141_H2)을 통해 제 1 도전패턴(141)에 연결된다.
- [0089] 제 2 박막트랜지스터의 액티브층(112)의 다른 일측은 제 3 노드(도 2의 ND3)에 대응하며, 구동 박막트랜지스터의 액티브층(110) 및 제 4 박막트랜지스터(T4)의 액티브층(114)에 이어진다.
- [0090] 제 3 박막트랜지스터(T3)의 액티브층(113) 중 채널영역은 에미션신호(도 2의 EM)를 공급하는 제 3 스캔라인(15c)에 중첩된다.
- [0091] 제 3 박막트랜지스터의 액티브층(113)의 일측은 커패시터전극패턴(130)에 일부 중첩된다. 이에, 커패시터전극패턴(130)은 제 3 박막트랜지스터의 액티브층(113)과 커패시터전극패턴(130) 사이의 중첩영역에 배치되는 제 2 커패시터콘택홀(130_H2)을 통해 제 3 박막트랜지스터의 액티브층(113)에 연결된다.
- [0092] 여기서, 제 2 커패시터콘택홀(130_H2)은 데이터라인(14)에 중첩된다.
- [0093] 즉, 제 2 커패시터콘택홀(130_H2)은 데이터콘택홀(14_H) 및 제 1 커패시터콘택홀(130_H1)과 더불어, 데이터라인(14)에서 분기된 영역이 아니라, 데이터라인(14)과 동일한 선상에 배치된다.
- [0094] 제 4 박막트랜지스터(T4)의 액티브층(114) 중 채널영역은 제 3 스캔라인(15c)에 중첩된다.
- [0095] 제 4 박막트랜지스터의 액티브층(114)의 일측은 제 3 노드(ND3)에 대응하고, 구동 박막트랜지스터의 액티브층(110) 및 제 2 박막트랜지스터의 액티브층(112)에 이어진다.
- [0096] 제 4 박막트랜지스터의 액티브층(114)의 다른 일측은 제 3 도전콘택홀(142_H)을 통해 제 2 도전패턴(142)에 연결된다.
- [0097] 도 3에 상세히 도시되지 않았으나, 제 2 도전패턴(142)은 애노드콘택홀(Anode_H)을 통해 유기발광소자(도 2의 OLED)의 애노드전극에 연결된다. 즉, 제 2 도전패턴(142)는 제 4 노드(도 2의 ND4)에 대응한다.
- [0098] 제 5 박막트랜지스터(T5)의 액티브층(115) 중 채널영역은 제 2 스캔신호(도 2의 SCAN2)를 공급하는 제 2 스캔라인의 커플라인(15b') 중 분기된 영역에 중첩된다.
- [0099] 제 5 박막트랜지스터의 액티브층(115)의 일측은 기준전원(도 2의 VREF)을 공급하는 기준전원라인(15d) 측으로 연장되고 기준전원라인(15d)에 일부 중첩된다. 이에, 기준전원라인(15d)은 제 5 박막트랜지스터의 액티브층(115)과 기준전원라인(15d) 사이의 중첩영역에 배치되는 기준전원콘택홀(15d_H)을 통해 제 5 박막트랜지스터의 액티브층(115)에 연결된다.
- [0100] 여기서, 기준전원콘택홀(15d_H)은 데이터라인(14)에 중첩된다.
- [0101] 즉, 기준전원라인(15d)은 데이터라인(14)에 교차하는 방향으로 배치되므로, 기준전원라인(15d)과 데이터라인(14) 사이의 중첩영역이 발생된다. 그리고, 제 5 박막트랜지스터의 액티브층(115)의 일측을 기준전원라인(15d)과 데이터라인(14) 사이의 중첩영역까지 연장함으로써, 기준전원콘택홀(15d_H)이 데이터라인(14)에 중첩될 수 있다.
- [0102] 더불어, 기준전원콘택홀(15d_H)은 데이터콘택홀(14_H), 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)과 마찬가지로, 데이터라인(14)에서 분기된 영역이 아니라, 데이터라인(14)과 동일한 선상에 배치된다.
- [0103] 제 5 박막트랜지스터의 액티브층(115)의 다른 일측은 제 4 노드(도 2의 ND4)에 대응하며, 제 4 박막트랜지스터의 액티브층(114)에 이어진다.
- [0104] 이상과 같이, 본 발명의 일 실시예에 따르면, 제 1 전원라인(16)은 제 1 전원라인(16)과 동일 선상에 위치한 구동콘택홀(16_H)을 통해 구동 박막트랜지스터의 액티브층(110)에 직접 연결된다. 이에, 제 1 전원라인(16)과 구동 박막트랜지스터의 액티브층(110) 사이를 연결하기 위한 별도의 브릿지패턴이 배제될 수 있으므로, 그만큼 화소영역(PXL)의 공간활용도가 향상될 수 있다.
- [0105] 마찬가지로, 데이터라인(14)은 데이터라인(14)과 동일 선상에 위치한 데이터콘택홀(14_H)을 통해 제 1 박막트랜

지스터의 액티브층(111)에 직접 연결된다. 이에, 데이터라인(14)과 제 1 박막트랜지스터의 액티브층(111) 사이를 연결하기 위한 별도의 브릿지패턴이 배제될 수 있으므로, 그만큼 화소영역(PXL)의 공간활용도가 향상될 수 있다.

[0106] 이 뿐만 아니라, 데이터콘택홀(14_H), 기준전원콘택홀(15d_H), 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)이 모두 데이터라인(14)에 중첩되도록 배치된다. 이에, 데이터콘택홀(14_H), 기준전원콘택홀(15d_H), 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)을 위한 별도의 면적을 할당하지 않는 만큼, 화소영역(PXL)의 공간활용도가 향상될 수 있다.

[0108] 도 5에 도시한 바와 같이, 제 1 박막트랜지스터(T1)의 액티브층(111)은 기판(101) 상에 배치되고, 게이트절연막(102)으로 덮인다.

[0109] 그리고, 제 1 스캔라인(15a)은 게이트절연막(102) 상에 배치된다.

[0110] 제 1 스캔라인(15a)과 마찬가지로, 제 2 스캔라인(15b), 제 2 스캔라인의 커플라인(15b'), 제 3 스캔라인(15c) 및 구동 박막트랜지스터(T1)의 게이트전극(120)은 게이트절연막(102) 상에 배치된다.

[0111] 그리고, 스토리지 커패시터(Cst)에 대응한 커패시터전극패턴(130)은 게이트전극(120)을 덮는 제 1 충간절연막(103) 상에 배치된다. 여기서, 스토리지 커패시터(Cst)는 제 1 충간절연막(103)을 사이에 두고 게이트전극(120)과 커패시터전극패턴(130)이 상호 중첩하는 영역에 대응한다.

[0112] 커패시터전극패턴(130)과 마찬가지로, 기준전원라인(15d)은 제 1 충간절연막(103) 상에 배치된다.

[0113] 데이터라인(14)은 커패시터전극패턴(130) 및 기준전원라인(15d)을 덮는 제 2 충간절연막(104) 상에 배치된다.

[0114] 제 1 박막트랜지스터의 액티브층(111)은 게이트절연막(102) 상의 제 1 스캔라인(15a)에 중첩하는 채널영역(111a)과, 채널영역(111a)의 양측에 대응한 제 1 및 제 2 전극영역(111b, 111c)을 포함한다.

[0115] 일 예로, 제 1 박막트랜지스터의 액티브층(111) 중 제 1 전극영역(111b)은 데이터콘택홀(14_H)을 통해 제 2 충간절연막(104) 상의 데이터라인(14)에 연결되고, 제 2 전극영역(111c)은 제 1 커패시터콘택홀(130_H1)을 통해 제 1 충간절연막(103) 상의 커패시터전극패턴(130)에 연결될 수 있다.

[0116] 제 3 박막트랜지스터(T3)의 액티브층(113)은 기판(101) 상에 배치되고, 게이트절연막(102)으로 커버되며, 게이트절연막(102) 상의 제 3 스캔라인(15c)에 중첩하는 채널영역(113a)과, 채널영역(113a)의 양측에 대응한 제 1 및 제 2 전극영역(113b, 113c)을 포함한다.

[0117] 일 예로, 제 3 박막트랜지스터의 액티브층(113) 중 제 1 전극영역(113b)은 기준전원콘택홀(15d_H)을 통해 제 1 충간절연막(103) 상의 기준전원라인(15d)에 연결되고, 제 2 전극영역(113c)은 제 2 커패시터콘택홀(130_H2)을 통해 제 1 충간절연막(103) 상의 커패시터전극패턴(130)에 연결될 수 있다.

[0118] 이때, 도 4의 도시와 같이, 데이터콘택홀(14_H), 기준전원콘택홀(15d_H), 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)은 모두 데이터라인(14)에 중첩한다.

[0119] 도 5 및 도 6에 도시한 바와 같이, 제 1 전원라인(16), 제 1 및 제 2 도전패턴(141, 142)은 데이터라인(14)과 마찬가지로, 제 2 충간절연막(104) 상에 배치된다.

[0120] 그리고, 유기발광소자(도 2의 OLED)의 애노드전극(Anode)은 데이터라인(14), 제 1 전원라인(16), 제 1 및 제 2 도전패턴(141, 142)을 덮는 오버코트막(105) 상에 배치될 수 있다. 이 경우, 애노드전극(Anode)은 오버코트막(105)을 관통하는 애노드콘택홀(Anode_H)을 통해 제 2 도전패턴(142)에 연결될 수 있다.

[0121] 제 2 도전패턴(142)은 제 3 도전콘택홀(142_H)을 통해 제 4 박막트랜지스터(T4)의 액티브층(114)에 연결된다.

[0122] 구동 박막트랜지스터(DT)의 액티브층(110)은 기판(101) 상에 배치되고, 게이트절연막(102)으로 커버되며, 게이트절연막(102) 상의 게이트전극(120)에 중첩하는 채널영역(110a)과, 채널영역(110a)의 양측에 대응한 제 1 및 제 2 전극영역(110b, 110c)을 포함한다.

[0123] 일 예로, 구동 박막트랜지스터의 액티브층(110) 중 제 1 전극영역(110b)은 구동콘택홀(16_H)을 통해 제 2 충간절연막(104) 상의 제 1 전원라인(16)에 연결되고, 제 2 전극영역(110c)은 제 4 박막트랜지스터(T4)의 액티브층(114)에 이어질 수 있다.

- [0124] 제 4 박막트랜지스터(T4)의 액티브층(114)은 기판(101) 상에 배치되고, 게이트절연막(102)으로 커버되며, 게이트절연막(102) 상의 제 3 스캔라인(15c)에 중첩하는 채널영역(114a)과, 채널영역(114a)의 양측에 대응하는 제 1 및 제 2 전극영역(114b, 114c)을 포함한다.
- [0125] 일 예로, 제 4 박막트랜지스터의 액티브층(114) 중 제 1 전극영역(114b)은 구동 박막트랜지스터의 액티브층(110)에 연결되고, 제 2 전극영역(114c)은 제 3 도전콘택홀(142_H)을 통해 제 2 층간절연막(104) 상의 제 2 도전패턴(142)에 연결될 수 있다.
- [0126] 도 6에 도시한 바와 같이, 제 4 박막트랜지스터의 액티브층(114)의 제 2 전극영역(114c)은 제 5 박막트랜지스터(T5)의 액티브층(115)에도 이어진다.
- [0127] 제 5 박막트랜지스터(T5)의 액티브층(115)은 기판(101) 상에 배치되고, 게이트절연막(102)으로 커버되며, 게이트절연막(102) 상의 제 2 스캔라인의 커플라인(15b')에 중첩되는 채널영역(115a)과, 채널영역(115a)의 양측에 대응한 제 1 및 제 2 전극영역(115a, 115b)을 포함한다.
- [0128] 일 예로, 제 5 박막트랜지스터의 액티브층(115) 중 제 1 전극영역(115b)은 제 3 박막트랜지스터(T3)의 액티브층(113)에 이어지고, 제 2 전극영역(115c)은 제 4 박막트랜지스터(T4)의 액티브층(114)에 이어진다.
- [0129] 여기서, 도 4의 도시와 같이, 제 3 박막트랜지스터(T3)의 액티브층(113) 중 제 1 전극영역(113b)은 기준전원라인(16)에 연결된다.
- [0130] 그리고, 도 6에 상세히 도시되지 않았으나, 제 5 박막트랜지스터(T5)의 액티브층(115)의 제 1 전극영역(115b)은 제 3 박막트랜지스터(T3)의 액티브층(113)의 제 1 전극영역(113b)에 이어지므로, 제 5 박막트랜지스터(T5)의 액티브층(115)의 제 1 전극영역(115b) 또한 기준전원라인(16)에 연결된다.
- [0131] 제 2 박막트랜지스터(T2)의 액티브층(112)은 기판(101) 상에 배치되고, 게이트절연막(102)으로 커버된다.
- [0132] 제 2 박막트랜지스터(T2)의 액티브층(112)은 게이트절연막(102) 상의 제 2 스캔라인(15b)에 중첩하는 제 1 및 제 2 채널영역(112a, 112b)과, 제 1 채널영역(112a)의 일측에 대응하는 제 1 전극영역(112c)과, 제 2 채널영역(112b)의 일측에 대응하는 제 2 전극영역(112d)과, 제 1 및 제 2 채널영역(112a, 112b) 사이의 연결영역(112e)을 포함한다.
- [0133] 일 예로, 제 2 박막트랜지스터의 액티브층(112) 중 제 1 전극영역(112c)은 제 1 및 제 2 도전콘택홀(141_H1, 141_H2)과 제 1 도전패턴(141)을 통해 구동 박막트랜지스터(DT)의 게이트전극(120)에 연결되고, 제 2 전극영역(112d)은 제 4 박막트랜지스터의 액티브층(114)에 이어질 수 있다.
- [0135] 한편, 도 2의 도시와 같이, 일반적인 유기발광표시장치 또한 제 1 노드(ND1)와 제 2 노드(ND2) 사이에 배치되는 스토리지 커패시터(Cst), 제 1 노드(ND1)에 연결되는 제 1 및 제 3 박막트랜지스터(T1, T3)를 포함할 수 있다.
- [0136] 이 경우, 도 7에 도시된 바와 같이, 일반적인 유기발광표시장치에 있어서, 스토리지 커패시터(Cst)는 게이트절연막(102) 상의 게이트전극(120)과 제 1 층간절연막(103) 상의 커패시터전극패턴(CP) 사이의 중첩영역에 대응될 수 있다.
- [0137] 제 1 노드(ND1)에 대응하는 커패시터전극패턴(CP)은 브릿지패턴(BP)을 통해 제 1 및 제 3 박막트랜지스터(T1, T3) 각각에 연결된다. 여기서, 브릿지패턴(BP)은 복수의 절연막(102, 103, 104) 중 최상위에 해당되는 제 2 층간절연막(104) 상에 배치된다. 이와 같이, 브릿지패턴(BP)은 제 1 및 제 3 박막트랜지스터(T1, T3)의 액티브층(111, 113)과 커패시터전극패턴(CP) 모두와 다른 층에 배치된다. 그러므로, 브릿지패턴(BP)은 제 1, 제 2 및 제 3 브릿지콘택홀(BP_H1, BP_H2, BP_H3)을 통해 제 1 및 제 3 박막트랜지스터(T1, T3)의 액티브층(111, 113)과 커패시터전극패턴(CP)에 연결될 수 있다.
- [0138] 여기서, 제 1, 제 2 및 제 3 브릿지콘택홀(BP_H1, BP_H2, BP_H3)은 동일 평면 상에 상호 이격하여 배치되어야 하므로, 각 화소영역(PXL)에 제 1, 제 2 및 제 3 브릿지콘택홀(BP_H1, BP_H2, BP_H3)에 대응하는 면적이 별도로 할당되어야 한다. 또한, 각 화소영역(PXL)에 브릿지패턴(BP)에 대응하는 면적이 별도로 할당되어야 한다. 그러므로, 화소영역의 공간활용도가 향상되는 데에 한계가 있는 문제점이 있다.
- [0139] 더불어, 제 1, 제 2 및 제 3 브릿지콘택홀(BP_H1, BP_H2, BP_H3)은 제 2 층간절연막(104)을 관통하는 형태이고, 커패시터전극패턴(CP)은 제 2 층간절연막(104)으로 커버된다. 이에 따라, 커패시터전극패턴(CP)은 제

1, 제 2 및 제 3 브릿지콘택홀(BP_H1, BP_H2, BP_H3)을 배치한 이후에 실시되는 열처리 공정에 노출된다. 그러므로, 커패시터전극패턴(CP)은 열처리에 비교적 강한 Mo(몰리브덴) 등과 같은 고저항금속재료로 이루어질 필요가 있다. 이에, 커패시터전극패턴(CP)과 동일층에 신호라인이 배치되기 어려운 문제점이 있다. 즉, 커패시터전극패턴(CP)과 동일층에 배치되는 신호라인은 고저항으로 인해 넓은 폭으로 이루어져야 하므로, 고해상도화에 적합하지 않은 문제점이 있다.

[0140] 그와 달리, 본 발명의 일 실시예에 따르면, 커패시터전극패턴(130)은 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)을 통해 제 1 및 제 3 박막트랜지스터(T1, T3)에 직접 연결된다. 그러므로, 제 1 및 제 3 박막트랜지스터(T1, T3) 각각과 커패시터전극패턴(130) 사이를 연결하기 위한 별도의 브릿지패턴이 제거될 수 있으므로, 브릿지패턴에 대응하는 면적을 할당하지 않는 만큼 화소영역의 공간활용도가 향상될 수 있는 장점이 있다.

[0141] 또한, 일반적인 유기발광표시장치와 달리, 데이터라인(14) 및 제 1 전원라인(16)이 배치된 층에서 브릿지패턴이 배제됨에 따라, 이물불량이 감소될 수 있는 장점이 있다.

[0142] 더불어, 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)은 게이트절연막(102) 및 제 1 층간절연막(103)을 관통하는 형태이고, 커패시터전극패턴(130)은 제 1 층간절연막(103) 상에 배치된다. 이에, 열처리 공정이 제 1 및 제 2 커패시터콘택홀(130_H1, 130_H2)을 배치하는 과정과 커패시터전극패턴(130)을 배치하는 과정 사이에 실시될 수 있다. 이로써, 커패시터전극패턴(130)이 열처리공정에 노출되지 않으므로, 열처리공정에 비교적 취약한 저저항금속으로도 선택될 수 있다. 예시적으로, 저저항금속으로는 Al(알루미늄)을 들 수 있다. 이에 따라, 커패시터전극패턴(130)과 동일층에 신호라인을 배치할 수 있으므로, 커패시터전극패턴(130)에 대응한 도전층의 활용도가 향상될 수 있다.

[0143] 본 발명의 일 실시예에 따르면, 커패시터전극패턴(130)과 동일층에 배치되는 신호라인은 기준전원라인(15d)으로 선택될 수 있다. 이에, 기준전원라인(15d)은 데이터라인(14) 및 제 1 전원라인(16)과 다른 층에 배치됨으로써, 데이터라인(14) 및 제 1 전원라인(16)에 교차하는 방향으로 배치될 수 있다.

[0144] 즉, 일반적인 유기발광표시장치의 경우, 기준전원라인이 데이터라인(14) 및 제 1 전원라인(16)과 동일층에, 데이터라인(14) 및 제 1 전원라인(16)과 동일한 수직방향으로 배치된다.

[0145] 반면, 본 발명의 일 실시예에 따르면, 기준전원라인(15d)가 수직방향이 아닌 수평방향으로 배치된다. 이에, 수직방향의 기준전원라인이 제거됨으로써, 기준전원라인의 너비만큼 화소영역 간의 이격거리가 감소될 수 있다. 그로 인해, 고해상도화에 유리해질 수 있다.

[0147] 다음, 본 발명의 일 실시예에 따른 유기발광표시장치의 구동방법에 대해 설명한다.

[0148] 도 8은 본 발명의 일 실시예에 따른 유기발광표시장치를 제조하는 방법을 나타낸 도면이다. 도 9 내지 도 20은 도 8의 각 과정을 나타낸 도면이다.

[0149] 도 8에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은 기판 상에 각 화소영역(PXL)에 포함된 적어도 하나의 박막트랜지스터(DT, T1, T2, T3, T4, T5)에 대응한 액티브층을 배치하는 단계(S10), 액티브층을 덮는 게이트절연막(102)을 배치하는 단계(S11), 게이트절연막(102) 상에 어느 하나의 박막트랜지스터의 액티브층의 채널영역에 중첩되는 게이트전극(120)을 배치하는 단계(S12), 게이트전극(120)을 덮는 제 1 층간절연막(103)을 배치하는 단계(S13), 복수의 콘택홀에 대응하여 게이트절연막(102) 및 제 1 층간절연막(103)을 패터닝하는 단계(S14), 액티브층에 대한 열처리를 실시하는 단계(S15), 제 1 층간절연막(103) 상에 게이트전극(120)에 중첩되는 커패시터전극패턴(130)과 기준전원(VREF)을 공급하는 기준전원라인(15d)을 배치하는 단계(S16), 커패시터전극패턴(130) 및 기준전원라인(15d)을 덮는 제 2 층간절연막(104)을 배치하는 단계(S17), 복수의 콘택홀 중 일부에 대응하여 제 2 층간절연막(104)을 패터닝하는 단계(S18), 및 제 2 층간절연막(104) 상에 각 화소영역(PXL)의 데이터신호(VDATA)를 공급하는 데이터라인(14)과 제 1 구동전원(VDD)을 공급하는 제 1 전원라인(16)을 배치하는 단계(S19)를 포함한다.

[0150] 도 9 및 도 10에 도시한 바와 같이, 기판(101) 상에 각 화소영역(PXL)에 포함된 적어도 하나의 박막트랜지스터(DT, T1, T2, T3, T4, T5)에 대응하는 액티브층(110, 111, 112, 113, 114, 115)을 배치한다. (S10) 이때, 액티브층(110, 111, 112, 113, 114, 115)은 도핑되지 않은 반도체물질로 이루어진다.

[0151] 도 11 및 도 12에 도시한 바와 같이, 액티브층(110, 111, 112, 113, 114, 115)을 덮는 게이트절연막(102)을 배치하고 (S11), 게이트절연막(102) 상에 어느 하나의 박막트랜지스터의 액티브층(110)에 중첩하는 게이트전극

(120)을 배치한다. (S12)

[0152] 이때, 게이트전극(120)과 더불어, 각 수평라인에 대응하는 제 1, 제 2 및 제 3 스캔라인(15a, 15b, 15b', 15c)이 게이트절연막(102) 상에 배치된다.

[0153] 이어서, 게이트전극(120), 제 1, 제 2 및 제 3 스캔라인(15a, 15b, 15b', 15c)을 덮는 제 1 층간절연막(103)을 배치한다. (S13)

[0154] 그리고, 게이트절연막(102) 상의 도전패턴들, 즉 게이트전극(120), 제 1, 제 2 및 제 3 스캔라인(15a, 15b, 15b', 15c)을 마스크로 이용한 상태에서, 액티브층(도 9의 110, 111, 112, 113, 114, 115)에 대한 도핑 공정을 실시한다.

[0155] 이로써, 도 12의 도시와 같이, 적어도 하나의 박막트랜지스터(T1, T3)에 대응한 액티브층(111, 113) 각각은 도핑되지 않은 반도체물질로 이루어진 채널영역(111a, 113a)과 채널영역보다 높은 농도로 도핑된 반도체물질로 이루어진 제 1 및 제 2 전극영역(111b, 111c)(113b, 113c)을 포함하는 구조로 이루어진다.

[0156] 도 13 및 도 14에 도시한 바와 같이, 각 박막트랜지스터의 액티브층(110, 111, 112, 113, 114, 115)의 일부를 노출하기 위한 복수의 콘택홀(14_H', 15d_H, 16_H', 130_H1, 130_H2, 141_H1', 141_H2')에 대응하여 게이트절연막(102) 및 제 1 층간절연막(103)을 패터닝한다. (S14)

[0157] 이때, 제 1 층간절연막(103)의 패터닝을 통해 게이트전극(120)의 일부를 노출하기 위한 제 1 도전콘택홀(141_H1)을 더 배치할 수 있다.

[0158] 도 15에 도시한 바와 같이, 액티브층(111, 113)에 대한 열처리 공정을 실시한다. (S15)

[0159] 도 16 및 도 17에 도시한 바와 같이, 제 1 층간절연막(103) 상에 커패시터전극패턴(130) 및 기준전원라인(15d)을 배치한다. (S16)

[0160] 여기서, 기준전원라인(15d)은 제 1, 제 2 및 제 3 스캔라인(15a, 15b, 15c)과 마찬가지로, 각 수평라인에 대응한다. 즉, 기준전원라인(15d)은 수평방향으로 배치된다.

[0161] 커패시터전극패턴(130)은 게이트전극(120)에 중첩된다.

[0162] 이러한 커패시터전극패턴(130)은 게이트절연막(102) 및 제 1 층간절연막(103)을 관통하는 제 1 커패시터콘택홀(130_H1)을 통해 제 1 박막트랜지스터(T1)의 액티브층(111)의 제 2 전극영역(111c)에 연결된다.

[0163] 그리고, 커패시터전극패턴(130)은 게이트절연막(102) 및 제 1 층간절연막(103)을 관통하는 제 2 커패시터콘택홀(130_H2)을 통해 제 3 박막트랜지스터(T3)의 액티브층(113)의 제 2 전극영역(111c)에 연결된다.

[0164] 도 18에 도시한 바와 같이, 커패시터전극패턴(130) 및 기준전원라인(15d)을 덮는 제 2 층간절연막(104)을 배치한다. (S17)

[0165] 그리고, 복수의 콘택홀 중 일부(14_H, 16_H, 141_H1, 141_H2, 142_H)에 대응하여 제 2 층간절연막(104)을 패터닝한다. (S18)

[0166] 여기서, 복수의 콘택홀 중 일부(14_H, 16_H, 141_H1, 141_H2, 142_H)는 제 2 층간절연막(104) 상에 배치될 데 이터라인(14), 제 1 전원라인(16), 제 1 및 제 2 도전패턴(141, 142)에 연결된다.

[0167] 이어서, 도 19 및 도 20에 도시한 바와 같이, 제 2 층간절연막(104) 상에 데이터라인(14), 제 1 전원라인(16), 제 1 및 제 2 도전패턴(141, 142)을 배치한다. (S19)

[0168] 이때, 데이터라인(14)은 데이터콘택홀(14_H)을 통해 제 1 박막트랜지스터(T1)의 액티브층(111)에 연결되고, 제 1 전원라인(16)은 구동콘택홀(16_H)을 통해 구동 박막트랜지스터(DT)의 액티브층(110)에 연결된다.

[0169] 그리고, 제 1 도전패턴(141)은 제 1 및 제 2 도전콘택홀(141_H1, 141_H2)을 통해 게이트전극(120) 및 제 2 박막트랜지스터(T2)의 액티브층(112)에 연결된다. 즉, 제 1 도전패턴(141)은 제 2 노드(ND2)에 대응하며, 게이트전극(120) 및 제 2 박막트랜지스터(T2)의 액티브층(112) 사이를 연결하기 위한 브릿지패턴이 된다.

[0170] 제 2 도전패턴(142)은 제 3 도전콘택홀(142_H)을 통해 제 4 박막트랜지스터(T4)의 액티브층(114)에 연결된다.

[0171] 이상과 같이, 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은 커패시터전극패턴(130)을 배치하는 단계(S16) 이전에, 적어도 제 1 층간절연막(103)의 패터닝을 통해 각 액티브층(110, 111, 112, 113, 114, 11

5)의 일부를 노출하기 위한 복수의 콘택홀을 배치하는 단계(S14) 및 액티브층(110, 111, 112, 113, 114, 115)을 열처리하는 단계(S15)가 실시된다.

[0172] 이로써, 커페시터전극패턴(130)은 열처리공정(S15)에 노출되지 않으므로, 비교적 열처리에 취약한 저저항금속재료로 이루어질 수 있다. 그로 인해, 커페시터전극패턴(130)과 동일층, 즉 제 1 층간절연막(103) 상에 신호배선(15d)가 배치될 수 있다. 그러므로, 제 1 층간절연막(103) 상의 도전층에 대한 공간활용도가 향상될 수 있다.

[0173] 더불어, 기준전원라인(15d)은 데이터라인(14) 및 제 1 전원라인(16)과 상이한 층에 배치됨에 따라, 데이터라인(14) 및 제 1 전원라인(16)과 교차하는 방향으로 배치될 수 있다. 즉, 기준전원라인(15d)은 각 수평라인에 대응될 수 있다.

[0175] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0177] DT: 구동 박막트랜지스터

T1, T2, T3, T4, T5: 제 1, 제 2, 제 3, 제 4, 제 5 박막트랜지스터

Cst: 커페시터

OLED: 유기발광소자

14: 데이터라인

15a, 15b, 15c: 제 1, 제 2, 제 3 스캔라인

15d: 기준전원라인

16: 제 1 전원라인

110, 111, 112, 113, 114, 115: 액티브층

120: 게이트전극

130: 커페시터전극패턴

141, 142: 제 1 및 제 2 도전패턴

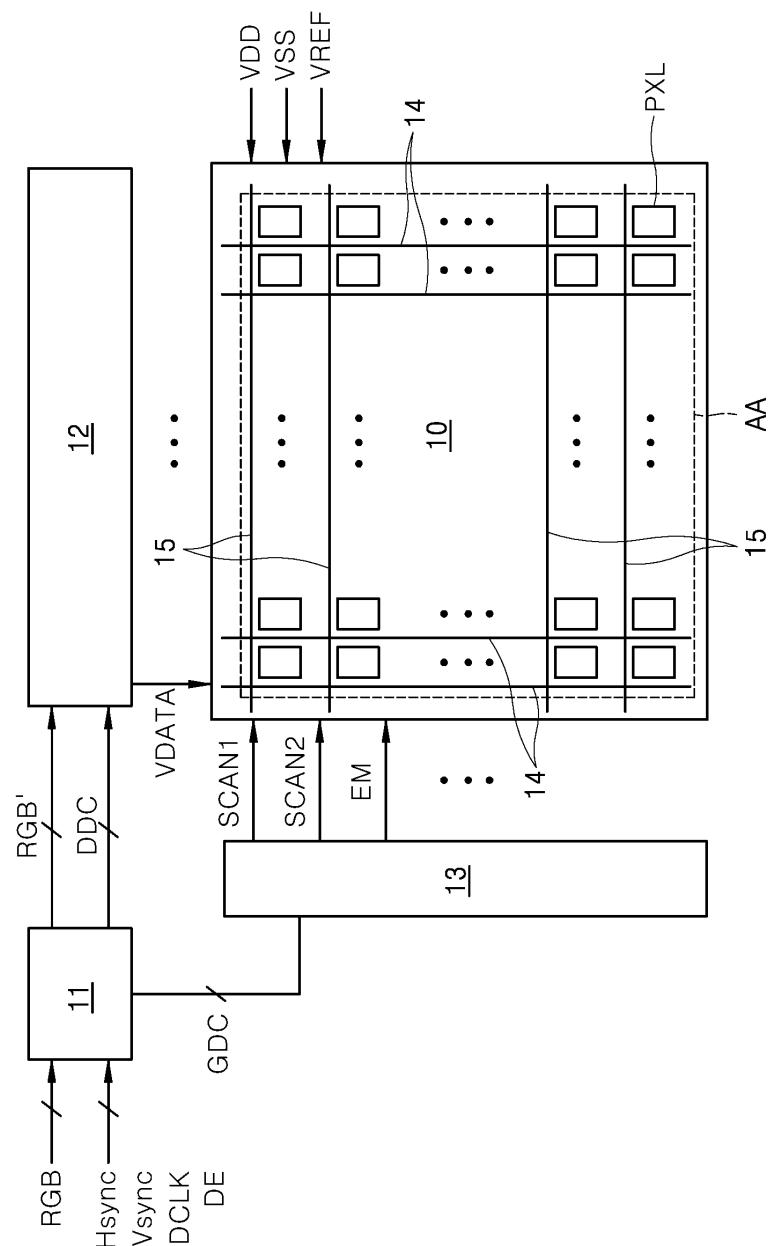
14_H: 데이터콘택홀

130_H1, 130_H2: 제 1 및 제 2 커페시터콘택홀

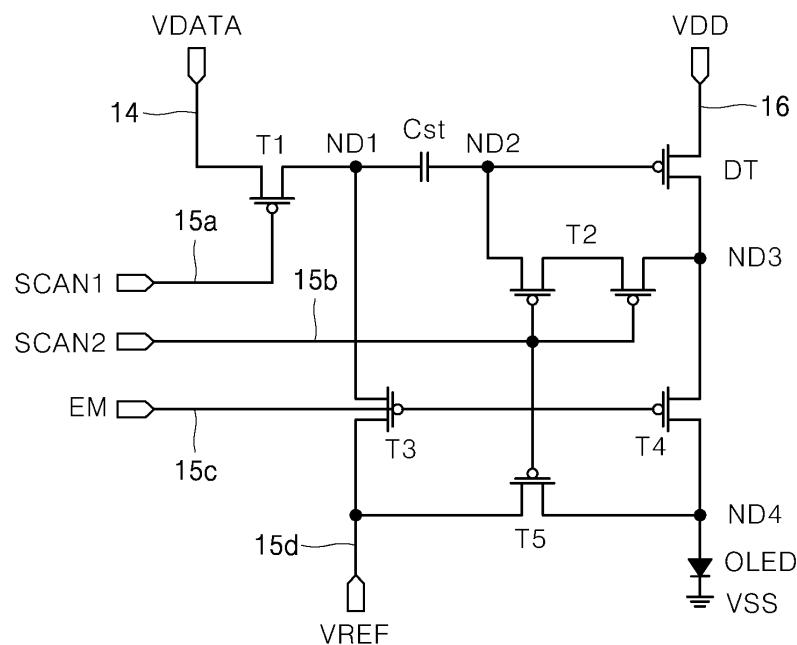
15d_H: 기준전원콘택홀

도면

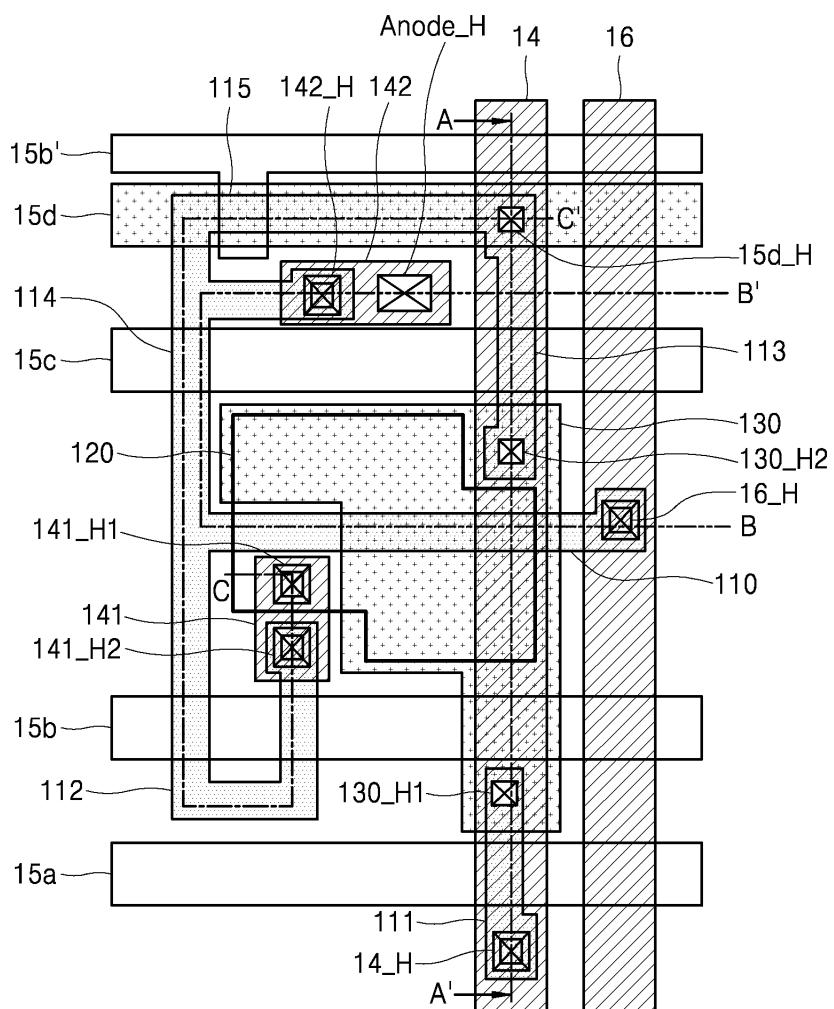
도면1



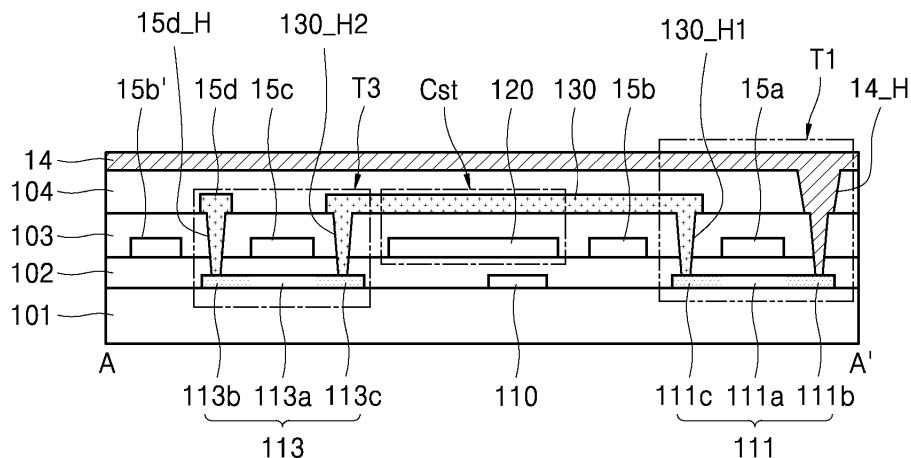
도면2



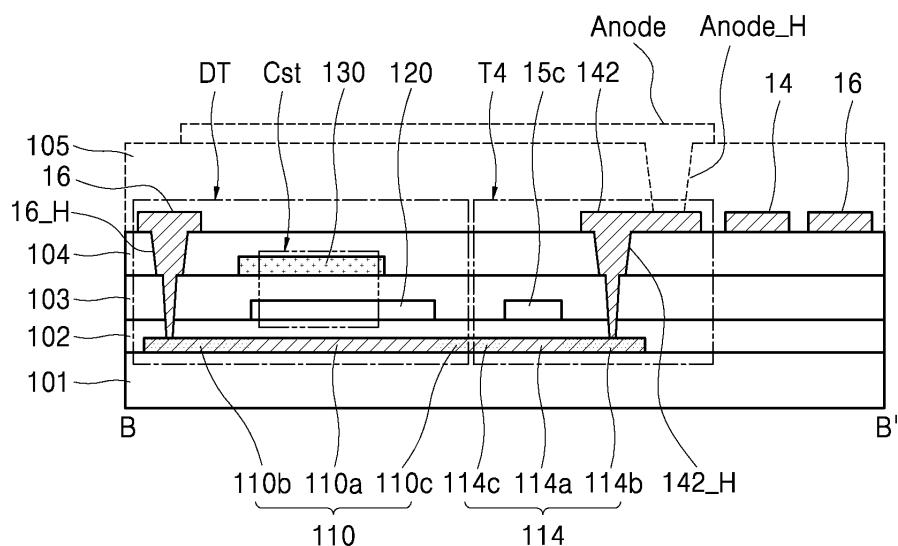
도면3



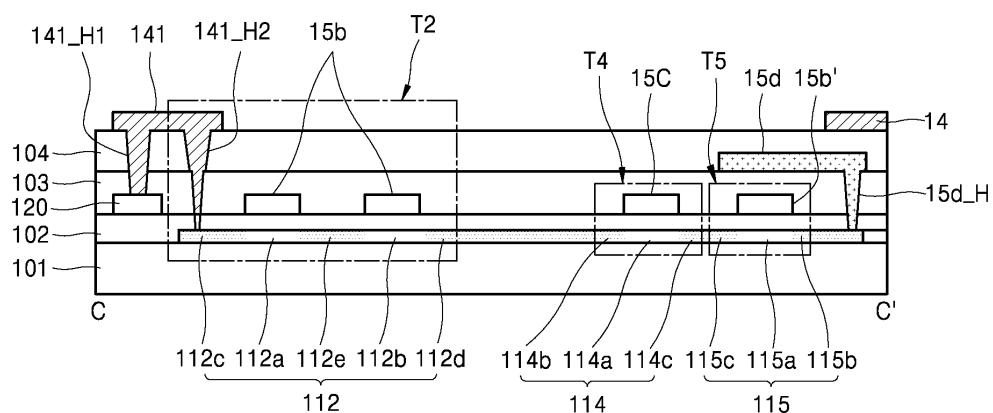
도면4



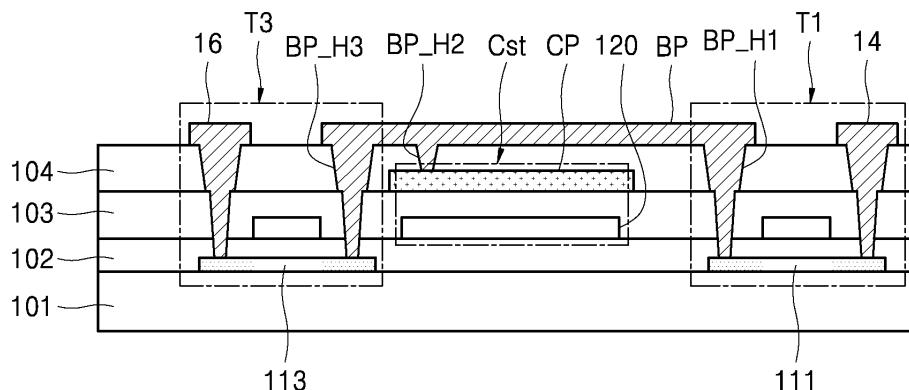
도면5



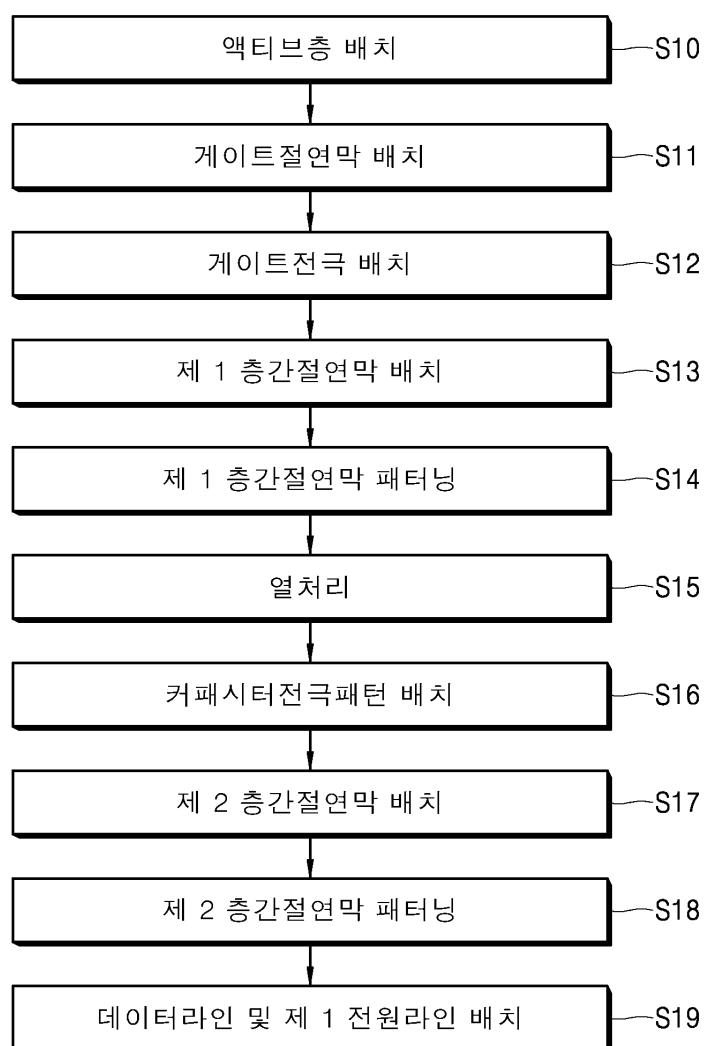
도면6



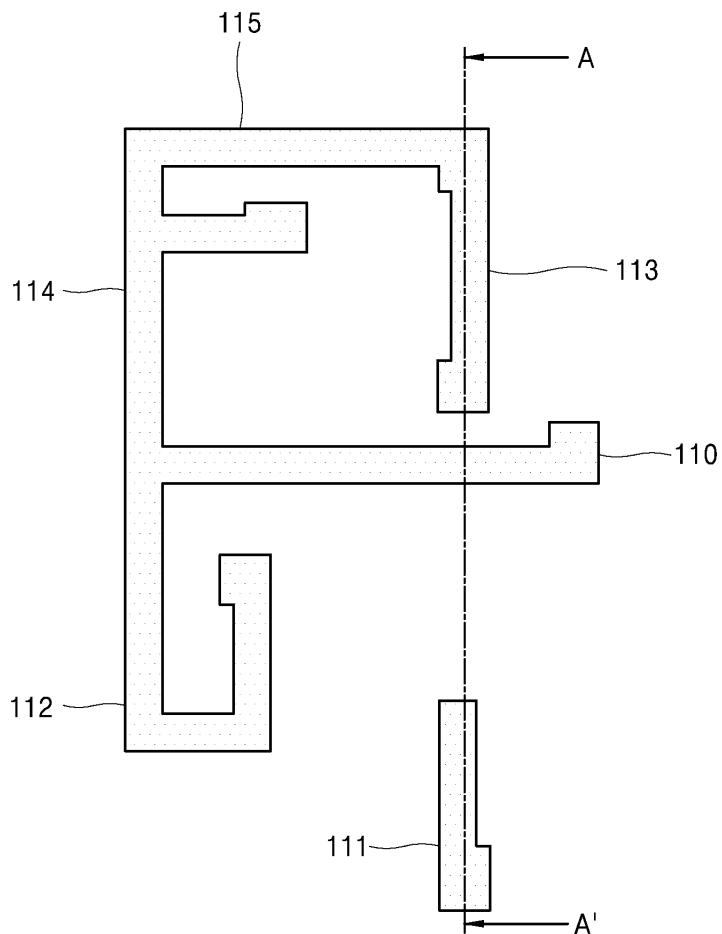
도면7



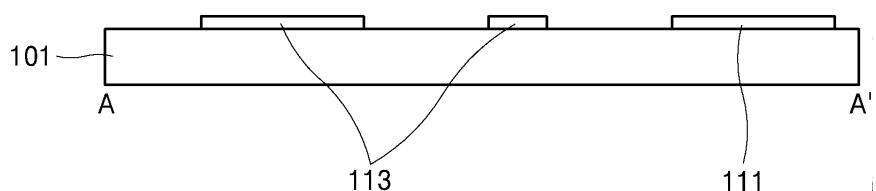
도면8



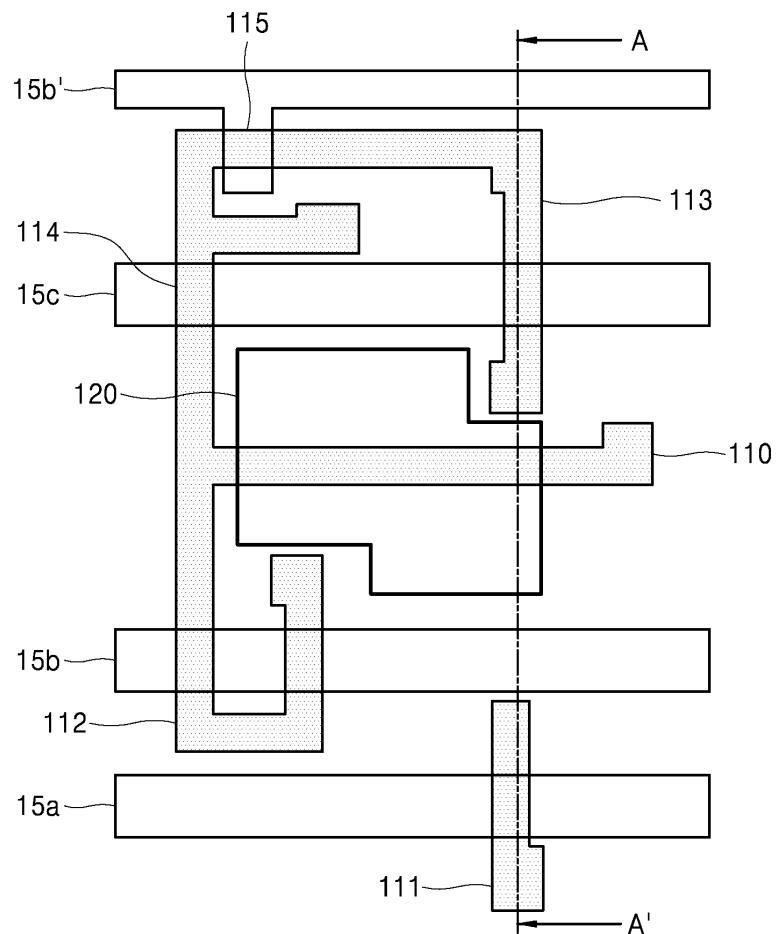
도면9



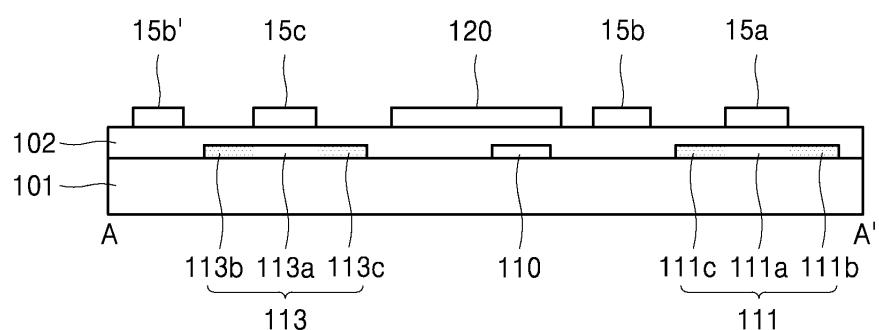
도면10



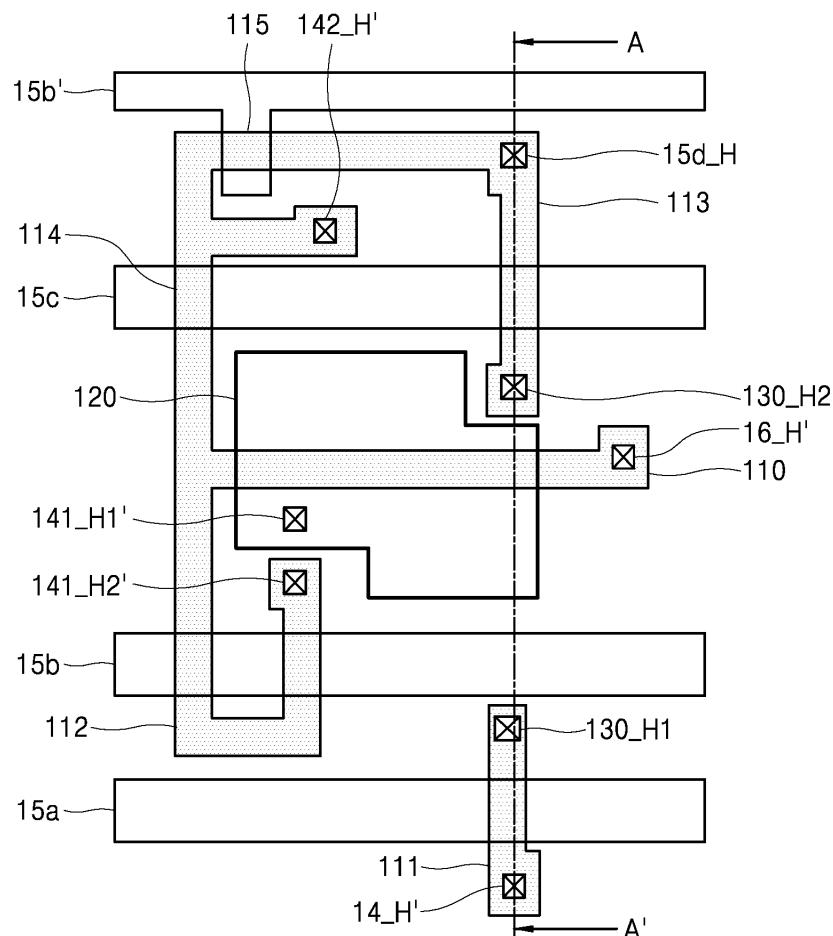
도면11



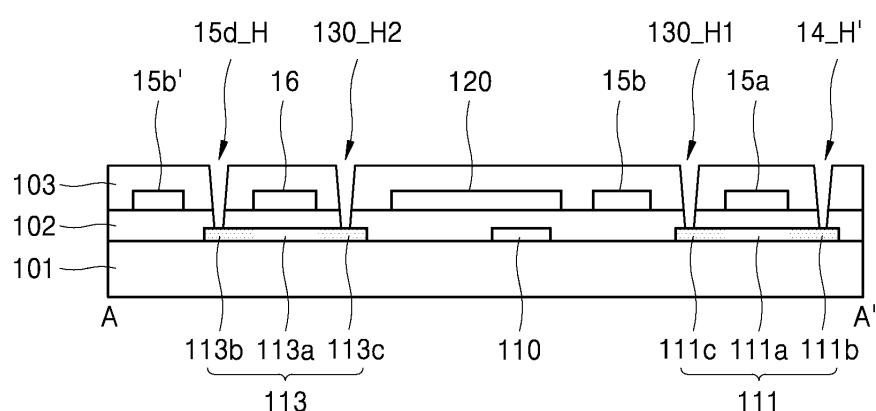
도면12



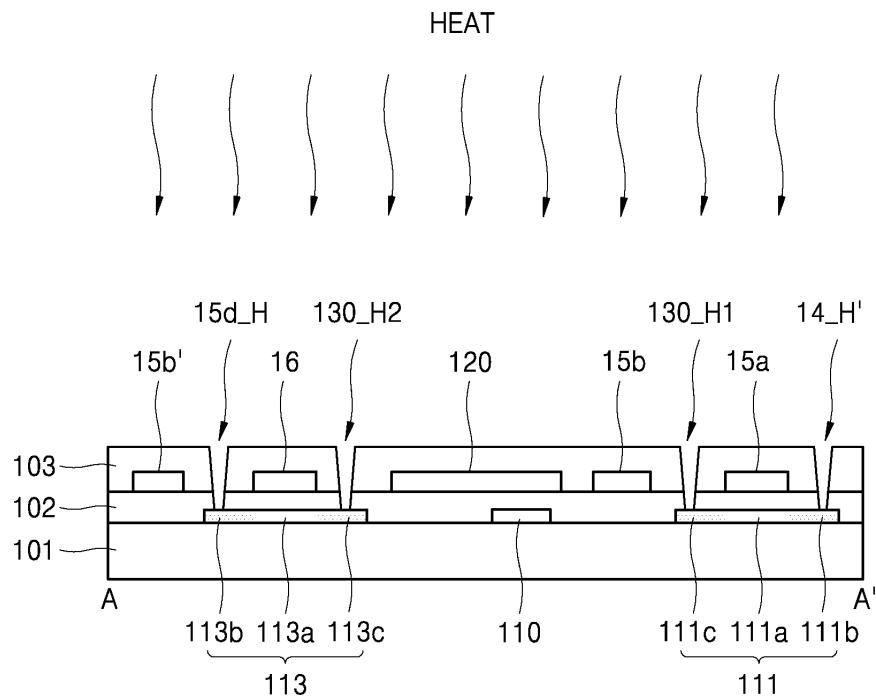
도면13



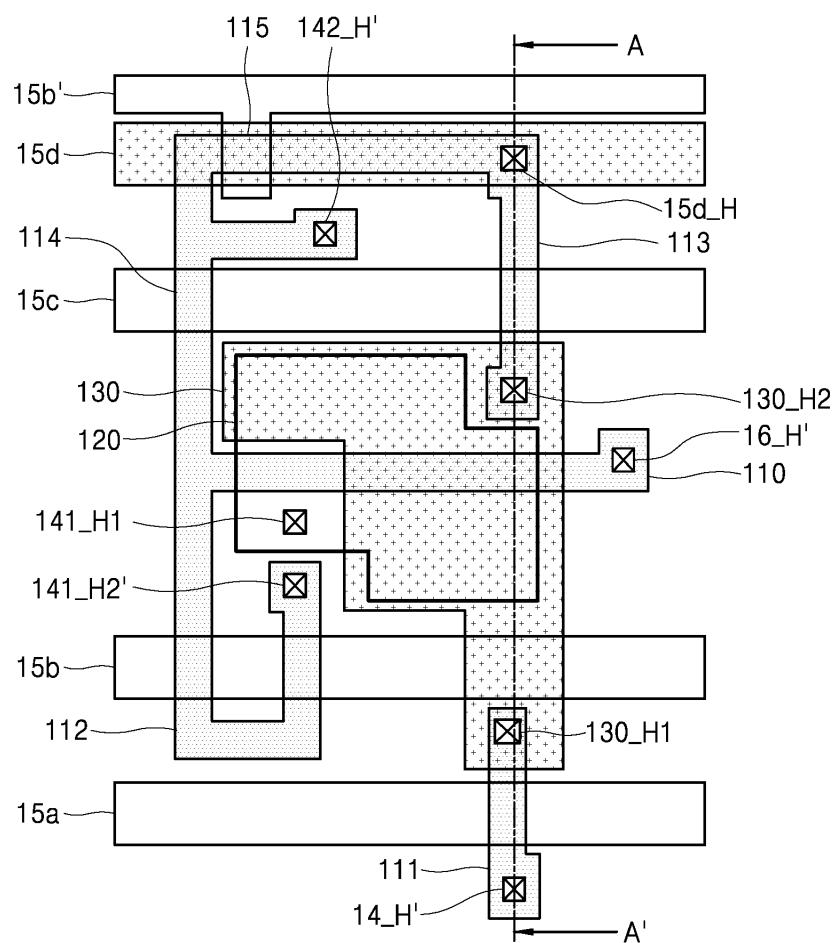
도면14



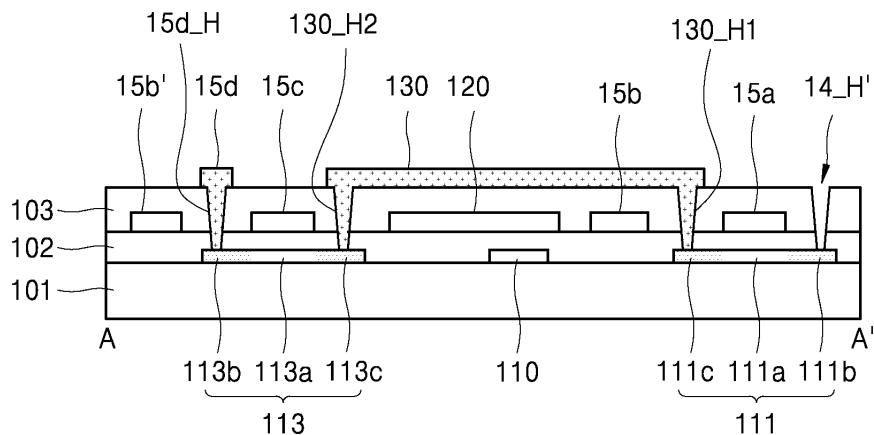
도면15



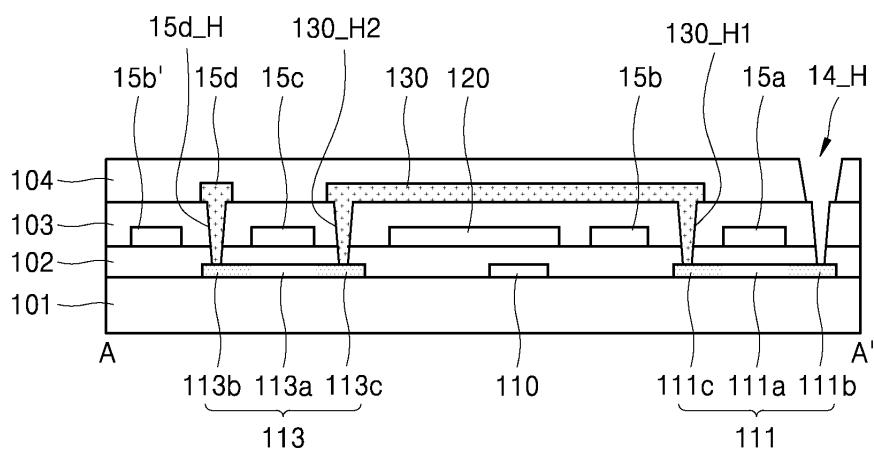
도면16



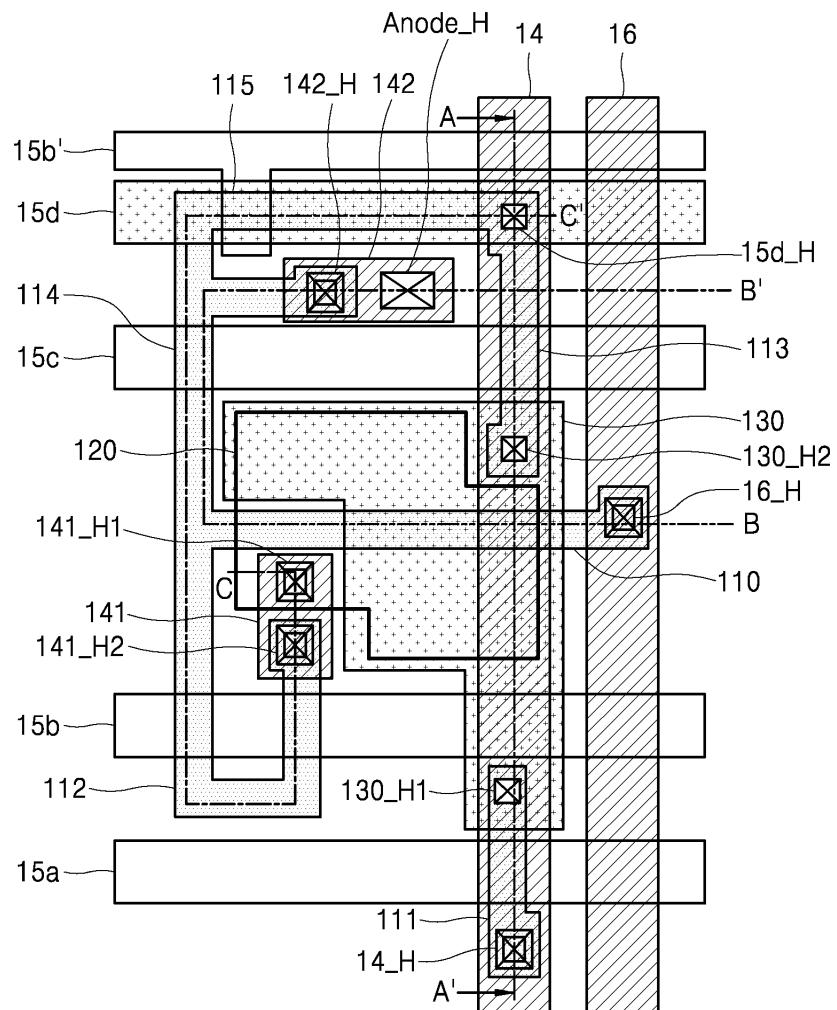
도면17



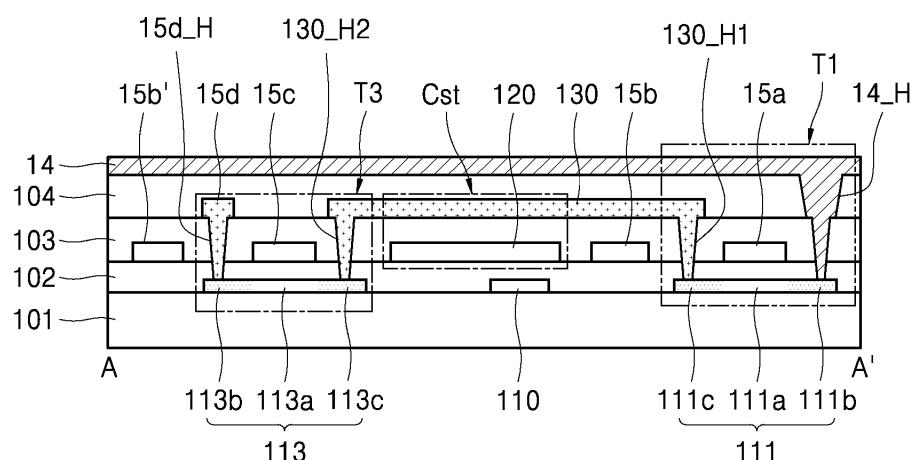
도면18



도면19



도면20



专利名称(译)	OLED显示装置及其制造方法		
公开(公告)号	KR1020190079856A	公开(公告)日	2019-07-08
申请号	KR1020170181902	申请日	2017-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	류원상 노상순		
发明人	류원상 노상순		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3211 H01L27/3258 H01L27/3265 H01L27/3276 H01L51/5203 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明的一个实施例提供一种能够增加像素区域的空间利用率的有机发光二极管显示装置。根据本发明的一个实施例，有机发光二极管显示装置包括：OLED，其对应于多个像素区域中的每个；在第一和第二电源线之间与OLED串联布置的驱动薄膜晶体管；第一薄膜晶体管，其设置在第一节点和向每个像素区域提供数据信号的数据线之间。驱动薄膜晶体管的有源层的一侧与第一电源线部分重叠，并且第一电源线通过布置在有源层之间的重叠区域中的驱动接触孔连接至驱动薄膜晶体管的有源层。驱动薄膜晶体管和第一电源线。此外，第一薄膜晶体管的有源层的一侧与数据线部分重叠，并且数据线通过布置在有源层之间的重叠区域中的数据接触孔连接至第一薄膜晶体管的有源层。第一薄膜晶体管的第一端和数据线。

