



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0076540
(43) 공개일자 2019년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0178410
(22) 출원일자 2017년12월22일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김아람
경기도 파주시 월롱면 엘지로 245
오금미
경기도 파주시 월롱면 엘지로 245
김선영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한) 대야

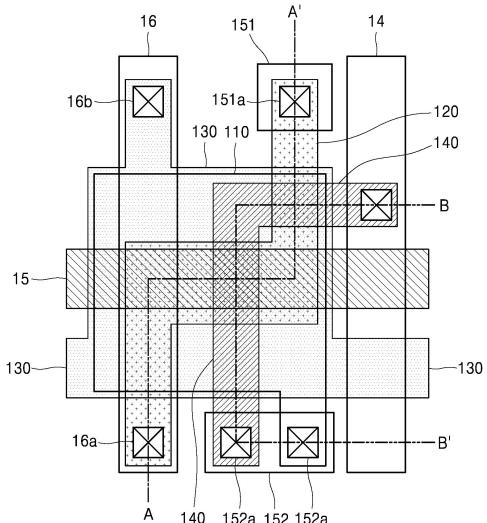
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기발광표시장치

(57) 요 약

본 발명의 일 실시예는 표시영역에 정의된 복수의 화소영역 각각에 대응하는 유기발광소자, 상기 유기발광소자의 구동에 대응한 제 1 구동전원을 공급하는 제 1 전원라인과 상기 제 1 구동전원보다 낮은 전압의 제 2 구동전원을 공급하는 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터, 및 상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 상기 제 1 박막트랜지스터의 게이트전극에 대응하는 노드 사이에 배치되는 제 2 박막트랜지스터를 포함하고, 상기 제 2 박막트랜지스터는 상기 제 1 박막트랜지스터보다 상측에 배치되고 상기 제 1 박막트랜지스터와 일부 중첩하는 유기발광표시장치를 제공한다.

대 표 도 - 도3



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

표시영역에 정의된 복수의 화소영역 각각에 대응하는 유기발광소자;

상기 유기발광소자의 구동에 대응한 제 1 구동전원을 공급하는 제 1 전원라인과 상기 제 1 구동전원보다 낮은 전압의 제 2 구동전원을 공급하는 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터; 및

상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 상기 제 1 박막트랜지스터의 게이트전극에 대응하는 노드 사이에 배치되는 제 2 박막트랜지스터를 포함하고,

상기 제 2 박막트랜지스터는 상기 제 1 박막트랜지스터보다 상측에 배치되고 상기 제 1 박막트랜지스터와 일부 중첩하는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 박막트랜지스터 사이의 층에 배치되고 상기 제 1 및 제 2 박막트랜지스터 각각으로부터 절연되는 바이어스패턴을 더 포함하는 유기발광표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 박막트랜지스터는 기판 상에 배치되는 게이트전극과, 상기 게이트전극을 덮는 제 1 게이트절연막 상에 배치되고 상기 게이트전극에 일부 중첩하는 제 1 액티브층을 포함하고,

상기 바이어스패턴은 상기 제 1 액티브층을 덮는 제 1 바이어스절연막 상에 배치되고, 상기 게이트전극에 중첩하는 유기발광표시장치.

청구항 4

제 3 항에 있어서,

상기 복수의 화소영역 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인을 더 포함하고,

상기 제 2 박막트랜지스터는 상기 바이어스패턴을 덮는 제 2 바이어스절연막 상에 배치되고 상기 바이어스패턴에 일부 중첩하는 제 2 액티브층을 포함하고,

상기 스캔라인은 상기 제 2 액티브층을 덮는 제 2 게이트절연막 상에 배치되고 상기 제 2 액티브층에 일부 중첩하는 유기발광표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 액티브층은 상기 게이트전극에 중첩하는 제 1 채널영역과, 상기 제 1 채널영역의 양측에 대응하는 제

1 및 제 2 전극영역을 포함하고,

상기 제 2 액티브층은 상기 스캔라인에 중첩하는 제 2 채널영역과, 상기 제 2 채널영역의 양측에 대응하는 제 3 및 제 4 전극영역을 포함하며,

상기 제 1 채널영역과 상기 제 2 채널영역은 상호 적어도 일부 중첩하고,

상기 바이어스패턴은 적어도 상기 제 1 및 제 2 채널영역의 중첩영역에 대응하는 유기발광표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 및 제 2 전극영역 중 어느 하나는 상기 제 1 전원라인에 연결되고 다른 나머지 하나는 제 1 도전패턴에 연결되며,

상기 제 1 전원라인, 상기 데이터라인 및 상기 제 1 도전패턴 각각은 상호 이격하고 상기 스캔라인을 덮는 제 1 충간절연막 상에 배치되는 유기발광표시장치.

청구항 7

제 5 항에 있어서,

상기 제 3 및 제 4 전극영역 중 어느 하나는 상기 데이터라인에 연결되고 다른 나머지 하나는 상기 게이트전극에 연결되는 유기발광표시장치.

청구항 8

제 5 항에 있어서,

상기 제 1 채널영역의 길이방향에서, 상기 바이어스패턴은 상기 게이트전극보다 긴 길이로 이루어지고,

상기 제 1 액티브층은 상기 제 1 및 제 2 전극영역 중 적어도 하나와 상기 제 1 채널영역 사이에 배치되고 상기 제 1 및 제 2 전극영역보다 낮은 높도로 도핑되는 베퍼영역을 더 포함하는 유기발광표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 각 화소영역에 대응한 유기발광소자를 포함하는 유기발광표시장치에 관한 것이다.

배경 기술

[0003]

표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.

[0004]

표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0005]

그 중 유기발광표시장치는 영상이 표시되는 표시영역에 정의된 복수의 화소영역에 대응하는 복수의 유기발광소자를 포함한다. 유기발광소자는 스스로 발광하는 자발광소자이므로, 유기발광표시장치는 액정표시장치에 비해 응답속도가 빠르고, 발광효율, 휙도 및 시야각이 크며, 명암비 및 색재현율이 우수한 장점이 있다.

[0006]

유기발광표시장치는 복수의 화소영역을 개별적으로 구동하는 액티브 매트릭스 방식으로 구현될 수 있다. 이러한

액티브 매트릭스 방식의 유기발광표시장치는 각 화소영역에 대응하는 유기발광소자에 구동전류를 공급하는 화소구동회로를 포함한다.

[0007] 화소구동회로는 유기발광소자의 구동에 대응한 제 1 구동전원과 제 2 구동전원 사이에 유기발광소자와 직렬로 연결되는 구동 박막트랜지스터, 및 각 화소영역의 데이터신호를 공급하는 스위칭 박막트랜지스터를 포함하는 것이 일반적이다.

[0008] 즉, 일반적인 유기발광표시장치는 각 화소영역에 배치되는 구동 박막트랜지스터 및 스위칭 박막트랜지스터를 포함한다. 이때, 구동 박막트랜지스터 및 스위칭 박막트랜지스터는 동일 평면 상에 배치되므로, 각 화소영역의 서로 다른 일부 영역에 대응된다.

[0009] 한편, 최근 더욱 선명한 화질을 위한 표시장치의 고해상도화가 요구되고 있으며, 그로 인해 각 화소영역의 면적이 축소되는 추세이다. 특히, 3D VR 장치(3-Demension Virtual Reality Device)의 경우, 각 화소영역의 면적은 일반적인 표시장치에 비해 1/20배 이상 축소될 수 있다.

[0010] 이와 같이, 각 화소영역의 면적이 축소될수록, 각 화소영역에 대응한 둘 이상의 박막트랜지스터 각각이 배치되는 영역의 면적이 축소된다. 즉, 화소영역의 축소된 면적에 의해 박막트랜지스터의 채널 너비(Width) 및 채널 길이(Length)가 감소된다. 그로 인해, 킨크효과(Kink Effect)가 심화됨으로써, 박막트랜지스터의 전압-전류 특성이 저하되는 문제점이 있다.

[0011] 특히, 구동 박막트랜지스터의 전압-전류(Vds-Ids) 특성에 대한 균일도가 저하되면, 각 화소영역의 유기발광소자의 휙도가 안정적으로 제어될 수 없으므로, 표시장치의 화질이 저하될 수 있는 문제점이 있다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 화소영역의 축소된 면적에서도 박막트랜지스터의 특성 저하가 방지될 수 있는 유기발광표시장치를 제공하기 위한 것이다.

[0014] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특히 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

[0016] 본 발명의 일 예시는 표시영역에 정의된 복수의 화소영역 각각에 대응하는 유기발광소자, 상기 유기발광소자의 구동에 대응한 제 1 구동전원을 공급하는 제 1 전원라인과 상기 제 1 구동전원보다 낮은 전압의 제 2 구동전원을 공급하는 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터, 및 상기 각 화소영역의 데이터신호를 공급하는 데이터라인과 상기 제 1 박막트랜지스터의 게이트전극에 대응하는 노드 사이에 배치되는 제 2 박막트랜지스터를 포함하고, 상기 제 2 박막트랜지스터는 상기 제 1 박막트랜지스터보다 상측에 배치되고 상기 제 1 박막트랜지스터와 일부 중첩하는 유기발광표시장치를 제공한다.

[0017] 상기 유기발광표시장치는 상기 제 1 및 제 2 박막트랜지스터 사이의 층에 배치되고 상기 제 1 및 제 2 박막트랜지스터 각각으로부터 절연되는 바이어스패턴을 더 포함한다.

[0018] 상기 제 1 박막트랜지스터는 기판 상에 배치되는 게이트전극과, 상기 게이트전극을 덮는 제 1 게이트절연막 상에 배치되고 상기 게이트전극에 일부 중첩하는 제 1 액티브층을 포함하고, 상기 바이어스패턴은 상기 제 1 액티브층을 덮는 제 1 바이어스절연막 상에 배치되고 상기 게이트전극에 중첩한다.

[0019] 상기 유기발광표시장치는 상기 복수의 화소영역 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인을 더 포함하고, 상기 제 2 박막트랜지스터는 상기 바이어스패턴을 덮는 제 2 바이어스절연막 상에 배치되고 상기 바이어스패턴에 일부 중첩하는 제 2 액티브층을 포함하고, 상기 스캔라인은 상기 제 2 액티브층을 덮는 제 2 게이트절연막 상에 배치되고 상기 제 2 액티브층에 일부 중첩한다.

- [0020] 상기 제 1 액티브층은 상기 게이트전극에 중첩하는 제 1 채널영역과, 상기 제 1 채널영역의 양측에 대응하는 제 1 및 제 2 전극영역을 포함하고, 상기 제 2 액티브층은 상기 스캔라인에 중첩하는 제 2 채널영역과, 상기 제 2 채널영역의 양측에 대응하는 제 3 및 제 4 전극영역을 포함한다. 그리고, 상기 제 1 채널영역과 상기 제 2 채널영역은 상호 적어도 일부 중첩하고, 상기 바이어스패턴은 적어도 상기 제 1 및 제 2 채널영역의 중첩영역에 대응한다.
- [0021] 상기 제 1 및 제 2 전극영역 중 어느 하나는 상기 제 1 전원라인에 연결되고 다른 나머지 하나는 제 1 도전패턴에 연결되며, 상기 제 1 전원라인, 상기 데이터라인 및 상기 제 1 도전패턴 각각은 상호 이격하고 상기 스캔라인을 덮는 제 1 층간절연막 상에 배치된다.
- [0022] 상기 제 3 및 제 4 전극영역 중 어느 하나는 상기 데이터라인에 연결되고 다른 나머지 하나는 상기 게이트전극에 연결된다.
- [0023] 상기 제 1 채널영역의 길이방향에서, 상기 바이어스패턴은 상기 게이트전극보다 긴 길이로 이루어지고, 상기 제 1 액티브층은 상기 제 1 및 제 2 전극영역 중 적어도 하나와 상기 제 1 채널영역 사이에 배치되고 상기 제 1 및 제 2 전극영역보다 낮은 높도로 도핑되는 버퍼영역을 더 포함한다.

발명의 효과

- [0025] 본 발명의 일실시예에 따른 유기발광표시장치는 각 화소영역의 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터와, 제 1 박막트랜지스터보다 상측에 배치되고 제 1 박막트랜지스터와 일부 중첩하는 제 2 박막트랜지스터를 포함한다.
- [0026] 즉, 제 1 및 제 2 박막트랜지스터가 서로 다른 평면 상에 배치됨에 따라 상호 중첩하도록 배치될 수 있다. 이로써, 각 화소영역의 소자 배치에 있어서 보다 효율적인 집적화가 실현될 수 있고, 화소영역의 축소된 면적에 의한 박막트랜지스터의 전압-전류 특성 저하를 방지할 수 있다. 또한, 축소된 면적의 화소영역에서도 표시장치의 화질 저하가 방지될 수 있으므로, 고해상도화에 유리해질 수 있는 장점이 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다.
- 도 2는 도 1의 유기발광표시장치에 있어서, 어느 하나의 화소영역에 대응한 등가회로의 일 예시를 나타낸 도면이다.
- 도 3은 도 2의 등가회로에 대응하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다.
- 도 4는 도 3의 A-A' 단면을 나타낸 도면이다.
- 도 5는 도 3의 B-B' 단면을 나타낸 도면이다.
- 도 6은 본 발명의 다른 일 실시예에 따른 도 3의 A-A' 단면을 나타낸 도면이다.
- 도 7 내지 도 21은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법의 각 과정을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.
- [0030] 이하, 본 발명의 일 실시예에 따른 유기발광표시장치에 대하여 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다. 도 2는 도 1의 유기발광표시장치에

있어서, 어느 하나의 화소영역에 대응한 등가회로의 일 예시를 나타낸 도면이다.

[0032] 도 3은 도 2의 등가회로에 대응하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다. 도 4는 도 3의 A-A' 단면을 나타낸 도면이다. 도 5는 도 3의 B-B' 단면을 나타낸 도면이다. 도 6은 본 발명의 다른 일 실시예에 따른 도 3의 A-A' 단면을 나타낸 도면이다.

[0034] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 영상이 표시되는 표시영역(AA)에 대응한 복수의 화소영역(PXL)을 포함하는 표시패널(10)과, 표시패널(10)의 데이터라인(14)을 구동하는 데이터구동부(12)와, 표시패널(10)의 스캔라인(15)을 구동하는 게이트구동부(13)와, 데이터구동부(12) 및 게이트구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(11)를 포함한다.

[0035] 표시패널(10)은 복수의 화소영역(PXL) 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인(15)과, 복수의 화소영역(PXL) 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인(14)을 포함한다.

[0036] 여기서, 스캔라인(15)에 의한 스캔신호(SCAN1)는 화소영역(PXL)에 데이터를 기입하기 위하여 각 수평라인을 순차적으로 선택하기 위한 것일 수 있다.

[0037] 복수의 화소영역(PXL)은 상호 교차하는 스캔라인(15)과 데이터라인(14)에 의해 정의될 수 있다. 이에, 복수의 화소영역(PXL)은 표시영역(AA)에 매트릭스 형태로 배열된다.

[0038] 그리고, 표시패널(10)은 복수의 화소영역(PXL)에 제 1 구동전원(VDD)을 공급하는 제 1 구동전원라인과, 제 1 구동전원(VDD)보다 낮은 전위의 제 2 구동전원(VSS)을 공급하는 제 2 구동전원라인을 더 포함한다.

[0039] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하고, 재정렬된 디지털 비디오 데이터(RGB')를 데이터구동부(12)에 공급한다.

[0040] 그리고, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 공급한다.

[0041] 데이터구동부(12)는 데이터 제어신호(DDC)에 기초하여 재정렬된 디지털 비디오 데이터(RGB')를 아날로그 데이터 전압으로 변환한다. 그리고, 데이터구동부(12)는 재정렬된 디지털 비디오 데이터(RGB')에 기초하여 각 수평기간 동안 각 수평라인의 화소영역에 데이터신호(VDATA)를 공급한다.

[0042] 게이트구동부(13)는 게이트 제어신호(GDC)에 기초하여 각 수평라인의 스캔라인(15)에 순차적으로 스캔신호(SCAN1)를 공급할 수 있다.

[0043] 별도로 도시하고 있지 않으나, 표시패널(10)은 상호 대향 합착되는 한 쌍의 기판과 그 사이에 배치되는 유기발광소자 어레이를 포함한다. 그리고, 한 쌍의 기판 중 어느 하나는 복수의 화소영역(PXL)을 정의하고 각 화소영역(PXL)의 유기발광소자에 구동전류를 공급하기 위한 박막트랜지스터 어레이 기판이다.

[0044] 도 2에 도시한 바와 같이, 각 화소영역(PXL)은 유기발광소자(OLED), 제 1 및 제 2 박막트랜지스터(T1, T2) 및 스토리지 커패시터(Cst)를 포함한다.

[0045] 유기발광소자(OLED)는 애노드전극과 캐소드전극, 및 이들 사이에 배치되는 유기발광층(미도시)을 포함한다. 예시적으로, 유기발광층은 정공주입층, 정공수송층, 발광층 및 전자수송층을 포함한다. 또는, 유기발광층은 전자주입층을 더 포함할 수 있다.

[0046] 제 1 박막트랜지스터(T1)는 제 1 구동전원(VDD)을 공급하는 제 1 구동전원라인(16)과 제 1 구동전원(VDD)보다 낮은 전위의 제 2 구동전원(VSS)을 공급하는 제 2 구동전원라인 사이에 유기발광소자(OLED)와 직렬로 배치된다.

[0047] 제 2 박막트랜지스터(T2)는 각 화소영역의 데이터신호(VDATA)를 공급하는 데이터라인(14)과 제 1 박막트랜지스터(T1)의 게이트전극에 대응한 제 1 노드(ND1) 사이에 배치된다.

[0048] 이러한 제 2 박막트랜지스터(T2)는 스캔라인(15)의 스캔신호(SCAN)에 기초하여 턴온되면, 제 1 노드(ND1)에 데이터신호(VDATA)를 공급한다.

[0049] 스토리지 커패시터(Cst)는 제 1 노드(ND1) 및 제 2 노드(ND2) 사이에 배치된다. 제 2 노드(ND2)는 제 1 박막트

랜지스터(T1)와 유기발광소자(OLED) 사이의 접점이다.

[0050] 이러한 스토리지 커페시터(Cst)는 턴온된 제 2 박막트랜지스터(T2)를 통해 제 1 노드(ND1)에 공급되는 데이터신호(VDATA)에 기초하여 충전된다.

[0051] 그리고, 제 1 박막트랜지스터(T1)는 스토리지 커페시터(Cst)의 충전전압에 기초하여 턴온하고, 데이터신호(VDATA)에 대응하는 구동전류를 제 2 노드(ND2), 즉 유기발광소자(OLED)에 공급한다.

[0053] 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치의 박막트랜지스터 어레이 기판은 각 화소영역(PXL)에 대응하는 제 1 및 제 2 박막트랜지스터(도 2의 T1, T2)를 포함한다.

[0054] 그리고, 유기발광표시장치의 박막트랜지스터 어레이 기판은 제 1 방향(도 3의 수평방향)의 스캔라인(15)과, 제 2 방향(도 3의 수직방향)의 데이터라인(14) 및 제 1 전원라인(16)을 더 포함한다.

[0055] 제 1 박막트랜지스터(T1)는 게이트전극(110) 및 게이트전극(110)에 일부 중첩하는 제 1 액티브층(120)을 포함한다.

[0056] 제 1 액티브층(120)의 일측은 콘택홀(16a)을 통해 제 1 전원라인(16)에 연결되고, 제 1 액티브층(120)의 다른 일측은 콘택홀(151a)을 통해 제 1 도전패턴(151)에 연결된다.

[0057] 도 3에 상세히 도시되지 않았으나, 제 1 도전패턴(151)은 차후 유기발광소자(도 2의 OLED)의 애노드전극(도 4의 Anode)에 연결된다. 즉, 제 1 도전패턴(151)은 제 2 노드(도 2의 ND2)에 대응한다.

[0058] 제 2 박막트랜지스터(T2)는 제 1 액티브층(120)보다 상측에 배치되는 제 2 액티브층(140)을 포함한다. 여기서, 제 2 액티브층(140)은 제 1 액티브층(120)에 일부 중첩한다.

[0059] 즉, 본 발명의 일 실시예에 따르면, 제 2 박막트랜지스터(T2)는 제 1 박막트랜지스터(T1)보다 상측에 배치되고, 제 1 박막트랜지스터(T1)와 일부 중첩한다.

[0060] 제 2 액티브층(140)의 일측은 콘택홀(14a)을 통해 데이터라인(14)에 연결되고, 제 2 액티브층(140)의 다른 일측은 콘택홀(152a)을 통해 제 2 도전패턴(152)에 연결된다.

[0061] 그리고, 제 2 도전패턴(152)은 콘택홀(152b)을 통해 제 1 박막트랜지스터(T1)의 게이트전극(110)에 연결된다. 즉, 제 2 액티브층(140)의 다른 일측은 제 2 도전패턴(152)을 통해 제 1 박막트랜지스터(T1)의 게이트전극(110)에 연결된다.

[0062] 더불어, 본 발명의 일 실시예에 따른 유기발광표시장치는 제 1 및 제 2 박막트랜지스터(T1, T2) 사이의 층에 배치되고 제 1 및 제 2 박막트랜지스터(T1, T2) 각각으로부터 절연되는 바이어스패턴(130)을 더 포함한다.

[0063] 구체적으로, 바이어스패턴(130)은 제 1 및 제 2 액티브층(120, 140) 사이의 층에 배치되고 제 1 및 제 2 액티브층(120, 140) 각각으로부터 절연된다. 즉, 바이어스패턴(130)은 제 1 액티브층(120)을 덮는 절연막 상에 배치되고, 제 2 액티브층(140)은 바이어스패턴(130)을 덮는 절연막 상에 배치된다.

[0064] 그리고, 바이어스패턴(130)은 제 1 및 제 2 액티브층(120, 140) 각각과 일부 중첩된다.

[0065] 구체적으로, 바이어스패턴(130)은 제 1 및 제 2 액티브층(120, 140) 사이의 중첩영역에 배치된다. 이로써, 제 1 및 제 2 액티브층(120, 140)의 상호 영향이 바이어스패턴(130)에 의해 차단될 수 있다.

[0066] 또한, 바이어스패턴(130)은 적어도 제 1 액티브층(120)의 채널영역, 즉 제 1 액티브층(120)과 게이트전극(110) 사이의 중첩영역에 중첩될 수 있다.

[0067] 마찬가지로, 바이어스패턴(130)은 적어도 제 2 액티브층(140)의 채널영역, 즉 제 2 액티브층(140)과 스캔라인(15) 사이의 중첩영역에 더 중첩될 수 있다.

[0068] 이때, 바이어스패턴(130)은 소정의 정전압으로 유지될 수 있다. 예시적으로, 제 1 구동전원(VDD) 및 제 2 구동전원(VSS) 중 어느 하나가 바이어스패턴(130)에 공급될 수 있다. 또는, 별도로 도시하고 있지 않으나, 별도의 바이어스전원(미도시)가 바이어스패턴(130)에 공급될 수도 있다.

[0069] 이러한 바이어스패턴(130)의 정전압에 의해, 제 1 액티브층(120)의 채널영역에서 채널이 안정적으로 유지될 수 있다. 또한, 바이어스패턴(130)의 정전압에 의해, 제 2 액티브층(140)의 채널영역에서도 채널이 안정적으로 유지될 수 있다.

지될 수 있다.

[0070] 더불어, 수평방향의 스캔라인(15)은 제 2 액티브층(140)을 덮는 절연막 상에 배치되고, 제 2 액티브층(140)과 일부 중첩된다.

[0071] 수직방향의 데이터라인(14) 및 제 1 전원라인(16)은 스캔라인(15)을 덮는 절연막 상에 배치된다. 이와 더불어, 제 1 및 제 2 도전패턴(151, 152) 또한 스캔라인(15)을 덮는 절연막 상에 배치될 수 있다.

[0073] 구체적으로, 도 4에 도시한 바와 같이, 제 1 박막트랜지스터(T1)는 기판(101) 상에 배치되는 게이트전극(110) 및 게이트전극(110)을 덮는 제 1 게이트절연막(102) 상에 배치되는 제 1 액티브층(120)을 포함한다.

[0074] 제 1 액티브층(120)은 게이트전극(110)과 일부 중첩한다.

[0075] 즉, 제 1 액티브층(120)은 게이트전극(110)에 중첩하는 제 1 채널영역(121)과, 제 1 채널영역(121)의 양측에 대응하는 제 1 및 제 2 전극영역(122, 123)을 포함한다.

[0076] 제 1 액티브층(120)의 제 1 및 제 2 전극영역(122, 123) 중 어느 하나(도 4의 제 1 전극영역(122))는 콘택홀(16a)을 통해 제 1 전원라인(16)에 연결되고, 다른 나머지 하나(도 4의 제 2 전극영역(123))는 콘택홀(151a)을 통해 제 1 도전패턴(151)에 연결된다.

[0077] 그리고, 제 1 도전패턴(151)은 제 1 도전패턴(151)을 덮는 절연막(107) 상에 배치된 유기발광소자(도 2의 OLE D)의 애노드전극(Anode)과 연결된다. 즉, 제 1 액티브층(120)의 제 2 전극영역(123)과 애노드전극(Anode)은 제 1 도전패턴(151)을 통해 상호 연결되므로, 제 1 도전패턴(151)은 제 2 노드(도 2의 ND2)에 대응한다.

[0078] 바이어스패턴(130)은 제 1 액티브층(120)을 덮는 제 1 바이어스절연막(103) 상에 배치된다.

[0079] 이러한 바이어스패턴(130)은 게이트전극(110)에 중첩된다. 즉, 바이어스패턴(130)은 게이트전극(110)에 대응한 제 1 액티브층(120)의 채널영역(121)에 중첩된다. 이로써, 제 1 액티브층(120)의 제 1 채널영역(121)에서의 채널이 바이어스패턴(130)의 정전압에 의해 안정적으로 유지될 수 있다.

[0080] 제 2 박막트랜지스터(T2)는 바이어스패턴(130)을 덮는 제 2 바이어스 절연막(104) 상에 배치된 제 2 액티브층(140)을 포함한다.

[0081] 스캔라인(15)은 제 2 액티브층(140)을 덮는 제 2 게이트절연막(105) 상에 배치되고 제 2 액티브층(140)과 일부 중첩된다.

[0082] 도 5에 도시한 바와 같이, 제 2 액티브층(140)은 스캔라인(15)에 중첩하는 제 2 채널영역(141)과, 제 2 채널영역(141)의 양측에 대응하는 제 3 및 제 4 전극영역(142, 143)을 포함한다.

[0083] 제 2 액티브층(140)은 바이어스패턴(130)과 일부 중첩된다. 구체적으로, 바이어스패턴(130)은 제 2 액티브층(140)과 스캔라인(15) 사이의 중첩영역, 즉 제 2 액티브층(140)의 제 2 채널영역(141)에 중첩된다. 이로써, 제 2 액티브층(140)의 제 2 채널영역(141)에서의 채널이 바이어스패턴(130)의 정전압에 의해 안정적으로 유지될 수 있다.

[0084] 제 2 액티브층(140)의 제 3 및 제 4 전극영역(142, 143) 중 어느 하나(도 5의 제 3 전극영역(142))는 콘택홀(14a)을 통해 데이터라인(14)에 연결되고, 다른 나머지 하나(도 5의 제 4 전극영역(143))는 콘택홀(152a)을 통해 제 2 도전패턴(152)에 연결된다.

[0085] 제 2 도전패턴(152)은 콘택홀(152b)을 통해 기판(101) 상의 게이트전극(110)에 연결된다. 즉, 제 2 액티브층(140)의 제 4 전극영역(143)과 게이트전극(110)은 제 2 도전패턴(152)을 통해 상호 연결되므로, 제 2 도전패턴(152)은 제 1 노드(도 2의 ND1)에 대응한다.

[0086] 도 4 및 도 5에 도시된 바와 같이, 데이터라인(14), 제 1 전원라인(16), 제 1 및 제 2 도전패턴(151, 152)은 스캔라인(15)을 덮는 제 1 층간절연막(106) 상에 배치된다.

[0087] 이때, 도 4의 도시와 같이, 제 1 전원라인(16)은 제 1 층간절연막(106), 제 2 게이트절연막(105), 제 2 바이어스절연막(104) 및 제 1 바이어스절연막(103)을 관통하는 콘택홀(16a)을 통해 제 1 전극영역(122)에 연결될 수 있다.

[0088] 더불어, 별도로 도시되지 않았으나, 제 1 전원라인(16)은 제 1 층간절연막(106), 제 2 게이트절연막(105) 및 제

2 바이어스절연막(104)을 관통하는 콘택홀(도 3의 16b)을 통해 바이어스패턴(130)에 연결될 수 있다.

[0089] 제 1 도전패턴(151)은 제 1 충간절연막(106), 제 2 게이트절연막(105), 제 2 바이어스절연막(104) 및 제 1 바이어스절연막(103)을 관통하는 콘택홀(151a)을 통해 제 2 전극영역(123)에 연결될 수 있다.

[0090] 도 5의 도시와 같이, 데이터라인(14)은 제 1 충간절연막(106), 제 2 게이트절연막(105), 제 2 바이어스절연막(104) 및 제 1 바이어스절연막(103)을 관통하는 콘택홀(14a)을 통해 제 3 전극영역(142)에 연결될 수 있다.

[0091] 그리고, 제 2 도전패턴(152)은 제 1 충간절연막(106), 제 2 게이트절연막(105), 제 2 바이어스절연막(104) 및 제 1 바이어스절연막(103)을 관통하는 콘택홀(152a)을 통해 제 4 전극영역(143)에 연결되고, 제 1 충간절연막(106), 제 2 게이트절연막(105), 제 2 바이어스절연막(104), 제 1 바이어스절연막(103) 및 제 1 게이트절연막(102)을 관통하는 콘택홀(152b)을 통해 게이트전극(110)에 연결될 수 있다.

[0092] 그리고, 도 4의 도시와 같이, 애노드전극(Anode)은 데이터라인(14), 제 1 전원라인(16), 제 1 및 제 2 도전패턴(151, 152)을 덮는 제 2 충간절연막(107) 상에 배치된다. 그리고, 애노드전극(Anode)은 제 2 충간절연막(107)을 관통하는 콘택홀을 통해 제 1 도전패턴(151)에 연결되고, 이로써, 애노드전극(Anode) 및 제 2 전극영역(123)은 제 1 도전패턴(151)을 통해 상호 연결될 수 있다.

[0094] 한편, 도 4에 따르면, 제 1 채널영역(121)의 길이방향에서, 바이어스패턴(130)은 게이트전극(110)과 유사 또는 동일한 길이로 이루어진다.

[0095] 그러나, 제 1 채널영역(121)의 길이방향에서, 바이어스패턴(130)은 게이트전극(110)보다 긴 길이로 이루어질 수도 있다.

[0096] 도 6은 본 발명의 다른 일 실시예에 따른 도 3의 A-A' 단면을 나타낸 도면이다.

[0097] 도 6에 도시한 바와 같이, 본 발명의 다른 일 실시예에 따른 유기발광표시장치는 제 1 액티브층(121)이 베피영역(124)을 더 포함하는 점을 제외하면, 도 1 내지 도 5에 도시된 일 실시예와 동일하므로 이하에서 중복 설명을 생략한다.

[0098] 도 6에 도시한 바와 같이, 본 발명의 다른 일 실시예에 따르면, 제 1 채널영역(121)의 길이방향에서 바이어스패턴(130)은 게이트전극(110)보다 긴 길이로 이루어진다.

[0099] 이로써, 제 1 액티브층(121)은 제 1 및 제 2 전극영역(122, 123) 중 적어도 하나와 제 1 채널영역(121) 사이에 배치되는 베피영역(124)을 더 포함할 수 있다.

[0100] 베피영역(124)은 게이트전극(110)과 중첩되지 않으면서도, 바이어스패턴(130)에 의해 제 1 및 제 2 전극영역(122, 123)보다 낮은 높도로 도핑되는 영역이다.

[0101] 예시적으로, 베피영역(124)은 제 1 및 제 2 전극영역(122, 123) 각각과 제 1 채널영역(121) 사이에 배치될 수 있다.

[0102] 이러한 베피영역(124)에 의해 제 1 및 제 2 전극영역(122, 123)에 인접한 제 1 채널영역(121)의 가장자리에서 유발되는 캐리어 밀집 현상이 완화될 수 있다. 이로써, 친크효과가 억제될 수 있으므로, 제 1 박막트랜지스터(T1)의 전압-전류 특성 저하가 더욱 방지될 수 있다.

[0103] 또는, 제 1 박막트랜지스터(T1)의 턴온저항을 감소시키기 위하여, 베피영역(124)은 제 1 및 제 2 전극영역(122, 123) 중 제 1 도전패턴(151)에 대응하는 제 2 전극영역(123)과 제 1 채널영역(121) 사이에만 배치될 수도 있다.

[0104] 이와 같이, 본 발명의 다른 실시예에 따르면, 게이트전극(110)과 중첩되고 게이트전극(110)보다 긴 길이의 바이어스패턴(130)을 배치함으로써, 제 1 액티브층(120)이 베피영역(124)을 포함하는 구조로 이루어진 제 1 액티브층(120)을 마련하는 것이 용이해질 수 있다.

[0105] 즉, 도핑 공정 시 게이트전극(110)보다 긴 길이로 이루어진 별도의 도핑마스크를 이용하지 않고서도, 바이어스패턴(130)에 의해 베피영역(124)을 포함하는 제 1 액티브층(120)이 용이하게 마련될 수 있다. 따라서, 베피영역(124)에 대응한 별도의 도핑마스크가 불필요하므로, 도핑공정이 보다 용이하게 실시될 수 있다.

[0107] 다음, 도 7 내지 도 21을 참조하여, 본 발명의 일 실시예에 따른 유기발광표시장치를 제조하는 방법에 대해 설

명한다.

[0108] 도 7 내지 도 21은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법의 각 과정을 나타낸 도면이다.

[0110] 먼저, 도 7, 도 8 및 도 9에 도시한 바와 같이, 기판(101) 상에 제 1 박막트랜지스터(T1)에 대응하는 게이트전극(110)을 배치하고, 게이트전극(110)을 덮는 제 1 게이트절연막(102)을 배치한다. 이어서, 제 1 게이트절연막(102) 상에 게이트전극(110)과 일부 중첩하는 제 1 반도체물질층(120')을 배치하고, 제 1 반도체물질층(120')을 덮는 제 1 바이어스절연막(103)을 배치한다. 여기서, 제 1 반도체물질층(120')은 저온성장폴리실리콘(LTPS)일 수 있다.

[0111] 다음, 도 10, 도 11 및 도 12에 도시한 바와 같이, 제 1 바이어스절연막(103) 상에 게이트전극(110)과 중첩하는 바이어스패턴(130)을 배치하고, 바이어스패턴(130)을 덮는 제 2 바이어스절연막(104)을 배치한다.

[0112] 이어서, 도 13, 도 14 및 도 15에 도시한 바와 같이, 제 2 바이어스절연막(104) 상에 바이어스패턴(130)과 일부 중첩하는 제 2 반도체물질층(140')을 배치하고, 제 2 반도체물질층(140')을 덮는 제 2 게이트절연막(105)을 배치한다.

[0113] 다음, 도 16, 도 17 및 도 18에 도시한 바와 같이, 제 2 게이트절연막(105) 상에 제 2 반도체물질층(140')과 일부 중첩하는 스캔라인(15)을 배치하고, 스캔라인(15)을 덮는 제 1 층간절연막(106)을 배치한다.

[0114] 그리고, 스캔라인(15) 및 바이어스패턴(130)을 마스크로 이용한 상태에서, 제 1 및 제 2 반도체물질층(120', 140')에 대한 도핑 공정을 실시한다. 이로써, 제 1 반도체물질층(120')에 대한 도핑 공정에 의해, 제 1 채널영역(121)과 제 1 및 제 2 전극영역(122, 123)을 포함하는 제 1 액티브층(120)이 마련된다. 그리고, 제 2 반도체물질층(140')에 대한 도핑 공정에 의해, 제 2 채널영역(141)과 제 3 및 제 4 전극영역(142, 143)을 포함하는 제 2 액티브층(140)이 마련된다.

[0115] 이후, 절연막들을 일부 패터닝하여, 다수의 콘택홀(14a, 16a, 151a, 152a, 152b)을 마련한다.

[0116] 이후, 도 19, 도 20 및 도 21에 도시한 바와 같이, 제 1 층간절연막(106) 상에 상호 이격하는 데이터라인(14), 제 1 전원라인(16), 제 1 및 제 2 도전패턴(151, 152)을 배치한다.

[0118] 이상과 같이, 본 발명의 일 실시예에 따르면, 각 화소영역에 대응하는 제 1 및 제 2 박막트랜지스터(T1, T2)를 포함한 유기발광표시장치에 있어서, 제 1 및 제 2 박막트랜지스터(T1, T2)가 바이어스패턴(130)을 사이에 두고 수직 방향으로 상호 적어도 일부 중첩하도록 배치된다. 즉, 제 1 및 제 2 박막트랜지스터(T1, T2)가 동일 평면 상에 수평방향으로 상호 이격하여 배치되는 것이 아니라, 수직 방향으로 상호 적어도 일부 중첩하도록 배치된다.

[0119] 이로써, 각 화소영역의 소자 배치가 보다 효율적으로 집적화될 수 있으므로, 각 화소영역의 축소된 면적에 따른 박막트랜지스터의 전압-전류 특성 저하가 방지될 수 있다. 그로 인해, 고해상도화에 유리해질 수 있다.

[0120] 더불어, 제 1 및 제 2 박막트랜지스터(T1, T2) 사이에 배치된 바이어스패턴(130)에 의해, 제 1 및 제 2 박막트랜지스터(T1, T2) 간의 상호 간섭이 방지될 수 있다. 그러므로, 수평 방향으로 상호 중첩하는 제 1 및 제 2 박막트랜지스터(T1, T2)의 특성 저하가 방지될 수 있다.

[0121] 또한, 제 1 및 제 2 채널영역(121, 141)은 바이어스패턴(130)과 중첩된다. 그리고, 바이어스패턴(130)에는 정전압이 공급된다. 이에, 제 1 및 제 2 채널영역(121, 141) 각각에서 발생된 채널의 전계는 바이어스패턴(130)의 정전압의 영향을 받는다. 그러므로, 바이어스패턴(130)의 정전압에 의해 제 1 및 제 2 박막트랜지스터(T1, T2) 각각에서의 채널이 더욱 안정적으로 유지될 수 있다. 이로써, 제 1 및 제 2 박막트랜지스터(T1, T2)의 특성 안정화에 더욱 유리해질 수 있다.

[0123] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0125]

T1, T2, T3: 제 1, 제 2, 제 3 박막트랜지스터

15: 스캔라인 14: 데이터라인

16: 제 1 구동전원라인

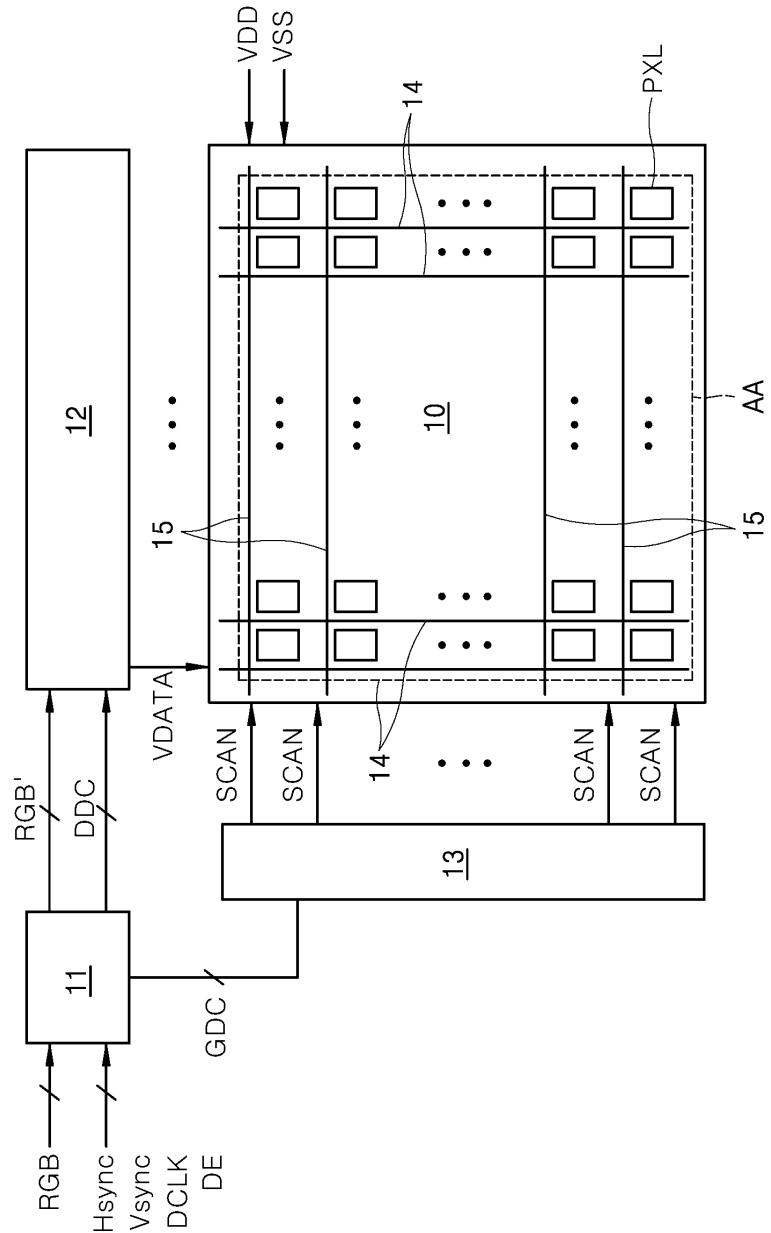
110: 게이트전극 120: 제 1 액티브층

130: 바이어스패턴 140: 제 2 액티브층

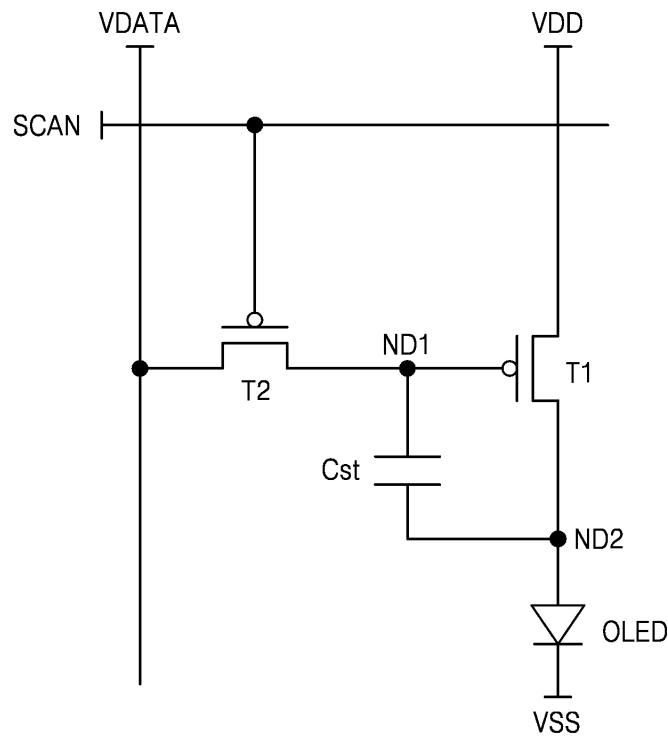
151, 152: 제 1, 제 2 도전패턴

도면

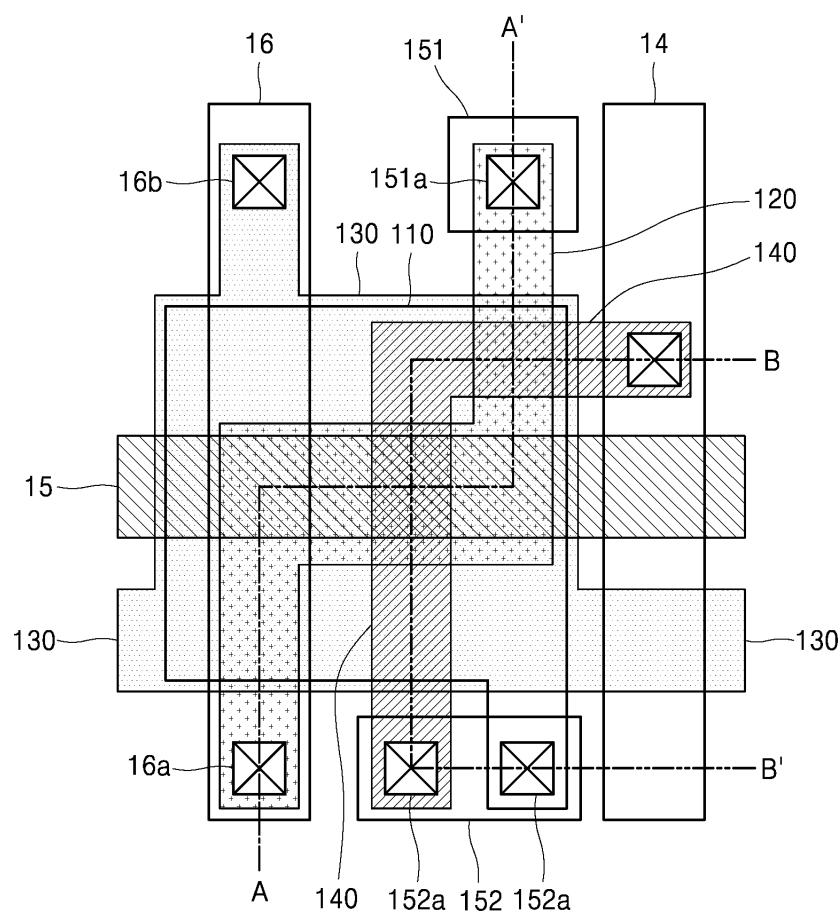
도면1



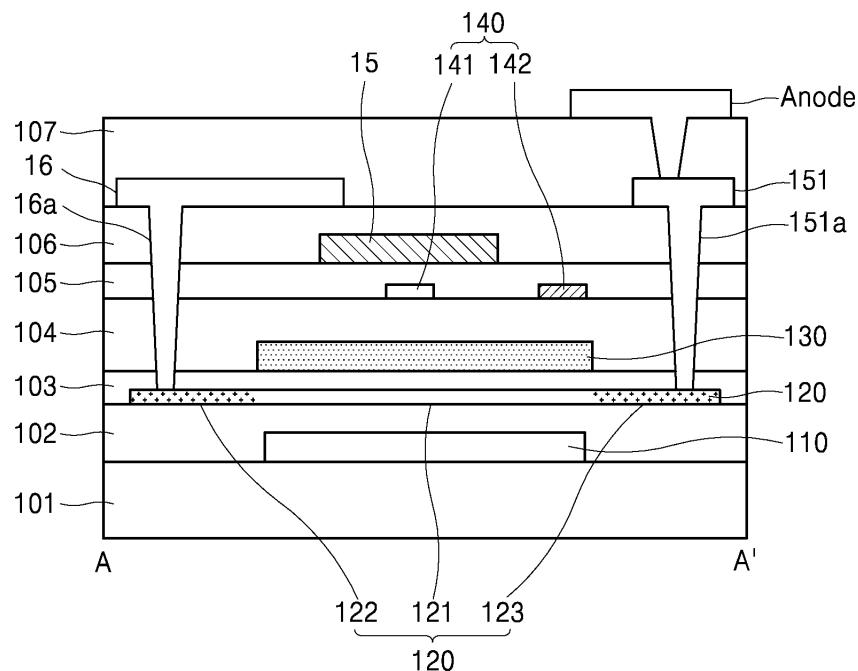
도면2



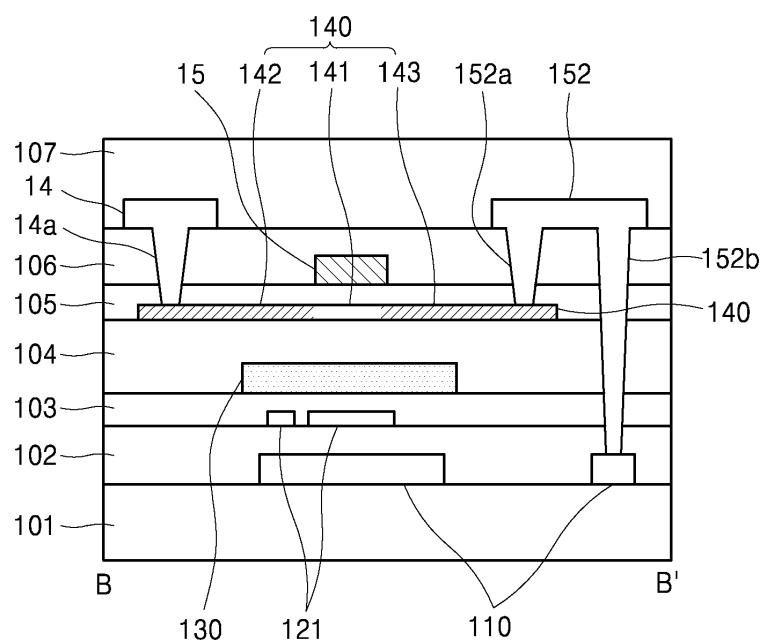
도면3



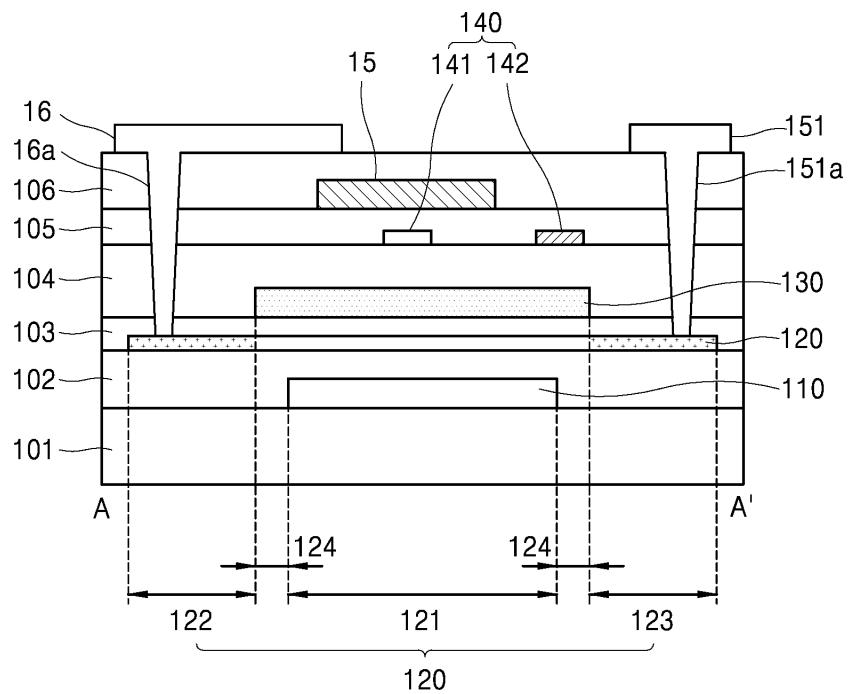
도면4



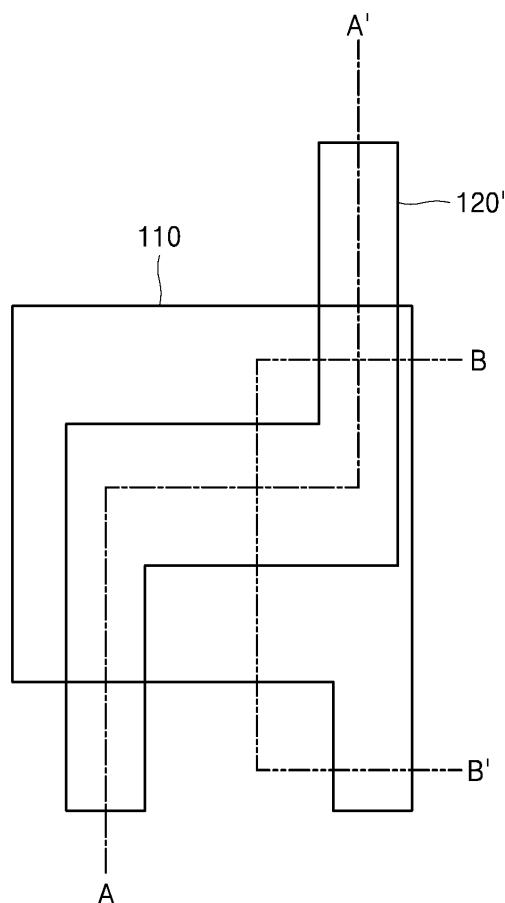
도면5



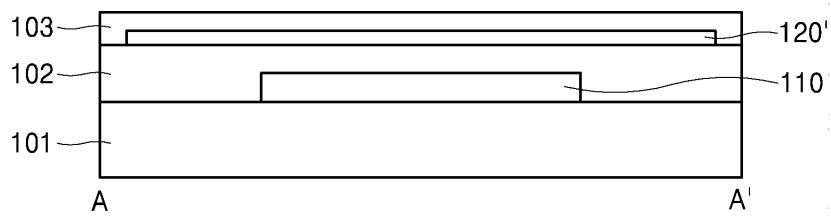
도면6



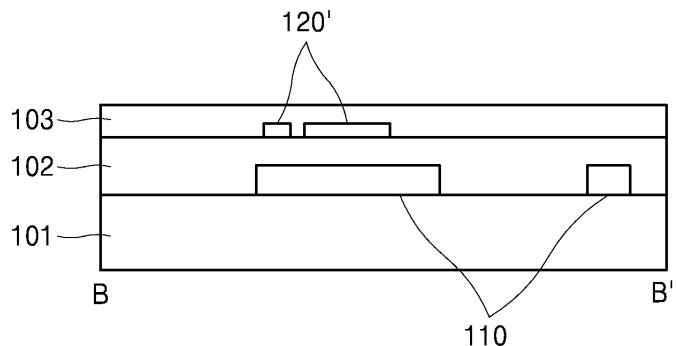
도면7



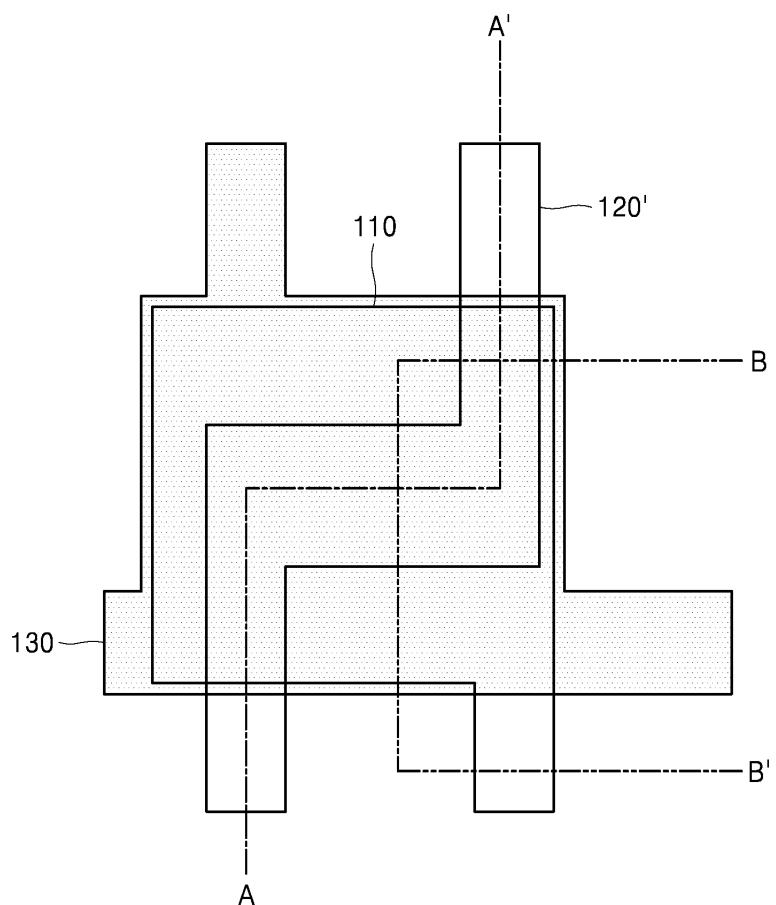
도면8



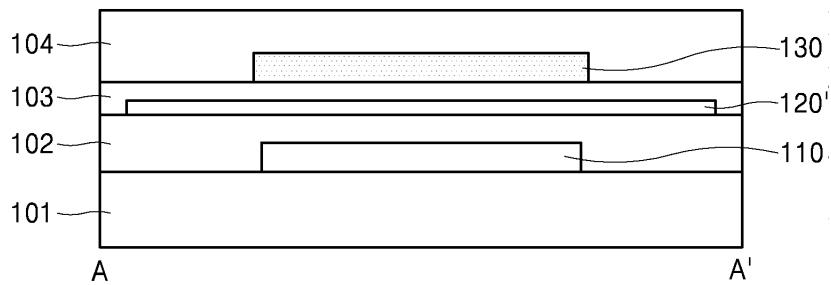
도면9



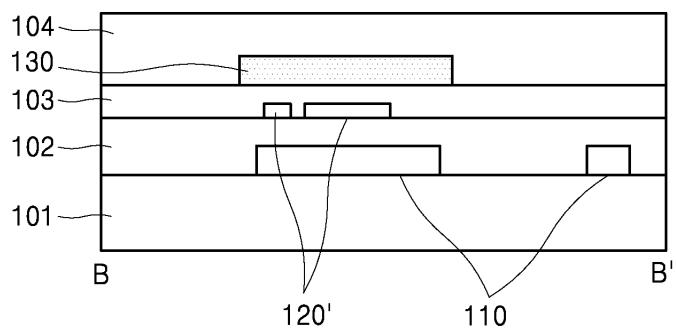
도면10



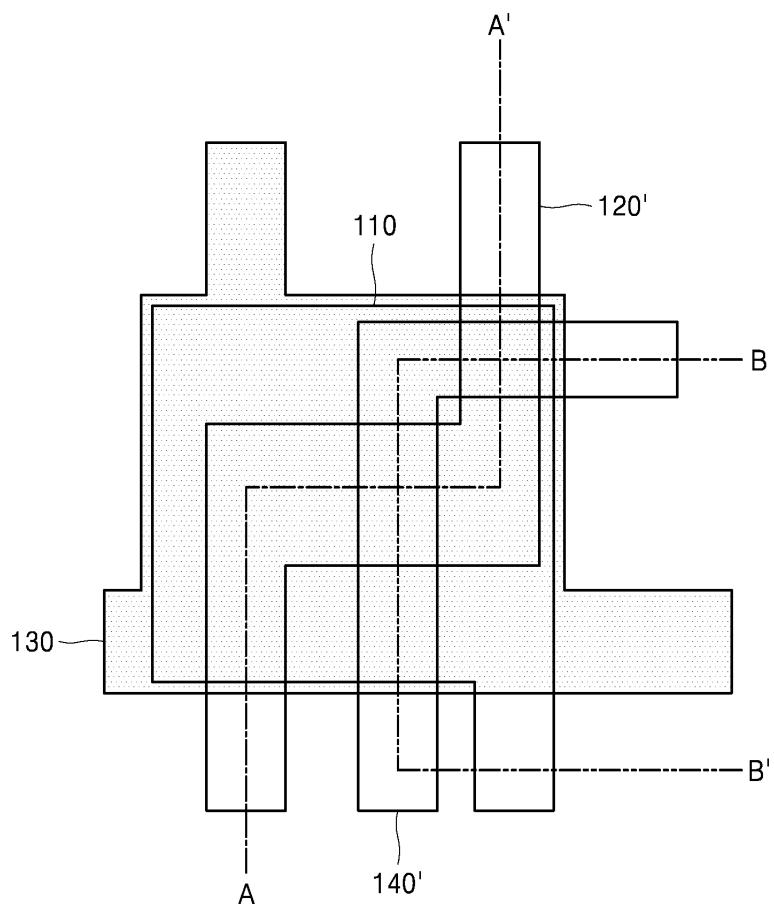
도면11



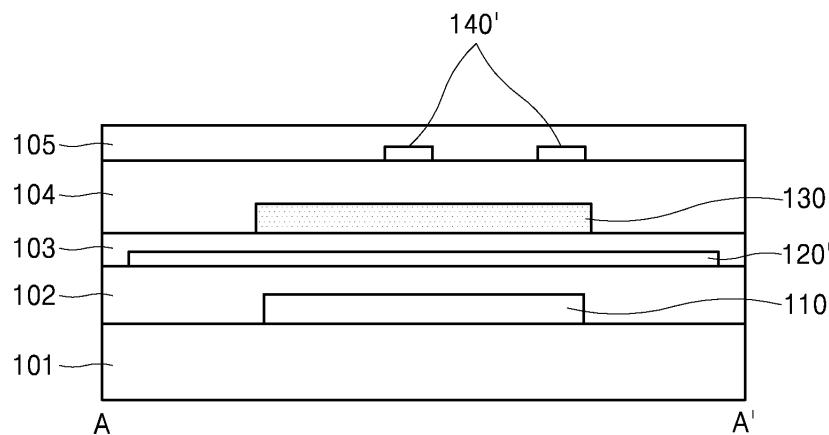
도면12



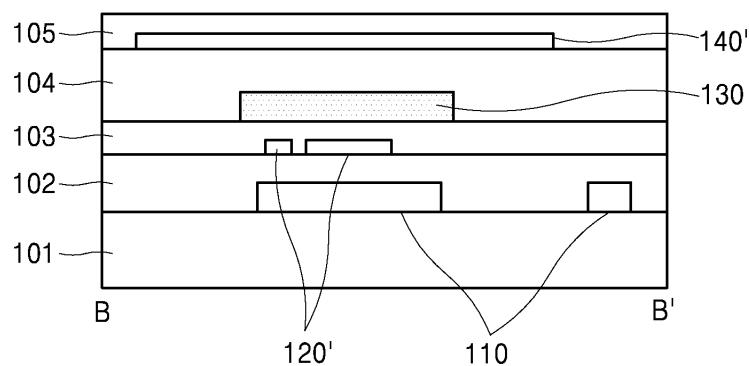
도면13



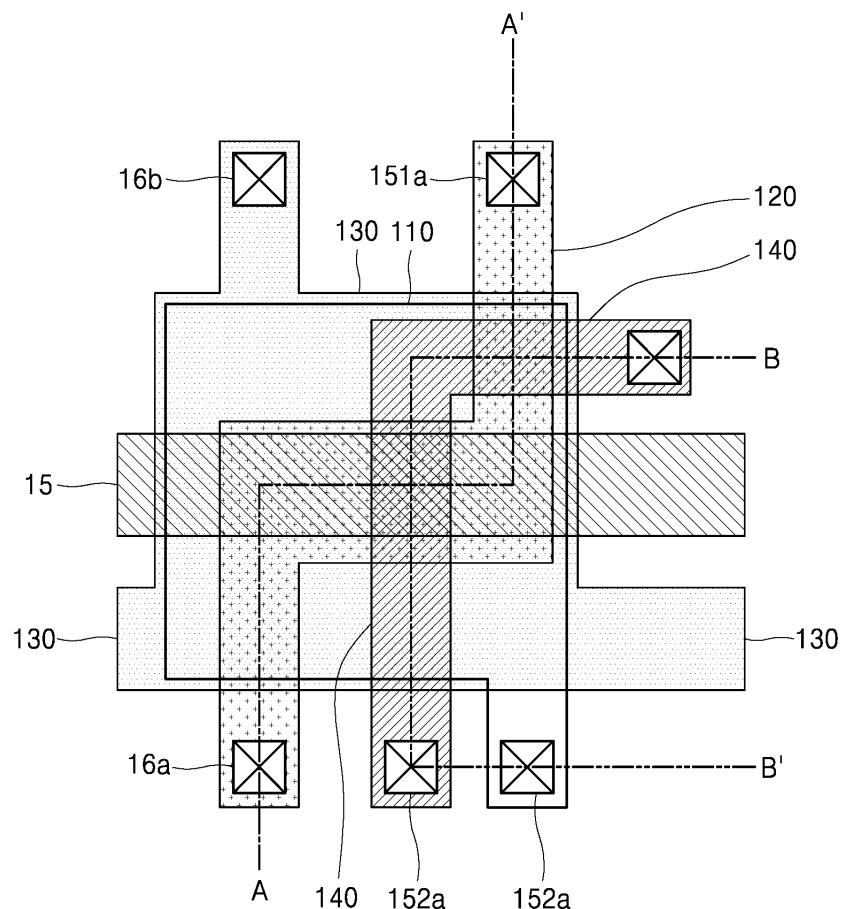
도면14



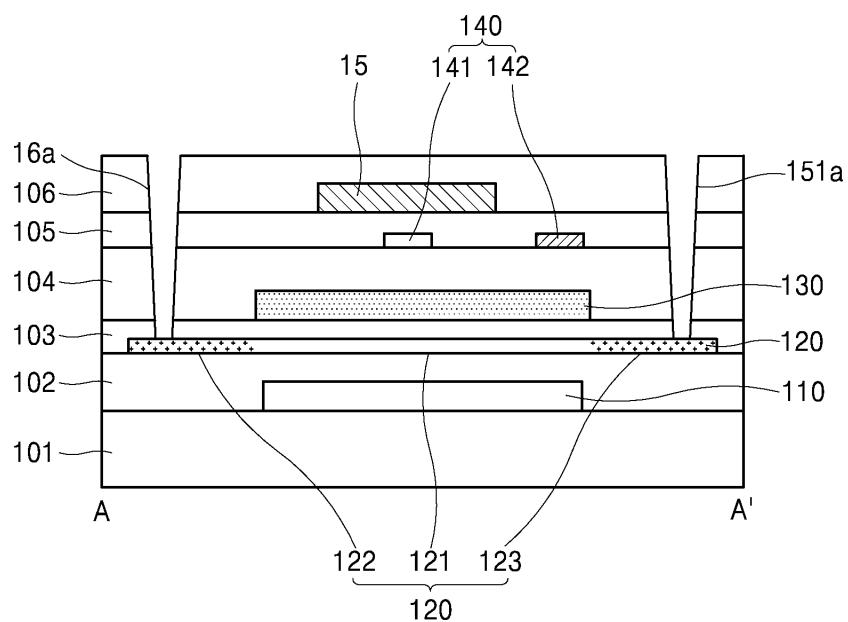
도면15



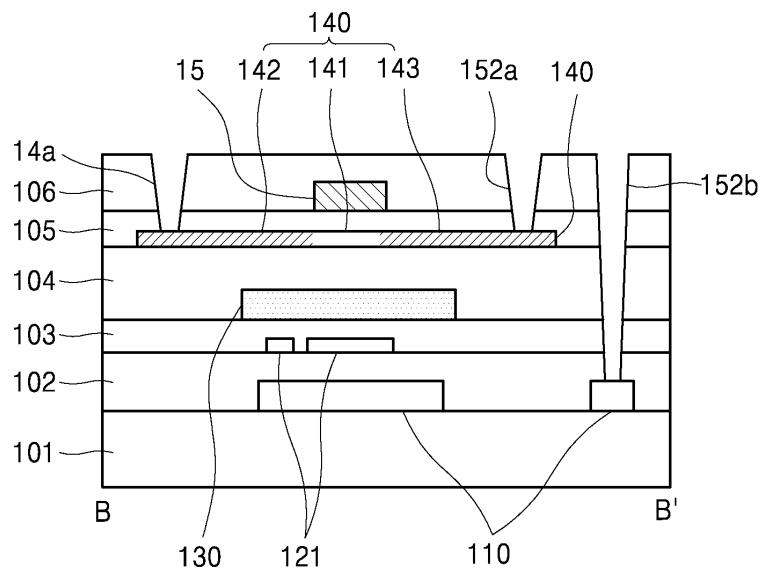
도면16



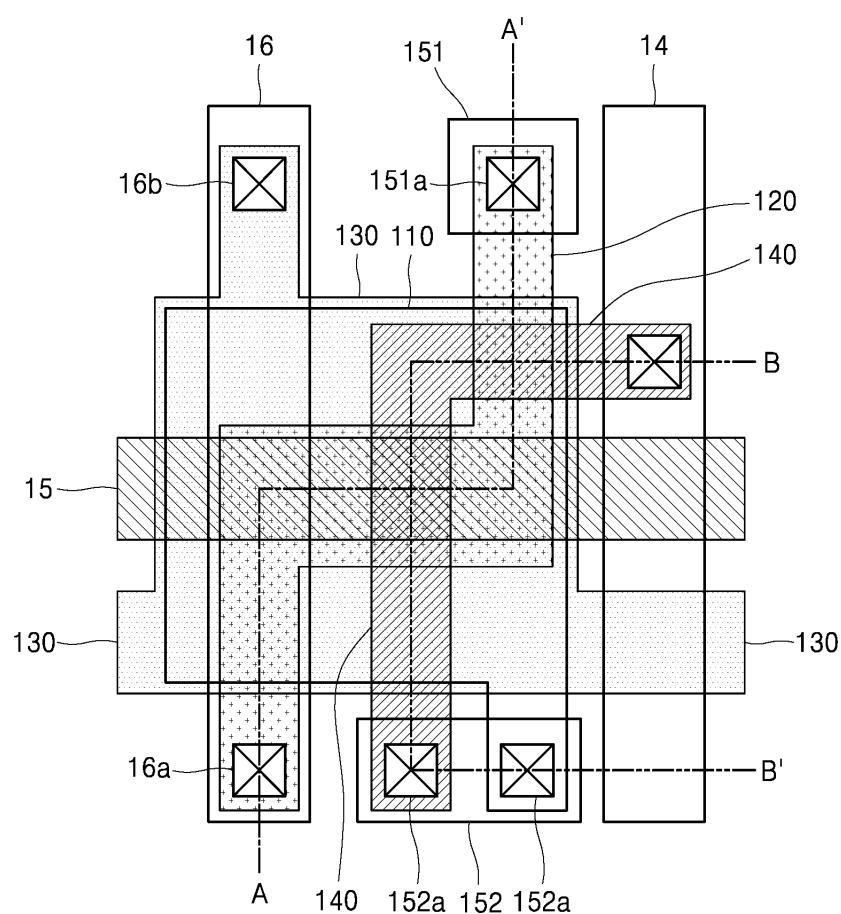
도면17



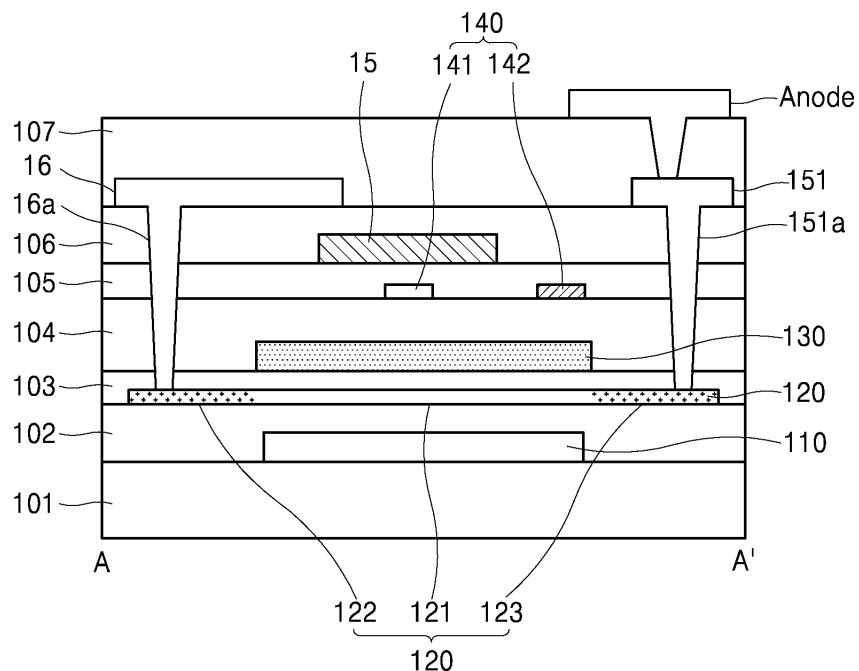
도면18



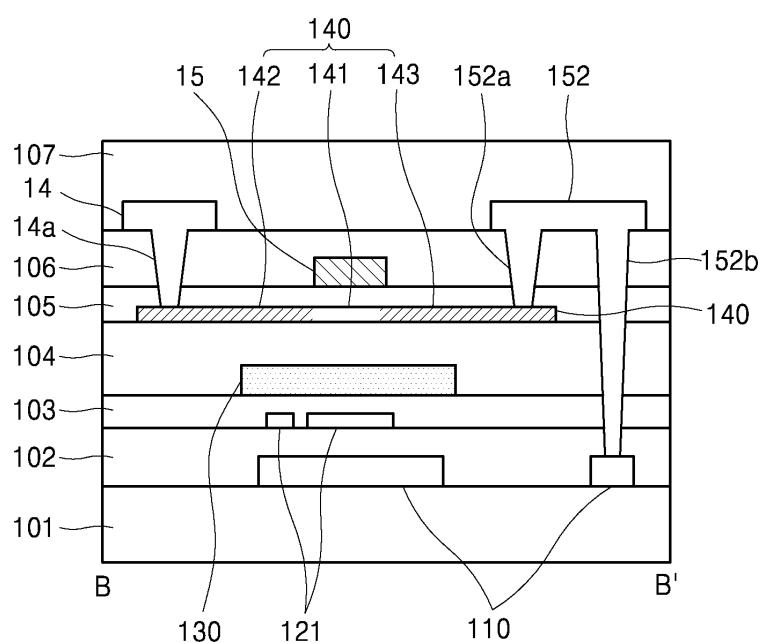
도면19



도면20



도면21



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190076540A	公开(公告)日	2019-07-02
申请号	KR1020170178410	申请日	2017-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김아람 오금미 김선영		
发明人	김아람 오금미 김선영		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3211 H01L27/3258 H01L27/3276		
外部链接	Espacenet		

摘要(译)

本发明的一个实施方式提供了一种有机发光显示装置。该有机发光显示装置包括：有机发光装置，其对应于在显示区域中限定的多个像素区域中的每一个；第一薄膜晶体管，该第一薄膜晶体管与有机发光装置串联设置在第一电源线之间，以用于提供有机电致发光。对应于有机发光器件的驱动的第一驱动功率和用于提供电压低于第一驱动功率的电压的第二驱动功率的第二电源线，以及设置在提供功率的数据线之间的第二薄膜晶体管每个像素区域的数据信号和与第一薄膜晶体管的栅电极相对应的节点。第二薄膜晶体管设置在第一薄膜晶体管的上方，并且与第一薄膜晶体管部分重叠。即使减小像素区域的面积，也可以防止薄膜晶体管的特性劣化。

