



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0049005
(43) 공개일자 2018년05월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2018-7009419
(22) 출원일자(국제) 2017년01월19일
심사청구일자 2018년04월03일
(85) 번역문제출일자 2018년04월03일
(86) 국제출원번호 PCT/US2017/014161
(87) 국제공개번호 WO 2017/127563
국제공개일자 2017년07월27일
(30) 우선권주장
62/281,602 2016년01월21일 미국(US)
62/300,617 2016년02월26일 미국(US)

(71) 출원인
애플 인크.
미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원
애플 파크 웨이
(72) 발명자
린, 진-웨이
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2
피피오 인피니트 루프 1
푼, 스티븐, 에스.
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 83-디
인피니트 루프 1
(74) 대리인
장덕순, 백만기

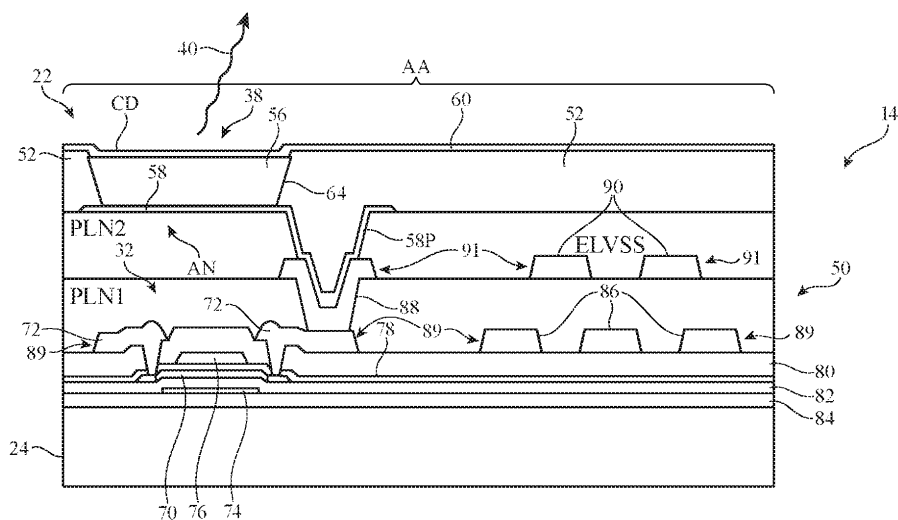
전체 청구항 수 : 총 35 항

(54) 발명의 명칭 유기 발광 다이오드 디스플레이들을 위한 전력 및 데이터 라우팅 구조들

(57) 요약

유기 발광 다이오드 디스플레이는 기판 상에 형성된 박막 트랜지스터 회로를 가질 수 있다. 디스플레이 및 기판은 라운드형 코너들을 가질 수 있다. 픽셀 정의 층이 박막 트랜지스터 회로 상에 형성될 수 있다. 픽셀 정의 층 내의 개구물에는 유기 발광 다이오드들에 대한 각자의 애노드들과 중첩되는 방출 재료가 제공될 수 있다. 캐소드 층은 픽셀들의 어레이를 커버할 수 있다. 접지 파워 서플라이 경로가 캐소드 층에 접지 전압을 분배하는데 사용될 수 있다. 접지 파워 서플라이 경로는 다이오드들에 대한 애노드들을 형성하는 금속 층의 부분들을 사용하여 캐소드 층에 단락되는 금속 층으로부터 형성될 수 있고, 메시 형상의 금속 패턴으로부터 형성될 수 있고, L자 형상의 경로 세그먼트들을 가질 수 있고, 캐소드 층 상에 레이저 침착 금속을 포함할 수 있고, 접지 파워 서플라이의 분배를 가능하게 하는 다른 구조들을 가질 수 있다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3279 (2013.01)

H01L 51/5228 (2013.01)

G09G 2300/0426 (2013.01)

(72) 발명자

리우토르트-루이스, 워렌, 에스.

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피
피오 인피니트 루프 1

유, 청-호

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피
피오 인피니트 루프 1

리, 충호

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 83-오
인피니트 루프 1

리, 도-형

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

창, 텅-쿠오

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피
피오 인피니트 루프 1

차이, 충-텅

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피
피오 인피니트 루프 1

굽타, 바수다

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피
피오 인피니트 루프 1

리, 영구

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

명세서

청구범위

청구항 1

픽셀들의 어레이를 갖는 활성 영역을 갖는 유기 발광 다이오드 디스플레이로서,

기관;

유전체 층들을 포함하는 상기 기관 상의 박막 트랜지스터 회로;

유기 발광 다이오드에 대한 유기 방출 층을 각각이 포함하고 상기 픽셀들 중의 각각의 픽셀과 각각이 연관되는 개구들을 갖는, 상기 박막 트랜지스터 회로 상의 픽셀 정의 층;

상기 픽셀들의 어레이를 커버하는 캐소드 층; 및

상기 활성 영역 내의 유전체 층들 내에 임베드된(embedded) 금속 파워 서플라이 메시 경로를 포함하는, 유기 발광 다이오드 디스플레이.

청구항 2

제1항에 있어서, 상기 금속 파워 서플라이 메시 경로는 접지 파워 서플라이 전압을 상기 캐소드 층에 전달하는 금속 접지 파워 서플라이 경로이고, 상기 금속 접지 파워 서플라이 경로는 금속 층의 제1 부분으로부터 형성되고, 상기 금속 층의 제2 부분은 상기 박막 트랜지스터 회로 내의 트랜지스터들의 소스-드레인 단자들과 접촉하는 비아 구조물들을 형성하는, 유기 발광 다이오드 디스플레이.

청구항 3

제1항에 있어서, 상기 금속 파워 서플라이 메시 경로는 포지티브 파워 서플라이 전압을 전달하는 금속 포지티브 파워 서플라이 경로인, 유기 발광 다이오드 디스플레이.

청구항 4

제1항에 있어서, 상기 활성 영역은 라운드형 코너들을 갖고, 상기 금속 파워 서플라이 메시 경로는 상기 라운드형 코너들 내에 배열되는, 유기 발광 다이오드 디스플레이.

청구항 5

제1항에 있어서, 상기 금속 파워 서플라이 메시 경로에 커플링되는 L자 형상의 경로 세그먼트들을 추가로 포함하는, 유기 발광 다이오드 디스플레이.

청구항 6

제1항에 있어서, 상기 유전체 층들 내에 임베드되는 제1 및 제2 패터닝된 금속 층들을 추가로 포함하고, 상기 금속 파워 서플라이 메시 경로는 상기 제2 패터닝된 금속 층으로부터 형성된 금속 세그먼트들에 커플링되고, 상기 제1 패터닝된 금속 층은 상기 파워 서플라이 전압을 전달하는 금속의 스트립들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 7

제6항에 있어서, 상기 디스플레이는 에지들을 갖고, 상기 금속의 스트립들은 상기 에지들 중 적어도 일부를 따라서 이어지는, 유기 발광 다이오드 디스플레이.

청구항 8

제7항에 있어서, 상기 제1 패터닝된 금속 층은 상기 파워 서플라이 전압을 전달하는 상기 금속의 스트립들 중 하나에 평행하게 이어지는 금속의 포지티브 파워 서플라이 스트립을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 9

제8항에 있어서, 상기 금속 세그먼트들은 L자 형상의 부분들을 포함하고, 상기 L자 형상의 부분들 중 적어도 일부는 상기 금속의 포지티브 파워 서플라이 스트립 위에서 교차하는, 유기 발광 다이오드 디스플레이.

청구항 10

제9항에 있어서, 상기 금속의 포지티브 파워 서플라이 스트립으로부터 상기 활성 영역을 가로질러서 상기 픽셀들에게 연장되는 포지티브 파워 서플라이 분배 경로들을 추가로 포함하는, 유기 발광 다이오드 디스플레이.

청구항 11

제10항에 있어서, 상기 활성 영역은 라운드형 코너들을 갖고, 상기 L자 형상의 부분들은 상기 라운드형 코너들에 위치되는, 유기 발광 다이오드 디스플레이.

청구항 12

제1항에 있어서, 상기 박막 트랜지스터 회로 내의 트랜지스터들에 대한 소스-드레인 단자들은 상기 유전체 층들에 임베드된 제1 금속 층으로부터 형성되고, 상기 금속 파워 서플라이 메시 경로는 상기 유전체 층들에 임베드된 제2 금속 층으로부터 형성되는, 유기 발광 다이오드 디스플레이.

청구항 13

제12항에 있어서, 상기 유기 발광 다이오드들에 대한 애노드들은, 상기 유전체 층들에 임베드되고 상기 제2 금속 층과 상기 캐소드 층 사이에 개재된 제3 금속 층으로부터 형성되는, 유기 발광 다이오드 디스플레이.

청구항 14

제13항에 있어서, 상기 제3 금속 층의 일부분은 상기 제2 금속 층으로부터 형성된 상기 금속 파워 서플라이 메시 경로를 상기 캐소드 층에 단락시키는, 유기 발광 다이오드 디스플레이.

청구항 15

제14항에 있어서, 상기 금속 파워 서플라이 메시 경로는 레이저 침착 금속 라인들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 16

제15항에 있어서, 데이터를 상기 픽셀들에게 공급하는 데이터 라인들을 추가로 포함하고, 상기 데이터 라인들은 계단 형상의 부분들을 포함하는, 유기 발광 다이오드 층.

청구항 17

픽셀들의 어레이를 갖는 유기 발광 다이오드 디스플레이로서,

기판;

상기 기판 상에 유전체 층들을 갖는 박막 트랜지스터 회로의 층;

유기 발광 다이오드에 대한 유기 방출 층을 각각이 포함하고 상기 픽셀들 중의 각각의 픽셀과 각각이 연관되는 개구들을 갖는, 상기 박막 트랜지스터 회로의 층 상의 픽셀 정의 층;

상기 픽셀들의 어레이를 커버하는 캐소드 층 - 상기 캐소드 층은 접지 파워 서플라이 전압을 수신하고 상기 접지 파워 서플라이 전압을 상기 개구들 내의 유기 방출 층들에 분배함 -;

상기 박막 트랜지스터 회로의 층 내의 박막 트랜지스터들에 대한 소스-드레인 단자들을 형성하는, 상기 유전체 층들에 임베드되는 제1 금속 층;

상기 접지 파워 서플라이 전압을 상기 캐소드 층에 전달하도록 패턴화되는, 상기 유전체 층들에 임베드되는 제2 금속 층; 및

상기 유기 발광 다이오드들에 대한 애노드들을 형성하도록 패턴화되는 제1 부분, 및 상기 제2 금속 층을 상기

캐소드 층에 단락시키는 제2 부분을 갖는 제3 금속 층을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 18

제17항에 있어서, 상기 기관은 만곡형 에지들을 갖는, 유기 발광 다이오드 디스플레이.

청구항 19

제18항에 있어서,

데이터를 상기 픽셀들의 어레이에 전달하는 데이터 라인들;

상기 데이터 라인들에 수직으로 연장되는 게이트 라인들; 및

상기 박막 트랜지스터 회로로부터 형성되는 게이트 드라이버 회로를 추가로 포함하고, 상기 게이트 드라이버 회로는 상기 게이트 라인들 중 적어도 각각의 게이트 라인에 각각이 커플링되는 게이트 드라이버 로우(row) 블록들을 갖는, 유기 발광 다이오드 디스플레이.

청구항 20

제19항에 있어서, 상기 게이트 드라이버 로우 블록들은 상이한 종횡비들의 게이트 드라이버 로우 블록들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 21

제19항에 있어서, 상기 게이트 드라이버 로우 블록들의 각자의 쌍들 사이에 테스트 멀티플렉서 회로의 블록들을 포함하는 테스트 멀티플렉서 회로를 추가로 포함하는, 유기 발광 다이오드 디스플레이.

청구항 22

유기 발광 다이오드 디스플레이로서,

박막 트랜지스터 회로;

기관 - 상기 기관은 상기 박막 트랜지스터 회로의 일부분으로부터 형성되는 픽셀들의 어레이를 갖는 활성 영역, 및 상기 기관의 에지에 인접한, 상기 활성 영역의 에지를 따라서 이어지는 비활성 영역을 가짐 -;

데이터를 상기 픽셀들의 어레이에 공급하는 데이터 라인들;

상기 데이터 라인들에 수직으로 이어지고 제어 신호들을 상기 픽셀들의 어레이에 공급하는 게이트 라인들; 및

상기 박막 트랜지스터 회로의 일부분으로부터 형성되고 상기 기관의 에지의 만곡형 부분을 따라서 이어지는, 상기 비활성 영역 내의 게이트 드라이버 회로를 포함하는, 유기 발광 다이오드 디스플레이.

청구항 23

제22항에 있어서, 상기 게이트 드라이버 회로는 상기 픽셀들의 어레이 내의 픽셀들의 각자의 로우에서 상기 게이트 라인들 중 적어도 하나에 각각이 커플링되는 복수의 게이트 드라이버 로우 블록들을 갖는, 유기 발광 다이오드 디스플레이.

청구항 24

제23항에 있어서, 상기 게이트 드라이버 로우 블록들은 상기 픽셀들의 각자의 제1 로우 및 제2 로우에서 상이한 형상들을 갖는 제1 게이트 드라이버 로우 블록 및 제2 게이트 드라이버 로우 블록을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 25

제23항에 있어서, 상기 게이트 드라이버 로우 블록들은 상기 픽셀들의 각자의 제1 로우 및 제2 로우에서 상이한 각도 배향들을 갖는 제1 게이트 드라이버 로우 블록 및 제2 게이트 드라이버 로우 블록을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 26

제23항에 있어서, 상기 픽셀들의 상이한 로우들에서 상기 게이트 드라이버 로우 블록들 중 일부는 상기 게이트 라인들에 평행하게 이어지는 치수를 따라서 상이한 양만큼 오프셋되어, 상기 게이트 드라이버 로우 블록들이 상기 기관의 에지의 만곡형 부분을 수용하게 하는, 유기 발광 다이오드 디스플레이.

청구항 27

제23항에 있어서, 상기 데이터 라인들에 커플링되는 테스트 멀티플렉서 회로를 추가로 포함하는, 유기 발광 다이오드 디스플레이.

청구항 28

제27항에 있어서, 상기 테스트 멀티플렉서 회로는 상기 기관의 에지의 만곡형 부분의 적어도 일부를 따라서 이어지는, 유기 발광 다이오드 디스플레이.

청구항 29

제27항에 있어서, 상기 테스트 멀티플렉서 회로는 상기 게이트 드라이버 로우 블록들 사이에 테스트 회로의 영역들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 30

제22항에 있어서, 상기 데이터 라인들은 L자 형상의 데이터 라인 부분들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 31

제22항에 있어서, 상기 데이터 라인들은 상기 게이트 라인들에 수직으로 연장되는 데이터 라인 부분들을 갖고, 상기 데이터 라인들 중 일부는 각각이 사선방향 부분, 및 상기 사선방향 부분을 상기 게이트 라인들에 수직으로 연장되는 상기 데이터 라인 부분들 중 각각의 데이터 라인 부분에 커플링하는 L자 형상의 연장부를 갖는, 유기 발광 다이오드 디스플레이.

청구항 32

유기 발광 다이오드 디스플레이로서,

박막 트랜지스터 회로;

기관 - 상기 기관은 상기 박막 트랜지스터 회로의 일부분으로부터 형성되는 픽셀들의 어레이를 갖는 활성 영역, 및 상기 기관의 에지에 인접한, 픽셀들이 없고 상기 활성 영역의 에지를 따라서 이어지는 비활성 영역을 가짐 -;

상기 비활성 영역에서 상기 박막 트랜지스터 회로의 일부분으로부터 형성되는 게이트 드라이버 회로;

제어 신호들을 상기 게이트 드라이버 회로로부터 상기 픽셀들의 어레이로 공급하는 게이트 라인들; 및

데이터를 상기 픽셀들의 어레이로 공급하는 데이터 라인들 - 상기 데이터 라인들은 상기 게이트 라인들에 수직으로 연장되는 데이터 라인 부분들을 갖고, 상기 데이터 라인들 중 일부는 각각 사선방향 부분, 및 상기 사선방향 부분을 상기 게이트 라인들에 수직으로 연장되는 상기 데이터 라인 부분들 중 각각의 데이터 라인 부분에 커플링하는 L자 형상의 연장부를 가짐 - 을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 33

제32항에 있어서, 상기 기관의 에지는 만곡형 부분을 갖고, 상기 유기 발광 다이오드 디스플레이는 상기 활성 영역과 중첩하는 L자 형상의 세그먼트들을 갖는 파워 서플라이 라인들을 추가로 포함하는, 유기 발광 다이오드 디스플레이.

청구항 34

제32항에 있어서, 상기 게이트 드라이버 회로는 각각이 상기 제어 신호들 중 적어도 하나를 상기 게이트 라인들

중 각각의 게이트 라인에 공급하는 복수의 게이트 드라이버 로우 블록들을 포함하고, 상기 게이트 드라이버 로우 블록들은 상기 만곡형 부분을 따라서 상이한 형상들을 갖는 게이트 드라이버 로우 블록들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 35

제32항에 있어서, 상기 게이트 드라이버 회로는 각각이 상기 제어 신호들 중 적어도 하나를 상기 게이트 라인들 중 각각의 게이트 라인에 공급하는 복수의 게이트 드라이버 로우 블록들을 포함하고, 상기 게이트 드라이버 로우 블록들은 상기 만곡형 부분을 따라서 상이한 각도 배향들을 갖는 게이트 드라이버 로우 블록들을 포함하는, 유기 발광 다이오드 디스플레이.

발명의 설명

기술 분야

[0001] 본 출원은 2016년 1월 21일자로 출원된 미국 가특허 출원 제62/281,602호, 및 2016년 2월 26일자로 출원된 미국 가특허 출원 제62/300,617호에 대한 우선권을 주장하며, 이들은 이로써 본 명세서에 전체가 참고로서 포함된다.

배경 기술

[0002] 본 발명은 일반적으로 전자 디바이스들에 관한 것이고, 보다 구체적으로는 유기 발광 다이오드 디스플레이들을 갖는 전자 디바이스들에 관한 것이다.

[0003] 전자 디바이스들은 종종 디스플레이들을 포함한다. 예를 들어, 전자 디바이스는 유기 발광 다이오드 픽셀들에 기초한 유기 발광 다이오드 디스플레이를 가질 수 있다. 각각의 픽셀은 각자의 발광 다이오드를 포함하는 픽셀 회로를 가질 수 있다. 픽셀 회로 내의 박막 트랜지스터 회로는 그 픽셀 내의 발광 다이오드로의 전류 인가를 제어하는 데 사용될 수 있다. 박막 트랜지스터 회로는 구동 트랜지스터를 포함할 수 있다. 픽셀 회로 내의 구동 트랜지스터 및 발광 다이오드는 포지티브 파워 서플라이와 접지 파워 서플라이 사이에 직렬로 커플링될 수 있다.

[0004] 파워 서플라이 신호들과 같은 유기 발광 다이오드 디스플레이들에서의 신호들은 이들 신호들을 분배하는 데 사용되는 전도성 경로들에서의 저항성 손실로 인해 원치않는 전압 강하를 겪을 수 있다. 주의하지 않는다면, 이들 전압 강하는 유기 발광 다이오드 디스플레이의 만족스러운 동작을 방해할 수 있다. 또한, 시그널 라우팅 공간이 제한되는 레이아웃들을 갖는 디스플레이들에서 전력 및 데이터 신호들을 분배함에 있어서 문제가 발생할 수 있다.

[0005] 따라서, 유기 발광 다이오드 디스플레이와 같은 디스플레이 상에 파워 서플라이 및 데이터 신호들과 같은 신호들을 분배하는 개선된 방식들을 제공할 수 있는 것이 바람직할 것이다.

발명의 내용

[0006] 유기 발광 다이오드 디스플레이는 기판 상에 형성된 박막 트랜지스터 회로를 가질 수 있다. 디스플레이 및 기판은 라운드형 코너들을 가질 수 있다. 픽셀 정의 층이 박막 트랜지스터 회로 상에 형성될 수 있다. 픽셀 정의 층 내의 개구들에는 유기 발광 다이오드들에 대한 각자의 애노드들과 중첩되는 방출 재료가 제공될 수 있다.

[0007] 캐소드 층은 픽셀들의 어레이를 커버할 수 있다. 접지 파워 서플라이 경로가 캐소드 층에 접지 전압을 분배하는 데 사용될 수 있다. 접지 파워 서플라이 경로는 다이오드들에 대한 애노드들을 형성하는 금속 층의 부분들을 사용하여 캐소드 층에 단락되는 금속 층으로부터 형성될 수 있고, 메시 형상의 금속 패턴으로부터 형성될 수 있고, L자 형상의 경로 세그먼트들을 가질 수 있고, 캐소드 층 상에 레이저 침착 금속을 포함할 수 있고, 접지 파워 서플라이의 분배를 가능하게 하는 다른 구조들을 가질 수 있다. 메시 형상의 금속 패턴들(예컨대, 금속 파워 서플라이 메시 경로), L자 형상의 경로 세그먼트들을 갖는 금속 패턴들, 및 다른 구조들이, 또한, 포지티브 파워 서플라이 전압들의 분배를 가능하게 하는 데 사용될 수 있다. 이들 파워 서플라이 경로 구조들은 라운드형 코너들을 갖는 디스플레이들 및 기판들을 수용할 수 있다.

도면의 간단한 설명

[0008] 도 1은 일 실시예에 따른, 디스플레이를 갖는 예시적인 전자 디바이스의 다이어그램이다.

- 도 2는 일 실시예에 따른 예시적인 유기 발광 다이오드 픽셀 회로의 다이어그램이다.
- 도 3은 일 실시예에 따른 예시적인 유기 발광 다이오드 디스플레이의 다이어그램이다.
- 도 4는 일 실시예에 따른 예시적인 유기 발광 다이오드 디스플레이의 활성 영역의 일부분의 측단면도이다.
- 도 5는 일 실시예에 따른 예시적인 유기 발광 다이오드 디스플레이의 비활성 경계 영역의 일부분의 측단면도이다.
- 도 6은 일 실시예에 따른, 디스플레이에서 접지 파워 서플라이 경로에 사용될 수 있는 예시적인 메시 패턴을 보여주는 다이어그램이다.
- 도 7은 일 실시예에 따른, 도 6의 접지 파워 서플라이 경로가 라운드형 코너들을 갖는 디스플레이에서 어떻게 사용될 수 있는지를 보여주는 다이어그램이다.
- 도 8, 도 9, 및 도 10은 일 실시예에 따른, 가요성 미부(tail) 부분을 갖는 디스플레이에 대한 예시적인 파워 서플라이 경로 레이아웃들을 도시한다.
- 도 11은 일 실시예에 따른, 포지티브 및 접지 파워 서플라이 경로 구조들을 갖는 디스플레이의 코너 부분의 상면도이다.
- 도 12 및 도 13은 일 실시예에 따른, 도 11의 디스플레이의 부분들의 측단면도들이다.
- 도 14는 다른 실시예에 따른, 포지티브 및 접지 신호 라우팅 구조들을 갖는 디스플레이의 코너 부분의 상면도이다.
- 도 15, 도 16, 및 도 17은 일 실시예에 따른, 도 14의 디스플레이의 부분들의 측단면도들이다.
- 도 18은 일 실시예에 따른, 금속 라인들로부터 형성된 파워 서플라이 경로들, 메시 형상의 구조들(예컨대, 금속 파워 서플라이 메시 경로), 및 스트립 형상의 경로들을 갖는 예시적인 디스플레이의 다이어그램이다.
- 도 19는 일 실시예에 따른, 디스플레이가, 라운드형 디스플레이 코너들을 수용하도록 하는 계단 형상의 부분들을 갖는 데이터 라인들을 어떻게 가질 수 있는지를 보여주는 다이어그램이다.
- 도 20은 일 실시예에 따른 예시적인 유기 발광 다이오드 디스플레이에서의 층들의 측단면도이다.
- 도 21은 일 실시예에 따른, 파워 서플라이 전압 강하를 감소시키도록 하는 레이저 침착 신호 라인들의 메시지를 갖는 예시적인 디스플레이의 상면도이다.
- 도 22는 일 실시예에 따른, 도 21의 디스플레이의 일부분의 측단면도이다.
- 도 23 및 도 24는 일 실시예에 따른, 제조 동안의 도 21의 디스플레이의 일부분의 측단면도들이다.
- 도 25, 도 26, 도 27, 및 도 28은 일 실시예에 따른, 도 21의 디스플레이와 같은 디스플레이에서 레이저 침착 신호 라인들과 같은 경로들에 사용될 수 있는 예시적인 패턴들의 상면도들이다.
- 도 29는 일 실시예에 따른, 디스플레이 기판 상에 박막 트랜지스터 회로로부터 형성된 예시적인 게이트 드라이버 회로의 다이어그램이다.
- 도 30은 일 실시예에 따른, 게이트 드라이버 로우(row) 블록들이 만곡형 에지들을 갖는 디스플레이 기판들을 수용하도록 어떻게 측방향으로 오프셋 및 회전될 수 있는지를 보여주는 예시적인 디스플레이의 다이어그램이다.
- 도 31은 일 실시예에 따른, 디스플레이의 활성 영역과 중첩되는 데이터 라인 연장부들이 신호들을 사선방향 데이터 라인 세그먼트들로부터 데이터 라인들의 수직방향 부분들로 라우팅하는 데 어떻게 사용될 수 있는지를 보여주는 예시적인 디스플레이의 다이어그램이다.
- 도 32는 일 실시예에 따른, 게이트 드라이버 로우 블록들과 같은 디스플레이 드라이버 회로가 만곡형 디스플레이 기판 에지들을 수용하도록 상이한 로우들에서 상이한 형상들을 어떻게 가질 수 있는지를 보여주는 다이어그램이다.
- 도 33은 일 실시예에 따른, 디스플레이 기판 상에 박막 트랜지스터 회로의 일부분으로부터 형성될 수 있는 타입의 예시적인 디스플레이 테스트 멀티플렉서 회로의 다이어그램이다.
- 도 34는 일 실시예에 따른, 테스트 신호들이 디스플레이의 하부 에지에서의 테스트 패드들 사이에서 테스트 멀

티플렉서 회로까지 디스플레이의 상부 에지를 따라서 어떻게 라우팅될 수 있는지를 보여주는 예시적인 디스플레이의 다이어그램이다.

도 35는 일 실시예에 따른, 테스트 멀티플렉서 회로 및 테스트 패드들이 디스플레이의 하부 에지 상에서 디스플레이 기판 미부의 일부분을 따라서 어떻게 위치될 수 있는지를 보여주는 예시적인 디스플레이의 다이어그램이다.

도 36 및 도 37은 실시예들에 따른, 테스트 회로가 만곡형 디스플레이 기판 에지를 수용하도록 배열되는 예시적인 디스플레이들의 다이어그램들이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 유기 발광 다이오드 디스플레이가 구비될 수 있는 타입의 예시적인 전자 디바이스가 도 1에 도시되어 있다. 전자 디바이스(10)는 컴퓨팅 디바이스, 예컨대 랩톱 컴퓨터, 임베디드 컴퓨터를 포함한 컴퓨터 모니터, 태블릿 컴퓨터, 셀룰러폰, 미디어 플레이어, 또는 다른 핸드헬드 또는 휴대용 전자 디바이스, 더 소형인 디바이스, 예컨대 손목 시계 디바이스, 펜던트 디바이스, 헤드폰 또는 이어피스 디바이스, 사용자의 머리에 착용되는 안경 또는 다른 장비에 임베드되는(embedded) 디바이스, 또는 다른 웨어러블 또는 미니어처 디바이스, 디스플레이, 임베디드 컴퓨터를 포함하는 컴퓨터 디스플레이, 임베디드 컴퓨터를 포함하지 않는 컴퓨터 디스플레이, 게이밍 디바이스, 내비게이션 디바이스, 임베디드 시스템, 예컨대 디스플레이를 갖는 전자 장비가 키오스크 또는 자동차에 실장되는 시스템, 또는 다른 전자 장비일 수 있다.
- [0010] 도 1에 도시된 바와 같이, 전자 디바이스(10)는 제어 회로(16)를 가질 수 있다. 제어 회로(16)는 디바이스(10)의 동작을 지원하기 위한 저장 및 프로세싱 회로를 포함할 수 있다. 저장 및 프로세싱 회로는 하드 디스크 드라이브 저장장치, 비휘발성 메모리(예컨대, 플래시 메모리, 또는 솔리드 스테이트 드라이브(solid state drive)를 형성하도록 구성된 다른 전기적 프로그래밍가능 판독 전용 메모리), 휘발성 메모리(예컨대, 정적 또는 동적 랜덤 액세스 메모리) 등과 같은 저장장치를 포함할 수 있다. 제어 회로(16) 내의 프로세싱 회로는 디바이스(10)의 동작을 제어하는 데 사용될 수 있다. 프로세싱 회로는 하나 이상의 마이크로프로세서들, 마이크로제어기들, 디지털 신호 프로세서들, 기저대역 프로세서들, 전력 관리 유닛들, 오디오 칩들, 주문형 집적 회로들 등에 기초할 수 있다.
- [0011] 입출력 디바이스들(12)과 같은, 디바이스(10) 내의 입출력 회로는 데이터가 디바이스(10)로 공급되게 하고 데이터를 디바이스(10)로부터 외부 디바이스들로 제공되게 하는 데 사용될 수 있다. 입출력 디바이스들(12)은 버튼, 조이스틱, 스크롤링 휠, 터치 패드, 키 패드, 키보드, 마이크로폰, 스피커, 톤 생성기, 진동기, 카메라, 센서, 발광 다이오드 및 기타 상태 표시기, 데이터 포트 등을 포함할 수 있다. 사용자는 입출력 디바이스들(12)을 통해 커맨드들을 공급함으로써 디바이스(10)의 동작을 제어할 수 있고, 입출력 디바이스들(12)의 출력 리소스들을 사용하여 디바이스(10)로부터 상태 정보 및 기타 출력을 수신할 수 있다.
- [0012] 입출력 디바이스들(12)은 디스플레이(14)와 같은 하나 이상의 디스플레이를 포함할 수 있다. 디스플레이(14)는 사용자로부터의 터치 입력을 수집하기 위한 터치 센서를 포함하는 터치 스크린 디스플레이일 수 있거나, 또는 디스플레이(14)는 터치에 불감응형일 수 있다. 디스플레이(14)를 위한 터치 센서는 용량성 터치 센서 전극들의 어레이, 음향 터치 센서 구조물, 저항성 터치 컴포넌트, 힘-기반 터치 센서 구조물, 광-기반 터치 센서, 또는 다른 적합한 터치 센서 배열물에 기초할 수 있다. 디스플레이(14)를 위한 터치 센서는 디스플레이(14)의 픽셀들을 갖는 보편적인 디스플레이 기판 상에 형성되는 전극들로부터 형성될 수 있거나, 또는 디스플레이(14)의 픽셀들과 중첩되는 별개의 터치 센서 패널로부터 형성될 수 있다. 원한다면, 디스플레이(14)는 터치에 불감응형일 수 있다(즉, 터치 센서가 생략될 수 있다).
- [0013] 제어 회로(16)는 운영 체제 코드 및 애플리케이션들과 같은 디바이스(10) 상의 소프트웨어를 실행하는 데 사용될 수 있다. 디바이스(10)의 동작 동안, 제어 회로(16) 상에서 실행되는 소프트웨어는 디스플레이(14) 상에 이미지들을 디스플레이할 수 있다.
- [0014] 디스플레이(14)는 유기 발광 다이오드 디스플레이일 수 있다. 유기 발광 다이오드 디스플레이에서, 각각의 픽셀은 각자의 유기 발광 다이오드를 포함한다. 예시적인 유기 발광 다이오드 픽셀의 개략적인 다이어그램이 도 2에 도시되어 있다. 도 2에 도시된 바와 같이, 디스플레이 픽셀(22)은 발광 다이오드(38)를 포함할 수 있다. 포지티브 파워 서플라이 전압(ELVDD)이 포지티브 파워 서플라이 단자(34)에 공급될 수 있고 접지 파워 서플라이 전압(ELVSS)이 접지 파워 서플라이 단자(36)에 공급될 수 있다. 다이오드(38)는 애노드(단자(AN)) 및 캐소드(단자(CD))를 갖는다. 구동 트랜지스터(32)의 상태는 다이오드(38)를 통해 흐르는 전류의 양, 및 그에 따라,

디스플레이 픽셀(22)로부터의 방출되는 광(40)의 양을 제어한다. 다이오드(38)의 캐소드(CD)는 접지 단자(36)에 커플링되므로, 다이오드(38)의 캐소드 단자(CD)는 때때로 다이오드(38)에 대한 접지 단자로 지칭될 수 있다.

[0015] 트랜지스터(32)가 연속적인 데이터 프레임들 사이에서 원하는 상태로 유지되는 것을 보장하기 위해, 디스플레이 픽셀(22)은 저장 커패시터(Cst)와 같은 저장 커패시터를 포함할 수 있다. 저장 커패시터(Cst)의 제1 단자는 노드(A)에서 트랜지스터(32)의 게이트에 커플링될 수 있고, 저장 커패시터(Cst)의 제2 단자는 노드(B)에서 다이오드(38)의 애노드(AN)에 커플링될 수 있다. 저장 커패시터(Cst) 상의 전압은 노드(A)에서 트랜지스터(32)의 게이트에 인가되어 트랜지스터(32)를 제어한다. 데이터는 스위칭 트랜지스터(30)와 같은 하나 이상의 스위칭 트랜지스터들을 사용하여 저장 커패시터(Cst)에 로딩될 수 있다. 스위칭 트랜지스터(30)가 오프되는 경우, 데이터 라인(D)은 저장 커패시터(Cst)로부터 분리되고, 노드(A) 상의 게이트 전압은 저장 커패시터(Cst)에 저장된 데이터 값(즉, 디스플레이(14) 상에 디스플레이되고 있는 이전 프레임의 디스플레이 데이터로부터의 데이터 값)과 동일하다. 디스플레이 픽셀(22)과 연관된 로우의 게이트 라인(G)(때때로 스캔 라인으로 지칭됨)이 어써트(assert)되는 경우, 스위칭 트랜지스터(30)는 턴온될 것이고, 데이터 라인(D) 상의 새로운 데이터 신호가 저장 커패시터(Cst)에 로딩될 것이다. 커패시터(Cst) 상의 새로운 신호는 노드(A)에서 트랜지스터(32)의 게이트에 인가되어, 이에 의해, 트랜지스터(32)의 상태를 조정하고 발광 다이오드(38)에 의해 방출되는 광(40)의 대응하는 양을 조정한다.

[0016] 원한다면, 디스플레이(14)에서 픽셀들(22)에 대한 발광 다이오드들의 동작을 제어하기 위한 회로(예컨대, 도 2의 디스플레이 픽셀 회로와 같은 디스플레이 픽셀 회로 내의 트랜지스터, 커패시터 등)가 도 2의 구성 이외의 구성들(예컨대, 구동 트랜지스터(32)에서 임계 전압 변동을 보상하기 위한 회로를 포함하는 구성들, 방출 인에이블 트랜지스터가 구동 트랜지스터(32)와 직렬로 커플링된 구성들, 다수의 스위칭 트랜지스터들이 다수의 각자의 스캔 라인들에 의해 제어되는 구성들, 다수의 커패시터들을 갖는 구성들 등)을 이용하여 형성될 수 있다. 도 2의 픽셀(22)의 회로는 단지 예시일 뿐이다.

[0017] 도 3에 도시된 바와 같이, 디스플레이(14)는 기판 층(24)과 같은 층들을 포함할 수 있다. 기판(24), 및 원한다면 디스플레이(14) 내의 다른 층들이 유리 층, 폴리머 층(예컨대, 폴리이미드 또는 다른 가요성 폴리머의 가요성 시트) 등과 같은 재료의 층들로부터 형성될 수 있다. 기판(24)은 평면형일 수 있고/있거나 하나 이상의 만곡형 부분들을 가질 수 있다. 기판(24)은 좌측 및 우측 수직방향 예지들과 상부 및 하부 수평방향 예지들을 갖는 직사각형 형상을 가질 수 있거나, 또는 비직사각형 형상을 가질 수 있다. 기판(24)이 4개의 코너들을 갖는 직사각형 형상을 갖는 구성들에서, 코너들은, 원한다면, 라운드형일 수 있다. 디스플레이 기판(24)은, 원한다면, 미부(24T)와 같은 미부 부분을 가질 수 있다.

[0018] 디스플레이(14)는 픽셀들(22)의 어레이를 가질 수 있다. 픽셀들(22)은 사용자를 위해 이미지들을 디스플레이하는 디스플레이(14)의 활성 영역(AA)을 형성한다. 기판(24)의 예지들 중 하나 이상을 따른 비활성 영역들(IA)과 같은 디스플레이(14)의 비활성 경계 부분들은 픽셀들(22)을 포함하지 않고, 사용자를 위해 이미지들을 디스플레이하지 않는다(즉, 비활성 영역(IA)은 픽셀들(22)이 없다).

[0019] 각각의 픽셀(22)은 도 2의 유기 발광 다이오드(38)와 같은 발광 다이오드 및 연관된 박막 트랜지스터 회로(예컨대, 도 2의 픽셀 회로 또는 다른 적합한 픽셀 회로)를 가질 수 있다. 픽셀들(22)의 어레이는 픽셀 구조물들의 로우들 및 컬럼들로부터 형성될 수 있다(예컨대, 픽셀들은 기판(24)과 같은 디스플레이 층들 상의 구조물들로부터 형성된다). 픽셀들(22)의 어레이에는 임의의 적합한 수(예컨대, 10개 이상, 100개 이상, 또는 1000개 이상)의 로우들 및 컬럼들이 있을 수 있다. 디스플레이(14)는 상이한 컬러들의 픽셀들(22)을 포함할 수 있다. 일례로서, 디스플레이(14)는 적색 광을 방출하는 적색 픽셀들, 녹색 광을 방출하는 녹색 픽셀들, 및 청색 광을 방출하는 청색 픽셀들을 포함할 수 있다. 원하는 경우, 다른 컬러들의 픽셀들을 포함하는 디스플레이(14)를 위한 구성들이 사용될 수 있다. 적색, 녹색, 및 청색 픽셀들을 갖는 픽셀 배열물의 사용은 단지 예시일 뿐이다.

[0020] 도 3의 예에 도시된 바와 같이, 디스플레이 기판(24)은 활성 영역(AA)을 포함하는 기판(24)의 부분보다 더 좁은 폭을 갖는 미부(24T)와 같은 미부 부분을 가질 수 있다. 이러한 배열물은 디바이스(10)의 하우징 내에 미부(24T)를 수용하는 것을 돕는다. 미부(24T)는, 원한다면, 디스플레이(14)가 전자 디바이스 하우징 내에 실장되는 경우에 디스플레이(14)의 나머지 부분 아래에서 구부러질 수 있다.

[0021] 디스플레이(14)를 위한 디스플레이 드라이버 회로(20)가 미부 부분(24T)에 커플링되는 인쇄 회로 보드 상에 실장될 수 있거나, 또는 미부 부분(24T) 상에 실장될 수 있다. 신호 경로(26)와 같은 신호 경로들은 디스플레이 드라이버 회로(20)를 제어 회로(16)에 커플링시킬 수 있다. 회로(20)는 하나 이상의 디스플레이 드라이버 집적 회로들 및/또는 박막 트랜지스터 회로를 포함할 수 있다. 동작 동안, 디바이스(10)의 제어 회로(예컨대, 도 1

의 제어 회로(16))는 디스플레이(14) 상에 디스플레이될 이미지들에 대한 정보를 디스플레이 드라이버 회로(20)와 같은 회로에 공급할 수 있다. 디스플레이 픽셀들(22) 상에 이미지들을 디스플레이하기 위해, 디스플레이 드라이버 회로(20)는 게이트 드라이버 회로(18)와 같은 지원용 디스플레이 드라이버 회로에 클럭 신호들 및 다른 제어 신호들을 발행하면서 대응하는 이미지 데이터를 데이터 라인들(D)에 공급할 수 있다. 게이트 드라이버 회로(18)는 픽셀들(22)에 대한 게이트 라인 신호들(때때로, 스캔 신호들, 방출 인에이블 신호들 등으로 지칭됨) 또는 다른 제어 신호들을 생성할 수 있다. 게이트 라인 신호들은 게이트 라인들(G)과 같은 라인들을 사용하여 픽셀들(22)로 전달될 수 있다. 픽셀들(22)의 로우당 하나 이상의 게이트 라인들이 있을 수 있다. 게이트 드라이버 회로(18)는 집적 회로들 및/또는 박막 트랜지스터 회로를 포함할 수 있고, 디스플레이(14)의 에지들을 따라서(예컨대, 도 3에 도시된 바와 같이 디스플레이(14)의 좌측 및/또는 우측 에지들을 따라서) 또는 디스플레이(14) 내의 어딘가에(예컨대, 미부(24T) 상의 회로(20)의 부분으로서, 디스플레이(14)의 하부 에지를 따라서, 등등으로) 위치될 수 있다. 도 3의 구성은 단지 예시일 뿐이다.

[0022] 디스플레이 드라이버 회로(20)는 복수의 대응하는 데이터 라인들(D) 상에 데이터 신호들을 공급할 수 있다. 도 3의 예시적인 배열물에서, 데이터 라인들(D)은 디스플레이(14)를 통해 수직으로 이어진다. 데이터 라인들(D)은 픽셀들(22)의 각자의 컬럼들과 연관된다.

[0023] 도 3의 예시적인 구성에서, 게이트 라인들(G)(때때로, 스캔 라인들, 방출 라인들 등으로 지칭됨)은 디스플레이(14)를 통해 수평으로 이어진다. 각각의 게이트 라인(G)은 디스플레이 픽셀들(22)의 각자의 로우와 연관된다. 원한다면, 픽셀들(22)의 각각의 로우와 연관된 게이트 라인들(G)과 같은 다수의 수평 제어 라인들이 있을 수 있다. 게이트 드라이버 회로(18)는 디스플레이(14)의 게이트 라인들(G) 상에 게이트 라인 신호들을 어췌트할 수 있다. 예를 들어, 게이트 드라이버 회로(18)는 디스플레이 드라이버 회로(20)로부터 클럭 신호들 및 다른 제어 신호들을 수신할 수 있고, 수신된 신호들에 응답하여, 디스플레이 픽셀들(22)의 제1 로우에서 게이트 라인 신호(G)를 시작으로, 순차적으로 게이트 라인들(G) 상에 게이트 신호를 어췌트할 수 있다. 각각의 게이트 라인이 어췌트됨에 따라, 데이터 라인들(D)로부터의 데이터는 디스플레이 픽셀들의 대응하는 로우에 로딩된다. 이러한 방식으로, 디스플레이 드라이버 회로(20)와 같은 디바이스(10) 내의 제어 회로는 디스플레이(14) 상에 원하는 이미지를 디스플레이하기 위한 광을 생성할 것을 픽셀들(22)에게 지시하는 신호들을 픽셀들(22)에게 제공할 수 있다.

[0024] 픽셀들(22)의 회로, 및 원한다면 회로(18 및/또는 20)와 같은 디스플레이 드라이버 회로는 박막 트랜지스터 회로를 사용하여 형성될 수 있다. 디스플레이(14) 내의 박막 트랜지스터들은, 일반적으로, 임의의 적합한 타입의 박막 트랜지스터 기술을 이용하여 형성될 수 있다(예컨대, 폴리실리콘 박막 트랜지스터와 같은 실리콘 트랜지스터, 인듐 갈륨 아연 산화물 트랜지스터와 같은 반도체성 산화물 트랜지스터 등).

[0025] 전도성 경로들(예컨대, 하나 이상의 신호 라인들, 블랭킷 전도성 필름들, 및 다른 패턴화된 전도성 구조물들)이 데이터 신호들(D) 및 전력 신호들, 예컨대 포지티브 파워 서플라이 신호(ELVDD) 및 접지 파워 서플라이 신호(ELVSS)를 픽셀들(22)로 라우팅하도록 디스플레이(14)에 제공될 수 있다. 도 3에 도시된 바와 같이, 이들 신호들은 디스플레이(14)의 미부 부분(24T)으로부터 신호들(D, ELVDD, ELVSS)을 수신하는 신호 라우팅 경로들을 이용하여 활성 영역(AA)에서 픽셀들(22)에 제공될 수 있다.

[0026] 픽셀들(22)을 형성하는 데 사용될 수 있는 예시적인 구성을 보여주는, 디스플레이(14)의 활성 영역(AA)의 일부분의 측면도가 도 4에 도시되어 있다. 도 4에 도시된 바와 같이, 디스플레이(14)는 기판(24)과 같은 기판을 가질 수 있다. 박막 트랜지스터, 커패시터, 및 다른 박막 트랜지스터 회로(50)(예컨대, 도 2의 예시적인 픽셀 회로와 같은 픽셀 회로)가 기판(24) 상에 형성될 수 있다. 픽셀(22)은 유기 발광 다이오드(38)를 포함할 수 있다. 다이오드(38)의 애노드(AN)가 금속 층(58)(때때로, 애노드 금속 층으로 지칭됨)으로부터 형성될 수 있다. 각각의 다이오드(38)는 캐소드 층(60)과 같은 전도성 캐소드 구조물들로부터의 캐소드(CD)를 가질 수 있다. 층(60)은, 예를 들어 10 내지 18 nm, 8 nm 초과, 25 nm 미만 등의 두께를 갖는 마그네슘 은의 층과 같은 얇은 금속 층일 수 있다. 층(60)은 디스플레이(14)의 활성 영역(AA)에서 픽셀들(22) 모두를 커버할 수 있고, (예컨대, 층(60)이 접지 파워 서플라이 전압(ELVSS)을 층(60)에 공급하는 접지 파워 서플라이 경로들에 커플링되도록) 디스플레이(14)의 비활성 영역(IA)으로 연장되는 부분들을 가질 수 있다.

[0027] 각각의 다이오드(38)는 방출 층(56)과 같은 유기 발광 방출 층(때때로, 방출 재료 또는 방출 층 구조물로 지칭됨)을 갖는다. 방출 층(56)은 다이오드(38)를 통해 인가된 전류에 응답하여 광(40)을 방출하는 유기 전자 발광 층이다. 컬러 디스플레이에서, 디스플레이에서의 픽셀들의 어레이 내의 방출 층들(56)은 적색 픽셀들에서 적색 광을 방출하기 위한 적색 방출 층들, 녹색 픽셀들에서 녹색 광을 방출하기 위한 녹색 방출 층들, 및 청색 픽셀

들에서 청색 광을 방출하기 위한 청색 방출 층들을 포함한다. 각각의 다이오드(38) 내의 유기 방출 층 외에도, 각각의 다이오드(38)는 다이오드 성능을 향상시키기 위한 추가 층들, 예컨대 전자 주입 층, 전자 수송 층, 홀 수송 층, 및 홀 주입 층을 포함할 수 있다. 이들과 같은 층들은 유기 재료들(예컨대, 층(56)에서의 전자 발광 재료의 상부 및 하부 표면들 상의 재료들)로부터 형성될 수 있다.

[0028] 층(52)(때때로, 픽셀 정의 층으로 지칭됨)은 층(56)의 발광 재료의 각자의 부분들을 포함하는 개구들의 어레이를 갖는다. 애노드(AN)가 이들 개구들 각각의 저부에 형성되고, 방출 층(56)에 의해 중첩된다. 따라서, 픽셀 정의 층(52)에서의 다이오드 개구의 형상은 다이오드(38)에 대한 발광 영역의 형상을 한정한다.

[0029] 픽셀 정의 층(52)은 포토리소그래피로 패턴화되는 광이미징가능(photoimageable) 재료(예컨대, 광이미징가능 폴리이미드, 광이미징가능 폴리아크릴레이트 등과 같은 포토리소그래피로 정의되는 개구들을 형성하도록 프로세싱될 수 있는 유전체 재료)로부터 형성될 수 있거나, 새도우 마스크를 통해 침착되는 재료로부터 형성될 수 있거나, 또는 기판(24) 상에 달리 패턴화되는 재료로부터 형성될 수 있다. 픽셀 정의 층에서의 다이오드 개구들의 벽들은, 원한다면, 도 4의 경사진 측벽들(64)에 의해 보여지는 바와 같이, 경사질 수 있다.

[0030] 박막 회로(50)는 예시적인 트랜지스터(32)와 같은 트랜지스터를 포함할 수 있다. 도 4의 예시적인 박막 트랜지스터(32)와 같은 박막 트랜지스터 회로는 층(70)과 같은 반도체의 패턴화된 층으로부터 형성된 활성 영역들(채널 영역들)을 가질 수 있다. 층(70)은 폴리실리콘의 층 또는 반도체성 산화물 재료(예컨대, 인듐 갈륨 아연 산화물)의 층과 같은 반도체 층으로부터 형성될 수 있다. 소스-드레인 단자들(72)은 반도체 층(70)의 대향하는 단부들과 접촉할 수 있다. 게이트(76)는 게이트 금속의 패턴화된 층 또는 다른 전도성 층으로부터 형성될 수 있고, 반도체(70)와 중첩될 수 있다. 게이트 절연체(78)는 게이트(76)와 반도체 층(70) 사이에 개재될 수 있다. 유전체 층(84)과 같은 버퍼 층이 차폐부(74) 아래의 기판(24) 상에 형성될 수 있다. 유전체 층(82)과 같은 유전체 층이 차폐부(74)를 커버할 수 있다. 유전체 층(80)은 게이트(76)와 소스-드레인 단자들(72) 사이에 형성될 수 있다. 층들(84, 82, 78, 80)과 같은 층들이 실리콘 산화물, 실리콘 질화물, 다른 무기 유전체 재료들, 또는 다른 유전체들과 같은 유전체들로부터 형성될 수 있다. 유기 평면화 층들(PLN1, PLN2)과 같은 유전체의 추가 층들이 트랜지스터(32)의 구조물들과 같은 박막 트랜지스터 구조물들에 포함될 수 있고, 디스플레이(14)의 평면화를 도울 수 있다.

[0031] 디스플레이(14)는 픽셀들(22)을 통해 신호들을 라우팅하기 위해 금속 층들과 같은 디스플레이(14)의 유전체 층들 내에 임베드되는 전도성 재료의 다수의 층들을 가질 수 있다. 차폐부 층(74)은 (일례로서) 제1 금속 층으로부터 형성될 수 있다. 게이트 층(76)이 제2 금속 층으로부터 형성될 수 있다. 단자들(72)과 같은 소스-드레인 단자들, 및 신호 라인들(86)과 같은 다른 구조물들은 금속 층(89)과 같은 제3 금속 층의 부분들로부터 형성될 수 있다. 금속 층(89)은 유전체 층(80) 상에 형성될 수 있고, 평면화 유전체 층(PLN1)으로 커버될 수 있다. 금속 층(91)과 같은 금속의 제4 층이 다이오드 비아 부분(88) 및 신호 라인들(90)을 형성하는 데 사용될 수 있다. 활성 영역(AA)에서, 애노드 금속 층(58)과 같은 금속의 제5 층이 다이오드들(38)의 애노드들(AN)을 형성할 수 있다. 각각의 픽셀 내의 제5 금속 층은, 비아 부분(88)에 커플링되어, 이에 의해 트랜지스터(32)의 소스-드레인 단자들 중 하나를 다이오드(38)의 애노드(AN)에 커플링시키는 부분, 예컨대 비아 부분(58P)을 가질 수 있다. 캐소드 금속 층(60)과 같은 금속의 제6 층(예컨대, 블랭킷 필름)이 발광 다이오드(38)에 대한 캐소드(CD)를 형성하는 데 사용될 수 있다. 애노드 층(58)은 금속 층(91)과 캐소드 층(60) 사이에 개재될 수 있다. 층(58, 91, 89, 76, 74)과 같은 층들이 기판(24) 상에 지지되는 디스플레이(14)의 유전체 층들 내에 임베드될 수 있다. 원한다면, 더 적은 금속 층들이 디스플레이(14)에 제공될 수 있거나, 또는 디스플레이(14)가 더 많은 금속 층들을 가질 수 있다. 도 4의 구성은 단지 예시일 뿐이다.

[0032] 전력 신호들을 픽셀들(22)에 분배하는 경우에 옴 손실(ohmic loss)(때때로, IR 손실로 지칭됨)을 최소화하여, 디스플레이(14)가 효율적으로 동작하고 디스플레이(14)에 걸쳐서 균일한 휘도로 이미지들을 생성함을 보장하는 것이 바람직하다. 옴 손실은 디스플레이(14)를 통해 저저항 신호 경로들을 통합함으로써 최소화될 수 있다.

[0033] 캐소드 층(60)과 같은 디스플레이(14)의 층들 중 일부는 얇을 수 있다. 캐소드 층(60)은 마그네슘 은과 같은 금속으로부터 형성될 수 있다. 캐소드(CD)가 투명한 정도로 충분히 얇음을 보장하기 위해, 층(60)의 두께는 약 10 내지 18 nm(또는 다른 적합한 두께)일 수 있다. 이러한 타입의 구성에서, 층(60)의 시트 저항은 비교적 클 수 있다(예컨대, 약 10 ohm/square). 캐소드의 시트 저항을 감소시키도록, 그리고 이에 의해, 접지 파워 서플라이 전압(ELVSS)이 최소 IR 손실로 픽셀들(22) 내의 다이오드들(38)의 캐소드 단자들에 분배되도록 하기 위해, 디스플레이(14)에는 보완 전도성 경로들이 제공될 수 있다. 그러한 경로들은, 또한, 도 4의 디스플레이(14)(또는 다른 타입들의 박막 스택업(stackup)들을 갖는 디스플레이들)이, 신호 분배를 제한하는 기하구조들을 갖는

디스플레이 기하구조들(예컨대, 라운드형 코너들 등을 갖는 디스플레이들)을 수용하는 것을 도울 수 있다.

[0034] 하나의 예시적인 구성에서, 금속 층(91)의 부분들은, 보완 ELVSS 경로(즉, 캐소드 층(60)에 의해 형성되는 ELVSS 경로와 평행으로 동작할 수 있는 신호 경로)로서의 역할을 하고, 이에 의해, 디스플레이(14)를 동작시키는 경우의 전압 강하 및 IR 손실의 최소화를 돕는 신호 경로들(90)과 같은 신호 경로들을 형성하는 데 사용될 수 있다. 금속 층(91)은 디스플레이(14)의 에지들 중 하나 이상을 따라서(예컨대, 좌측, 우측, 및 저부 에지들을 따라서, 2개 이상의 에지들을 따라서, 3개 이상의 에지들을 따라서, 등등으로) 캐소드 층(60)에 단락될 수 있고, 미부(24T) 상의 신호(ELVSS)의 소스와 캐소드 층(60)의 각자의 에지들 사이에 저저항 경로를 제공할 수 있다(즉, 층(60) 자체의 얇은 금속을 통해서 층(60)의 에지에 신호를 분배하는 경우보다 층(91)에서의 신호 라인들을 통해서 층(60)의 에지에 신호를 분배하는 경우에 더 적은 저항을 겪을 수 있다). 전력이 층(60)에 공급될 때의 IR 손실을 감소시키는 것은 활성 영역(AA) 내에서 다이오드들(38)을 구동할 때의 전력 손실의 감소를 돕는다. 디스플레이(14)에서 ELVSS를 분배하기 위한 접지 파워 서플라이 경로의 일부를 형성하기 위한 층(91)의 일부분의 사용은, 또한, 비활성 영역(IA)의 폭을 감소시키는 것을 가능하게 할 수 있다.

[0035] 도 5는 보완 ELVSS 전력 분배 경로(경로(90))가 활성 영역(AA)에서 애노드들(AN)을 형성하는 데 사용되는 동일한 금속 층(금속 층(58))의 일부분을 통해 캐소드 층(60)에 어떻게 단락될 수 있는지를 보여주는 디스플레이(14)의 비활성 영역(IA)의 일부분의 측단면도이다. 도 5에 도시된 바와 같이, 캐소드 층(60)은 픽셀 정의 층(52) 내의 개구를 통해 애노드 금속 층(58)에 커플링될 수 있다. 애노드 금속 층(58)은, 이어서, 평면화 층(PLN2) 내의 개구를 통해 보완 경로(90)를 형성하는 금속 층(91)의 일부분에 단락될 수 있다. 신호 라인들(86)과 같은 비활성 영역(IA) 내의 주변 신호 라인들(예컨대, 게이트 라인 신호들과 연관된 신호 라인들, 게이트 드라이버 회로(18)에 대한 신호들, 및/또는 디스플레이(14)를 위한 다른 신호들)은 경로(90) 아래의 금속 층(89)의 부분으로부터 형성될 수 있다. 유전체 층(92)은, 원한다면, 라인들(86)의 부분들을 커버할 수 있다. 라인들(86)은 유전체 층(80) 또는 다른 유전체 상에 형성될 수 있고, 이는, 이어서, 박막 회로 및 기판 구조물들(94) 상에 형성될 수 있다(도 4의 회로(50)의 유전체 및 금속 층들 및 기판(24) 참조). 도 5의 배열물에서, ELVSS 경로(90)는 라인들(86)과 같은 다른 신호 라인들의 상부 상에 적층될 수 있는데, 이는 비활성 영역(IA)의 폭이 최소화되게 한다.

[0036] 도 6은 ELVSS 경로(90)가 애노드들(AN)을 수용하도록 개구들을 갖는 메시 형상을 어떻게 가질 수 있는지를 보여주는 디스플레이(14)의 상면도이다. ELVSS 경로(90)는 도 5에 도시된 타입의 단락 경로들을 사용하여 디스플레이(14)의 에지들(96)을 따라서 캐소드(60)에 단락될 수 있고, 원한다면, 활성 영역(AA) 내의 비아들을 사용하여 캐소드(60)에 단락될 수 있다. 도 6의 메시 형상의 경로(금속 파워 서플라이 메시 경로)(90)와 같은 보완 접지 파워 서플라이 경로들이 디스플레이(14)에 포함되는 경우, 접지 파워 서플라이 신호(ELVSS)에 대한 접지 경로의 시트 저항이 (예컨대, 0.1 ohm/square 미만 또는 다른 적합한 값으로) 감소될 수 있다. 원한다면, 신호(ELVSS)에 대한 보완 접지 경로들(90)은 비-메시 형상들을 가질 수 있다(예컨대, 경로들(90)은 수직방향 라인들, 수평방향 라인들, L자 형상의 세그먼트들, 수평방향과 수직방향의 라인들의 조합들, 성긴 메시들, 조밀한 메시들, 메시 구조물들과 비-메시 구조물들의 조합들, 또는 다른 적합한 형상들을 포함할 수 있다). 도 6의 경로(90)에 대한 메시 형상은 단지 예시일 뿐이다.

[0037] 도 7에 도시된 바와 같이, 디스플레이(14)는 신호 경로들이 이용가능한 공간의 양을 제한하는 라운드형 코너들과 같은 특징부들을 가질 수 있다. 이러한 타입의 상황에서, 경로(90)에 대한 금속의 스트립들이 에지들(96)을 따라서 연장될 수 있고, 캐소드 층(60)에 단락될 수 있다. 코너들(98)에서는, 금속 층(91)의 주변 스트립들을 형성하는 데 충분한 공간이 없을 수도 있다. 그럼에도 불구하고, 금속 층(91)의 메시 형상의 부분들(즉, 경로(90)의 메시 형상의 부분들)의 존재로 인해, ELVSS에 대한 저저항 경로(예컨대, 디스플레이(14)의 하부 에지들(96) 상의 경로(90)와 연관된 금속의 스트립을 디스플레이(14)의 좌측 및 우측 에지들 상의 경로(90)와 연관된 금속의 스트립들에 단락시키는 경로 등등)가 있을 것이다. 원한다면, 디스플레이(14)에서의 ELVDD 경로들에는 메시 형상의 금속 트레이스들이 제공될 수 있다(예컨대, 게이트 금속 층(76), 소스-드레인 층(86), 소스-드레인 층(90), 애노드 금속 층(58), 및/또는 캐소드 금속 층(60)을 형성하는 데 사용되는 금속 트레이스들의 부분들이 도 6의 ELVSS 트레이스들에 의해 보여지는 타입의 형상을 갖는 경로와 같은, ELVDD에 대한 저저항 메시 형상의 포지티브 파워 서플라이 분배 경로를 형성하는 데 사용될 수 있다). 예를 들어, 경로(90)(금속 파워 서플라이 메시 경로)의 메시 형상의 부분들과 같은 메시가 ELVDD 경로로서 사용될 수 있다.

[0038] 도 8, 도 9, 및 도 10은 디스플레이(14)의 미부 부분(24T)으로부터 하부 에지(96)까지의 ELVSS 및 ELVDD 분배 라인들을 형성하기 위한 예시적인 패턴들을 보여준다. 전력 라인들 ELVDD 및 ELVSS가 미부(24T)의 중심을 따라서 라우팅되는 이들과 같은 배열물들에서, 전력 라우팅은 코너들(98)과 같은 디스플레이(14)의 치수 제한 부분

들로부터 떨어져서 수행될 수 있다.

- [0039] 도 11, 도 12, 도 13, 도 14, 도 15, 도 16, 및 도 17은 디스플레이(14)의 코너들(98)에서 포지티브 파워 서플라이 전압(ELVDD) 및 접지 파워 서플라이 전압(ELVSS)을 분배하기 위한 예시적인 배열물들을 보여준다. 도 11에 도시된 바와 같이, 디스플레이(14)의 하부 에지(96)에는 수평방향 ELVSS 분배 경로(100H)(예컨대, 디스플레이(14)의 하부 에지를 따라서 이어지는 금속의 스트립)가 제공될 수 있고, 디스플레이(14)의 수직방향 에지들(96)에는 경로(100V)와 같은 수직방향 ELVSS 분배 경로들(예컨대, 디스플레이(14)의 좌측 및 우측 에지들을 따라서 이어지는 금속의 스트립들)이 제공될 수 있다.
- [0040] 경로들(100H, 100V)은 금속 층(89)으로부터 형성될 수 있다. 디스플레이(14)의 코너들(98)에는 경로(100H)와 경로(100V) 사이에 겹이 있을 수 있다(예컨대, 디스플레이(14) 및 기판(24)은 코너들(98)에서 파워 서플라이 분배에 이용가능한 공간을 제한하는 라운드형 코너들을 가질 수 있다). 코너들(98)에 있는 금속 층(91)의 부분들로부터 형성된 L자 형상의 경로들 및 다른 전도성 경로들을 사용하여, 경로(100H)는 각각의 경로(100V)에 단락될 수 있다. 예를 들어, 금속 층(91)은 경로(100H)에 단락되는 부분(90-1)과 같은 일부분, 경로(100V)에서 금속 층(91)을 금속 층(89)에 단락시키는 접촉부들(90-3), 및 부분(90-1)을 각각의 접촉부들(90-3)에 단락시키는 L자 형상의 세그먼트들(90-2)을 가질 수 있다. 포지티브 파워 서플라이(ELVDD) 경로(102H)(예컨대, 디스플레이(14)의 에지들을 따라서 ELVSS 경로들을 형성하는 금속의 스트립들 중 하나에 평행하게 이어지는 금속의 스트립으로부터 형성된 포지티브 파워 서플라이 스트립 형상의 경로)는 (층(89)에 형성된) 수직방향 라인들(104-1)과 같은 일부 수직방향 ELVDD 분배 경로들에 직접적으로 단락될 수 있다. 수직방향 라인들(104-2)과 같은 다른 수직방향 ELVDD 분배 경로들은 코너들(98)에서의 디스플레이(14)의 라운드형 형상으로 인해 코너들(98)에서 경로(102H)로부터 분리되지만, 경로(102H) 상의 접촉부들(예컨대, 접촉부(90-4) 참조)과 L자 형상의 경로들(90-5)의 금속 층(91)을 수직방향 라인들(104)의 금속 층(89)에 단락시키는 접촉부들(90-6) 사이에 커플링되는 경로(90-5)와 같은 L자 형상의 경로 부분들을 사용하여 경로(102H)에 재접속될 수 있다. (예컨대, 메시 형상의 ELVDD 경로가 디스플레이(14)에서 사용되는 구성들, 경로들(100H, 100V)과 같은 금속 스트립들이 ELVDD 경로의 일부로서 사용되는 구성들, 및/또는 다른 구성들에서) L자 형상의 경로들은 ELVSS를 분배하는 데 사용될 수 있고, L자 형상의 경로들은 ELVDD를 분배하는 데 사용될 수 있다.
- [0041] 도 12 및 도 13은 각각 라인들(A'-A, B'-B)을 따라서 취해진 도 11의 디스플레이(14)의 측단면도들이다. 도 12 및 도 13에 도시된 바와 같이, 평면화 금속 재료(예컨대, 평면화 층(PLN1))는 층(89) 내의 금속 라인들로부터 세그먼트들(90-2, 90-5)의 금속 층(91)을 분리시킬 수 있다.
- [0042] 도 14의 예시적인 배열물에서, 경로(100H) 및 경로(102H)는 금속의 2개의 층들(89, 91)로부터 형성되었다. 도 15, 도 16, 및 도 17의 측단면도들(각각 도 14의 A-A', B-B', 및 C-C'을 따라서 취해진 단면들에 대응함)은 평면화 층(PLN1)이 하부 금속 라인들로부터 세그먼트들(90-2, 90-5) 내의 상부 금속 층(91)을 분리시키는 데 어떻게 사용될 수 있는지를 보여준다. 원한다면, 세그먼트들(90-2) 및/또는 세그먼트들(90-5)로부터 형성된 경로들은 도 18에 도시된 바와 같이 메시 형상의 경로들을 사용하여 구현될 수 있다.
- [0043] 코너들(98) 근처의 데이터 라인 분배 경로들은 코너들(98)의 형상으로 인해 공간에 대해 제약될 수 있다. 데이터 라인들(D)은, 도 19의 데이터 라인들(D)의 계단 형상의 데이터 라인 부분들(D')에 의해 도시된 바와 같이, 코너들(98)에서 데이터 라인들(D)에 대한 사다리 형상(계단 형상)을 사용함으로써 코너들(98)에서 수용될 수 있다. 기판(24)의 주 부분과 기판(24)의 미부 부분(24T) 사이에서의 전이 시, 데이터 라인 부분들(D'')이 사선방향으로 연장될 수 있다.
- [0044] 도 20은 다수의 컬러들의 픽셀들(22)(예컨대, 적색 픽셀(22R), 녹색 픽셀(22G), 및 청색 픽셀(22B) 참조)을 갖는 디스플레이(14)의 일부분의 측단면도이다. 디스플레이(14)의 이러한 예시적인 구성에서, 각각의 픽셀은 층(58)으로부터 형성된 애노드(AN), 블랙 매트릭스 필름으로부터 형성된 홀 주입 층(HIL), 제1 홀 수송 층(HTL1)(부분 공통 층), 제2 홀 수송 층(HTL2)(모든 픽셀들에 공통인 블랙 매트릭스 필름), 방출 재료(EML), 공통 전자 수송 층(ETL), 블랙 매트릭스 캐소드 층(60)을 포함하는 캐소드(CD), 및 캡핑 층(CPL)(예컨대, 약 70 nm의 두께 또는 다른 적합한 두께의 동조 층)을 갖는다.
- [0045] 도 21은 디스플레이(14)가 도 20의 픽셀들(22R, 22G, 22B)과 같은 픽셀들을 갖는 예시적인 구성에서의 디스플레이(14)의 활성 영역의 상면도이다. 도 21에 도시된 바와 같이, 블랙 매트릭스 캐소드 금속 층(60)은 디스플레이(14)의 활성 영역 내의 모든 픽셀들과 중첩할 수 있다. 층(60)은 마그네슘 또는 다른 적합한 금속과 같은 금속으로부터 형성될 수 있고, 픽셀들 내의 다이오드들(38)에 의해 방출되는 광(40)에 대해 투명한 정도로 충분히 얇을 수 있다(예컨대, 10 내지 18 nm, 8 nm 초과, 25 nm 미만 등). 층(60)은 접지 파워 서플라이 전압(ELVSS)을 다

이오드들(38)의 캐소드들(CD)에 분배하는 데 사용될 수 있다. 층(60)의 상대적으로 작은 두께로 인해, 층(60)은 상대적으로 높은 시트 저항(예컨대, 약 10 ohm/square)을 가질 수 있다. 도 21의 배열물 내의 캐소드 층의 시트 저항을 감소시키기 위해, 금속 라인들(128)(예컨대, 수직방향 및/또는 수평방향 라인들)과 같은 보완 캐소드 경로들이 캐소드 내에 통합될 수 있다. 라인들(128)은 임의의 적합한 금속 침착 기법을 이용하여 침착될 수 있다. 예를 들어, 라인들(128)은, 라인들(128)을 위한 금속이 타겟으로부터 용제(ablate)되고 진공 챔버에서 캐소드 층(60)의 노출 표면 상에 재침착되는 레이저 침착 시스템을 사용하여 침착될 수 있다.

[0046] 도 22는 라인(120)을 따라서 취해지고 방향(122)에서 보여지는 디스플레이(14)의 측단면도이다. 도 22에 도시된 바와 같이, 발광 다이오드(38)는 애노드(AN) 및 캐소드(CD)를 가질 수 있다. 캐소드(CD)는 블랭킷 캐소드 금속 층(60)의 일부분으로부터 형성될 수 있다. 보완 라인들(128)(예컨대, 메시 패턴 또는 다른 적합한 패턴을 형성하는 수평방향 및/또는 수직방향 보완 라인들)이 층(60) 상에 형성될 수 있고 층(60)에 단락될 수 있으며, 이에 따라, 접지 파워 서플라이 전압(ELVSS)을 발광 다이오드들(28)에 분배하는 데 사용되고 있는 캐소드 경로의 시트 저항을 감소시킬 수 있다. 하나의 예시적인 배열물에서, 층(60)의 두께(D1)는 약 10 내지 18 nm(예컨대, 8 nm 초과, 25 nm 미만 등)이고, 라인(128)의 두께(D2)는 D1의 10배 초과이다(예컨대, D2는 D1의 5배 이상일 수 있고, D1의 20배 이하일 수 있고, 등등일 수 있다).

[0047] 도 23 및 도 24는 레이저 침착 시스템이 금속 층(60) 상에 금속 라인들(128)을 침착시키는 데 어떻게 사용될 수 있는지를 보여준다. 도 23에 도시된 바와 같이, 타겟(130)과 같은 타겟은 캐소드 금속 층(60)이 디스플레이(14)의 표면 위에 침착된 후에 디스플레이(14)의 표면에 인접하게 놓일 수 있다. 타겟(130)은 투명 기관(134)과 같은 투명 기관(예컨대, 유리), 층(136)과 같은 열 흡수 재료의 층, 및 층(138)과 같은 고전도성 재료의 층을 포함할 수 있다. 열 흡수 층(136)은 레이저 빔(140)이 레이저(132)에 의해 방출되는 경우에 레이저 빔(140)을 흡수하는 저반사성 금속들(예컨대, 몰리브덴, 텅스텐 등) 또는 다른 적합한 재료들로부터 형성될 수 있다. 레이저 빔(140)은 자외선, 가시광, 및/또는 적외선을 포함할 수 있고, 1 내지 1.2 마이크로미터, 1 마이크로미터 초과, 5 마이크로미터 미만, 또는 다른 적합한 크기의 직경을 가질 수 있다. 빔(140)은 열 흡수 층(136)의 조명된 부분의 가열을 가능하게 하는 펄스형 레이저 빔(예컨대, 1 fs 내지 100 ps 또는 100 ps 초과 펄스 폭을 갖는 빔)일 수 있다. 층(138)은 알루미늄, 아연, 마그네슘, 은 등과 같은 고전도성 금속으로부터 형성될 수 있다. 금속의 2개 초과 층들이 또는 오로지 금속의 단일 층만이 기관(134) 상에 형성되는 구성들이 또한 사용될 수 있다.

[0048] 도 24에 도시된 바와 같이, 레이저(132)가 레이저 광(140)을 타겟(130)에 적용하는 경우, 층들(138, 136)의 부분들(138', 136')은 가열되고, 부분들(138', 136')은 타겟(130)으로부터 용제되거나 다른 방식으로 제거되고, 디스플레이(14) 내의 층(60)의 인접 부분들 상에 재침착된다. 부분들(138', 136')의 침착된 금속은 전도성 라인(128)을 형성하여, 접지 전압(ELVSS)을 다이오드들(38)에 분배하는 데 사용되는 전도성 구조물(즉, 캐소드 층)의 시트 저항의 감소를 돕는다.

[0049] 도 25, 도 26, 도 27, 및 도 28은 보완 캐소드 라인들(128)(예컨대, 레이저 침착 금속 라인들)에 사용될 수 있는 예시적인 패턴들을 보여주는 디스플레이(14)의 상면도들이다. 라인들(128)은 균일한 수직방향 또는 수평방향 레이아웃을 가질 수 있거나(예컨대, 도 25의 예시적인 수직방향 라인들(128) 참조), 불균일한 수직방향 또는 수평방향 레이아웃을 가질 수 있거나(예컨대, 도 25의 예시적인 수직방향 라인들(128) 참조), 또는 균일한 메시 형상(도 27) 또는 불균일한 메시 형상(도 28)을 가질 수 있다. 다른 패턴들 또는 이들 패턴들의 조합들은, 원한다면, 라인들(128)을 형성하는 데 사용될 수 있고, 금속 층(91)으로부터 형성된 캐소드 구조물들(예컨대, 도 6의 경로들(90))과 조합하여 사용될 수 있다. 도 25, 도 26, 도 27 및 도 28의 구성은 단지 예시일 뿐이다.

[0050] 도 29는 게이트 드라이버 회로(18)가 디스플레이(14)의 수평방향 게이트 라인들(G) 상으로 수평방향 제어 신호들(게이트 신호들)을 구동하기 위한 회로의 영역들을 어떻게 가질 수 있는지 보여주는 다이어그램이다. 도 29에 도시된 바와 같이, 예를 들어, 게이트 드라이버 회로(18)는 경로들(158)을 사용하여 상호접속되는 게이트 드라이버 로우 블록들(150)과 같은 게이트 드라이버 회로의 블록들을 가질 수 있다. 각각의 게이트 드라이버 로우 블록(150)은 출력 버퍼들 및 다른 출력 드라이버 회로(152)와 같은 회로, 레지스터 회로들(154)(예컨대, 시프트 레지스터를 형성하기 위해 경로들(158)에 의해 함께 체인화될 수 있는 레지스터들), 및 경로들(156)(예컨대, 신호 라인들, 전력 라인들, 및 다른 상호접속부들)을 포함할 수 있다. 각각의 게이트 드라이버 로우 블록(150)은 하나 이상의 게이트 신호들을, 디스플레이(14)의 활성 영역 내의 픽셀들의 어레이 중의 픽셀들의 대응하는 로우 내의 하나 이상의 각자의 게이트 라인들로 공급할 수 있다.

[0051] 도 30은 게이트 드라이버 로우 블록들(150)이 (예컨대, 블록들(150)에게 게이트 라인들(G)이 이어지는 수평축에

평행한 치수를 따라서 변화하는 수평방향 오프셋들(DX)을 제공함으로써) 횡방향으로 오프셋될 수 있고/있거나 (예컨대, 블록들(150)을 회전시켜서 그들이 변화하는 각도 오프셋들(DA)을 갖는 각도 배향들을 갖도록 함으로써) 상이한 각도 배향들로 회전되어 디스플레이 기관(24)의 만곡형 에지(98)를 수용할 수 있는 방법을 보여준다. 횡방향으로 변화하는 게이트 드라이버 로우 블록 위치들 및/또는 각을 이루어 변화하는 게이트 드라이버 로우 블록 배향들을 갖는 게이트 드라이버 회로는, 각각의 블록(150)에 대한 고유한 횡방향 위치 및/또는 각도 배향을 포함할 수 있거나, 또는 2개 이상의 상이한 횡방향 위치들 및/또는 각도 배향들의 세트를 이용하여, 만곡형 디스플레이 기관 에지들을 수용하도록 하는 게이트 드라이버 회로(18)의 능력을 향상시킬 수 있다. 제어 신호들(예컨대, 클록 신호들 및 다른 타이밍 신호들)은 기관(24)의 미부 부분(24T)을 따라서 연장되는 라인들(18L)과 같은 게이트 드라이버 회로 제어 라인들을 사용하여 게이트 드라이버 회로에 공급될 수 있다.

[0052] 도 31에 도시된 바와 같이, 데이터 라인들(D)은, 과도한 비활성 경계 영역을 소모하지 않으면서, 디스플레이 기관(24)의 만곡형 코너(98)에 위치되는 수직방향 데이터 라인들(D)에 데이터 신호들을 분배하는 것을 돕는 연장부(170)와 같은 L자 형상의 데이터 라인 연장부들을 가질 수 있다. 연장부들(170)은 디스플레이(14)의 활성 영역에 형성될 수 있다. 도 31에 도시된 바와 같이, 예를 들어, 미부(24L) 상의 데이터 라인들(D)은 세그먼트들(164, 166)과 같은 사선방향 데이터 라인 세그먼트들을 포함할 수 있다. 세그먼트들(164, 166)은 금속의 동일한 층으로부터 형성될 수 있거나, 또는 2개 이상의 상이한 금속 층들로부터 패턴화될 수 있다. 일례로서, 세그먼트들(164, 166)과 같은 교호하는 사선방향 세그먼트들은 각각의 제1 및 제2 게이트 금속 층들로부터 형성되어 패킹 밀도를 향상시킬 수 있다. 데이터 라인 부분들(164, 166)은 비아들(162)을 사용하여 제2 소스-드레인 금속 층(91)과 같은 금속 층에 형성되는 라인들(D)과 같은 수직방향 데이터 라인 부분들에 커플링될 수 있다. 픽셀들(22)은 금속 층(91)(즉, 도 31의 D(금속 층(91)))으로부터 형성된 데이터 라인들을 금속 층(89)으로부터 형성된 픽셀들(22) 내의 내부 경로들(즉, 픽셀들(22) 내의 트랜지스터들에 대한 소스 및 드레인들)에 접속시키는 예시적인 비아(160)와 같은 비아들을 포함할 수 있다. 금속 층(89)으로부터 형성된 전력 라인들은 데이터 라인들(D)(금속 층(91))과 인터리빙될 수 있다. L자 형상의 연장부들(170)은 금속 층(91)으로부터 형성될 수 있고, 디스플레이(14)의 활성 영역의 코너와 중첩되어, 디스플레이(14)의 기관의 에지를 따라서 비활성 영역 내에 침입하지 않을 수 있다.

[0053] 도 32는 게이트 드라이버 로우 블록들(150)과 같은 디스플레이 드라이버 회로가 코너(98)에서 기관(24)의 만곡형 부분과 같은 만곡형 디스플레이 기관 에지들을 수용하도록 상이한 로우들에서 상이한 형상들을 어떻게 가질 수 있는지를 보여주는 다이어그램이다. 도 32에 도시된 바와 같이, 블록들(150)은, 예를 들어, 변화하는 종횡비들을 갖는 분류된 형상들의 직사각형 블록들일 수 있다(즉, 각각의 블록(150)의 수평방향 치수에 의해 나뉜 수직방향 치수는 잠재적으로 상이할 수 있다). 일례로서, 블록들(150)의 일부는 상대적으로 작은 종횡비들을 가질 수 있는 반면(예컨대, 작은 높이(A1) 및 넓은 폭(B1)을 갖는 블록 참조), 다른 블록들(150)은 상대적으로 큰 종횡비들을 가질 수 있다(예컨대, 중간 높이(A2) 및 중간 폭(B2)을 갖는 블록 참조). 블록들(150) 내의 회로(152, 154, 158)는 각각의 블록(150)에 대한 또는 블록들(150)의 각각의 세트에 대한 주문맞춤 풋프린트들(위에서 볼 때의 윤곽선들)을 수용하도록 배열될 수 있다. 일반적으로, 블록들(150)의 임의의 적합한 타입의 주문맞춤(예컨대, 형상 주문맞춤, 횡방향 오프셋 주문맞춤, 각도 배향 주문맞춤, 크기 주문맞춤, 회로 컴포넌트 주문맞춤 등)은 코너들(98)과 같은 만곡형 디스플레이 에지들 주위에 구현될 수 있다. 블록들(150)은 각각이 주문맞춤될 수 있거나, 또는 블록들의 세트들은 만곡형 디스플레이 기관 에지를 수용하도록 주문맞춤될 수 있다.

[0054] 테스트 회로는 디스플레이(14) 상에 구현될 수 있다. 예를 들어, 도 33의 테스트 멀티플렉서 회로(176)와 같은 테스트 멀티플렉서 회로는 디스플레이(14)의 상부 또는 하부 에지를 따라서 제공될 수 있다. 회로(176)는 상대적으로 적은 수의 테스트 신호들을 상대적으로 큰 수의 데이터 라인들로 라우팅하여 제조 동안의 픽셀 테스트를 가능하게 하는 데 사용될 수 있다. 테스트 동안, 스위치들(SW)은 테스트 데이터를 디스플레이(14) 내의 데이터 라인들(D)로 제공하도록 선택적으로 동작될 수 있다. 예를 들어, 회로(176)의 스위치들(SW)은 TESTDATARED와 같은 적색 데이터 라인들(D(R))에 대한 테스트 데이터를 적색 데이터 라인들(D(R))로 라우팅하도록, TESTDATAGREEN과 같은 녹색 데이터 라인들(D(G))에 대한 테스트 데이터를 녹색 데이터 라인들(D(G))로 라우팅하도록, 그리고 TESTDATABLUE와 같은 청색 데이터 라인들(D(B))에 대한 테스트 데이터를 청색 데이터 라인들(D(B))로 라우팅하도록 개폐될 수 있다. 라인들(D(R))은 데이터를 적색 픽셀들로 라우팅하는 데 사용될 수 있고, 라인들(D(G))은 녹색 픽셀들과 연관될 수 있고, 라인들(D(B))은 디스플레이(14)의 청색 픽셀들에 커플링될 수 있다.

[0055] 테스트 데이터는 기관(24) 상의 테스트 패드들에 커플링되는 테스터로부터 그리고/또는 기관(24)에 부착된 회로로부터 디스플레이(14)로 공급될 수 있다. 외부 테스터 방식들은 디스플레이 드라이버 집적 회로를 기관(24)에

부착하기 전에 테스트를 수행하는 것이 바람직한 경우에 이용될 수 있다. 테스트 라인들은 신호들(예컨대, TESTDATA RED, TESTDATA GREEN, TESTDATA BLUE, 및 스위치들(SW) 중의 적색, 녹색, 및 청색 스위치들에 대한 3개의 대응하는 멀티플렉서 제어 신호들)을 회로(176)와 같은 테스트 회로와 테스트 패드들 사이에서 라우팅할 수 있다. 회로(176)는 외부 테스트 회로 또는 다른 제어기에 의해 제어되어, 상이한 컬러들의 데이터 라인들이 원하는 패턴들로 테스트 데이터를 수신할 수 있게 할 수 있다. 이는 디스플레이(14) 내의 상이한 컬러들의 픽셀들(22)이 독립적으로 테스트되게 한다. 테스트가 완료되는 경우, 스위치들(SW)은 영구적으로 개방된 상태로 남겨져서 디스플레이(14) 내의 데이터 라인들(D)이 함께 단락되지 않게 할 수 있고, 데이터 신호들을 픽셀들(22)에 라우팅하는 데 통상적으로 사용될 수 있다.

[0056] 도 34는 테스트 회로를 갖는 예시적인 디스플레이의 다이어그램이다. 도 34에 도시된 바와 같이, 테스트 멀티플렉서 회로(176) 및 테스트 패드들(174)은 디스플레이(14)의 대향 에지들 상에 위치될 수 있다. 예를 들어, 테스트 패드들(174)은 디스플레이(14)의 하부 에지에서 기관(24)의 미부 부분(24L) 상에 위치될 수 있고, 테스트 멀티플렉서 회로(176)는 디스플레이(14)의 상부 에지를 따라서 위치될 수 있다. 테스트 신호 라인들(172)은 디스플레이(14)의 하부 에지 상의 테스트 패드들(174) 사이의 테스트 신호들을 디스플레이(14)의 상부 에지를 따라서 테스트 멀티플렉서 회로(176)로 라우팅하는 데 사용될 수 있다.

[0057] 도 35의 예시적인 구성에 도시된 바와 같이, 테스트 멀티플렉싱 회로(176)는 패드들(174)에 인접한 기관(24)의 미부 부분(24T)의 하부 에지를 따라서 위치될 수 있다. 테스트에 이어서, 테스트 멀티플렉서 회로(176) 및 패드들(174)은 (예컨대, 도 35의 컷라인(180)을 따라서 미부(24T)에 형성된 컷(cut)을 사용하여 회로(176) 및 패드들(174)를 컷오프시킴으로써) 미부(24T)로부터 제거될 수 있다.

[0058] 도 36 및 도 37은 멀티플렉서 테스트 회로(176)가 디스플레이(14)의 만곡형 부분을 따라서 어떻게 수용될 수 있는지를 보여준다. 도 36의 예시적인 배열물에서, 회로(176)는 게이트 드라이버 회로(18)의 블록들(150)과 데이터 라인들(D) 사이의 디스플레이(14)의 활성 영역의 만곡형 에지를 따라서 만곡형 영역과 테이퍼형 영역 내에 형성된다. 도 37은 테스트 멀티플렉서 회로 블록들(176B)과 같은 테스트 멀티플렉서 회로(176)의 영역들이 게이트 드라이버 로우 블록들(150)과 같은 게이트 드라이버 회로(18)의 영역들에 산재(intersperse)되는 예시적인 구성을 보여준다. 블록들(150)의 각자의 쌍들 사이에 블록들(176B)을 배치함으로써, 게이트 드라이버 회로(18) 및 테스트 멀티플렉서 회로(176)가 활성 영역의 에지를 따라서 효율적으로 패키징될 수 있다. 이는 기관(24)의 에지를 따라서, 디스플레이 드라이버 회로(18) 및 테스트 멀티플렉서 회로(176)가 형성되는 비활성 영역의 폭을 최소화하는 것을 돕는다. 테스트 멀티플렉서 회로 블록들(176B)은, 디스플레이(14)의 비활성 영역에서 회로의 레이아웃을 향상시키는 것을 돕기 위해 도 30의 게이트 드라이버 회로(18)와 관련하여 기술된 바와 같이, 변화하는 위치-의존적 형상들(예컨대, 상이한 크기들, 중형비들 등), 각도 배향들, 및/또는 게이트 라인들(G)에 평행한 치수를 따르는 횡방향 위치들을 가질 수 있다. 원한다면, 테스트 멀티플렉서 회로(176)의 영역들이 게이트 드라이버 회로(18)의 영역들 사이에 위치되거나, 또는 만곡형 디스플레이 기관 에지들을 수용하는 것을 돕도록 달리 배열되는 다른 배열물들이 사용될 수 있다. 도 37의 구성은 예시적이다.

[0059] 일 실시예에 따르면, 픽셀들의 어레이를 갖는 활성 영역을 갖는 유기 발광 다이오드 디스플레이가 제공되는데, 이는 기관, 유전체 층들을 포함하는 기관 상의 박막 트랜지스터 회로, 유기 발광 다이오드를 위한 유기 방출 층을 각각이 포함하고 픽셀들 중 각각의 픽셀과 각각이 연관되는 개구들을 갖는 박막 트랜지스터 회로 상의 픽셀 정의 층, 픽셀들의 어레이를 커버하는 캐소드 층, 및 활성 영역 내의 유전체 층들 내에 임베드된 금속 접지 파워 서플라이 경로를 포함하고, 금속 접지 파워 서플라이 경로는 접지 파워 서플라이 전압을 캐소드 층에 전달한다.

[0060] 다른 실시예에 따르면, 금속 접지 파워 서플라이 경로는 금속 층의 제1 부분으로부터 형성되고, 금속 층의 제2 부분은 박막 트랜지스터 회로 내의 트랜지스터들의 소스-드레인 단자들과 접촉하는 비아 구조물들을 형성한다.

[0061] 다른 실시예에 따르면, 금속 접지 파워 서플라이 경로 또는 포지티브 파워 서플라이 경로는 메시 형상을 갖는다.

[0062] 다른 실시예에 따르면, 활성 영역은 라운드형 코너들을 갖고, 금속 접지 파워 서플라이 경로 또는 포지티브 파워 서플라이 경로는 라운드형 코너들을 갖는 메시를 형성한다.

[0063] 다른 실시예에 따르면, 금속 접지 파워 서플라이 경로 또는 포지티브 파워 서플라이 경로는 L자 형상의 부분들을 포함한다.

[0064] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 유전체 층들에 임베드되는 제1 및 제2 패턴화된 금속

층들을 포함하고, 금속 접지 파워 서플라이 경로는 제2 패턴화된 금속 층으로부터 형성되는 금속 세그먼트들을 포함하고, 제1 패턴화된 금속 층은 접지 파워 서플라이 전압을 전달하는 금속의 스트립들을 포함한다.

- [0065] 다른 실시예에 따르면, 디스플레이는 에지들을 갖고, 금속의 스트립들은 에지들 중 적어도 일부를 따라서 이어진다.
- [0066] 다른 실시예에 따르면, 제1 패턴화된 금속 층은 접지 파워 서플라이 전압을 전달하는 금속의 스트립들 중 하나에 평행하게 이어지는 금속의 포지티브 파워 서플라이 스트립을 포함한다.
- [0067] 다른 실시예에 따르면, 금속 세그먼트들은 L자 형상의 부분들을 포함하고, L자 형상의 부분들 중 적어도 일부는 금속의 포지티브 파워 서플라이 스트립 위에서 교차한다.
- [0068] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 금속의 포지티브 파워 서플라이 스트립으로부터 활성 영역을 가로질러서 픽셀들에게 연장되는 포지티브 파워 서플라이 분배 경로들을 포함한다.
- [0069] 다른 실시예에 따르면, 활성 영역은 라운드형 코너들을 갖고, L자 형상의 부분들은 라운드형 코너들에 위치된다.
- [0070] 다른 실시예에 따르면, 박막 트랜지스터 회로 내의 트랜지스터들에 대한 소스-드레인 단자들은 유전체 층들에 임베드된 제1 금속 층으로부터 형성되고, 금속 접지 파워 서플라이 경로는 유전체 층들에 임베드된 제2 금속 층으로부터 형성된다.
- [0071] 다른 실시예에 따르면, 유기 발광 다이오드들에 대한 애노드들은, 유전체 층들에 임베드되고 제2 금속 층과 캐소드 층 사이에 개재된 제3 금속 층으로부터 형성된다.
- [0072] 다른 실시예에 따르면, 제3 금속 층의 일부분은 제2 금속 층으로부터 형성된 금속 접지 파워 서플라이 경로를 캐소드 층에 단락시킨다.
- [0073] 다른 실시예에 따르면, 금속 접지 파워 서플라이 경로는 레이저 침착 금속 라인들을 포함한다.
- [0074] 다른 실시예에 따르면, 유기 발광 다이오드 층은 데이터를 픽셀들에 공급하는 데이터 라인들을 포함하고, 데이터 라인들은 계단 형상의 부분들을 포함한다.
- [0075] 일 실시예에 따르면, 픽셀들의 어레이를 갖는 유기 발광 다이오드 디스플레이가 제공되는데, 유기 발광 다이오드 디스플레이는 기관, 기관 상의 박막 트랜지스터 회로의 층, 유기 발광 다이오드에 대한 유기 방출 층을 각각이 포함하고 픽셀들 중의 각각의 픽셀과 각각이 연관되는 개구들을 갖는, 박막 트랜지스터 회로의 층 상의 픽셀 정의 층, 픽셀들의 어레이를 커버하고, 접지 파워 서플라이 전압을 개구들 각각 내의 유기 발광 다이오드에 분배하는 캐소드 층, 및 캐소드 층에 단락되고 접지 파워 서플라이 전압을 분배하는 것을 돕는 패턴화된 금속 메시를 포함한다.
- [0076] 다른 실시예에 따르면, 패턴화된 금속 메시는 캐소드 층 상에 레이저 침착 금속 라인들을 포함한다.
- [0077] 다른 실시예에 따르면, 캐소드 층은 금속의 제1 층으로부터 형성되고, 패턴화된 금속 메시는 금속의 제2 층으로부터 형성되고, 유기 발광 다이오드들에 대한 애노드들은 금속의 제1 층과 제2 층 사이에 개재되는 금속의 제3 층으로부터 형성된다.
- [0078] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 캐소드 층 상에 레이저 침착 금속 라인들을 포함한다.
- [0079] 다른 실시예에 따르면, 기관은 라운드형 코너들을 갖는다.
- [0080] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 데이터 신호들을 픽셀들로 분배하는 데이터 라인들을 포함하고, 데이터 라인들은 계단 형상들을 갖는 부분들을 포함한다.
- [0081] 일 실시예에 따르면, 픽셀들의 어레이를 갖는 유기 발광 다이오드 디스플레이가 제공되는데, 유기 발광 다이오드 디스플레이는 기관, 기관 상에 유전체 층들을 갖는 박막 트랜지스터 회로의 층, 유기 발광 다이오드에 대한 유기 방출 층을 각각이 포함하고 픽셀들 중의 각각의 픽셀과 각각이 연관되는 개구들을 갖는, 박막 트랜지스터 회로의 층 상의 픽셀 정의 층, 픽셀들의 어레이를 커버하는 캐소드 층 - 캐소드 층은 접지 파워 서플라이 전압을 수신하고 접지 파워 서플라이 전압을 개구들 내의 유기 방출 층들에 분배함 -, 박막 트랜지스터 회로의 층 내의 박막 트랜지스터들에 대한 소스-드레인 단자들을 형성하는, 유전체 층들에 임베드되는 제1 금속 층, 접지 파워 서플라이 전압을 캐소드 층에 전달하도록 패턴화되는, 유전체 층들에 임베드되는 제2 금속 층, 및 유기 발광 다이오드들에 대한 애노드들을 형성하도록 패턴화되는 제1 부분, 및 제2 금속 층을 캐소드 층에 단락시키는

제2 부분을 갖는 제3 금속 층을 포함한다.

- [0082] 다른 실시예에 따르면, 기판은 만곡형 에지들을 갖는다.
- [0083] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 데이터를 픽셀들의 어레이로 전달하는 데이터 라인들, 데이터 라인들에 수직으로 연장되는 게이트 라인들, 및 박막 트랜지스터 회로로부터 형성되는 게이트 드라이버 회로를 포함하고, 게이트 드라이버 회로는 게이트 라인들 중 적어도 각각의 게이트 라인에 각각이 커플링되는 게이트 드라이버 로우 블록들을 갖는다.
- [0084] 다른 실시예에 따르면, 게이트 드라이버 로우 블록들은 상이한 종횡비들의 게이트 드라이버 로우 블록들을 포함한다.
- [0085] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 게이트 드라이버 로우 블록들의 각자의 쌍들 사이에 테스트 멀티플렉서 회로의 블록들을 포함하는 테스트 멀티플렉서 회로를 포함한다.
- [0086] 일 실시예에 따르면, 박막 트랜지스터 회로, 기판 - 기판은 박막 트랜지스터 회로의 일부분으로부터 형성되는 픽셀들의 어레이를 갖는 활성 영역, 및 기판의 에지에 인접한, 픽셀들이 없고 활성 영역의 에지를 따라서 이어지는 비활성 영역을 가짐 -, 데이터를 픽셀들의 어레이에 공급하는 데이터 라인들, 데이터 라인들에 수직으로 이어지고 제어 신호들을 픽셀들의 어레이에 공급하는 게이트 라인들, 및 박막 트랜지스터 회로의 일부분으로부터 형성되고 기판의 에지의 만곡형 부분을 따라서 이어지는, 비활성 영역 내의 게이트 드라이버 회로를 포함하는 유기 발광 다이오드 디스플레이가 제공된다.
- [0087] 다른 실시예에 따르면, 게이트 드라이버 회로는 픽셀들의 어레이 내의 픽셀들의 각자의 로우에서 게이트 라인들 중 적어도 하나에 각각이 커플링되는 복수의 게이트 드라이버 로우 블록들을 갖는다.
- [0088] 다른 실시예에 따르면, 게이트 드라이버 로우 블록들은 픽셀들의 각자의 제1 로우 및 제2 로우에서 상이한 형상들을 갖는 제1 게이트 드라이버 로우 블록 및 제2 게이트 드라이버 로우 블록을 포함한다.
- [0089] 다른 실시예에 따르면, 게이트 드라이버 로우 블록들은 픽셀들의 각자의 제1 로우 및 제2 로우에서 상이한 각도 배향들을 갖는 제1 게이트 드라이버 로우 블록 및 제2 게이트 드라이버 로우 블록을 포함한다.
- [0090] 다른 실시예에 따르면, 게이트 드라이버 로우 블록들은, 픽셀들의 상이한 로우들에서, 게이트 라인들에 평행하게 이어지는 치수를 따라서 상이한 양만큼 오프셋되어, 게이트 드라이버 로우 블록들이 기판의 에지의 만곡형 부분을 수용하게 하는 게이트 드라이버 로우 블록들을 포함한다.
- [0091] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 데이터 라인들에 커플링되는 테스트 멀티플렉서 회로를 포함한다.
- [0092] 다른 실시예에 따르면, 테스트 멀티플렉서 회로는 기판의 에지의 만곡형 부분의 적어도 일부를 따라서 이어진다.
- [0093] 다른 실시예에 따르면, 테스트 멀티플렉서 회로는 게이트 드라이버 로우 블록들 사이에 테스트 회로의 영역들을 포함한다.
- [0094] 다른 실시예에 따르면, 데이터 라인들은 L자 형상의 데이터 라인 부분들을 포함한다.
- [0095] 다른 실시예에 따르면, 데이터 라인들은 게이트 라인들에 수직으로 연장되는 데이터 라인 부분들을 갖고, 데이터 라인들 중 일부는 각각 사선방향 부분, 및 사선방향 부분을 게이트 라인들에 수직으로 연장되는 데이터 라인 부분들 중의 각각의 데이터 라인 부분에 커플링하는 L자 형상의 연장부를 갖는다.
- [0096] 일 실시예에 따르면, 박막 트랜지스터 회로, 기판 - 기판은 박막 트랜지스터 회로의 일부분으로부터 형성되는 픽셀들의 어레이를 갖는 활성 영역, 및 기판의 에지에 인접한, 픽셀들이 없고 활성 영역의 에지를 따라서 이어지는 비활성 영역을 가짐 -, 비활성 영역에서 박막 트랜지스터 회로의 일부분으로부터 형성되는 게이트 드라이버 회로, 제어 신호들을 게이트 드라이버 회로로부터 픽셀들의 어레이로 공급하는 게이트 라인들, 및 데이터를 픽셀들의 어레이로 공급하는 데이터 라인들 - 데이터 라인들은 게이트 라인들에 수직으로 연장되는 데이터 라인 부분들을 갖고, 데이터 라인들 중 일부는 각각 사선방향 부분, 및 사선방향 부분을 게이트 라인들에 수직으로 연장되는 데이터 라인 부분들 중의 각각의 데이터 라인 부분에 커플링하는 L자 형상의 연장부를 가짐 - 을 포함하는 유기 발광 다이오드 디스플레이가 제공된다.
- [0097] 다른 실시예에 따르면, 기판의 에지는 만곡형 부분을 갖고, 유기 발광 다이오드 디스플레이는 활성 영역과 중첩

하는 L자 형상의 세그먼트들을 갖는 파워 서플라이 라인들을 포함한다.

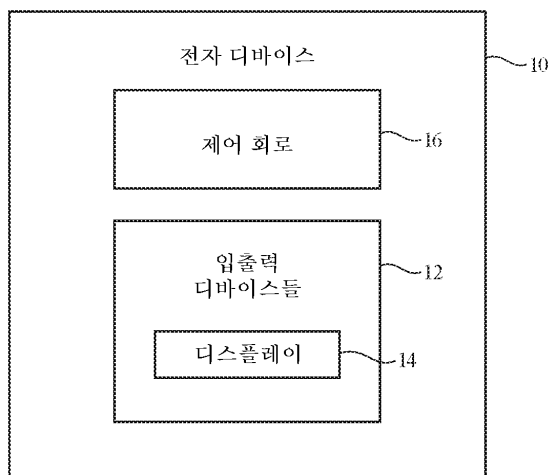
[0098] 다른 실시예에 따르면, 게이트 드라이버 회로는 각각이 제어 신호들 중 적어도 하나를 게이트 라인들 중의 각각의 게이트 라인에 공급하는 복수의 게이트 드라이버 로우 블록들을 포함하고, 게이트 드라이버 로우 블록들은 만곡형 부분을 따라서 상이한 형상들을 갖는 게이트 드라이버 로우 블록들을 포함한다.

[0099] 다른 실시예에 따르면, 게이트 드라이버 회로는 각각이 제어 신호들 중 적어도 하나를 게이트 라인들 중의 각각의 게이트 라인에 공급하는 복수의 게이트 드라이버 로우 블록들을 포함하고, 게이트 드라이버 로우 블록들은 만곡형 부분을 따라서 상이한 각도 배향들을 갖는 게이트 드라이버 로우 블록들을 포함한다.

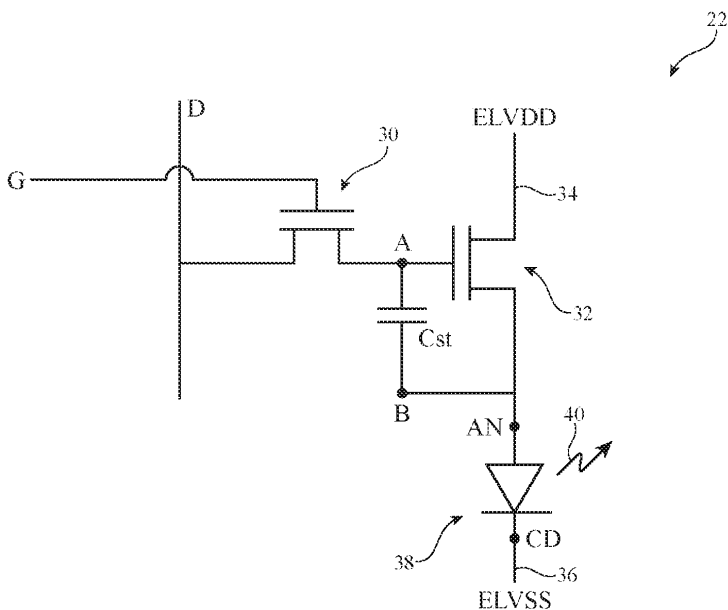
[0100] 상기 내용은 단지 예시일 뿐이며, 기술된 실시예들에 대해 다양한 수정들이 이루어질 수 있다. 전술한 실시예들은 개별적으로 또는 임의의 조합으로 구현될 수 있다.

도면

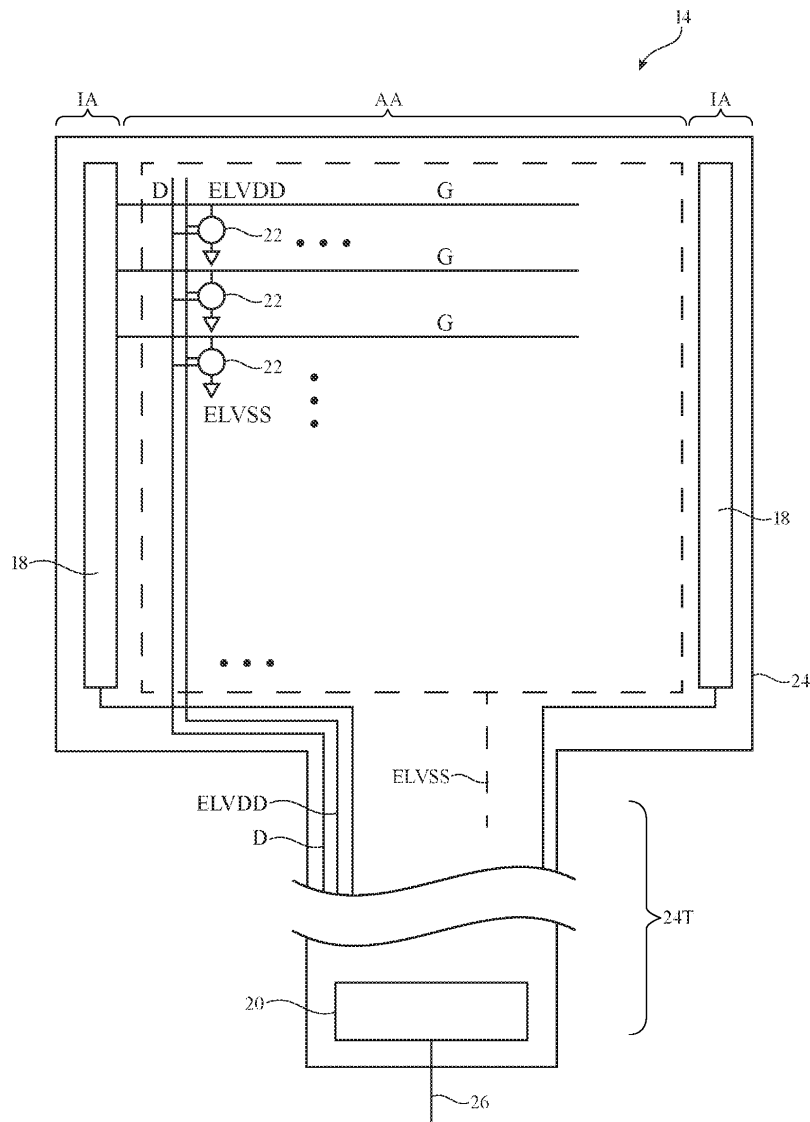
도면1



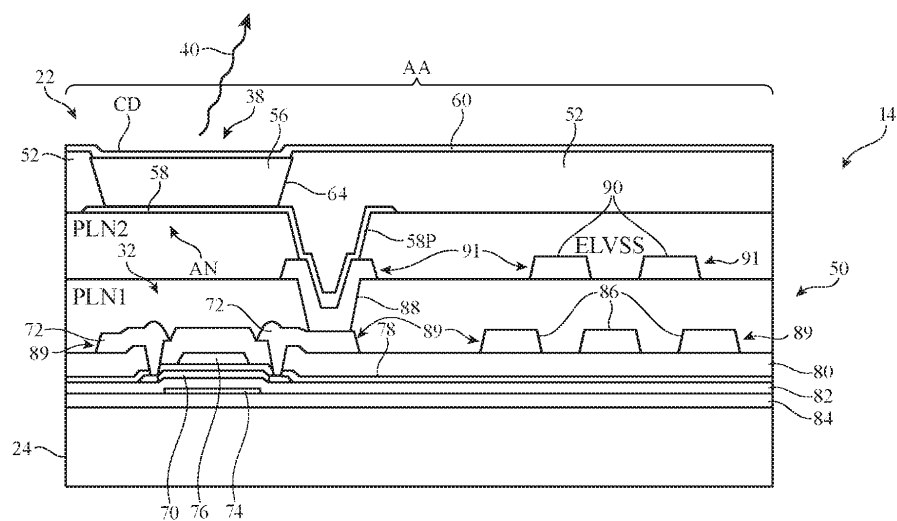
도면2



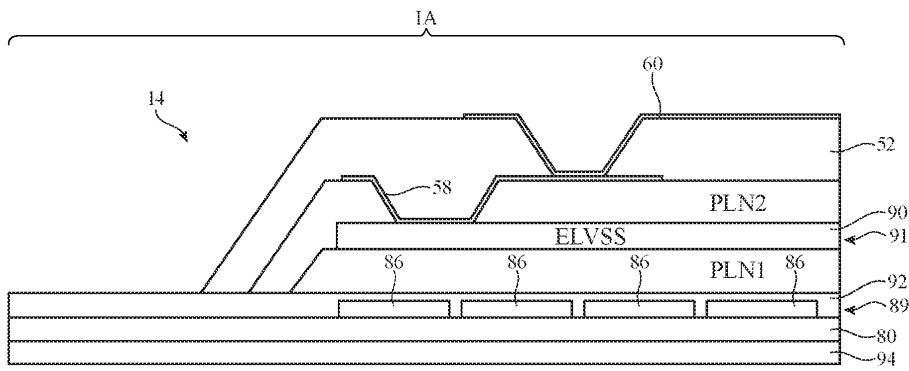
도면3



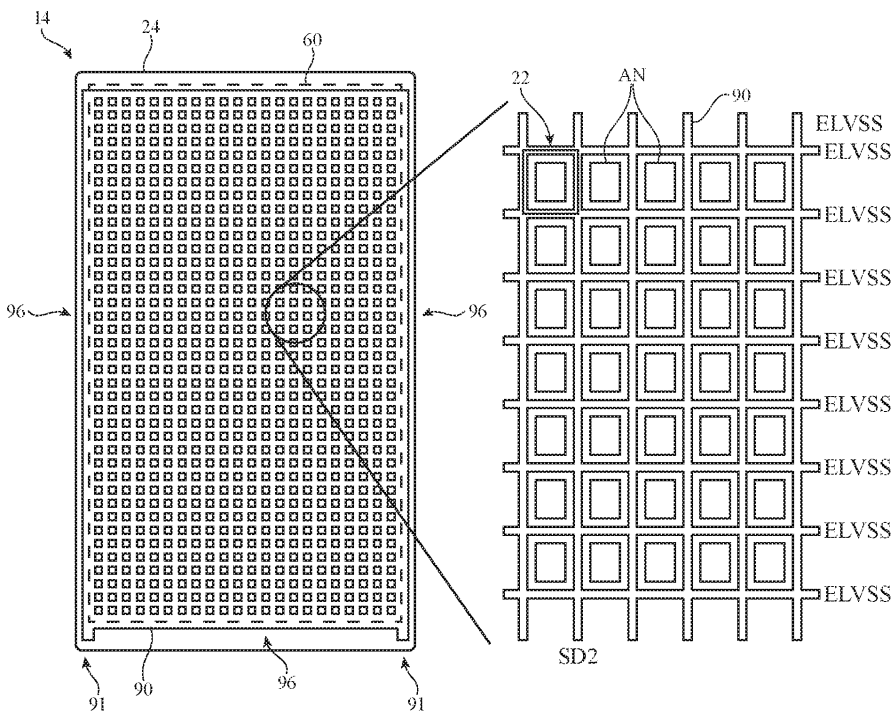
도면4



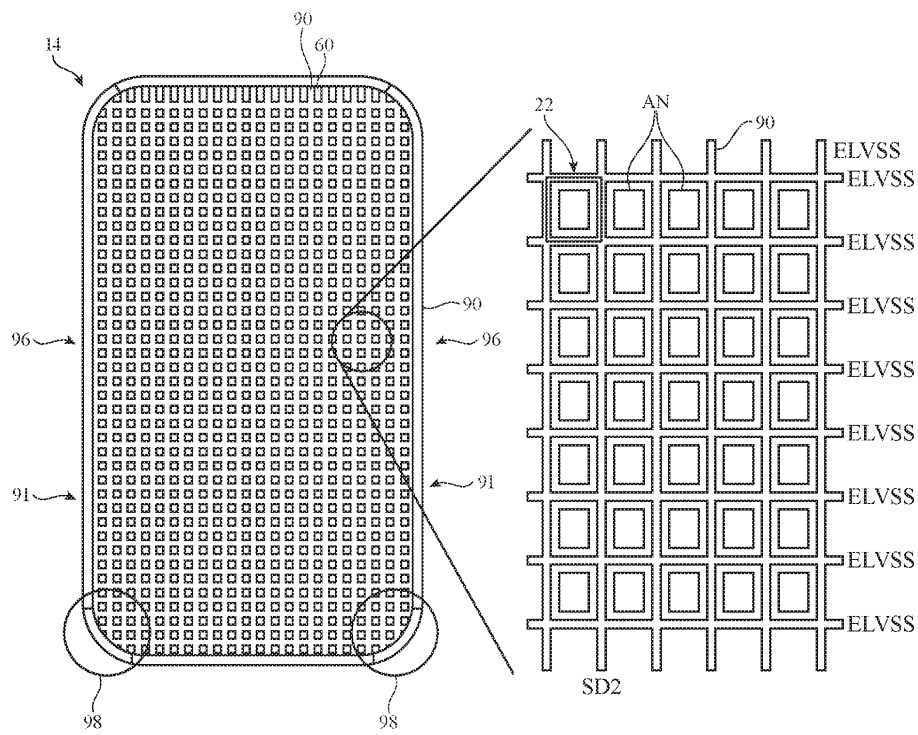
도면5



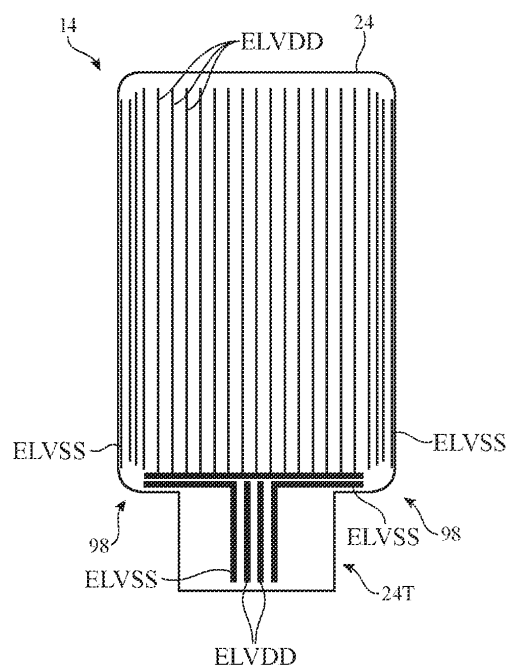
도면6



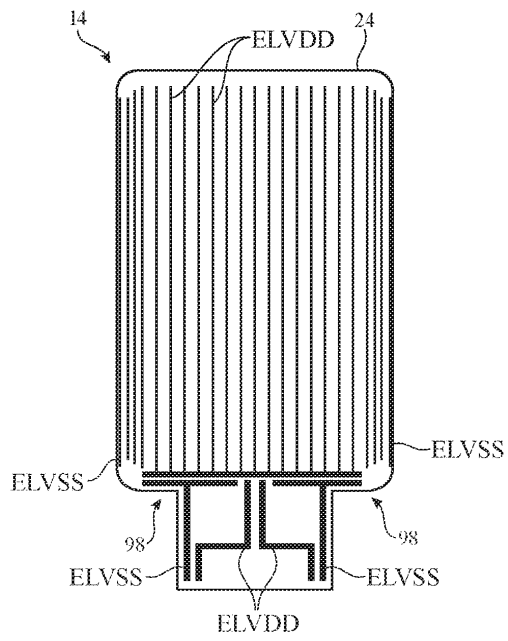
도면7



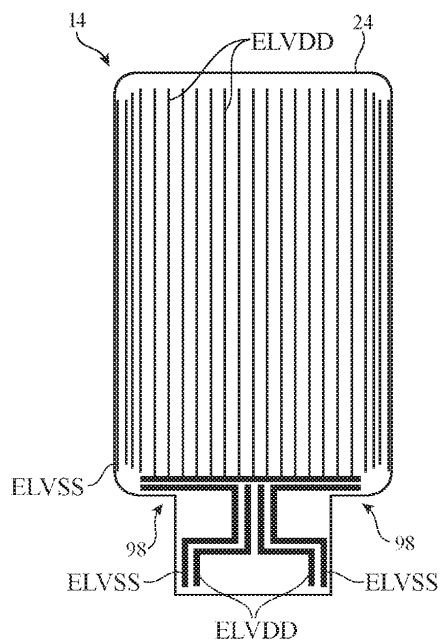
도면8



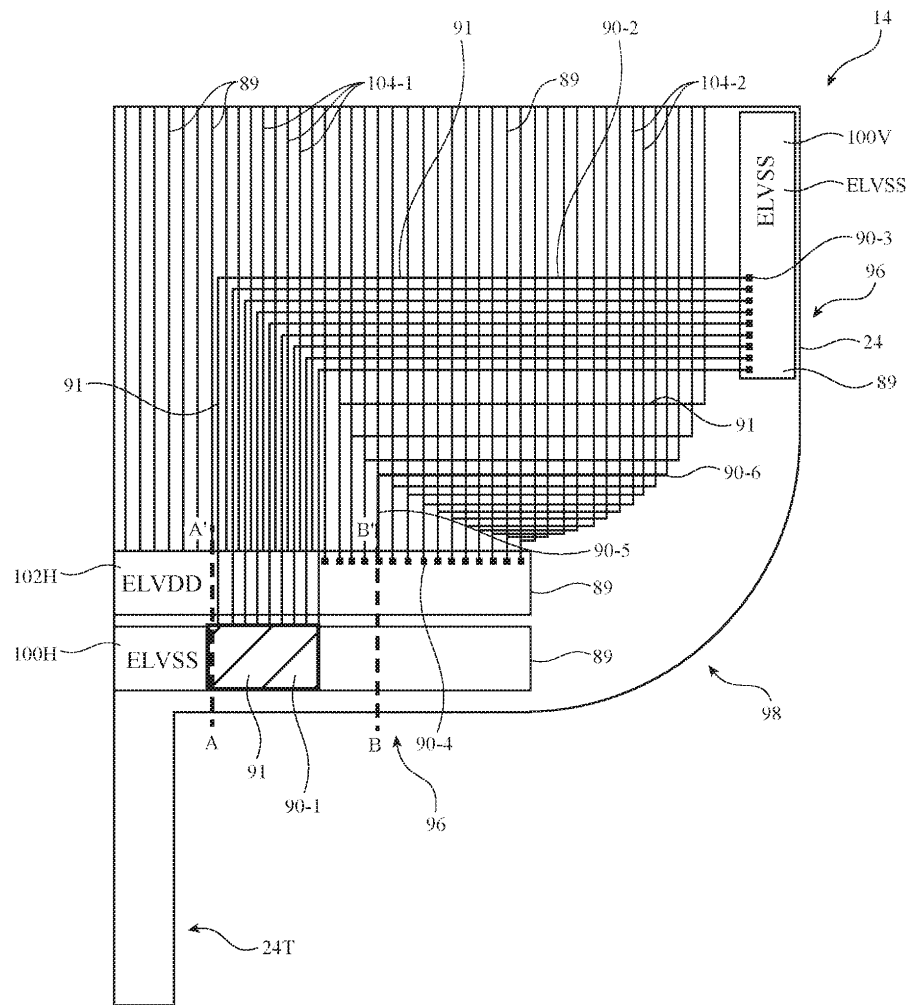
도면9



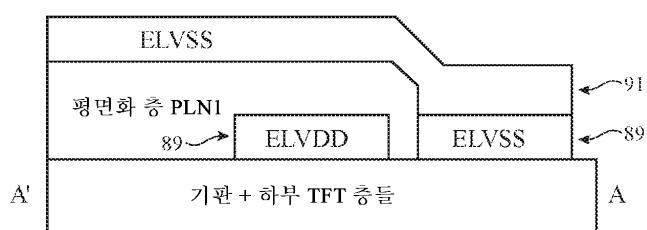
도면10



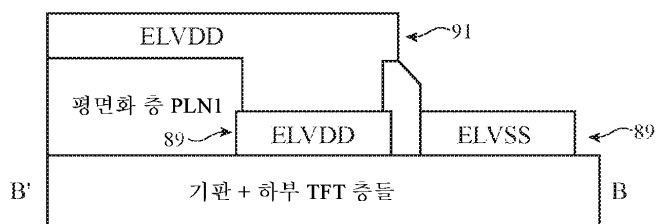
도면11



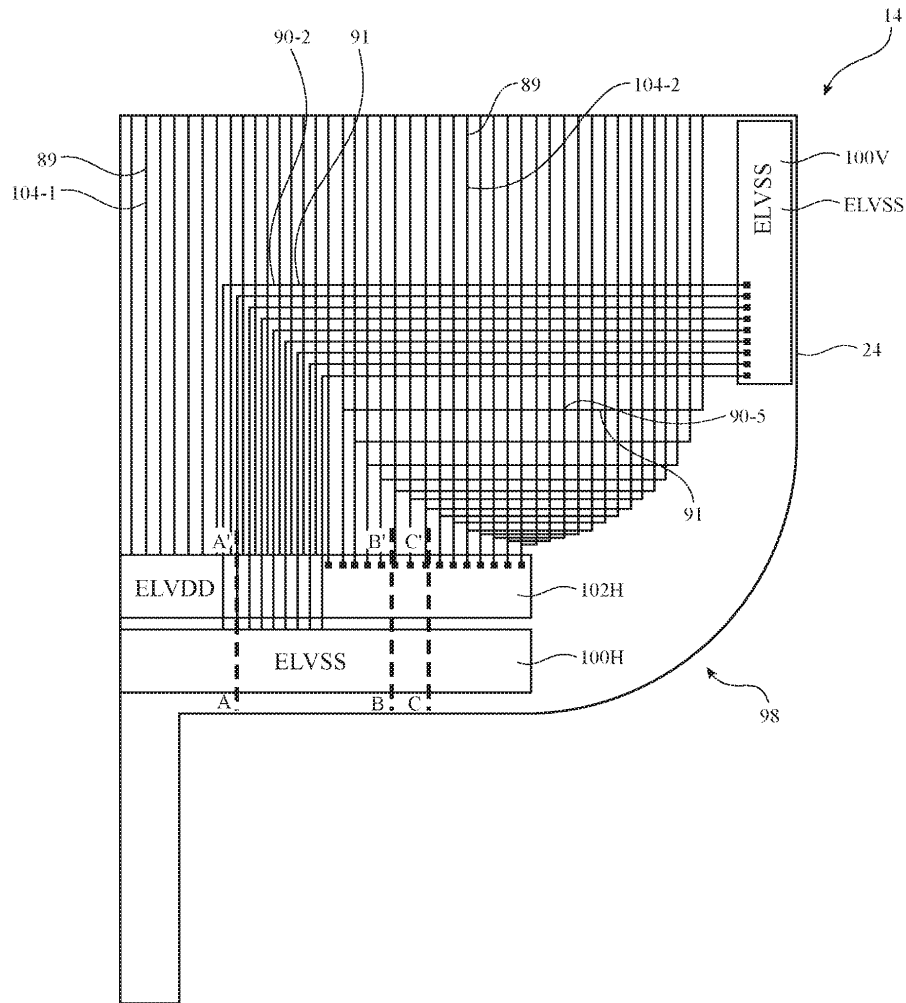
도면12



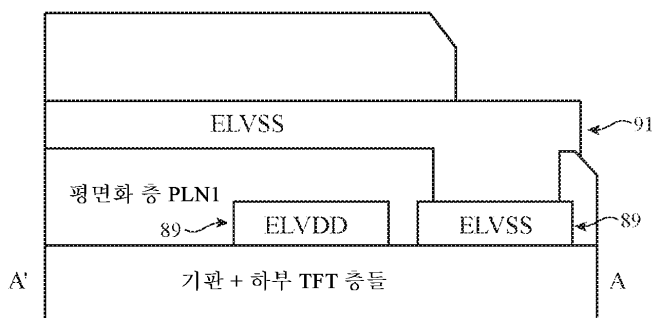
도면13



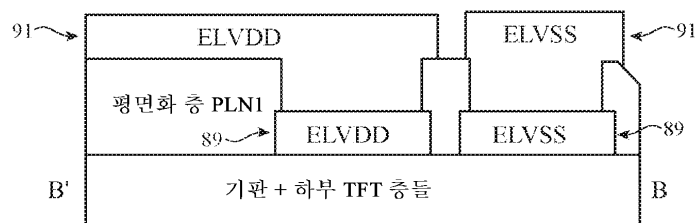
도면14



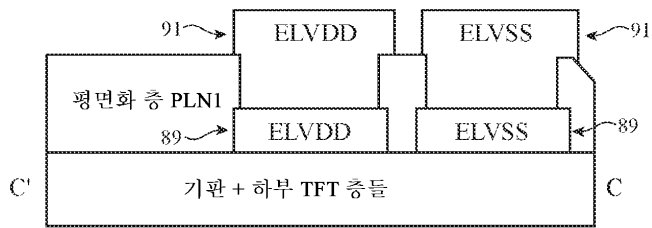
도면15



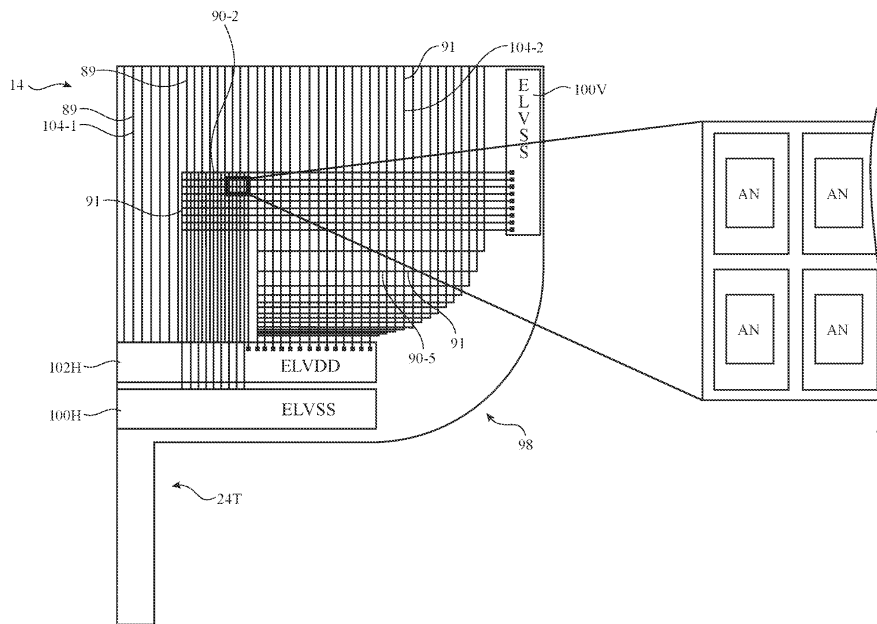
도면16



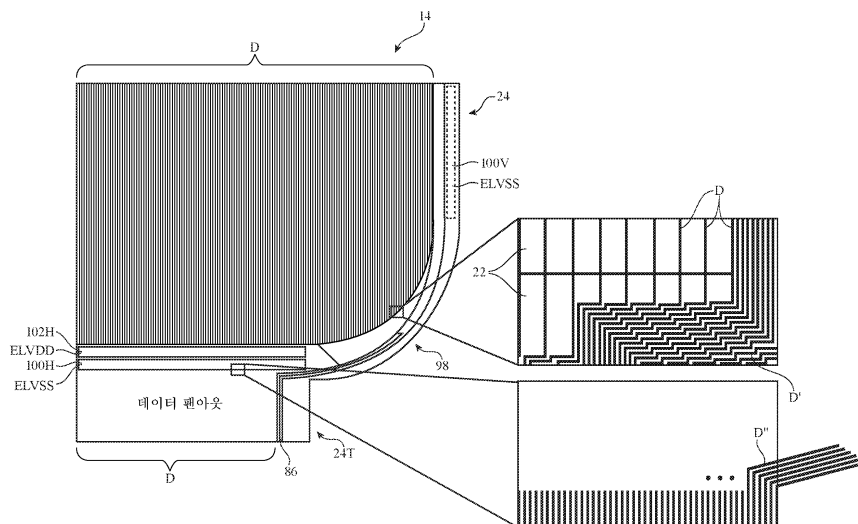
도면17



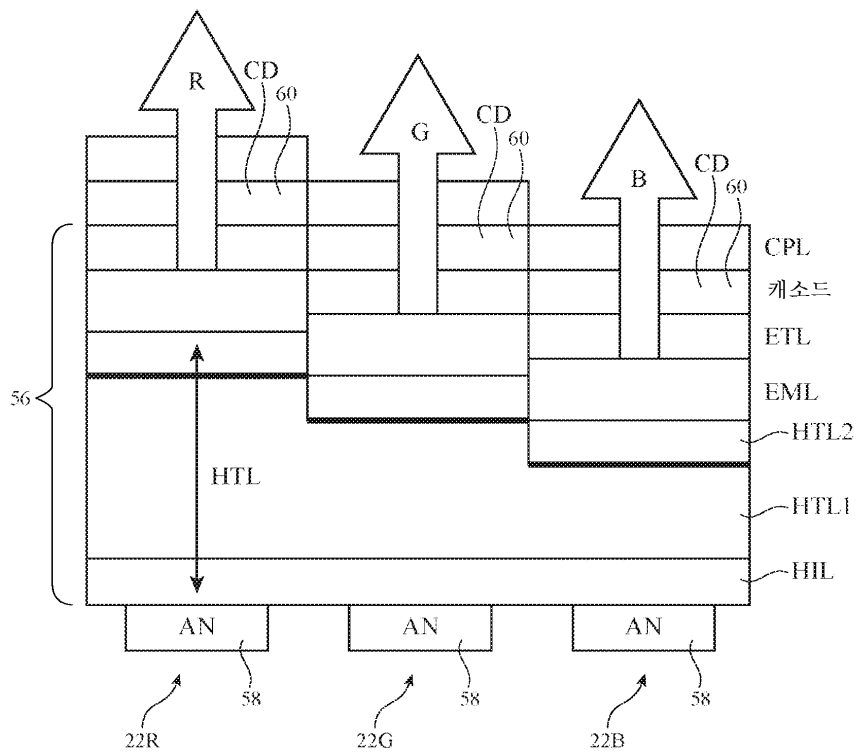
도면18



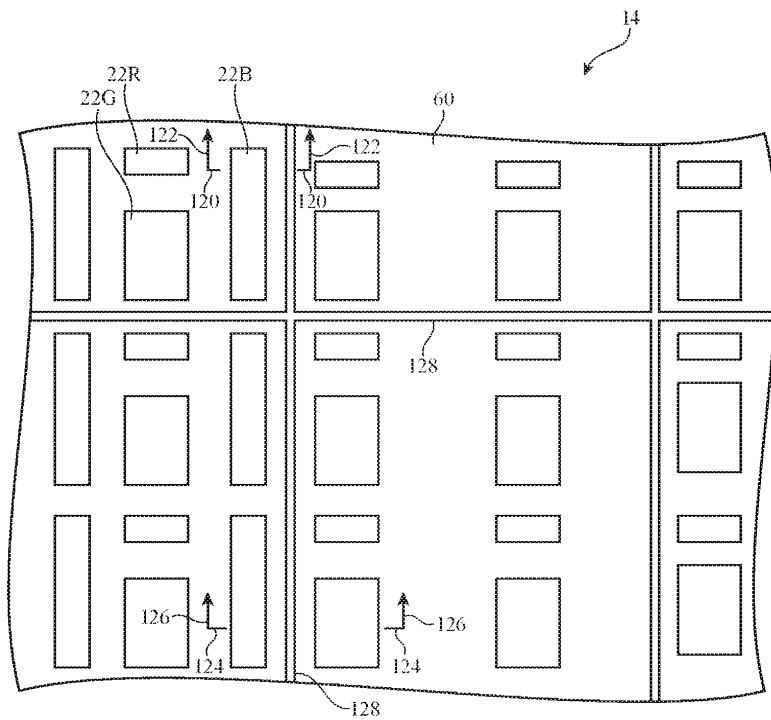
도면19



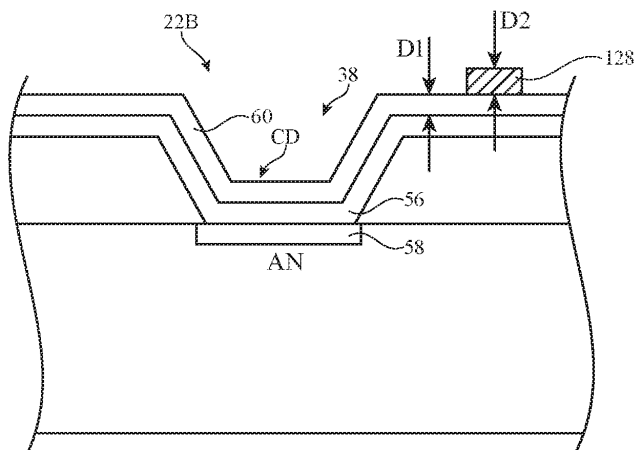
도면20



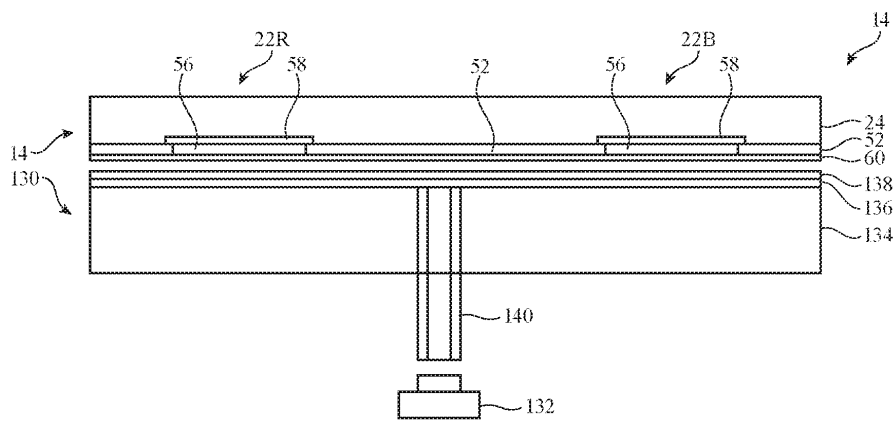
도면21



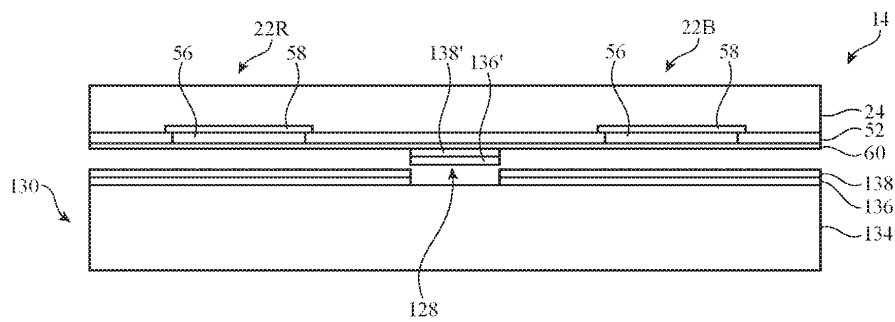
도면22



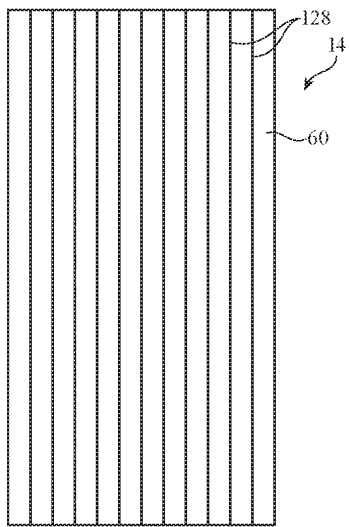
도면23



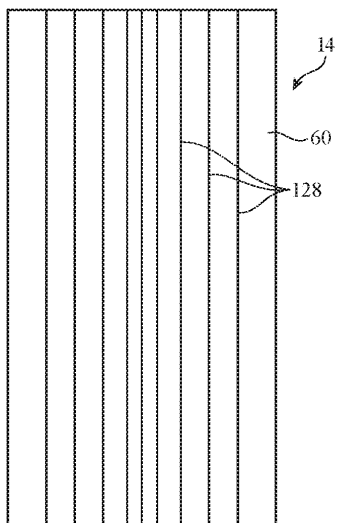
도면24



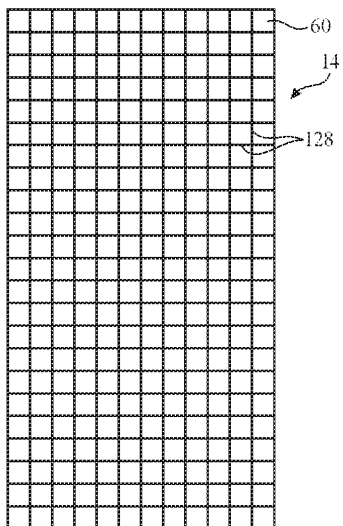
도면25



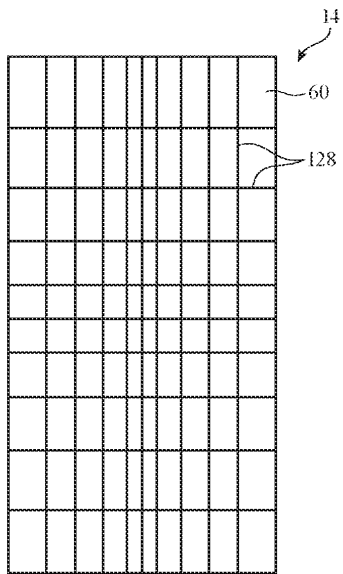
도면26



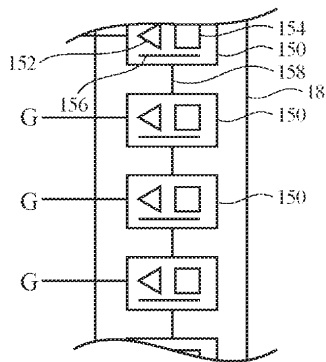
도면27



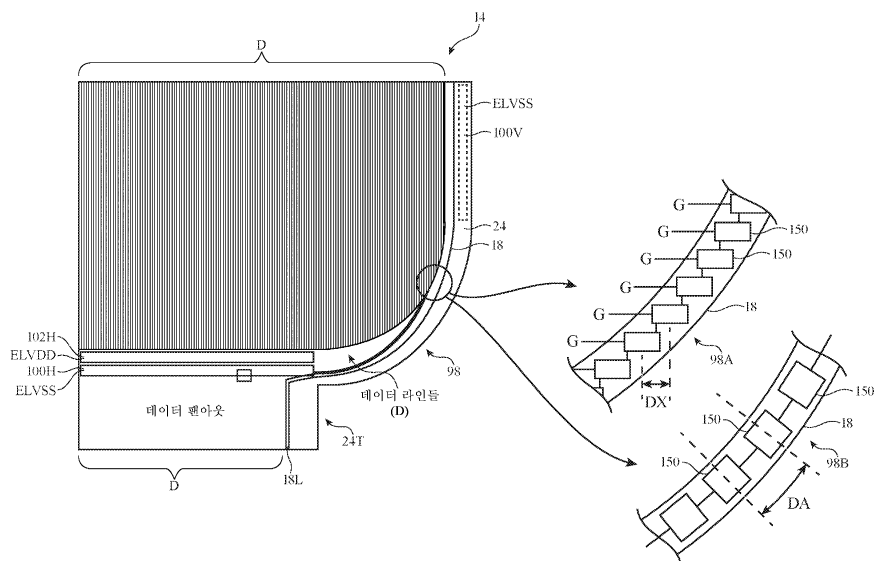
도면28



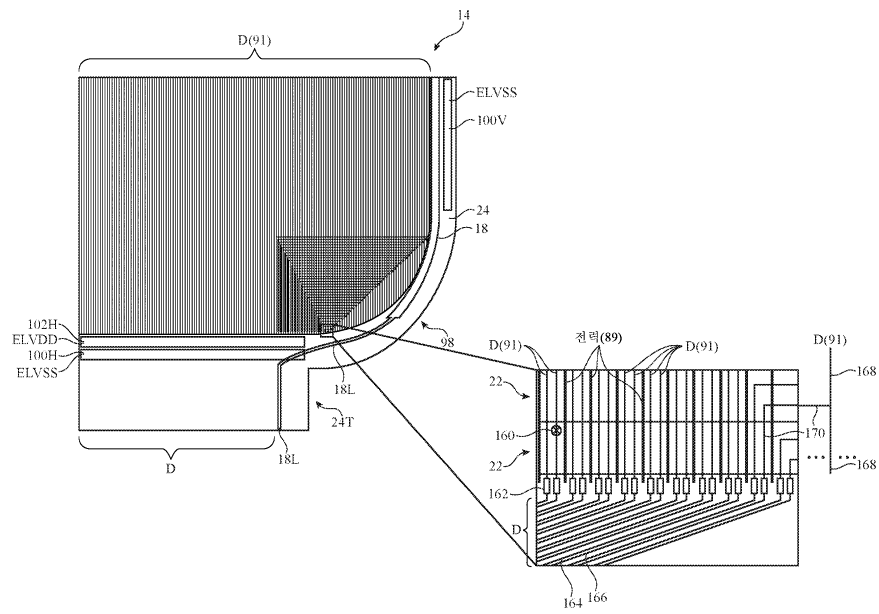
도면29



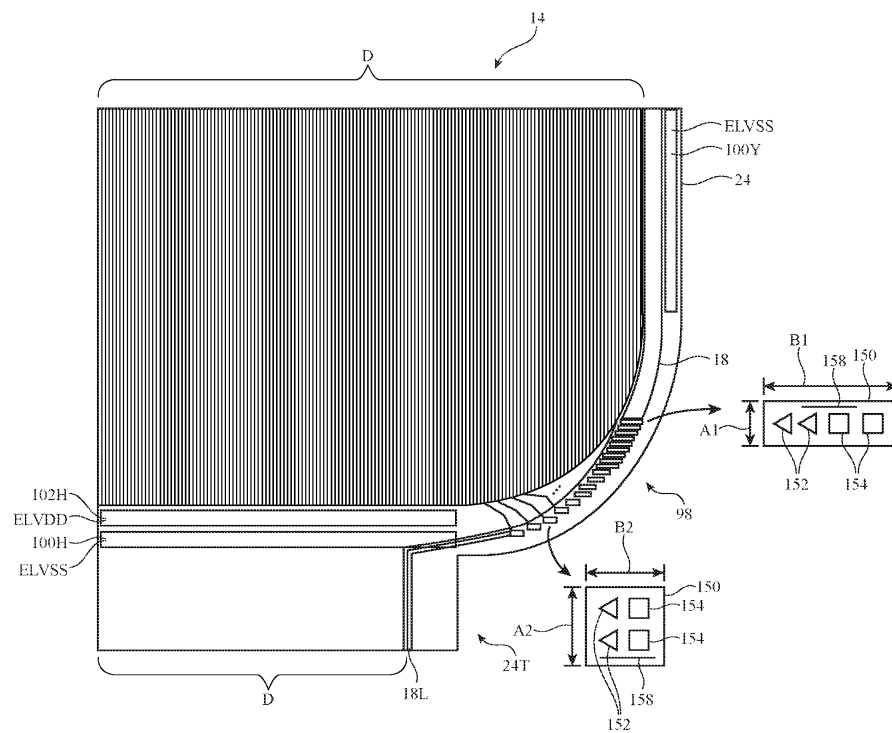
도면30



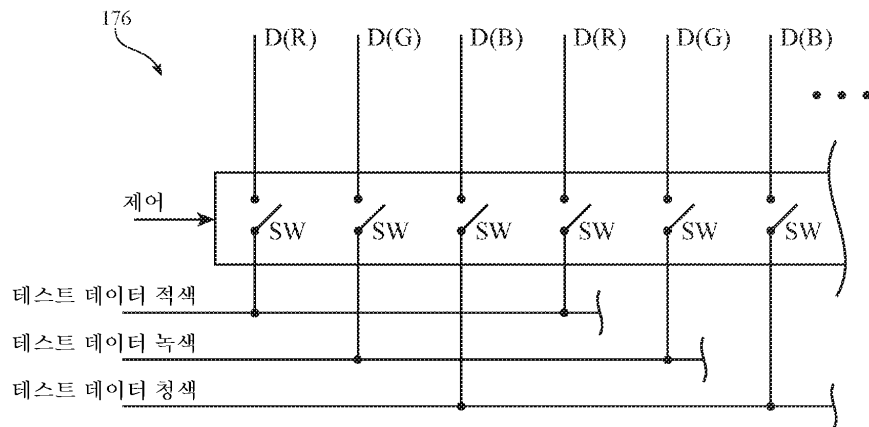
도면31



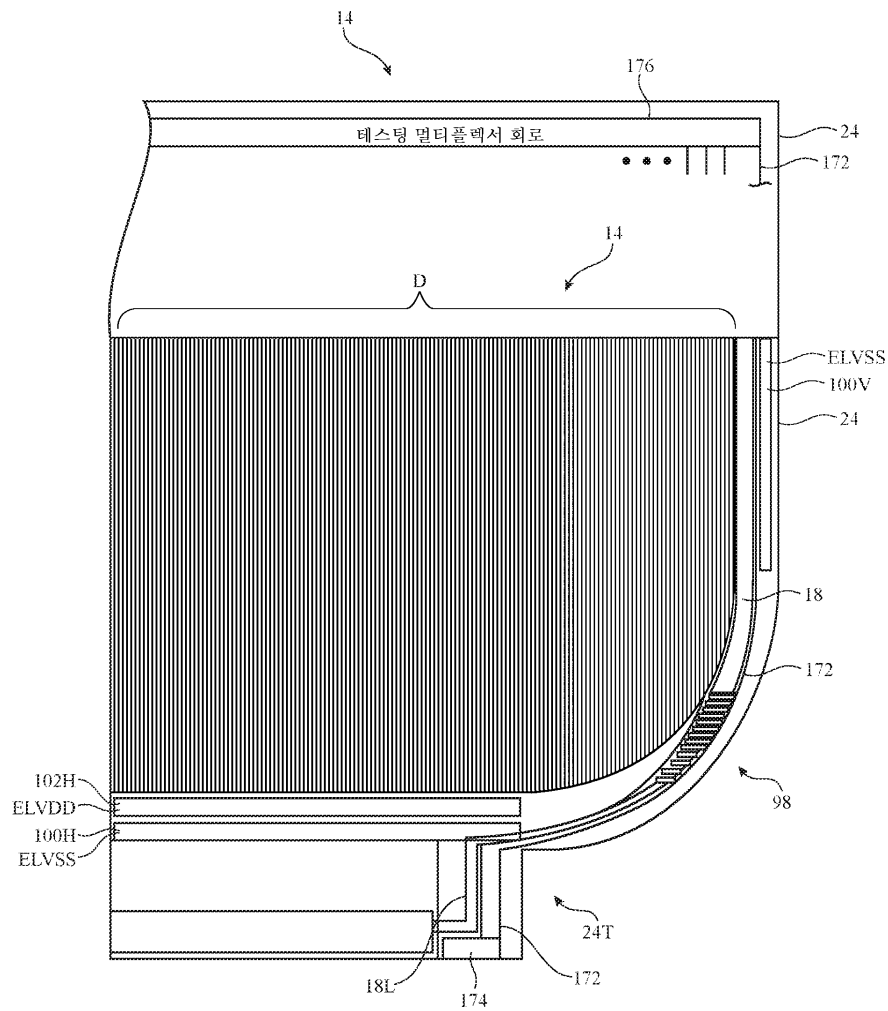
도면32



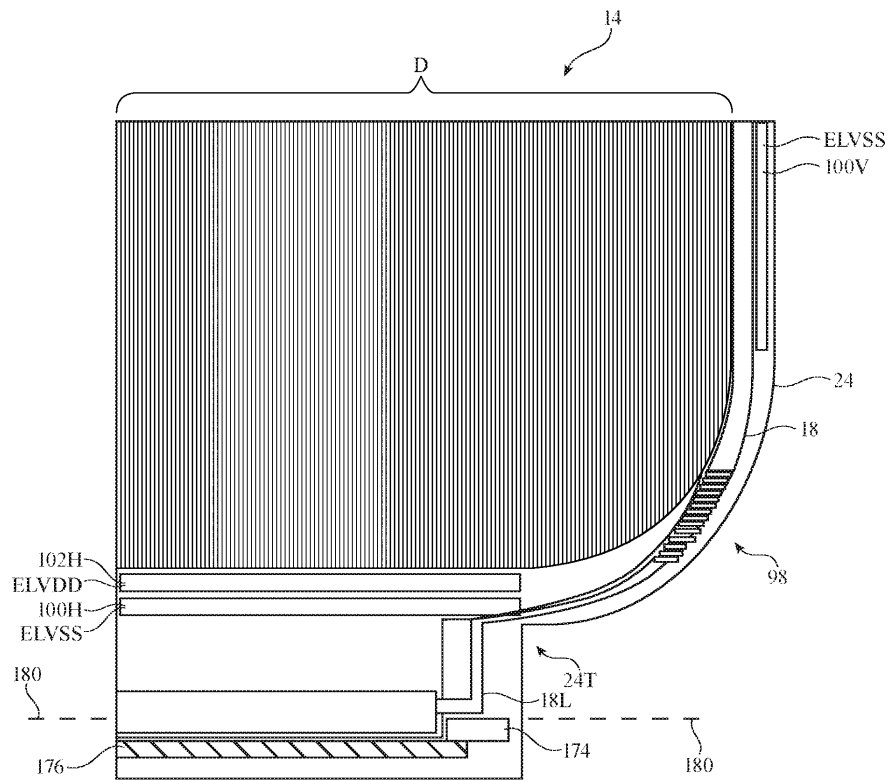
도면33



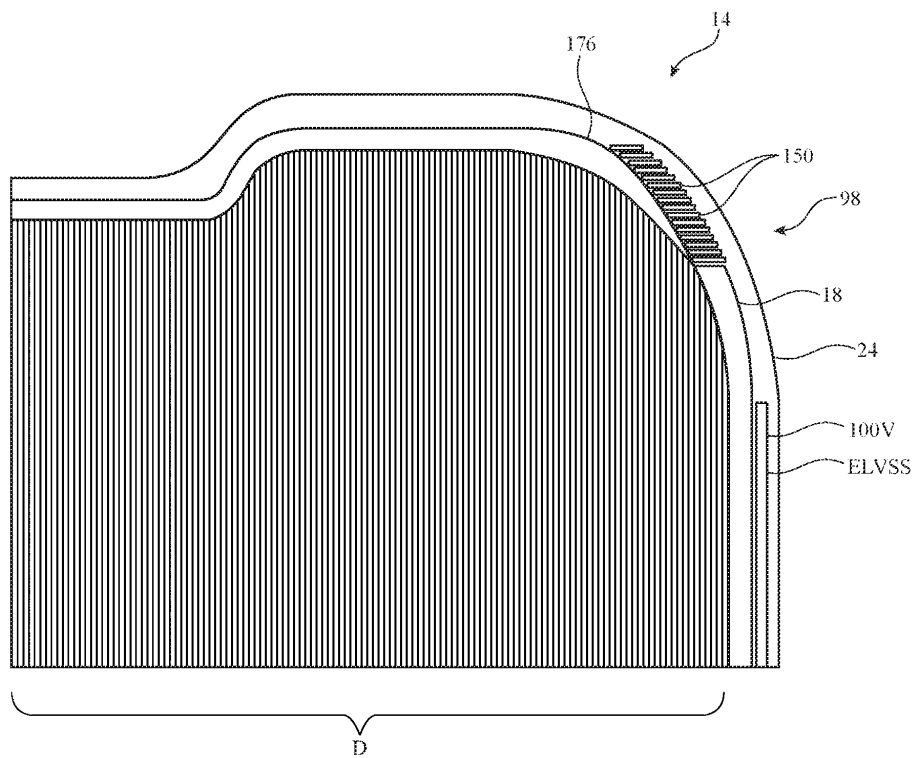
도면34



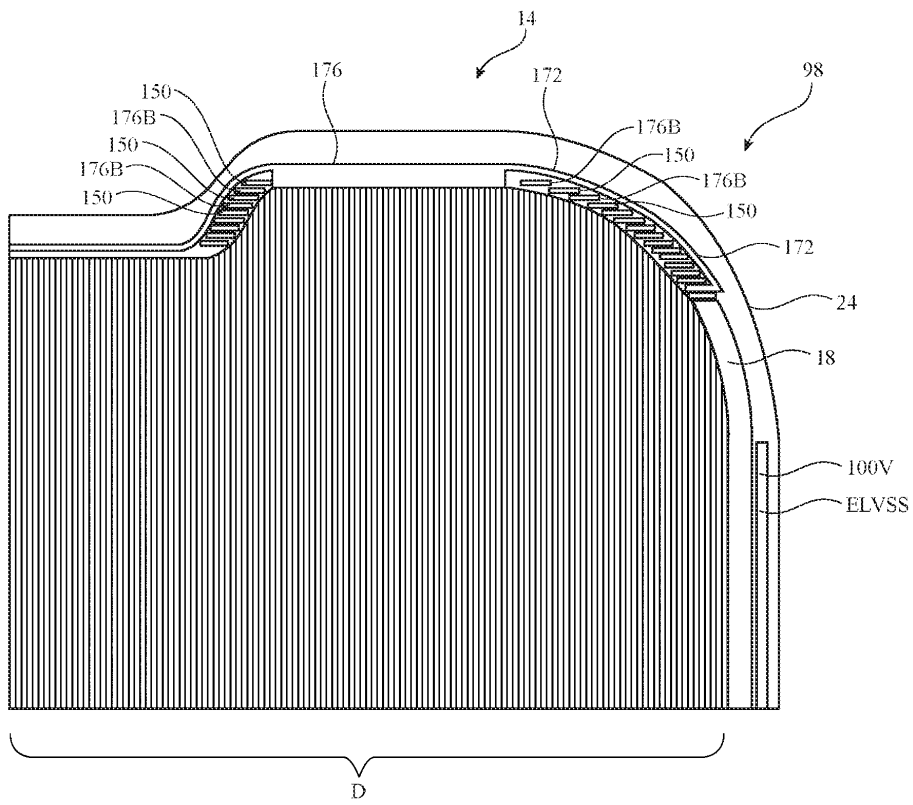
도면35



도면36



도면37



专利名称(译)	用于有机发光二极管显示器的功率和数据路由架构		
公开(公告)号	KR1020180049005A	公开(公告)日	2018-05-10
申请号	KR1020187009419	申请日	2017-01-19
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	LIN CHIN WEI 린친웨이 POON STEPHEN S 폰스티븐에스 RIEUTORT LOUIS WARREN S 리우토르트루이스워렌에스 YU CHENG HO 유청호 LEE CHOONGHO 리충호 LEE DOH HYOUNG 리도형 CHANG TING KUO 창팅쿠오 TSAI TSUNG TING 차이충팅 GUPTA VASUDHA 굽타바수다 LEE YOUNGGU 리영구		
发明人	린,친 웨이 폰,스티븐,에스. 리우토르트 루이스,워렌,에스. 유,청 호 리,충호 리,도 형 창,팅 쿠오 차이,충 텅 굽타,바수다 리,영구		
IPC分类号	H01L27/32 G09G3/3233 H01L51/52		
CPC分类号	H01L27/3276 G09G3/3233 H01L27/3279 H01L51/5228 G09G2300/0426 G09G3/006 G09G3/3258 G09G3/3291 G09G2310/0297 H01L27/3246 H01L27/3248		
代理人(译)	Jangdeoksun Baekmangi		
优先权	62/281602 2016-01-21 US 62/300617 2016-02-26 US		
外部链接	Espacenet		
摘要(译)			

有机发光二极管显示器可以具有形成在基板上的薄膜晶体管电路。显示器和基板可以具有圆角。可以在薄膜晶体管电路上形成像素限定层。像素限定层中的开口可以设置有与它们各自用于有机发光二极管的阳极重叠的发光材料。阴极层可以覆盖像素阵列。接地电源路径可用于将接地电压分配到阴极层。通过使用金属层的部分，以形成二极管的阳极接地供电路径可以从其中被短路到阴极层的金属层形成，可以从网孔状，L字状的路径段的金属图案形成可以在阴极层上包括激光沉积的金属，并且可以具有能够分配地电源的其他结构。

