



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0023098  
(43) 공개일자 2018년03월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/3208 (2016.01)

(52) CPC특허분류

G09G 3/3208 (2013.01)

G09G 2310/061 (2013.01)

(21) 출원번호 10-2016-0107024

(22) 출원일자 2016년08월23일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김동수

경기도 용인시 기흥구 삼성로 1 (농서동)

문중수

경기도 용인시 기흥구 삼성로 1 (농서동)

곽원규

경기도 용인시 기흥구 삼성로 1 (농서동)

(74) 대리인

강신섭, 문용호, 이용우

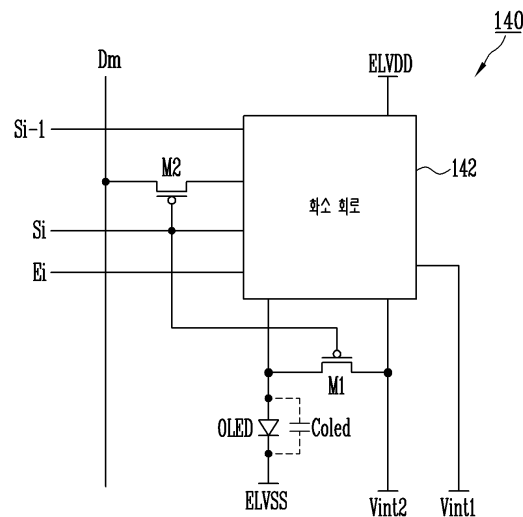
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기 전계 발광 표시 장치

### (57) 요약

유기 전계 발광 표시 장치의 화소는 캐소드 전극이 제2 전원에 접속되는 유기 발광 다이오드; 제1 전원으로부터 상기 유기 발광 다이오드를 경유하여 상기 제2 전원으로 흐르는 전류량을 제어하기 위한 구동 트랜지스터를 포함하는 화소 회로; 제3 전원을 공급하는 선을 통해 인가되는 상기 제3 전원과 상기 구동 트랜지스터의 게이트 전극 사이에 접속되며, 제i-1 주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제3 트랜지스터; 상기 제3 전원 및 상기 제2 전원과 상이하고, 제4 전원을 공급하는 선을 통해 인가되는 상기 제4 전원과 상기 유기 발광 다이오드의 애노드 전극 사이에 접속되며, 제i 주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제1 트랜지스터; 및 상기 데이터선과 상기 화소 회로 사이에 접속되며, 상기 제i 주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제2 트랜지스터를 구비할 수 있다. 상기 제3 전원선 및 상기 제4 전원선은 서로 다른 층 상에 제공될 수 있다.

대표도 - 도2



(52) CPC특허분류  
G09G 2320/02 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

주사선들, 데이터선들 및 발광 제어선들과 접속되도록 배치되는 화소들;

상기 주사선들로 주사 신호를 공급하기 위한 주사 구동부;

상기 발광 제어선들로 발광 제어 신호를 공급하기 위한 발광 제어 구동부; 및

상기 데이터선들로 데이터 신호를 공급하기 위한 데이터 구동부를 구비하며,

$i$  ( $i$ 는 자연수)번째 수평 라인에 위치되는 화소들 각각은

캐소드 전극이 제2 전원에 접속되는 유기 발광 다이오드;

제1 전원에서부터 상기 유기 발광 다이오드를 경유하여 상기 제2 전원으로 흐르는 전류량을 제어하기 위한 구동 트랜지스터를 포함하는 화소 회로;

제3 전원을 공급하는 선(이하, "제3 전원선"이라 칭함)을 통해 인가되는 상기 제3 전원과 상기 구동 트랜지스터의 게이트 전극 사이에 접속되며, 제 $i-1$  주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제3 트랜지스터;

상기 제3 전원 및 상기 제2 전원과 상이하고, 제4 전원을 공급하는 선(이하, "제4 전원선"이라 칭함)을 통해 인가되는 상기 제4 전원과 상기 유기 발광 다이오드의 애노드 전극 사이에 접속되며, 제 $i$  주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제1 트랜지스터; 및

상기 데이터선과 상기 화소 회로 사이에 접속되며, 상기 제 $i$  주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제2 트랜지스터를 구비하고,

상기 제3 전원선 및 상기 제4 전원선은 서로 다른 층 상에 제공되는 유기 전계 발광 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 주사선들 및 상기 발광 제어선들은 기판 상에 배치되고, 상기 데이터선들은 상기 주사선들 및 상기 발광 제어선들 상에 배치되는 게이트 절연막 상에 배치되며,

상기 게이트 절연막 상에 순차적으로 적층된 제1 절연막, 제2 절연막 및 보호층을 더 포함하는 유기 전계 발광 표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 제3 전원선은 상기 제1 절연막 상에 배치되고, 상기 제4 전원선 및 상기 애노드 전극은 상기 보호층 상에 배치되는 유기 전계 발광 표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 제4 전원선은 상기 제1 전극과 동일한 물질을 포함하는 유기 전계 발광 표시 장치.

#### 청구항 5

제4 항에 있어서,

상기 제1 전극은

상기 보호층 상에 배치되는 반사막; 및

상기 반사막 및 상기 보호층 사이 또는 상기 반사막 상에 배치되는 투명 도전막을 포함하는 유기 전계 발광 표시 장치.

#### 청구항 6

제2 항에 있어서,

상기 화소 회로는

상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 제2 전극 사이에 접속되며, 상기 제i 주사선으로 주사 신호가 공급될 때 턴-온되는 적어도 하나의 제4 트랜지스터;

상기 구동 트랜지스터의 제1 전극과 상기 제1 전원 사이에 접속되며, 상기 제i 발광 제어선으로 발광 제어 신호가 공급될 때 턴-오프되는 제5 트랜지스터; 및

상기 구동 트랜지스터의 상기 제2 전극과 상기 유기 발광 다이오드의 상기 제1 전극 사이에 접속되며, 상기 제i 발광 제어선으로 발광 제어 신호가 공급될 때 턴-오프되는 제6 트랜지스터를 구비하는 유기 전계 발광 표시 장치.

#### 청구항 7

제6 항에 있어서,

상기 발광 제어 구동부는 제i-1 주사선 및 상기 제i 주사선으로 공급되는 주사 신호와 중첩되도록 제i 발광 제어선을 통해 상기 제5 트랜지스터로 상기 발광 제어 신호를 공급하는 유기 전계 발광 표시 장치.

#### 청구항 8

제7 항에 있어서,

상기 제4 전원선은 상기 제3 트랜지스터의 적어도 일부 또는 상기 제4 트랜지스터의 적어도 일부를 커버하는 유기 전계 발광 표시 장치.

#### 청구항 9

제8 항에 있어서,

상기 제4 전원선은

상기 보호층 상에 배치되는 반사막; 및

상기 반사막 및 상기 보호층 사이 또는 상기 반사막 상에 배치되는 투명 도전막을 포함하는 유기 전계 발광 표시 장치.

#### 청구항 10

제6 항에 있어서,

상기 제2 트랜지스터는 상기 구동 트랜지스터의 제1 전극에 접속되는 유기 전계 발광 표시 장치.

#### 청구항 11

제6 항에 있어서,

상기 화소 회로는 상기 제1 전원 및 상기 제3 트랜지스터 사이에 접속되는 스토리지 커패시터를 더 포함하고,

상기 스토리지 커패시터는

상기 게이트 절연막 상에 배치되는 하부 전극; 및

상기 제1 절연막 상에 배치되는 상부 전극을 포함하는 유기 전계 발광 표시 장치.

#### 청구항 12

제11 항에 있어서,

상기 제3 전원선은 상기 상부 전극과 동일층 상에 제공되는 유기 전계 발광 표시 장치.

### 청구항 13

제1 항에 있어서,

상기 제3 전원은 상기 구동 트랜지스터의 게이트 전극을 초기화하는 제1 초기화 전원이며,

상기 제4 전원은 상기 유기 발광 다이오드의 애노드 전극을 초기화하는 제2 초기화 전원인 유기 전계 발광 표시 장치.

### 청구항 14

제13 항에 있어서,

상기 제3 전원은 상기 제4 전원보다 높은 전압으로 설정되는 유기 전계 발광 표시 장치.

### 청구항 15

제13 항에 있어서,

상기 제4 전원은 상기 제2 전원보다 높은 전압으로 설정되는 유기 전계 발광 표시 장치.

### 청구항 16

제13 항에 있어서,

상기 제3 전원은 상기 데이터 신호보다 낮은 전압으로 설정되는 유기 전계 발광 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명의 실시예는 유기 전계 발광 표시 장치에 관한 것으로, 특히, 화질을 향상시킬 수 있는 유기 전계 발광 표시 장치에 관한 것이다.

### 배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결매체인 표시 장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display Device) 및 유기 전계 발광 표시 장치(Organic Light Emitting Display Device) 등과 같은 표시 장치(Display Device)의 사용이 증가하고 있다.

[0003] 표시 장치 중 유기 전계 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode)를 이용하여 영상을 표시한다. 이러한, 유기 전계 발광 표시 장치는 빠른 응답 속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 유기 전계 발광 표시 장치는 데이터선들 및 주사선들에 접속되는 화소들을 구비한다. 화소들은 일반적으로 유기 발광 다이오드, 유기 발광 다이오드로 흐르는 전류량을 제어하기 위한 구동 트랜지스터를 포함한다. 이와 같은 화소들은 데이터신호에 대응하여 구동 트랜지스터로부터 유기 발광 다이오드로 전류를 공급하면서 소정 휘도의 빛을 생성한다.

[0005] 한편, 유기 발광 다이오드의 효율 향상에 의하여 유기 발광 다이오드는 낮은 전류에도 쉽게 발광될 수 있다. 이 경우, 소비전력을 낮추면서 고휘도의 영상을 표현할 수 있는 장점이 있다. 하지만, 유기 발광 다이오드가 낮은 전류에도 쉽게 발광되는 경우 블랙(black) 휘도가 상승될 수 있다.

[0006] 추가적으로, 고휘도를 구현하기 위해서는 유기 발광 다이오드의 캐소드 전극에 접속되는 제2 전원의 전압을 낮게 설정해야 한다. 하지만, 제2 전원의 전압이 낮아지는 만큼 초기화전원의 전압도 낮아지고, 이에 따라 구동 트랜지스터의 게이트 전극으로부터 초기화전원으로 흐르는 누설전류가 증가되어 화질이 저하된다.

## 발명의 내용

## 해결하려는 과제

[0007] 따라서, 본 발명은 화질을 향상시킬 수 있도록 한 유기 전계 발광 표시 장치를 제공하는 것이다.

## 과제의 해결 수단

- [0008] 본 발명의 실시예에 의한 유기 전계 발광 표시 장치는 주사선들, 데이터선들 및 발광 제어선들과 접속되도록 배치되는 화소들; 상기 주사선들로 주사 신호를 공급하기 위한 주사 구동부; 상기 발광 제어선들로 발광 제어 신호를 공급하기 위한 발광 제어 구동부; 및 상기 데이터선들로 데이터 신호를 공급하기 위한 데이터 구동부를 구비할 수 있다.  $i$  ( $i$ 는 자연수)번째 수평 라인에 위치되는 화소들 각각은 캐소드 전극이 제2 전원선에 접속되는 유기 발광 다이오드; 제1 전원선으로부터 상기 유기 발광 다이오드를 경유하여 상기 제2 전원선으로 흐르는 전류량을 제어하기 위한 구동 트랜지스터를 포함하는 화소 회로; 제3 전원을 공급하는 선(이하, "제3 전원선"이라 칭함)을 통해 인가되는 상기 제3 전원과 상기 구동 트랜지스터의 게이트 전극 사이에 접속되며, 제 $i-1$  주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제3 트랜지스터; 상기 제3 전원 및 상기 제2 전원과 상이하고, 제4 전원을 공급하는 선(이하, "제4 전원선"이라 칭함)을 통해 인가되는 상기 제4 전원과 상기 유기 발광 다이오드의 애노드 전극 사이에 접속되며, 제 $i$  주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제1 트랜지스터; 및 상기 데이터선과 상기 화소 회로 사이에 접속되며, 상기 제 $i$  주사선으로 상기 주사 신호가 공급될 때 턴-온되는 제2 트랜지스터를 구비할 수 있다. 상기 제3 전원선 및 상기 제4 전원선은 서로 다른 층 상에 제공될 수 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 주사선들 및 상기 발광 제어선들은 기판 상에 배치되고, 상기 데이터선들은 상기 주사선들 및 상기 발광 제어선들 상에 배치되는 게이트 절연막 상에 배치되며, 상기 유기 전계 발광 표시 장치는 상기 게이트 절연막 상에 순차적으로 적층된 제1 절연막, 제2 절연막 및 보호층을 더 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 제3 전원선은 상기 제1 절연막 상에 배치되고, 상기 제4 전원선 및 상기 애노드 전극은 상기 보호층 상에 배치될 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 제4 전원선은 상기 제1 전극과 동일한 물질을 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제1 전극은 상기 보호층 상에 배치되는 반사막; 및 상기 반사막 및 상기 보호층 사이 또는 상기 반사막 상에 배치되는 투명 도전막을 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 화소 회로는 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 제2 전극 사이에 접속되며, 상기 제 $i$  주사선으로 주사 신호가 공급될 때 턴-온되는 적어도 하나의 제4 트랜지스터; 상기 구동 트랜지스터의 제1 전극과 상기 제1 전원 사이에 접속되며, 상기 제 $i$  발광 제어선으로 발광 제어 신호가 공급될 때 턴-오프되는 제5 트랜지스터; 및 상기 구동 트랜지스터의 상기 제2 전극과 상기 유기 발광 다이오드의 상기 제1 전극 사이에 접속되며, 상기 제 $i$  발광 제어선으로 발광 제어 신호가 공급될 때 턴-오프되는 제6 트랜지스터를 구비할 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 주사 구동부는 제 $i-1$  주사선 및 상기 제 $i$  주사선으로 공급되는 주사 신호와 중첩되도록 제 $i$  발광 제어선으로 발광 제어 신호를 공급할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제4 전원선은 상기 제3 트랜지스터의 적어도 일부 또는 상기 제4 트랜지스터의 적어도 일부를 커버할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제4 전원선은 상기 보호층 상에 배치되는 반사막; 및 상기 반사막 및 상기 보호층 사이 또는 상기 반사막 상에 배치되는 투명 도전막을 포함할 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 화소 회로는 상기 제1 전원 및 상기 제3 트랜지스터 사이에 접속되는 스토리지 커패시터를 더 포함할 수 있다. 상기 스토리지 커패시터는 상기 게이트 절연막 상에 배치되는 하부 전극; 및 상기 제1 절연막 상에 배치되는 상부 전극을 포함할 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 제3 전원선은 상기 상부 전극과 동일층 상에 제공될 수 있다.
- [0019] 상기 제3 전원은 상기 구동 트랜지스터의 게이트 전극을 초기화하는 제1 초기화 전원이며, 상기 제4 전원은 상기 유기 발광 다이오드의 애노드 전극을 초기화하는 제2 초기화 전원일 수 있다.

## 발명의 효과

[0020] 본 발명의 실시예에 의한 유기 전계 발광 표시 장치에 따르면, 제1 초기화전원을 이용하여 구동 트랜지스터의 게이트 전극을 초기화하고, 제2 초기화전원을 이용하여 유기 발광 다이오드의 애노드 전극 전압을 초기화한다. 이와 같은 제1 초기화전원 및 제2 초기화전원을 분리하는 경우 제1 초기화전원의 전압을 제2 초기화전원보다 높게 설정할 수 있고, 이에 따라 누설전류를 최소화하여 화질을 향상시킬 수 있다.

### 도면의 간단한 설명

[0021] 도 1은 본 발명의 실시예에 의한 유기 전계 발광 표시 장치를 나타내는 도면이다.

도 2는 도 1에 도시된 화소를 나타내는 도면이다.

도 3은 도 2에 도시된 화소 회로를 나타내는 도면이다.

도 4 및 도 5는 도 1 내지 도 3에 도시된 화소를 설명하기 위한 평면도들이다.

도 6은 도 4의 I-I'선에 따른 단면도이다.

도 7은 도 4의 II-II'선에 따른 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0022] 이하 첨부한 도면을 참고하여 본 발명의 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 기재한다. 다만, 본 발명은 청구범위에 기재된 범위 안에서 여러 가지 상이한 형태로 구현될 수 있으므로 하기에 설명하는 실시예는 표현 여부에 불구하고 예시적인 것에 불과하다.

[0023] 즉, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다.

[0024] 도 1은 본 발명의 실시예에 의한 유기 전계 발광 표시 장치를 나타내는 도면이다.

[0025] 도 1을 참조하면, 본 발명의 실시예에 의한 유기 전계 발광 표시 장치는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)과 접속되도록 위치되는 화소들(140)과, 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

[0026] 타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어 신호(DCS) 및 주사 구동제어 신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어 신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어 신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 재정렬하여 데이터 구동부(120)로 공급한다.

[0027] 주사 구동제어 신호(SCS)에는 스타트 펄스들 및 클럭신호들이 포함된다. 스타트 펄스들은 주사 신호 및 발광 제어 신호의 첫 번째 타이밍을 제어한다. 클럭신호들은 스타트 펄스들을 쉬프트시키기 위하여 사용된다.

[0028] 데이터 구동제어 신호(DCS)에는 소스 스타트 펄스 및 클럭신호들이 포함된다. 소스 스타트 펄스는 데이터의 샘플링 시작 시점을 제어한다. 클럭신호들은 샘플링 동작을 제어하기 위하여 사용된다.

[0029] 주사 구동부(110)는 타이밍 제어부(150)로부터 주사 구동제어 신호(SCS)를 공급받는다. 주사 구동제어 신호(SCS)를 공급받은 주사 구동부(110)는 주사선들(S1 내지 Sn)로 주사 신호를 공급한다. 일례로, 주사 구동부(110)는 주사선들(S1 내지 Sn)로 주사 신호를 순차적으로 공급할 수 있다. 주사선들(S1 내지 Sn)로 주사 신호가 순차적으로 공급되면 화소들(140)이 수평 라인 단위로 선택된다.

[0030] 또한, 주사 구동제어 신호(SCS)를 공급받은 주사 구동부(110)는 발광 제어선들(E1 내지 En)로 발광 제어 신호를 공급한다. 일례로, 주사 구동부(110)는 발광 제어선들(E1 내지 En)로 발광 제어 신호를 순차적으로 공급할 수 있다. 이와 같은 발광 제어 신호는 화소들(140)의 발광시간을 제어하기 위하여 사용된다. 이를 위하여, 발광 제어 신호는 주사 신호보다 넓은 폭으로 설정될 수 있다. 예를 들어, 주사 구동부(110)는 제i(i는 자연수) 발광 제어선으로 공급되는 발광 제어 신호와 중첩되도록 제i-1 주사선(Si-1) 및 제i 주사선(Si)으로 주사 신호를 공

급할 수 있다.

- [0031] 주사 구동부(110)는 박막 공정을 통해서 기관에 실장될 수 있다. 또한, 주사 구동부(110)는 화소부(130)를 사이에 두고 양측에 위치될 수도 있다.
- [0032] 또한, 도 1에서는 주사 구동부(110)가 주사 신호 및 발광 제어 신호를 공급하는 것으로 도시되었지만, 본원 발명이 이에 한정되지는 않는다. 일례로, 주사 신호 및 발광 제어 신호는 서로 다른 구동부에 의하여 공급될 수 있다.
- [0033] 추가적으로, 발광 제어 신호는 화소들(140)에 포함된 트랜지스터가 턴-오프될 수 있는 게이트 오프 전압(예를 들면, 하이전압), 주사 신호는 화소들(140)에 포함된 트랜지스터가 턴-온될 수 있는 게이트 온 전압(예를 들면, 로우전압)으로 설정될 수 있다.
- [0034] 데이터 구동부(120)는 데이터 구동제어 신호(DCS)에 대응하여 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 데이터선들(D1 내지 Dm)로 공급된 데이터신호는 주사 신호에 의하여 선택된 화소들(140)로 공급된다. 이를 위하여, 데이터 구동부(120)는 주사 신호와 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호를 공급할 수 있다.
- [0035] 화소부(130)는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)과 접속되는 화소들(140)을 구비한다. 화소들(140)은 외부로부터 제1 전원(ELVDD), 제2 전원(ELVSS), 제3 전원(Vint1) 및 제4 전원(Vint2)을 공급받는다.
- [0036] 화소들(140) 각각은 도시되지 않은 구동 트랜지스터 및 유기 발광 다이오드를 구비한다. 구동 트랜지스터는 데이터신호에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어한다. 여기서, 데이터신호가 공급되기 전에 구동 트랜지스터의 게이트 전극은 제3 전원(Vint1)의 전압에 의하여 초기화된다. 따라서, 제3 전원(Vint1)은 제1 초기화 전원일 수 있다. 또한, 제3 전원(Vint1)이 구동 트랜지스터의 게이트 전극을 초기화하기 위하여, 제3 전원(Vint1)은 데이터신호보다 낮은 전압으로 설정된다.
- [0037] 또한, 데이터신호가 공급될 때 유기 발광 다이오드의 애노드 전극은 제4 전원(Vint2)에 의하여 초기화된다. 따라서, 제4 전원(Vint2)은 제2 초기화 전원일 수 있다. 여기서, 제4 전원(Vint2)은 제3 전원(Vint1)보다 낮은 전압으로 설정된다. 또한, 제4 전원(Vint2)은 제2 전원(ELVSS)보다 높은 전압으로 설정된다. 이와 관련하여 상세한 설명은 후술하기로 한다.
- [0038] 한편, 도 1에서는 n개의 주사선들(S1 내지 Sn) 및 n개의 발광 제어선들(E1 내지 En)이 도시되었지만, 본원 발명이 이에 한정되지는 않는다. 일례로, 화소들(140)의 회로구조에 대응하여 i번째 수평 라인에 위치한 화소들(140)은 이전 수평 라인에 위치한 주사선(예를 들면, i-1번째 주사선)과 추가로 접속될 수 있다. 이를 위하여, 화소부(130)에는 도시되지 않은 더미 주사선들 및/또는 더미 발광 제어선들이 추가로 형성될 수 있다.
- [0040] 도 2는 도 1에 도시된 화소를 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 제m 데이터선(Dm)과 접속되며, i번째 수평 라인에 위치한 화소(140)를 도시하기로 한다.
- [0041] 도 2를 참조하면, 본 발명의 실시예에 의한 화소(140)는 화소 회로(142), 유기 발광 다이오드(OLED), 제1 트랜지스터(M1) 및 제2 트랜지스터(M2)를 구비한다.
- [0042] 유기 발광 다이오드(OLED)의 애노드 전극은 화소 회로(142)에 접속되고, 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소 회로(142)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0043] 화소 회로(142)는 제i-1 주사선(Si-1)으로 주사 신호가 공급될 때 구동 트랜지스터의 게이트 전극을 제3 전원(Vint1)의 전압으로 초기화한다. 그리고, 화소 회로(142)는 제i 주사선(Si)으로 주사 신호가 공급될 때 제2 트랜지스터(M2)를 경유하여 데이터선(Dm)으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소 회로(142)는 제i 발광 제어선(Ei)으로 발광 제어 신호의 공급이 중단될 때 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어한다. 이와 같은 화소 회로(142)는 제3 전원(Vint1)을 공급받는 다양한 형태의 회로로 구현될 수 있다.
- [0044] 제1 트랜지스터(M1)는 유기 발광 다이오드(OLED)의 애노드 전극과 제4 전원(Vint2) 사이에 접속된다. 그리고,

제1 트랜지스터(M1)의 게이트 전극은 제i 주사선(Si)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 제i 주사선(Si)으로 주사 신호가 공급될 때 턴-온되어 제4 전원(Vint2)의 전압을 유기 발광 다이오드(OLED)의 애노드 전극으로 공급한다.

[0045] 제4 전원(Vint2)의 전압이 유기 발광 다이오드(OLED)의 애노드 전극으로 공급되면, 유기 발광 다이오드(OLED)의 기생 커패시터(이후, "유기 커패시터(Coled)"라 하기로 함)가 방전된다. 유기 커패시터(Coled)가 방전되면 블랙 표현 능력이 향상된다.

[0046] 상세히 설명하면, 유기 커패시터(Coled)는 이전 프레임기간 동안 화소 회로(142)로부터 공급되는 전류에 대응하여 소정 전압을 충전한다. 유기 커패시터(Coled)가 충전되면, 유기 발광 다이오드(OLED)는 낮은 전류에 의해서도 쉽게 발광될 수 있다.

[0047] 한편, 현재 프레임 기간에 화소 회로(142)로 블랙 데이터신호가 공급될 수 있다. 블랙 데이터신호가 공급되는 경우 화소 회로(142)는 이상적으로 유기 발광 다이오드(OLED)로 전류를 공급하지 않아야 한다. 하지만, 트랜지스터들로 형성된 화소 회로(142)는 블랙 데이터신호가 공급되더라도 소정의 누설전류를 유기 발광 다이오드(OLED)로 공급한다. 이때, 유기 커패시터(Coled)가 충전 상태라면 유기 발광 다이오드(OLED)는 미세하게 발광될 수 있고, 이에 따라 블랙 표현 능력이 저하된다.

[0048] 반면에, 본원 발명과 같이 제4 전원(Vint2)에 의하여 유기 커패시터(Coled)가 방전되면 누설전류에 의하여 유기 발광 다이오드(OLED)는 비발광 상태로 설정된다. 즉, 본원 발명에서는 화소 회로(142)로 데이터신호가 공급될 때 제4 전원(Vint2)을 이용하여 유기 발광 다이오드(OLED)의 애노드 전극으로 제4 전원(Vint2)을 공급하고, 이에 따라 블랙 표현 능력을 향상시킬 수 있다.

[0049] 한편, 제4 전원(Vint2)은 유기 커패시터(Coled)가 안정적으로 방전될 수 있도록 제3 전원(Vint1)보다 낮고, 제2 전원(ELVSS)보다 높은 전압으로 설정될 수 있다. 일례로, 제4 전원(Vint2)은 대략 제2 전원(ELVSS)의 전압에 유기 발광 다이오드(OLED)의 문턱전압을 합한 전압으로 설정될 수 있다.

[0050] 추가적으로, 본원 발명은 제3 전원(Vint1)과 제4 전원(Vint2)이 분리되는 경우, 화소 회로(142)로부터의 누설전류를 최소화할 수 있다.

[0051] 상세히 설명하면, 고휘도를 구현하기 위해서는 유기 발광 다이오드(OLED)의 캐소드 전극에 접속된 제2 전원(ELVSS)의 전압을 낮추어야 한다. 제2 전원(ELVSS)의 전압이 낮아지면 화소 회로(142)로부터 유기 발광 다이오드(OLED)로 공급되는 전류량이 증가되고, 이에 따라 유기 발광 다이오드(OLED)의 휘도가 증가된다.

[0052] 여기서, 제2 전원(ELVSS)의 전압이 낮아지면 제4 전원(Vint2)의 전압도 낮아져야 한다. 따라서, 제3 전원(Vint1) 및 제4 전원(Vint2)이 분리되지 않는 경우, 제2 전원(ELVSS)의 전압이 낮아질수록 화소 회로(142)로부터 초기화전원으로 흐르는 누설전류가 증가된다.

[0053] 반면에, 본원 발명과 같이 제3 전원(Vint1) 및 제4 전원(Vint2)이 분리되는 경우, 제3 전원(Vint1)의 전압은 제2 전원(ELVSS2)과 무관하게 설정될 수 있다. 실제로, 본 발명의 실시예에서 제3 전원(Vint1)은 제2 전원(ELVSS) 및 제4 전원(Vint2)보다 높은 전압으로 설정되고, 이에 따라 화소 회로(142)로부터 제3 전원(Vint1)으로의 누설전류를 최소화할 수 있다.

[0054] 또한, 제4 전원(Vint2)이 제2 전원(ELVSS)보다 높은 전압으로 설정되면 유기 발광 다이오드(OLED)가 발광되는 기간 동안 화소 회로(142)로부터 제4 전원(Vint2)으로 흐르는 누설전류를 최소화할 수 있고, 이에 따라 유기 발광 다이오드(OLED)의 휘도를 상승시킬 수 있다.

[0055] 제2 트랜지스터(M2)는 데이터선(Dm)과 화소 회로(142)(즉, 도 3에 도시된 제1 노드(N1)) 사이에 접속된다. 그리고, 제2 트랜지스터(M2)의 게이트 전극은 제i 주사선(Si)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 제i 주사선(Si)으로 주사 신호가 공급될 때 턴-온되어 데이터선(Dm)으로부터의 데이터신호를 제1 노드(N1)로 공급한다.

[0057] 도 3은 도 2에 도시된 화소 회로를 나타내는 도면이다.

[0058] 도 3을 참조하면, 본 발명의 실시예에 의한 화소 회로(142)는 구동 트랜지스터(MD), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6) 및 스토리지 커패시터(Cst)를 구비한다.

- [0059] 구동 트랜지스터(MD)의 제1 전극은 제1 노드(N1)에 접속되고, 제2 전극은 제6 트랜지스터(M6)의 제1 전극에 접속된다. 그리고, 구동 트랜지스터(MD)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 구동 트랜지스터(MD)는 스토리지 커패시터(Cst)에 충전된 전압에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어한다.
- [0060] 제3 트랜지스터(M3)는 이중 게이트 구조의 트랜지스터이다. 제3 트랜지스터(M3)의 제1 전극은 제2 노드(N2)에 접속되고, 제2 전극은 제3 전원(Vint1)에 접속된다. 그리고, 제3 트랜지스터(M3)의 게이트 전극은 제i-1 주사선(Si-1)에 접속된다. 이와 같은 제3 트랜지스터(M3)는 제i-1 주사선(Si-1)으로 주사 신호가 공급될 때 턴-온되어 제3 전원(Vint1)의 전압을 제2 노드(N2)로 공급한다.
- [0061] 제4 트랜지스터(M4)는 이중 게이트 구조의 트랜지스터이다. 제4 트랜지스터(M4)의 제1 전극은 구동 트랜지스터(MD)의 제2 전극에 접속되고, 제2 전극은 제2 노드(N2)에 접속된다. 그리고, 제4 트랜지스터(M4)의 게이트 전극은 제i 주사선(Si)에 접속된다. 이와 같은 제4 트랜지스터(M4)는 제i 주사선(Si)으로 주사 신호가 공급될 때 턴-온되어 구동 트랜지스터(MD)를 다이오드 형태로 접속시킨다.
- [0062] 제5 트랜지스터(M5)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 그리고, 제5 트랜지스터(M5)의 게이트 전극은 발광 제어선(Ei)에 접속된다. 이와 같은 제5 트랜지스터(M5)는 발광 제어선(Ei)으로 발광 제어 신호가 공급될 때 턴-오프되고, 발광 제어 신호가 공급되지 않을 때 턴-온된다.
- [0063] 제6 트랜지스터(M6)의 제1 전극은 구동 트랜지스터(MD)의 제2 전극에 접속되고, 제2 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속된다. 그리고, 제6 트랜지스터(M6)의 게이트 전극은 발광 제어선(Ei)에 접속된다. 이와 같은 제6 트랜지스터(M6)는 발광 제어선(Ei)으로 발광 제어 신호가 공급될 때 턴-오프되고, 발광 제어 신호가 공급되지 않을 때 턴-온된다.
- [0064] 스토리지 커패시터(Cst)는 제1 전원(ELVDD)과 제2 노드(N2) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 데이터신호 및 구동 트랜지스터(MD)의 문턱전압에 대응되는 전압을 충전한다.
- [0066] 한편, 상술한 설명에서는 트랜지스터들을 피모스(PMOS)로 도시하였지만, 본원 발명이 이에 한정되지는 않는다. 다시 말하여, 트랜지스터들은 엔모스(NMOS)로 형성될 수도 있다.
- [0067] 본원 발명에서 유기 발광 다이오드(OLED)는 구동 트랜지스터로부터 공급되는 전류량에 대응하여 적색, 녹색 및 청색을 포함한 다양한 광을 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)는 구동 트랜지스터로부터 공급되는 전류량에 대응하여 백색 광을 생성할 수도 있다. 또한, 유기 발광 다이오드(OLED) 이외에 별도의 컬러필터를 이용하여 빛의 색을 제어할 수도 있다.
- [0069] 도 4 및 도 5는 도 1 내지 도 3에 도시된 화소를 상세하게 도시한 평면도들이며, 도 6은 도 4의 I-I'선에 따른 단면도이며, 도 7은 도 4의 II-II'선에 따른 단면도이다.
- [0070] 도 4 내지 도 7에서는 설명의 편의성을 위하여 m번째 데이터선(Dm)과 접속되며, i번째 수평 라인에 위치한 화소(140)를 기준으로, 하나의 화소(140)에 연결된 두 개의 주사선들(Si-1, Si), 발광 제어선(Ei), 전원선(PL) 및 데이터선(Dm)을 도시하였다. 또한, 도 4 내지 도 7에 있어서, 설명의 편의를 위해, i-1번째 수평 라인의 주사선을 "제i-1 주사선(Si-1)", i번째 수평 라인의 주사선을 제i 주사선(Si), i번째 수평 라인의 발광 제어선을 "발광 제어선(Ei)", m번째 데이터선을 "데이터선(Dm)로, 그리고, m번째 전원선을 "전원선(PL)"로 표시한다.
- [0071] 도 4 내지 도 7을 참조하면, 유기 전계 발광 표시 장치는 기판(SUB), 배선부, 및 화소들(140)을 포함할 수 있다.
- [0072] 기판(SUB)은 투명 절연 물질을 포함하여 광의 투과가 가능하다. 기판(SUB)은 경성(rigid) 기판일 수 있다. 예를 들면, 기판(SUB)은 유리 기판, 석영 기판, 유리 세라믹 기판 및 결정질 유리 기판 중 하나일 수 있다.
- [0073] 또한, 기판(SUB)은 가요성(flexible) 기판일 수도 있다. 여기서, 기판(SUB)은 고분자 유기물을 포함하는 필름 기판 및 플라스틱 기판 중 하나일 수 있다. 예를 들면, 기판(SUB)은 폴리스티렌(polystyrene), 폴리비닐알코올(polyvinyl alcohol), 폴리메틸메타크릴레이트(Polymethyl methacrylate), 폴리에테르술폰(polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(polyetherimide), 폴리에틸렌 나프탈레이트(polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리페닐렌 설파이드(polyphenylene

sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate), 트리아세테이트 셀룰로오스(triacetate cellulose), 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate) 중 적어도 어느 하나를 포함할 수 있다. 다만, 기관(SUB)을 구성하는 재료는 다양하게 변화될 수 있으며, 섬유 강화플라스틱(FRP, Fiber reinforced plastic) 등을 포함할 수도 있다.

- [0074] 배선부는 화소들(140) 각각에 신호를 제공하며, 주사선들(Si-1, Si), 데이터선(Dm), 발광 제어선(E1i), 전원선(PL), 제3 전원선(IPL1) 및 제4 전원선(IPL2)을 포함할 수 있다.
- [0075] 주사선들(Si-1, Si)은 제1 방향(DR1)으로 연장될 수 있다. 주사선들(Si-1, Si)은 제2 방향(DR2)을 따라 순차적으로 배열된 제i-1 주사선(Si-1), 및 제i 주사선(Si)을 포함할 수 있다. 주사선들(Si-1, Si)은 스캔 신호를 인가받을 수 있다. 예를 들면, 제i-1 주사선(Si-1)은 i-1번째 스캔 신호를 인가받을 수 있으며, 제i 주사선(Si)은 i번째 스캔 신호를 인가받을 수 있다. 제i-1 주사선(Si-1)은 i-1번째 스캔 신호에 의해 i번째 수평 라인의 화소들(140)을 초기화시킬 수 있다.
- [0076] 제i 주사선(Si)은 두 개의 라인으로 분기될 수 있으며, 분기된 제i 주사선들(Si)은 서로 다른 트랜지스터에 연결될 수 있다.
- [0077] 발광 제어선(Ei)은 제1 방향(DR1)으로 연장될 수 있다. 발광 제어선(Ei)은 두 개의 제i 주사선들(Si) 사이에서 제i 주사선들(Si)과 이격되도록 배치된다. 발광 제어선(Ei)은 발광 제어 신호를 인가받을 수 있다.
- [0078] 데이터선(Dm)은 제2 방향(DR2)으로 연장되며 제1 방향(DR1)을 따라 순차적으로 배열될 수 있다. 데이터선(Dm)은 데이터 신호를 인가받을 수 있다.
- [0079] 전원선(PL)은 제2 방향(DR2)을 따라 연장될 수 있다. 전원선(PL)은 데이터선(Dm)과 이격되도록 배치될 수 있다. 전원선(PL)은 제2 절연막(IL2)을 관통하는 제3 및 제4 콘택홀(CH3, CH4)을 통해 스토리지 커패시터(Cst)의 상부 전극(UE)에 연결된다. 전원선(PL)은 제1 전원(ELVDD)을 인가받을 수 있다.
- [0080] 제3 전원선(IPL1) 및 제4 전원선(IPL2)은 제1 방향(DR1)을 따라 연장될 수 있다. 제3 전원선(IPL1)은 제3 전원(Vint1)을 인가받을 수 있다. 제4 전원선(IPL2)은 제4 전원(Vint2)을 인가받을 수 있다. 또한, 제3 전원선(IPL1) 및 제4 전원선(IPL2)은 동일한 수평 라인에 제공되고 서로 인접한 화소들 간에 공유될 수 있다.
- [0081] 화소들(140) 각각은 제1 트랜지스터(M1) 내지 제6 트랜지스터(M6), 구동 트랜지스터(MD), 스토리지 커패시터(Cst), 유기 발광 다이오드(OLED)를 포함할 수 있다.
- [0082] 구동 트랜지스터(MD)는 게이트 전극(GE), 액티브 패턴(ACT), 소스 전극(SE), 드레인 전극(DE), 및 연결 라인(CNL)을 포함할 수 있다.
- [0083] 게이트 전극(GE)은 제3 트랜지스터(M3)의 제3 드레인 전극(DE3) 및 제4 트랜지스터(M4)의 제4 드레인 전극(DE4)과 연결될 수 있다. 연결 라인(CNL)은 게이트 전극(GE)과, 제3 드레인 전극(DE3) 및 제4 드레인 전극(DE4) 사이를 연결할 수 있다. 연결 라인(CNL)의 일단은 제1 콘택홀(CH1)을 통해 게이트 전극(GE)과 연결되고 연결 라인(CNL)의 타단은 제2 콘택홀(CH2)을 통해 제3 드레인 전극(DE3)과 제4 드레인 전극(DE4)에 연결될 수 있다.
- [0084] 본 발명의 일 실시예에 있어서, 액티브 패턴(ACT)과 소스 전극(SE) 및 드레인 전극(DE)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 소스 전극(SE) 및 드레인 전극(DE)은 불순물이 도핑된 반도체층으로 이루어지며, 액티브 패턴(ACT)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다.
- [0085] 액티브 패턴(ACT)은 소정 방향으로 연장된 바(bar) 형상을 가지며, 연장된 길이 방향을 따라 복수 회 절곡된 형상을 가질 수 있다. 액티브 패턴(ACT)은 평면 상에서 볼 때 게이트 전극(GE)과 중첩할 수 있다. 액티브 패턴(ACT)이 길게 형성됨으로써 구동 트랜지스터(MD)의 채널 영역이 길게 형성될 수 있다. 이에 따라, 구동 트랜지스터(MD)에 인가되는 게이트 전압의 구동 범위가 넓어지게 된다. 이에 따라 이후 유기 발광 다이오드(OLED)에서 방출되는 빛의 제조를 세밀하게 제어할 수 있다.
- [0086] 소스 전극(SE)은 액티브 패턴(ACT)의 일 단에 연결될 수 있다. 소스 전극(SE)은 제2 트랜지스터(M2)의 제2 드레인 전극(DE2)과 제5 트랜지스터(M5)의 제5 드레인 전극(DE5)과 연결될 수 있다. 드레인 전극(DE)은 액티브 패턴(ACT)의 타단에 연결될 수 있다. 드레인 전극(DE)은 제4 트랜지스터(M4)의 제4 소스 전극(SE4)과 제6 트랜지스터(M6)의 제6 소스 전극(SE6)에 연결될 수 있다.
- [0087] 제2 트랜지스터(M2)는 제2 게이트 전극(GE2), 제2 액티브 패턴(ACT2), 제2 소스 전극(SE2), 및 제2 드레인 전극(DE2)을 포함될 수 있다.

- [0088] 제2 게이트 전극(GE2)은 제i 주사선(Si)에 연결될 수 있다. 제2 게이트 전극(GE2)은 제i 주사선(Si)의 일부로 제공되거나 제i 주사선(Si)으로부터 돌출된 형상으로 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제2 액티브 패턴(ACT2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 불순물이 도핑된 반도체층으로 이루어지며, 제2 액티브 패턴(ACT2)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제2 액티브 패턴(ACT2)은 제2 게이트 전극(GE2)과 중첩된 부분에 해당한다. 제2 소스 전극(SE2)의 일단은 제2 액티브 패턴(ACT2)에 연결될 수 있다. 제2 소스 전극(SE2)의 타단은 제6 콘택홀(CH6)을 통해 데이터선(Dm)에 연결될 수 있다. 제2 드레인 전극(DE2)의 일단은 제2 액티브 패턴(ACT2)에 연결될 수 있다. 제2 드레인 전극(DE2)의 타단은 구동 트랜지스터(MD)의 소스 전극(SE)과 제5 트랜지스터(M5)의 제5 드레인 전극(DE5)과 연결될 수 있다.
- [0089] 제3 트랜지스터(M3)는 누설 전류를 방지하기 위해 이중 게이트 구조로 제공될 수 있다. 즉, 제3 트랜지스터(M3)는 제3a 트랜지스터(M3a)와 제3b 트랜지스터(M3b)를 포함할 수 있다. 제3a 트랜지스터(M3a)는 제3a 게이트 전극(GE3a), 제3a 액티브 패턴(ACT3a), 제3a 소스 전극(SE3a), 및 제3a 드레인 전극(DE3a)을 포함하고, 제3b 트랜지스터(M3b)는 제3b 게이트 전극(GE3b), 제3b 액티브 패턴(ACT3b), 제3b 소스 전극(SE3b), 및 제3b 드레인 전극(DE3b)을 포함할 수 있다. 하기에서는, 제3a 게이트 전극(GE3a)과 제3b 게이트 전극(GE3b)을 제3 게이트 전극(GE3), 제3a 액티브 패턴(ACT3a)과 제3b 액티브 패턴(ACT3b)을 제3 액티브 패턴(ACT3), 제3a 소스 전극(SE3a)과 제3b 소스 전극(SE3b)을 제4 소스 전극(SE3), 그리고 제3a 드레인 전극(DE3a)과 제3b 드레인 전극(DE3b)을 제3 드레인 전극(DE3)으로 지칭한다.
- [0090] 제3 게이트 전극(GE3)은 제i-1 주사선(Si-1)에 연결될 수 있다. 제3 게이트 전극(GE3)은 제i-1 주사선(Si-1)의 일부로 제공되거나 제i-1 주사선(Si-1)으로부터 돌출된 형상으로 제공될 수 있다. 예를 들면, 제3a 게이트 전극(GE3a)은 제i-1 주사선(Si-1)의 일부로 제공될 수 있다. 제3b 게이트 전극(GE3b)은 제i-1 주사선(Si-1)으로부터 돌출된 형상으로 제공될 수 있다.
- [0091] 제3 액티브 패턴(ACT3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)은 불순물이 도핑된 반도체층으로 이루어지며, 제3 액티브 패턴(ACT3)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제3 액티브 패턴(ACT3)은 제3 게이트 전극(GE3)과 중첩된 부분에 해당한다.
- [0092] 제3 소스 전극(SE3)의 일단은 제3 액티브 패턴(ACT3)에 연결될 수 있다. 제3 소스 전극(SE3)의 타단은 제3 전원선(IPL1) 및 i-1번째 수평 라인에 제공되는 화소의 제1 트랜지스터(M1)의 제1 드레인 전극(DE1)에 연결될 수 있다. 제3 소스 전극(SE3)과 i-1번째 수평 라인에 제공되는 화소의 제1 트랜지스터(M1)의 제1 드레인 전극(DE1) 사이에는 보조 연결 라인(AUX)이 제공될 수 있다. 보조 연결 라인(AUX)의 일단은 제9 콘택홀(CH9)을 통해 제3 소스 전극(SE3)과 연결될 수 있다. 보조 연결 라인(AUX)의 타단은 i-1번째 수평 라인에 제공되는 화소의 제8 콘택홀(CH8)을 통해 i-1번째 수평 라인의 제3 전원선(IPL1)에 연결될 수 있다. 또한, 보조 연결 라인(AUX)의 일부는 제12 콘택홀(CH12)을 통해 제4 전원선(IPL2)에 연결될 수 있다. 제3 드레인 전극(DE3)의 일단은 제3 액티브 패턴(ACT3)에 연결될 수 있다. 제3 드레인 전극(DE3)의 타단은 제4 트랜지스터(M4)의 제4 드레인 전극(DE4)에 연결된다. 제3 드레인 전극(DE3)은 또한 연결 라인(CNL), 제2 콘택홀(CH2) 및 제1 콘택홀(CH1)을 통해 구동 트랜지스터(MD)의 게이트 전극(GE)에 연결된다.
- [0093] 제4 트랜지스터(M4)는 누설 전류를 방지하기 위해 이중 게이트 구조로 제공될 수 있다. 즉, 제4 트랜지스터(M4)는 제4a 트랜지스터(M4a)와 제4b 트랜지스터(M4b)를 포함할 수 있다. 제4a 트랜지스터(M4a)는 제4a 게이트 전극(GE4a), 제4a 액티브 패턴(ACT4a), 제4a 소스 전극(SE4a), 및 제4a 드레인 전극(DE4a)을 포함할 수 있다. 제4b 트랜지스터(M4b)는 제4b 게이트 전극(GE4b), 제4b 액티브 패턴(ACT4b), 제4b 소스 전극(SE4b), 및 제4b 드레인 전극(DE4b)을 포함할 수 있다. 하기에서는, 제4a 게이트 전극(GE4a)과 제4b 게이트 전극(GE4b)을 제4 게이트 전극(GE4), 제4a 액티브 패턴(ACT4a)과 제4b 액티브 패턴(ACT4b)을 제4 액티브 패턴(ACT4), 제4a 소스 전극(SE4a)과 제4b 소스 전극(SE4b)을 제4 소스 전극(SE4), 그리고 제4a 드레인 전극(DE4a)과 제4b 드레인 전극(DE4b)을 제4 드레인 전극(DE4)으로 지칭한다.
- [0094] 제4 게이트 전극(GE4)은 제i 주사선(Si)에 연결될 수 있다. 제4 게이트 전극(GE4)은 제i 주사선(Si)의 일부로 제공되거나 제i 주사선(Si)으로부터 돌출된 형상으로 제공된다. 예를 들면, 제4a 게이트 전극(GE4a)은 제i 주사선(Si)로부터 돌출된 형상으로 제공되며, 제4b 게이트 전극(GE4b)은 제i 주사선(Si)의 일부로 제공될 수 있다.
- [0095] 제4 액티브 패턴(ACT4), 제4 소스 전극(SE4) 및 제4 드레인 전극(DE4)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제4 소스 전극(SE4) 및 제4 드레인 전극(DE4)은 불순물이 도핑

된 반도체층으로 이루어지며, 제4 액티브 패턴(ACT4)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제4 액티브 패턴(ACT4)은 제4 게이트 전극(GE4)과 중첩된 부분에 해당한다. 제4 소스 전극(SE4)의 일 단은 제4 액티브 패턴(ACT4)에 연결될 수 있다. 제4 소스 전극(SE4)의 타단은 구동 트랜지스터(MD)의 드레인 전극(DE)과 제6 트랜지스터(M6)의 제6 소스 전극(SE6)에 연결될 수 있다. 제4 드레인 전극(DE4)의 일단은 제4 액티브 패턴(ACT4)에 연결될 수 있다. 제4 드레인 전극(DE4)의 타단은 제3 트랜지스터(M3)의 제3 드레인 전극(DE3)에 연결될 수 있다. 또한, 제4 드레인 전극(DE4)은 연결 라인(CNL), 제2 콘택홀(CH2) 및 제1 콘택홀(CH1)을 통해 구동 트랜지스터(MD)의 게이트 전극(GE)에 연결될 수 있다.

[0096] 제5 트랜지스터(M5)는 제5 게이트 전극(GE5), 제5 액티브 패턴(ACT5), 제5 소스 전극(SE5), 및 제5 드레인 전극(DE5)을 포함할 수 있다.

[0097] 제5 게이트 전극(GE5)은 발광 제어선(Ei)에 연결될 수 있다. 제5 게이트 전극(GE5)은 발광 제어선(Ei) 일부로 제공되거나 발광 제어선(Ei)으로부터 돌출된 형상으로 제공될 수 있다. 제5 액티브 패턴(ACT5), 제5 소스 전극(SE5) 및 제5 드레인 전극(DE5)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성된다. 예를 들면, 제5 소스 전극(SE5) 및 제5 드레인 전극(DE5)은 불순물이 도핑된 반도체층으로 이루어지며, 제5 액티브 패턴(ACT5)은 불순물이 도핑되지 않은 반도체층으로 이루어진다. 제5 액티브 패턴(ACT5)은 제5 게이트 전극(GE5)과 중첩된 부분에 해당한다. 제5 소스 전극(SE5)의 일단은 제5 액티브 패턴(ACT5)에 연결될 수 있다. 제5 소스 전극(SE5)의 타단은 제5 콘택홀(CH5)을 통해 전원선(PL)에 연결될 수 있다. 제5 드레인 전극(DE5)의 일단은 제5 액티브 패턴(ACT5)에 연결될 수 있다. 제5 드레인 전극(DE5)의 타단은 구동 트랜지스터(MD)의 소스 전극(SE) 및 제2 트랜지스터(M2)의 제2 드레인 전극(DE2)에 연결될 수 있다.

[0098] 제6 트랜지스터(M6)는 제6 게이트 전극(GE6), 제6 액티브 패턴(ACT6), 제6 소스 전극(SE6), 및 제6 드레인 전극(DE6)을 포함할 수 있다.

[0099] 제6 게이트 전극(GE6)은 발광 제어선(Ei)에 연결될 수 있다. 제6 게이트 전극(GE6)은 발광 제어선(Ei) 일부로 제공되거나 발광 제어선(Ei)으로부터 돌출된 형상으로 제공될 수 있다. 제6 액티브 패턴(ACT6), 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성된다. 예를 들면, 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6)은 불순물이 도핑된 반도체층으로 이루어지며, 제6 액티브 패턴(ACT6)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제6 액티브 패턴(ACT6)은 제6 게이트 전극(GE6)과 중첩된 부분에 해당한다. 제6 소스 전극(SE6)의 일단은 제6 액티브 패턴(ACT6)에 연결될 수 있다. 제6 소스 전극(SE6)의 타단은 구동 트랜지스터(MD)의 드레인 전극(DE) 및 제4 트랜지스터(M4)의 제4 소스 전극(SE4)에 연결될 수 있다. 제6 드레인 전극(DE6)의 일단은 제6 액티브 패턴(ACT6)에 연결될 수 있다. 제6 드레인 전극(DE6)의 타단은 제1 트랜지스터(M1)의 제1 소스 전극(SE1)에 연결될 수 있다.

[0100] 제1 트랜지스터(M1)는 제1 게이트 전극(GE1), 제1 액티브 패턴(ACT1), 제1 소스 전극(SE7), 및 제1 드레인 전극(DE1)을 포함할 수 있다.

[0101] 제1 게이트 전극(GE1)은 제i 주사선(Si)에 연결될 수 있다. 제1 게이트 전극(GE1)은 제i 주사선(Si)의 일부로 제공되거나 제i 주사선(Si)으로부터 돌출된 형상으로 제공될 수 있다. 제1 액티브 패턴(ACT1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 불순물이 도핑된 반도체층으로 이루어지며, 제1 액티브 패턴(ACT1)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제1 액티브 패턴(ACT1)은 제1 게이트 전극(GE1)과 중첩된 부분에 해당한다. 제1 소스 전극(SE1)의 일단은 제1 액티브 패턴(ACT1)에 연결될 수 있다. 제1 소스 전극(SE1)의 타단은 제6 트랜지스터(M6)의 제6 드레인 전극(DE6)에 연결될 수 있다. 제1 드레인 전극(DE1)의 일단은 제1 액티브 패턴(ACT1)에 연결될 수 있다. 제1 드레인 전극(DE1)의 타단은 제4 전원선(IPL2)에 연결될 수 있다. 또한, 제1 드레인 전극(DE1)은 i+1번째 수평 라인에 제공되는 화소의 제3 소스 전극(SE3)에 연결될 수 있다. 제1 드레인 전극(DE1)과 i+1 수평 라인에 제공되는 화소의 제3 소스 전극(SE3)은 보조 라인(AUX), 제8 콘택홀(CH8), 및 제9 콘택홀(CH9)을 통해 연결될 수 있다.

[0102] 스토리지 캐패시터(Cst)는 하부 전극(LE)과 상부 전극(UE)을 포함할 수 있다. 하부 전극(LE)은 구동 트랜지스터(MD)의 제1 게이트 전극(GE7)으로 이루어질 수 있다.

[0103] 상부 전극(UE)은 게이트 전극(GE)과 중첩하며, 평면 상에서 볼 때 하부 전극(LE)을 커버할 수 있다. 상부 전극(UE)과 하부 전극(LE)과의 중첩 면적을 넓힘으로써 스토리지 캐패시터(Cst)의 캐패시턴스가 증가될 수 있다. 상부 전극(UE)은 제1 방향(DR1)으로 연장될 수 있다. 본 발명의 일 실시예에 있어서, 상부 전극(UE)에는 제1 전원

과 동일한 레벨의 전압이 인가될 수 있다. 상부 전극(UE)은 게이트 전극(GE)과 연결 라인(CNL)이 접촉되는 제1 콘택홀(CH1)이 형성되는 영역에 개구부(OPN)를 가질 수 있다.

[0104] 유기 발광 다이오드(OLED)는 제1 전극(AD), 제2 전극(CD), 및 제1 전극(AD)과 제2 전극(CD) 사이에 제공된 발광층(EML)을 포함할 수 있다.

[0105] 제1 전극(AD)은 각 화소(140)에 대응하는 발광 영역 내에 제공될 수 있다. 제1 전극(AD)은 제7 콘택홀(CH7), 및 제10 콘택홀(CH10)을 통해 제1 트랜지스터(M1)의 제1 소스 전극(SE1)과, 제6 트랜지스터(M6)의 제6 드레인 전극(DE6)에 연결될 수 있다. 제7 콘택홀(CH7)과 제10 콘택홀(CH10) 사이에는 브릿지 패턴(BRP)이 제공될 수 있다. 브릿지 패턴(BRP)은 제6 드레인 전극(DE6), 제1 소스 전극(SE1) 및 제1 전극(AD)을 연결할 수 있다.

[0107] 하기에서는, 도 4 내지 도 7을 참조하여, 본 발명의 일 실시예에 따른 표시 장치의 구조에 대해 적층 순서에 따라 설명한다.

[0108] 기판(SUB) 상에 액티브 패턴들(ACT, ACT1 내지 ACT6)이 제공될 수 있다. 액티브 패턴들은 액티브 패턴(ACT), 및 제1 액티브 패턴(ACT1) 내지 제6 액티브 패턴(ACT6)을 포함할 수 있다. 액티브 패턴(ACT), 및 제1 액티브 패턴(ACT1) 내지 제6 액티브 패턴(ACT6)은 반도체 소재로 형성될 수 있다.

[0109] 기판(SUB)과 액티브 패턴들 사이에는 버퍼층(미도시)이 제공될 수 있다.

[0110] 액티브 패턴들이 형성된 기판(SUB) 상에는 게이트 절연막(GI)이 제공될 수 있다.

[0111] 게이트 절연막(GI) 상에는 제i-1 주사선(Si-1), 제i 주사선(Si), 발광 제어선(Ei), 게이트 전극(GE), 및 제1 게이트 전극(GE1) 내지 제6 게이트 전극(GE6)이 제공될 수 있다. 게이트 전극(GE)은 스토리지 캐패시터(Cst)의 하부 전극(LE)이 될 수 있다. 제2 게이트 전극(GE2)과 제4 게이트 전극(GE4)은 제i 주사선(Si)과 일체로 형성될 수 있다. 제3 게이트 전극(GE3)은 제i-1 주사선(Si-1)과 일체로 형성될 수 있다. 제5 게이트 전극(GE5)과 제6 게이트 전극(GE6)은 발광 제어선(Ei)과 일체로 형성될 수 있다. 제7 게이트 전극(GE7)은 제i 주사선(Si)과 일체로 형성될 수 있다.

[0112] 제i-1 주사선(Si-1) 등이 형성된 기판(SUB) 상에는 제1 절연막(IL1)이 제공될 수 있다.

[0113] 제1 절연막(IL1) 상에는 스토리지 캐패시터(Cst)의 상부 전극(UE) 및 제3 전원선(IPL1)이 제공될 수 있다. 상부 전극(UE)은 하부 전극(LE)을 커버할 수 있다. 상부 전극(UE)은 제1 절연막(IL1)을 사이에 두고 하부 전극(LE)과 함께 스토리지 캐패시터(Cst)를 구성할 수 있다.

[0114] 상부 전극(UE), 및 제3 전원선(IPL1)이 배치된 기판(SUB) 상에는 제2 절연막(IL2)이 제공될 수 있다.

[0115] 제2 절연막(IL2) 상에는 데이터선(Dm), 전원선(PL), 연결 라인(CNL), 보조 연결 라인(AUX), 및 브릿지 패턴(BRP)이 제공될 수 있다.

[0116] 데이터선(Dm)은 제1 절연막(IL1), 제2 절연막(IL2), 및 게이트 절연막(GI)을 관통하는 제6 콘택홀(CH6)을 통해 제2 소스 전극(SE2)에 연결될 수 있다.

[0117] 전원선(PL)은 또한 제1 절연막(IL1), 제2 절연막(IL2), 및 게이트 절연막(GI)을 관통하는 제5 콘택홀(CH5)을 통해 제5 소스 전극(SE5)에 연결될 수 있다.

[0118] 연결 라인(CNL)은 제1 절연막(IL1) 및 제2 절연막(IL2)을 관통하는 제1 콘택홀(CH1)을 통해 게이트 전극(GE)에 연결될 수 있다. 또한, 연결 라인(CNL)은 게이트 절연막(GI), 제1 절연막(IL1) 및 제2 절연막(IL2)을 관통하는 제2 콘택홀(CH2)을 통해 제3 드레인 전극(DE3) 및 제4 드레인 전극(DE4)에 연결될 수 있다.

[0119] 보조 연결 라인(AUX)은 제2 절연막(IL2)을 관통하는 제8 콘택홀(CH8)을 통해 제3 전원선(IPL1)에 연결될 수 있다. 또한, 보조 연결 라인(AUX)은 게이트 절연막(GI), 제1 절연막(IL1), 및 제2 절연막(IL2)을 관통하는 제9 콘택홀(CH9)을 통해 제3 소스 전극(SE3) 및 i-1번째 수평 라인에 제공되는 화소의 제1 드레인 전극(DE1)에 연결될 수 있다.

[0120] 브릿지 패턴(BRP)은 제6 드레인 전극(DE6)과 제1 전극(AD) 사이에서 제6 드레인 전극(DE6)과 제1 전극(AD)을 연결하는 매개체로 제공되는 패턴일 수 있다. 브릿지 패턴(BRP)은 게이트 절연막(GI), 제1 절연막(IL1), 및 제2 절연막(IL2)을 관통하는 제7 콘택홀(CH7)을 통해 제6 드레인 전극(DE6)과 제1 소스 전극(SE1)에 연결된다.

- [0121] 데이터선(Dm) 등이 형성된 기판(SUB)에는 보호층(PSV)이 제공될 수 있다.
- [0122] 보호층(PSV) 상에는 제4 전원선(IPL2) 및 유기 발광 다이오드(OLED)가 제공될 수 있다. 유기 발광 다이오드(OLED)는 제1 전극(AD), 제2 전극(CD), 및 제1 전극(AD)과 제2 전극(CD) 사이에 제공된 발광층(EML)을 포함할 수 있다.
- [0123] 제1 전극(AD)은 보호층(PSV) 상에 제공될 수 있다. 제1 전극(AD)은 보호층(PSV)을 관통하는 제10 콘택홀(CH10)을 통해 브릿지 패턴(BRP)에 연결될 수 있다. 브릿지 패턴(BRP)은 제7 콘택홀(CH7)을 통해 제6 드레인 전극(DE6)과 제1 소스 전극(SE1)에 연결되어 있으므로, 제1 전극(AD)은 최종적으로 제6 드레인 전극(DE6)과 제1 소스 전극(SE1)에 전기적으로 연결될 수 있다.
- [0124] 제1 전극(AD) 등이 형성된 기판(SUB) 상에는 각 화소(140)에 대응하도록 발광 영역을 구획하는 화소 정의막(PDL)이 제공될 수 있다. 화소 정의막(PDL)은 제1 전극(AD)의 상면을 노출하며 화소(140)의 둘레를 따라 기판(SUB)으로부터 돌출될 수 있다.
- [0125] 화소 정의막(PDL)에 의해 둘러싸인 발광 영역에는 발광층(EML)이 제공되며, 발광층(EML) 상에는 제2 전극(CD)이 제공될 수 있다.
- [0126] 제1 전극(AD) 및 제2 전극(CD) 중 하나는 애노드(anode) 전극일 수 있으며, 다른 하나는 캐소드(cathode) 전극일 수 있다. 예를 들면, 제1 전극(AD)는 애노드 전극일 수 있으며, 제2 전극(CD)는 캐소드 전극일 수 있다.
- [0127] 또한, 제1 전극(AD) 및 제2 전극(CD) 중 적어도 하나는 투과형 전극일 수 있다. 예를 들면, 유기 발광 다이오드(OLED)가 배면 발광형 유기 발광 다이오드인 경우, 제1 전극(AD)이 투과형 전극이며, 제2 전극(CD)이 반사형 전극일 수 있다. 유기 발광 다이오드(OLED)가 전면 발광형 유기 발광 다이오드인 경우, 제1 전극(AD)이 반사형 전극이며, 제2 전극(CD)이 투과형 전극일 수 있다. 유기 발광 다이오드(OLED)가 양면 발광형 유기 발광 다이오드인 경우, 제1 전극(AD) 및 제2 전극(CD) 모두 투과형 전극일 수 있다. 본 실시예에서는 유기 발광 다이오드(OLED)이 전면 발광형 유기 발광 다이오드이며, 제1 전극(AD)이 애노드 전극인 경우를 예로서 설명한다.
- [0128] 제1 전극(AD)은 광을 반사시킬 수 있는 반사막(미도시), 및 반사막의 상부 또는 하부에 배치되는 투명 도전막(미도시)을 포함할 수 있다. 투명 도전막 및 반사막 중 적어도 하나는 제1 소스 전극(SE1)과 접촉할 수 있다.
- [0129] 반사막은 광을 반사시킬 수 있는 물질을 포함할 수 있다. 예를 들면, 반사막은 알루미늄(Al), 은(Ag), 크롬(Cr), 몰리브덴(Mo), 백금(Pt), 니켈(Ni) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.
- [0130] 투명 도전막은 투명 도전성 산화물을 포함할 수 있다. 예를 들어, 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 적어도 하나의 투명 도전성 산화물을 포함할 수 있다.
- [0131] 화소 정의막(PDL)은 유기 절연 물질을 포함할 수 있다. 예를 들면, 화소 정의막(PDL)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA, polymethylmethacrylate), 폴리아크릴로니트릴(PAN, polyacrylonitrile), 폴리아미드(PA, polyamide), 폴리아이미드(PI, polyimide), 폴리아릴에테르(PAE, polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 에폭시(epoxy), 벤조시클로부텐(BCB, benzocyclobutene), 실록산계 수지(siloxane based resin) 및 실란계 수지(silane based resin) 중 적어도 하나를 포함할 수 있다.
- [0132] 발광층(EML)은 제1 전극(AD)의 노출된 표면 상에 배치될 수 있다. 발광층(EML)은 적어도 광 생성층(light generation layer, LGL)을 포함하는 다층 박막 구조를 가질 수 있다. 예를 들면, 발광층(EML)은 정공을 주입하는 정공 주입층(hole injection layer, HIL), 정공의 수송성이 우수하고 광 생성층에서 결합하지 못한 전자의 이동을 억제하여 정공과 전자의 재결합 기회를 증가시키기 위한 정공 수송층(hole transport layer, HTL), 주입된 전자와 정공의 재결합에 의하여 광을 발하는 광 생성층, 광 생성층에서 결합하지 못한 정공의 이동을 억제하기 위한 정공 억제층(hole blocking layer, HBL), 전자를 광 생성층으로 원활히 수송하기 위한 전자 수송층(electron transport layer, ETL), 및 전자를 주입하는 전자 주입층(electron injection layer, EIL)을 구비할 수 있다.
- [0133] 광 생성층에서 생성되는 광의 색상은 적색(red), 녹색(green), 청색(blue) 및 백색(white) 중 하나일 수 있으나, 본 실시예에서 이를 한정하는 것은 아니다. 예를 들어, 발광층(EML)의 광 생성층에서 생성되는 광의 색

상은 마젠타(magenta), 시안(cyan), 옐로(yellow) 중 하나일 수도 있다.

- [0134] 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층은 서로 인접하는 발광 영역들에서 연결되는 공통막일 수 있다.
- [0135] 제2 전극(CD)은 반투과 반사막일 수 있다. 예를 들면, 제2 전극(CD)은 발광층(EML)에서 출사된 광을 투과시킬 수 있을 정도의 두께를 가지는 박형 금속층일 수 있다. 제2 전극(CD)은 발광층(EML)에서 출사된 광의 일부는 투과시키고, 발광층(EML)에서 출사된 광의 나머지는 반사시킬 수 있다.
- [0136] 제2 전극(CD)은 투명 도전막에 비하여 일함수가 낮은 물질을 포함할 수 있다. 예를 들면, 제2 전극(CD)은 몰리브덴(Mo), 텅스텐(W), 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.
- [0137] 발광층(EML)에서 출사된 광 중 일부는 제2 전극(CD)을 투과하지 못하고, 제2 전극(CD)에서 반사된 광은 반사막에서 다시 반사될 수 있다. 즉, 반사막 및 제2 전극(CD) 사이에서, 발광층(EML)에서 출사된 광은 공진할 수 있다. 광의 공진에 의하여 표시 소자들(OLED)의 광 추출 효율은 향상될 수 있다.
- [0138] 반사막 및 제2 전극(CD) 사이의 거리는 발광층(EML)에서 출사된 광의 색상에 따라 상이할 수 있다. 즉, 발광층(EML)에서 출사된 광의 색상에 따라, 반사막 및 제2 전극(CD) 사이의 거리는 공진 거리에 부합되도록 조절될 수 있다.
- [0139] 제4 전원선(IPL2)은 제1 전극(AD)과 동일층, 예를 들면, 보호층(PSV) 상에 제공되고, 화소 정의막(PDL)에 의해 커버될 수 있다. 또한, 제4 전원선(IPL2)은 제1 전극(AD)과 동일한 물질을 포함할 수 있다. 예를 들면, 제4 전원선(IPL2)은 광을 반사시킬 수 있는 반사막(미도시), 및 반사막의 상부 또는 하부에 배치되는 투명 도전막(미도시)을 포함할 수 있다.
- [0140] 제4 전원선(IPL2)은 보호층(PSV)을 관통하는 제12 컨택홀(CH12)를 통해 보조 연결 라인(AUX)에 연결되어, 제1 트랜지스터(M1)의 제1 드레인 전극(DE1)에 연결될 수 있다.
- [0141] 또한, 도 5에 도시된 바와 같이, 제4 전원선(IPL2)은 절곡되거나 일부가 돌출 또는 연장되어, 제3 트랜지스터(M3)의 적어도 일부 및 제4 트랜지스터(M4)의 적어도 일부를 커버할 수 있다. 따라서, 제4 전원선(IPL2)은 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)로 외부 광이 입사하는 것을 차단할 수 있다. 제3 트랜지스터(M3) 또는 제4 트랜지스터(M4)에 외부 광이 입사하면, 제3 트랜지스터(M3) 또는 제4 트랜지스터(M4)의 오작동이 발생할 수 있다. 따라서, 유기 전계 발광 표시 장치의 화질이 저하될 수 있다. 반면, 본 발명과 같이, 제4 전원선(IPL2)의 일부가 제3 트랜지스터(M3)의 적어도 일부 및 제4 트랜지스터(M4)의 적어도 일부를 커버하면, 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)의 오작동이 방지되고, 유기 전계 발광 표시 장치의 화질 저하가 방지될 수 있다.
- [0142] 제2 전극(CD) 상에는 제2 전극(CD)을 커버하는 봉지막(SLM)이 제공될 수 있다. 봉지막(SLM)은 유기 발광 다이오드(OLED)로 산소 및 수분이 침투하는 것을 방지할 수 있다. 봉지막(SLM)은 복수의 무기막(미도시) 및 복수의 유기막(미도시)을 포함할 수 있다. 예를 들면, 봉지막(SLM)은 무기막, 및 무기막 상에 배치된 유기막을 포함하는 복수의 단위 봉지층을 포함할 수 있다. 또한, 봉지막(SLM)의 최상부에는 무기막이 배치될 수 있다. 무기막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 티타늄 산화물, 지르코늄 산화물 및 주석 산화물 중 적어도 하나를 포함할 수 있다.
- [0143] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.
- [0144] 전술한 발명에 대한 권리범위는 이하의 특허청구범위에서 정해지는 것으로서, 명세서 본문의 기재에 구속되지 않으며, 청구범위의 균등 범위에 속하는 변형과 변경은 모두 본 발명의 범위에 속할 것이다.

## 부호의 설명

- [0145] 110: 주사 구동부    120: 데이터 구동부  
130: 화소부    140: 화소  
142: 화소 회로    150: 타이밍 제어부

D1, D2, D3, ..., Dm: 데이터선 S1, S2, S3, ..., Sn: 주사선

M1, M2, ..., M6, MD: 트랜지스터 E1, E2, E3, ..., En: 발광 제어선

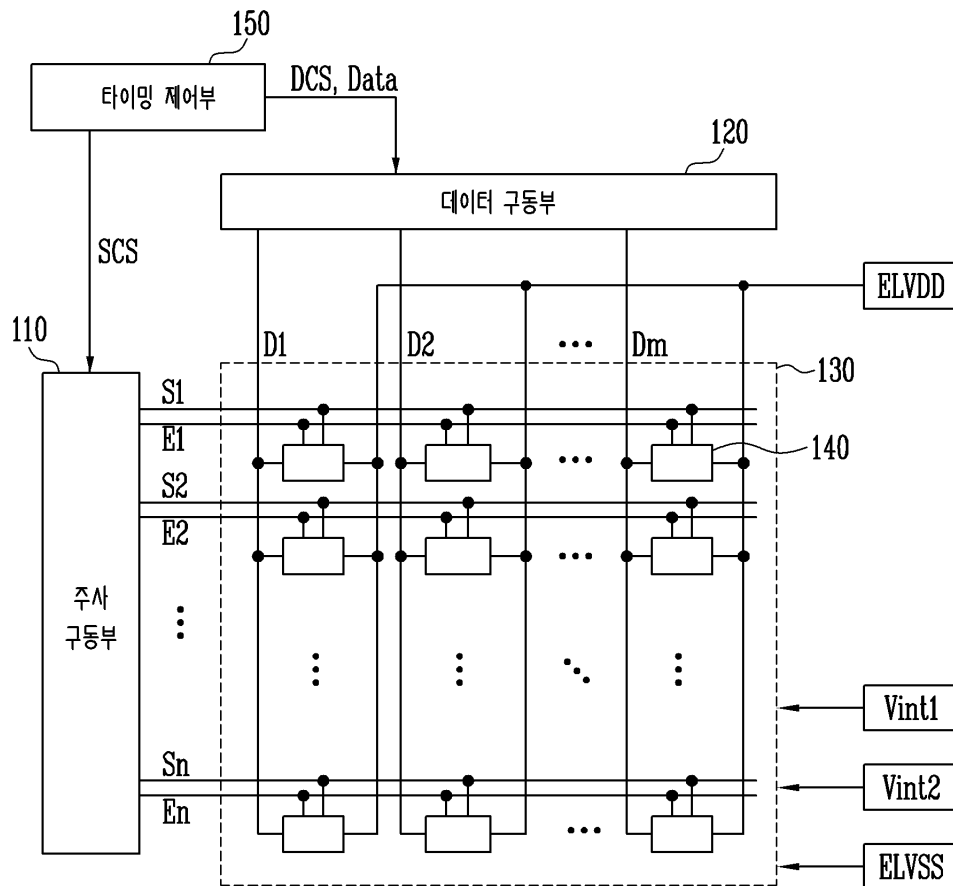
SUB: 기판 PL: 전원선

IPL1, IPL2: 전원선 GI: 게이트 절연막

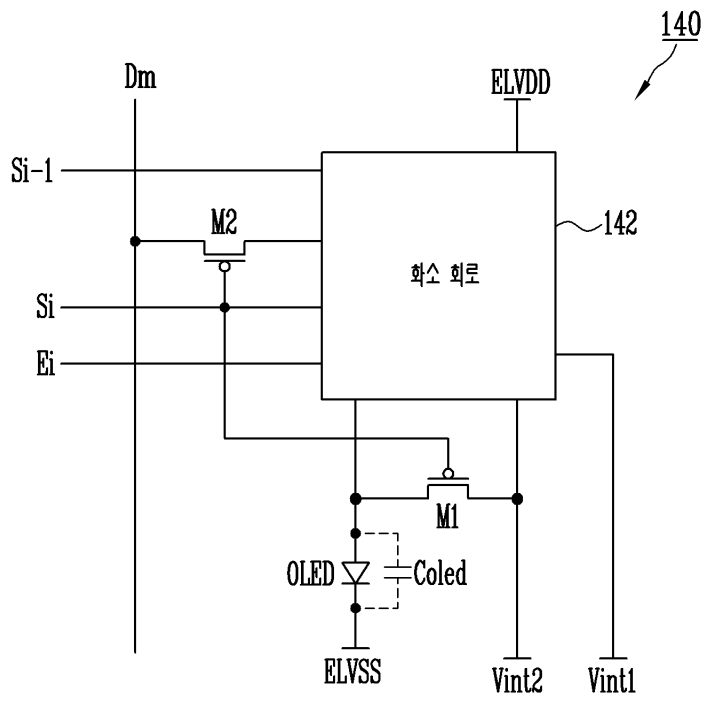
IL1, IL2: 제1 및 제2 절연막 PSV: 보호층

## 도면

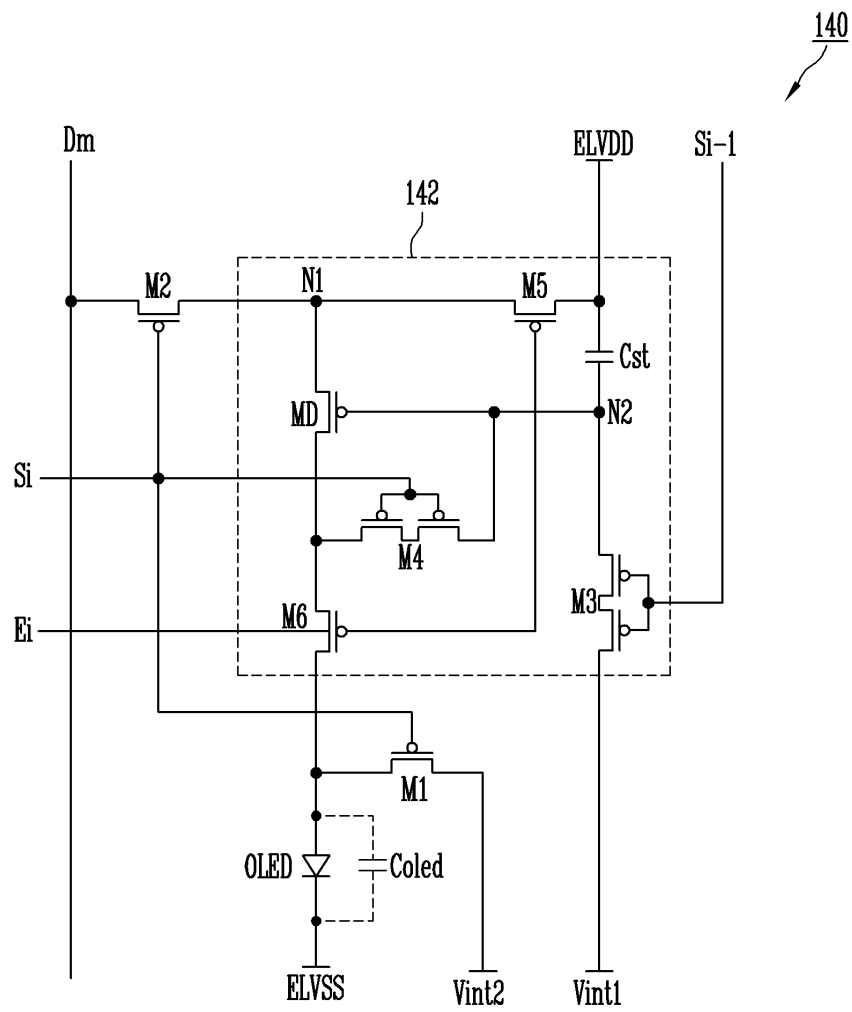
### 도면1



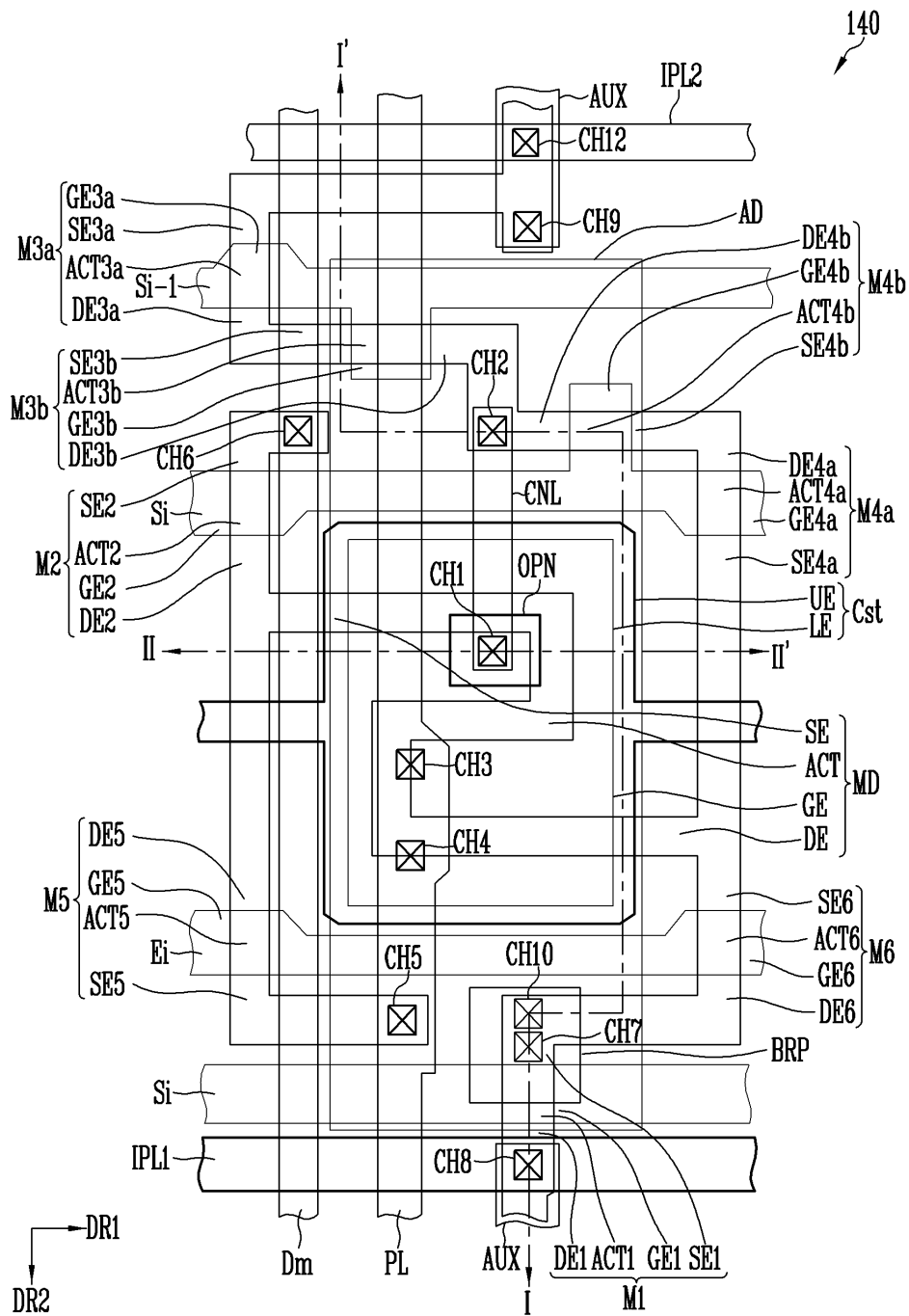
도면2



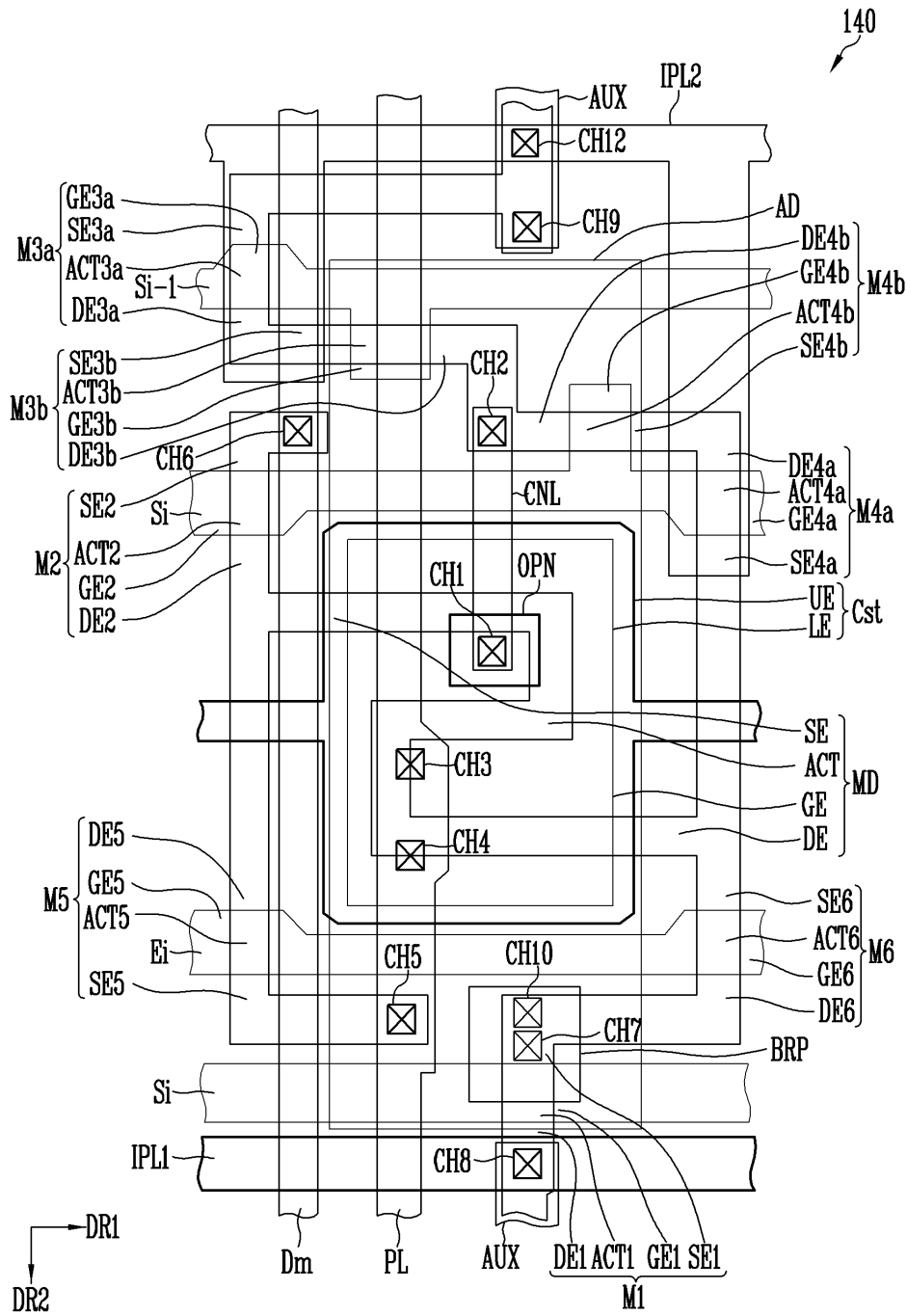
도면3



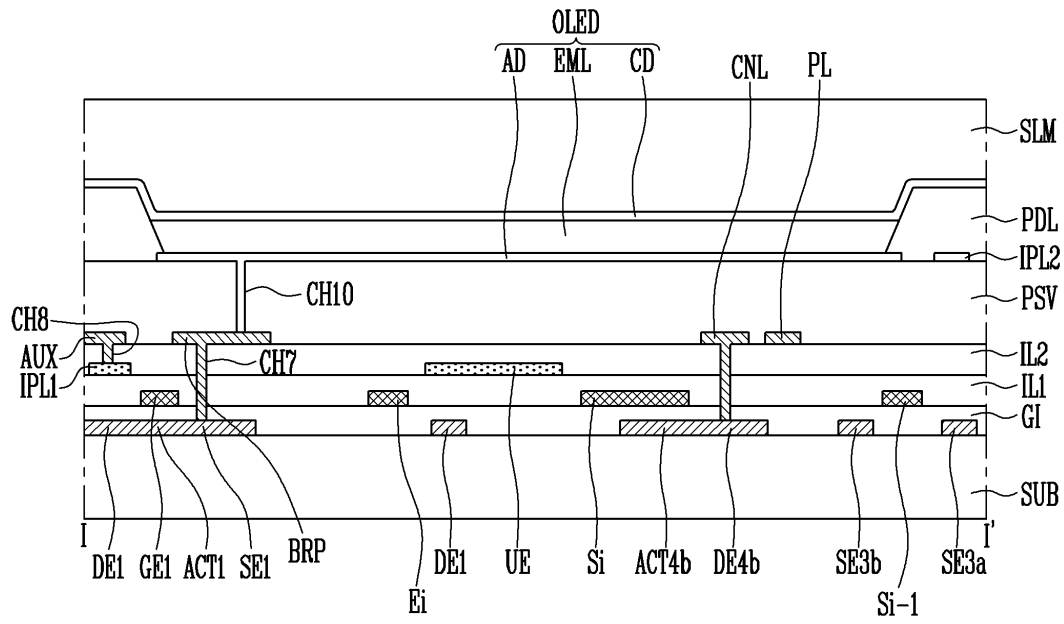
도면4



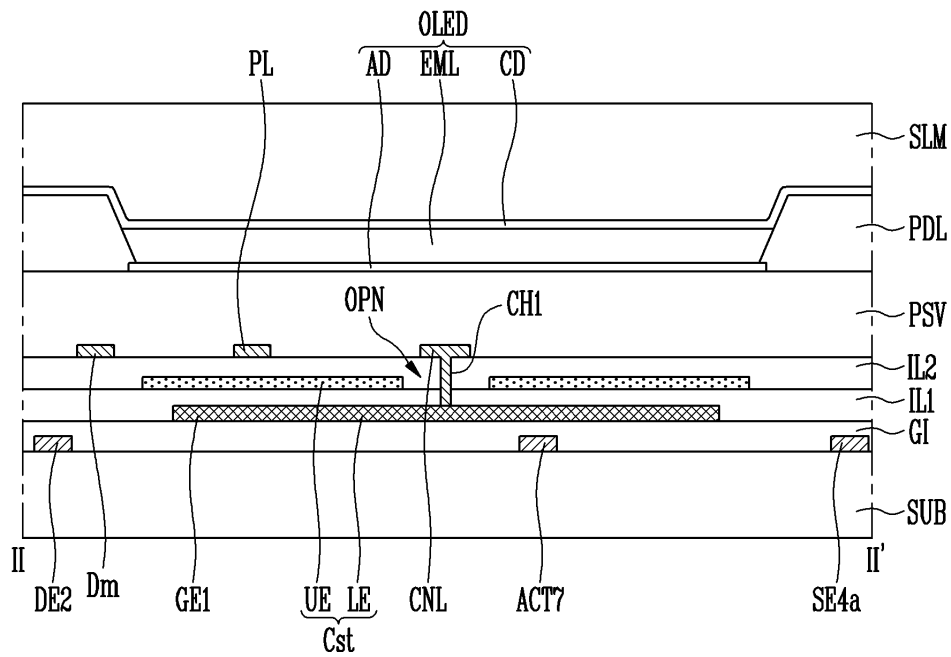
도면5



도면6



도면7



|                |                                                                                                                                                      |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机电致发光显示装置                                                                                                                                           |         |            |
| 公开(公告)号        | <a href="#">KR1020180023098A</a>                                                                                                                     | 公开(公告)日 | 2018-03-07 |
| 申请号            | KR1020160107024                                                                                                                                      | 申请日     | 2016-08-23 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                             |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                            |         |            |
| [标]发明人         | KIM DONG SOO<br>김동수<br>MOON JOONG SOO<br>문중수<br>KWAK WON KYU<br>곽원규                                                                                  |         |            |
| 发明人            | 김동수<br>문중수<br>곽원규                                                                                                                                    |         |            |
| IPC分类号         | G09G3/3208                                                                                                                                           |         |            |
| CPC分类号         | G09G3/3208 G09G2310/061 G09G2320/02 G09G3/3233 G09G2300/0819 G09G2310/0262 G09G2320/0238 H01L27/3276 G09G3/3266 G09G3/3275 G09G2320/0233 H01L27/3297 |         |            |
| 代理人(译)         | 강신섭<br>Munyongho<br>Yiyongwoo                                                                                                                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                            |         |            |

#### 摘要(译)

有机发光显示器的像素包括：有机发光二极管，其具有连接到第二电源的阴极；一种像素电路，包括驱动晶体管，用于控制经由有机发光二极管从第一电源流到第二电源的电流；在第三晶体管是 - 如权利要求3，其中，所述接通连接在驱动晶体管3的栅极电极，并且经由线供给用于供给电力的功率之间的情况下，成为在扫描信号被提供到第i-1扫描线；第三功率源和第二功率源是不同的，并且所述第四连接在第四电源和有机发光二极管通过所述线施加用于供给功率，当扫描信号被供应给第i扫描线的阳极电极之间当第一晶体管导通时，第一晶体管导通；并且第二晶体管连接在数据线和像素电路之间，并且当扫描信号被提供给第i扫描线时导通。第三电源线和第四电源线可以设置在不同的层上。

