



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0132598
(43) 공개일자 2017년12월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0452 (2013.01)

(21) 출원번호 10-2016-0063672

(22) 출원일자 2016년05월24일

심사청구일자 2016년05월24일

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의대로 128 (여의도동)

(72) 발명자

이창호

서울특별시 서초구 양재대로11길 19

(74) 대리인

박장원

전체 청구항 수 : 총 5 항

(54) 발명의 명칭 유기발광다이오드를 포함하는 화소 회로 및 이를 포함하는 표시장치

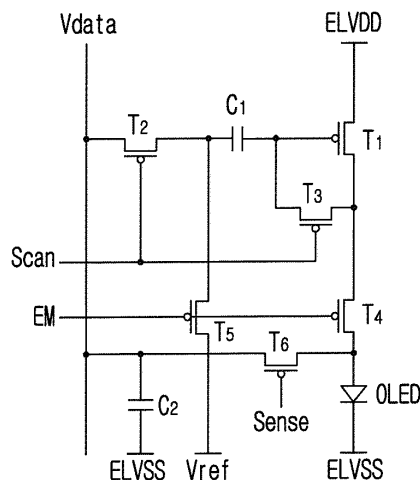
(57) 요약

본 발명은 유기발광다이오드(OLED)를 포함하는 화소 회로 및 복수의 화소 회로를 포함하는 표시장치에 관한 것이다.

본 발명의 일 실시 예에 따른 화소 회로는, 제1 내지 제3 전원, 유기발광다이오드(OLED) 제1 및 제2 캐패시터 및 제1 내지 제6 트랜지스터를 포함하여 구성되며, 구동 트랜지스터의 특성을 보상하고, 유기발광다이오드(OLED)의 열화를 센싱 및 보상하는 것이 가능하다.

본 발명의 일 실시 예에 따른 표시 장치는, 본 발명에 따른 화소 회로가 복수 개 포함된다.

대표도 - 도5



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0852 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속된 유기발광다이오드(OLED);

상기 제1 전원(ELVDD)에 제1 전극이 접속된 제1 트랜지스터(T1);

데이터선(Vdata);

상기 데이터선(Vdata)에 제1 전극이 접속되며, 게이트 전극에 제1 주사선이 접속되는 제2 트랜지스터(T2);

상기 제2 트랜지스터(T2)의 제2 전극과, 상기 제1 트랜지스터(T1)의 게이트 전극 사이에 접속된 제1 커패시터(C1);

상기 제1 트랜지스터(T1)의 게이트 전극과 제2 전극 사이에 접속되며, 게이트 전원에 상기 제1 주사선이 접속되는 제3 트랜지스터(T3);

상기 제1 트랜지스터(T1)의 제2 전극과 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제2 주사선이 접속되는 제4 트랜지스터(T4);

상기 제2 트랜지스터(T2)의 제2 전극과 초기화전원인 제3 전원(Vref) 사이에 접속되며, 게이트 전극에 상기 제2 주사선이 접속되는 제5 트랜지스터(T5);

상기 데이터선(Vdata)과 상기 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제3 주사선이 접속되는 제6 트랜지스터(T6); 및

상기 제6 트랜지스터(T6)의 제1 전극과 상기 제2 전원(ELVSS) 사이에 접속되는 제2 커패시터(C2)를 포함하는 화소 회로.

청구항 2

제 1 항에 있어서,

상기 데이터선(Vdata)과 상기 제6 트랜지스터(T6)의 제1 전극 사이에 접속되며, 게이트 전극에 상기 제3 주사선이 접속되는 제7 트랜지스터(T7)를 더 포함하는 화소 회로.

청구항 3

제 2 항에 있어서,

상기 제7 트랜지스터(T7)의 제1 전극은 상기 데이터선(Vdata)에 접속되고,

상기 제7 트랜지스터(T7)의 제2 전극은 상기 제6 트랜지스터(T6)의 제1 전극에 접속되며,

상기 제2 커패시터(C2)는, 상기 제7 트랜지스터(T7)의 제2 전극과 상기 제2 전원(ELVSS) 사이에 접속되는 것을 특징으로 하는 화소 회로.

청구항 4

제 2 항에 있어서,

상기 제6 트랜지스터(T6) 및 상기 제7 트랜지스터(T7)는, 상기 제3 주사선을 통해 인가되는 신호에 응답하여 함께 제어되는 것을 특징으로 하는 화소 회로.

청구항 5

제1항 내지 제4항 중 어느 한 항에 기재된 화소 회로가 복수 개 포함된 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 구체적으로 유기발광다이오드(Organic Light Emitting Diode: 이하 “OLED”라 함)를 포함하는 화소 회로 및 복수의 화소 회로를 포함하는 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드(anode) 전극 및 캐소드(cathode) 전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀(화소, 화소 회로)들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 자신의 게이트전극과 소스전극 사이에 걸리는 전압(Vgs)에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor)를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다.

[0005] 통상 OLED는 발광시간이 경과 함에 따라서 OLED의 동작점 전압(문턱전압)이 증가하고 발광효율이 감소하는 열화 특성이 있다. 각 픽셀의 OLED에 인가되는 전류 누적치는 해당 픽셀에서 구현된 계조 누적치에 비례하므로, 상기와 같은 OLED 열화 정도는 픽셀마다 달라질 수 있다. 이러한 픽셀들 간 OLED 열화 편차는 휘도 편차를 야기하고, 이것이 심화되면 영상 고착화(Image Sticking) 현상이 발생할 수 있다.

[0006] 최근에는 이러한 OLED의 열화를 보상하기 위한 다양한 개발이 진행되고 있다.

[0007] 또한, 최근에는 대면적 고해상도를 갖는 표시장치가 개발됨에 따라, 더욱 많은 픽셀(화소 회로)들이 표시장치에 구비되고 있다.

[0008] 이에 따라, 다수의 화소 회로에 전압을 인가하는 데이터선(또는 데이터라인)에 과부하가 걸린다는 점이 문제되고 있다.

[0009] 따라서, 최근에는 OLED의 열화를 보상하는 것이 가능하면서 데이터선에 과부하를 줄일 수 있는 기술개발에 대한 필요성이 대두되고 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 유기발광다이오드(OLED)의 열화를 센싱 및 보상하는 것이 가능한 화소 회로 및 이를 포함하는 표시장치를 제공하는 데에 있다.

[0011] 본 발명은 구동 TFT를 보상하는 것이 가능한 화소 회로 및 이를 포함하는 표시장치를 제공하는 데에 있다.

[0012] 본 발명은 대면적 고해상도를 갖는 표시장치에서 발생하는 데이터선에 걸리는 과부하를 방지하는 것이 가능한 화소 회로 및 이를 포함하는 표시장치를 제공하는 데에 있다.

[0013] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통산의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0014] 본 발명의 일 실시 예에 따른 화소 회로는, 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속된 유기발광다이오드(OLED), 상기 제1 전원(ELVDD)에 제1 전극이 접속된 제1 트랜지스터(T1), 데이터선(Vdata), 상기 데이터선

(Vdata)에 제1 전극이 접속되며, 게이트 전극에 제1 주사선이 접속되는 제2 트랜지스터(T2), 상기 제2 트랜지스터(T2)의 제2 전극과, 상기 제1 트랜지스터(T1)의 게이트 전극 사이에 접속된 제1 캐패시터(C1), 상기 제1 트랜지스터(T1)의 게이트 전극과 제2 전극 사이에 접속되며, 게이트 전원에 상기 제1 주사선이 접속되는 제3 트랜지스터(T3), 상기 제1 트랜지스터(T1)의 제2 전극과 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제2 주사선이 접속되는 제4 트랜지스터(T4), 상기 제2 트랜지스터(T2)의 제2 전극과 초기화전원인 제3 전원(Vref) 사이에 접속되며, 게이트 전극에 상기 제2 주사선이 접속되는 제5 트랜지스터(T5), 상기 데이터선(Vdata)과 상기 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제3 주사선이 접속되는 제6 트랜지스터(T6) 및 상기 제6 트랜지스터(T6)의 제1 전극과 상기 제2 전원(ELVSS) 사이에 접속되는 제2 캐패시터(C2)를 포함할 수 있다.

[0015] 실시 예에 있어서, 본 발명의 화소 회로는, 상기 데이터선(Vdata)과 상기 제6 트랜지스터(T6)의 제1 전극 사이에 접속되며, 게이트 전극에 상기 제3 주사선이 접속되는 제7 트랜지스터(T7)를 더 포함할 수 있다.

[0016] 실시 예에 있어서, 상기 제7 트랜지스터(T7)의 제1 전극은 상기 데이터선(Vdata)에 접속되고, 상기 제7 트랜지스터(T7)의 제2 전극은 상기 제6 트랜지스터(T6)의 제1전극에 접속되며, 상기 제2 캐패시터(C2)는, 상기 제7 트랜지스터(T7)의 제2 전극과 상기 제2 전원(ELVSS) 사이에 접속되는 것을 특징으로 한다.

[0017] 실시 예에 있어서, 상기 제6 트랜지스터(T6) 및 상기 제7 트랜지스터(T7)는, 상기 제3 주사선을 통해 인가되는 신호에 응답하여 함께 제어되는 것을 특징으로 한다.

[0018] 본 발명의 일 실시 예에 따른 표시장치는, 본 명세서에서 설명하는 화소 회로를 포함한다.

[0019] 실시 예로, 본 명세서에서 설명하는 화소 회로는 표시 장치에 복수 개 포함될 수 있다.

[0020] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0021] 본 발명의 실시 예에 따르면 다음과 같은 효과가 하나 혹은 그 이상 있다.

[0022] 첫째, 본 발명은 유기발광다이오드의 열화를 센싱하고 보상할 수 있는 최적화된 화소 회로를 제공할 수 있다.

[0023] 둘째, 본 발명은 유기발광다이오드의 열화를 센싱(보상)하는 단계 또는 데이터 프로그래밍 단계에서 데이터선에 인가되는 과부하 및 데이터선의 캐패시턴스 로드를 최소화할 수 있는 화소 회로를 제공할 수 있다.

[0024] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 청구범위의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0025] 도 1은 센싱 유닛을 포함한 본 발명의 일 실시 예에 따른 표시장치를 설명하기 위한 도면.

도 2a 및 도 2b는 센싱 라인과 픽셀의 접속 예를 보여주는 도면.

도 3 및 도 4는 픽셀 어레이와 데이터 드라이버 IC의 일 구성들을 보여주는 도면.

도 5는 본 발명의 일 실시 예에 따른 화소 회로를 나타낸 도면.

도 6a, 도 6b, 도 6c, 도 6d, 도 7a 및 도 7b는 도 5의 화소 회로를 기반으로 한 픽셀 동작 페이지를 설명하기 위한 도면.

도 7c는 OLED 열화에 따른 OLED 애노드 전압과 OLED 구동전류 간의 관계를 나타낸 그래프.

도 8은 본 발명의 다른 실시 예에 따른 화소 회로를 나타낸 도면.

도 9a, 도 9b 및 도 9c는 도 8의 화소 회로를 기반으로 한 픽셀 동작 페이지를 설명하기 위한 도면.

도 10은 본 발명의 또 다른 실시 예에 따른 화소 회로를 나타낸 도면.

도 11a 및 도 11b는 도 10의 화소 회로를 기반으로 한 픽셀 동작 페이지를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나

나 유사한 구성요소에는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시 예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0027] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0029] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0030] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 본 명세서에서 설명되는 표시장치는, 이동 단말기 및 고정 단말기 등 모든 종류의 전자기기에 구비될 수 있다.
- [0032] 예를 들어, 이동 단말기에는 휴대폰, 스마트 폰(smart phone), 노트북 컴퓨터(laptop computer), 디지털방송용 단말기, PDA(personal digital assistants), PMP(portable multimedia player), 네비게이션, 슬레이트 PC(slate PC), 태블릿 PC(tablet PC), 울트라북(ultrabook), 웨어러블 디바이스(wearable device, 예를 들어, 위치형 단말기 (smartwatch), 글래스형 단말기 (smart glass), HMD(head mounted display)) 등이 포함될 수 있다.
- [0033] 또한, 고정 단말기에는, 디지털 TV, 데스크탑 컴퓨터, 디지털 사이니지 뿐만 아니라 세탁기, 냉장고, 책상 등과 같은 가전제품 등이 포함될 수 있다.
- [0034] 즉, 본 명세서에서 설명하는 표시 장치는, 어느 정보를 출력하는 것이 가능한 구성요소로 이해되어야 하며, 독립적인 장치일 수도 있고, 다른 장치에 구비된 일 구성요소일 수도 있다.
- [0035] 도 1은 상기 센싱 유닛을 포함한 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다. 도 2a 및 도 2b는 센싱 라인과 픽셀의 접속 예를 보여준다. 도 3 및 도 4는 픽셀 어레이와 데이터 드라이버 IC의 일 구성들을 보여준다.
- [0036] 도 1 내지 도 4를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(16)를 구비한다.
- [0037] 표시패널(10)에는 다수의 데이터라인들 및 센싱라인들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.
- [0038] 픽셀들(P)은 도 2a 및 도 2b와 같이 서로 수평으로 이웃한 적색 표시용 R 픽셀, 백색 표시용 W 픽셀, 녹색 표시용 G 픽셀, 청색 표시용 B 픽셀을 포함할 수 있다. 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱라인들(14B) 중 어느 하나에, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터라인(14A)과 전기적으로 연결되어 데이터라인(14A)으로부터 데이터전압을 입력받고, 센싱라인(14B)을 통해 센싱신호를 출력한다.
- [0039] 센싱 라인(14B)은 도 2a, 도 3 및 도 4와 같이 수평으로 이웃한 각 픽셀에 서로 독립적으로 접속될 수 있다.
- [0040] 예컨대, 수평으로 서로 이웃한 R 픽셀, W 픽셀, G 픽셀, B 픽셀 각각이 서로 다른 센싱 라인에 접속될 수 있다.
- [0041] 한편, 센싱 라인(14B)은 표시패널에서 개구율이 용이하게 확보되도록 도 2b와 같이 수평으로 이웃한 적어도 2개

이상의 픽셀들에 공통으로 접속될 수도 있다. 예컨대, 수평으로 서로 이웃한 R 픽셀, W 픽셀, G 픽셀, B 픽셀이 서로 동일한 센싱 라인을 공유할 수 있다. 센싱 라인은 유닛 픽셀(R 픽셀, W 픽셀, G 픽셀, B 픽셀을 포함)마다 하나씩 할당될 수 있다.

- [0042] 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(ELVDD)과 저전위 구동전압(ELVSS)을 공급받는다. 본 발명의 픽셀(P)은 외부 보상을 위해 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커패시터를 포함할 수 있다. 픽셀(P)을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0043] 픽셀(P) 각각은 화상 구현을 위한 노멀 구동시와, 센싱값 획득을 위한 센싱 구동시에 서로 다르게 동작할 수 있다. 센싱 구동은 노멀 구동에 앞서 소정 시간 동안 수행되거나 또는, 노멀 구동 중의 수직 블랭크 기간들에서 수행될 수 있다.
- [0044] 노멀 구동은 타이밍 컨트롤러(11)의 제어하에 데이터 구동회로(12)와 게이트 구동회로(13)의 일 동작으로 이루어질 수 있다. 센싱 구동은 타이밍 컨트롤러(11)의 제어하에 데이터 구동회로(12)와 게이트 구동회로(13)의 다른 동작으로 이루어질 수 있다. 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 컨트롤러(11)에서 수행된다.
- [0045] 데이터 구동회로(12)는 적어도 하나 이상의 데이터 드라이버 IC(Integrated Circuit)(SDIC)를 포함한다. 데이터 드라이버 IC(SDIC)에는 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과, 센싱 채널들(CH1~CHn)을 통해 센싱라인(14B)들에 연결된 다수의 센싱 유닛들(SU#1~#6)이 포함되어 있다.
- [0046] 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 구현용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 한편, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급한다.
- [0047] 데이터 드라이버 IC(SDIC)의 각 센싱 유닛들(SU#1~#6)은 센싱 대상 픽셀(P)의 전류 정보(구동 전류에 대응하여 센싱 대상 픽셀(P)의 OLED 기생 커패시터에 축적되는 전하량)를 센싱한다. 각 센싱 유닛들(SU#1~#6)은 전류 적분기(미도시)를 포함하여 구현될 수도 있고, 전류 비교기(미도시)로 구현될 수도 있다. 각 센싱 유닛들(SU#1~#6)이 전류 적분기(미도시)를 포함하여 구현되는 경우, 데이터 드라이버 IC(SDIC)에는 센싱 유닛들(SU#1~#6)의 출력단에 연결된 아날로그-디지털 컨버터(이하, ADC)가 더 구비될 수 있다. 데이터 드라이버 IC(SDIC)는 아날로그 센싱값을 디지털 처리하여 타이밍 컨트롤러(11)에 전송한다.
- [0048] 게이트 구동회로(13)는 노멀 구동시 게이트 제어신호(GDC)를 기반으로 화상 표시용 게이트펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트라인들(15)에 순차 공급한다. 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트라인들(15)에 순차 공급한다. 센싱용 게이트펄스는 화상 표시용 게이트펄스에 비해 온 펄스 구간이 넓을 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임에 대응되며, 여기서, 1 라인 센싱 온 타임이란 1 행 픽셀라인((L#1, L#2, ...))의 픽셀들을 동시에 센싱하는 데 할애되는 스캔 시간을 의미한다.
- [0049] 게이트펄스는 스캔 제어신호(SCAN), 발광 제어신호(EM) 및 센싱 제어신호(SENSE)를 포함할 수 있다. 스캔 제어신호(SCAN), 발광 제어신호(EM) 및 센싱 제어신호(SENSE)는 서로 동일하게 구현되거나 또는, 서로 다르게 구현될 수 있다. 스캔 제어신호(SCAN)와 센싱 제어신호(SENSE)가 동일하게 구현될 때, 스캔 제어신호(SCAN)와 센싱 제어신호(SENSE)는 단일한 신호 형태로 동일한 게이트라인(15)을 통해 각 픽셀(P)에 인가될 수 있어, 신호 배선 수 줄이는데 효과적이다. 반면, 스캔 제어신호(SCAN)와 센싱 제어신호(SEN)가 서로 다르게 구현될 때, 스캔 제어신호(SCAN), 발광 제어신호(EM) 및 센싱 제어신호(SENSE)는 서로 다른 게이트라인(15A, 15B, 15C)을 통해 각 픽셀(P)에 인가될 수 있다.
- [0050] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 컨트롤러(11)는 소정의 참조 신호(구동전원 인에이블신호, 수직 동기신호, 데이터 인에이블 신호등)를 기반으로 노멀 구동과 센싱 구동을 구분하고, 각 구동에 맞게 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 생성한다.
- [0051] 아울러, 타이밍 컨트롤러(11)는 노멀 구동과 센싱 구동에 맞게 각 센싱 유닛들(SU#1~#6)의 내부 스위치들을 동

작성하기 위해 관련 스위칭 제어신호들을 더 생성할 수 있다.

- [0052] 타이밍 콘트롤러(11)는 센싱 구동시 센싱용 데이터전압에 대응되는 디지털 데이터를 데이터 구동회로(12)에 전송할 수 있다. 타이밍 콘트롤러(11)는 센싱 구동시 데이터 구동회로(12)로부터 전송되는 디지털 센싱값(SD)을 기반으로 각 픽셀(P)의 OLED 열화를 검출하고, 픽셀들(P) 간 열화 편차 보상할 수 있는 보상 데이터를 메모리(16)에 저장할 수 있다.
- [0053] 타이밍 콘트롤러(11)는 노멀 구동시 메모리(16)에 저장된 보상 데이터를 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송한다.
- [0054] 이러한 본 발명은 저전류 및 고속 센싱을 구현하여 센싱 시간을 줄이고 센싱의 정확도를 높이기 위해 전류 센싱 방식을 채용할 수 있다. 이러한 전류 센싱 방식의 일환으로, 본 발명은 데이터 구동회로 내에 적어도 하나 이상의 센싱 유닛을 설치하고, 센싱 대상 픽셀의 OLED에 구동전류가 흐를 때 그 OLED의 기생 커패시터에 축적되는 전하량을 상기 센싱 유닛을 통해 센싱하는 특징을 갖는다.
- [0055] 한편, 이에 한정되지 않고, 본 발명은 OLED의 열화 정도를 센싱하기 위해 전압 센싱 방식을 채용할 수도 있다. 본 발명은 OLED 애노드 전압을 센싱 라인의 기생 캐패시터에 저장한 후, 이 저장 전압을 센싱할 수도 있다.
- [0056] 이하에서는, 본 발명과 관련된 표시장치를 구성하는 화소 회로에 대하여 첨부된 도면을 참조하여 보다 구체적으로 살펴보기로 한다.
- [0057] 도 5는 본 발명의 일 실시 예에 따른 화소 회로를 나타낸 도면이다.
- [0058] 본 발명과 관련된 표시 장치는, 복수의 픽셀을 포함할 수 있다. 각 픽셀에는, 화소 회로가 구비될 수 있다. 상기 화소 회로는, 픽셀을 구성하는 단위 회로를 의미할 수 있다.
- [0059] 본 명세서에서는 화소 회로가 픽셀에 포함되는 것으로 설명하기로 한다. 다만, 상기 화소 회로는, 픽셀 자체를 의미할 수도 있다.
- [0060] 본 발명과 관련된 화소 회로는, 6개의 트랜지스터(Thin Film Transistor, TFT), 2개의 캐패시터(C1, C2), 제1 주사선(Scan), 제2 주사선(EM), 제3 주사선(Sence), 제1 전원(ELVDD), 제2 전원(ELVSS), 제3 전원(Vref), 데이터선(Vdata) 및 유기발광다이오드(OLED) 등을 포함할 수 있다.
- [0061] 본 명세서에서는 화소 회로에 포함되는 트랜지스터가 “P채널 MOSFET 트랜지스터”인 것을 예로 설명하기로 한다. 일 예로, 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)는, P채널 MOSFET 증가형 트랜지스터일 수 있다.
- [0062] 일 예로, 트랜지스터의 게이트(gate) 전극에 인가되는 전압(Vg)가 소스(source) 전극에 인가되는 전압(Vs)보다 작으면, 상기 트랜지스터는 온(연결)될 수 있다. 이 경우, 상기 트랜지스터를 통해 전류가 흐를 수 있다.
- [0063] 한편, 트랜지스터의 게이트 전극에 인가되는 전압(Vg)이 소스 전극에 인가되는 전압(Vs)보다 크면, 상기 트랜지스터는 오프될 수 있다. 이 경우, 상기 트랜지스터에는 전류가 흐르지 않을 수 있다.
- [0064] 본 발명의 화소 회로를 구성하는 트랜지스터는 3개의 전극으로 형성될 수 있다. 예를 들어, 트랜지스터는 제1 전극, 제2 전극 및 게이트 전극을 포함할 수 있다.
- [0065] 제1 전극과 제2 전극은 서로 다른 전극을 의미한다. 예컨대, 제1 전극이 소스(source) 전극이면, 제2 전극은 드레인(drain) 전극일 수 있다. 또한, 제1 전극이 드레인 전극이면, 제2 전극은 소스 전극을 의미할 수 있다.
- [0066] 본 명세서에서 설명하는 화소 회로는, P채널 MOSFET에 한정되지 않는다. 예를 들어, 본 명세서에서 설명하는 화소 회로는, 적어도 하나의 N채널 MOSFET을 포함할 수 있다. 이 경우에도, N채널 MOSFET(트랜지스터)는, 제1 전극, 제2 전극 및 게이트 전극을 포함할 수 있다.
- [0067] 마찬가지로, 제1 전극이 소스 전극이면, 제2 전극은 드레인 전극일 수 있다. 또한, 제1 전극이 드레인 전극이면, 제2 전극은 소스 전극을 의미할 수 있다.
- [0068] 이하에서는, 설명의 편의를 위해 본 발명의 일 실시 예에 따른 화소 회로에 포함된 트랜지스터는 P채널 MOSFET인 것으로 설명한다.
- [0069] 또한, 설명의 편의를 위해, 게이트 전극이 하이(High)인 경우, 해당 트랜지스터는 오프(off)(또는, 오픈(open))되고, 이에 따라 전류가 해당 트랜지스터를 통과하지 못하는 것(즉, 전류가 흐르지 않는 것)으로 설명하기로

한다. 여기서, 게이트 전극이 하이(High)라는 것은, 게이트 전극에 걸리는 전압(V_g)이 소스 전극(V_s)에 걸리는 전압보다 큰 경우를 의미할 수 있다($V_g > V_s$, 또는 $V_{gs} > 0$).

- [0070] 또한, 설명의 편의를 위해, 게이트 전극이 로우(Low)인 경우, 해당 트랜지스터는 온(on)(또는, 쇼트(short))되고, 이에 따라 전류가 해당 트랜지스터를 통과하는 것(즉, 전류가 흐르는 것)으로 설명하기로 한다. 여기서, 게이트 전극이 로우(Low)라는 것은, 게이트 전극에 걸리는 전압(V_g)이 소스 전극(V_s)에 걸리는 전압보다 작은 경우를 의미할 수 있다($V_g < V_s$ 또는 $V_{gs} < 0$).
- [0071] 위에서는 설명의 편의를 위해 V_{gs} 가 0V보다 작은 경우 전류가 흐른다고 기재하였으나, 실제로는 V_{gs} 가 문턱전압(V_{th})보다 작은 경우, 전류가 흐를 수 있다($V_{gs} < V_{th}$). 즉, 게이트 전극이 로우(Low)라는 것은, V_{gs} 가 문턱전압(V_{th})보다 작은 경우를 의미할 수 있다.
- [0072] 마찬가지로 V_{gs} 가 문턱전압(V_{th})보다 큰 경우, 전류가 흐르지 않을 수 있다($V_{gs} > V_{th}$). 즉, 게이트 전극이 하이(High)라는 것은, V_{gs} 가 문턱전압(V_{th})보다 큰 경우를 의미할 수 있다.
- [0073] 일 예로, 트랜지스터의 게이트전극이 로우인 경우, 전류는 트랜지스터의 소스 전극에서 드레인 전극으로 흐를 수 있다.
- [0074] 이하에서는, 본 발명의 제1 실시 예에 따른 화소 회로를 살펴본다.
- [0075] 본 명세서에서는, 전원과 해당 전원이 공급하는 전압에 대하여 동일한 도면부호를 사용하고, 선(라인)과 해당 선에 인가되는 전압(또는 신호)에 대해서도 동일한 도면부호를 사용하기로 한다.
- [0076] 도 5를 참조하면, 본원발명의 화소 회로는, 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속된 유기발광다이오드(OLED), 상기 제1 전원(ELVDD)에 제1 전극이 접속된 제1 트랜지스터(T_1) 및 데이터선(Vdata)을 포함할 수 있다.
- [0077] 또한, 본원발명의 화소 회로는, 상기 데이터선(Vdata)에 제1 전극이 접속되며, 게이트 전극에 제1 주사선이 접속되는 제2 트랜지스터(T_2) 및 상기 제2 트랜지스터(T_2)의 제2 전극과, 상기 제1 트랜지스터(T_1)의 게이트 전극 사이에 접속된 제1 캐패시터(C_1)를 포함할 수 있다.
- [0078] 또한, 본원발명의 화소 회로는, 상기 제1 트랜지스터(T_1)의 게이트 전극과 제2 전극 사이에 접속되며, 게이트 전원에 상기 제1 주사선이 접속되는 제3 트랜지스터(T_3)를 포함할 수 있다.
- [0079] 또한, 본원발명의 화소 회로는, 상기 제1 트랜지스터(T_1)의 제2 전극과 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제2 주사선이 접속되는 제4 트랜지스터(T_4) 및 상기 제2 트랜지스터(T_2)의 제2 전극과 초기화전원인 제3 전원(V_{ref}) 사이에 접속되며, 게이트 전극에 상기 제2 주사선이 접속되는 제5 트랜지스터(T_5)를 포함할 수 있다.
- [0080] 또한, 본원발명의 화소 회로는, 상기 데이터선(Vdata)과 상기 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제3 주사선이 접속되는 제6 트랜지스터(T_6) 및 상기 제6 트랜지스터(T_6)의 제1 전극과 상기 제2 전원(ELVSS) 사이에 접속되는 제2 캐패시터(C_2)를 포함할 수 있다.
- [0081] 상기 제1 전원(ELVDD)은, 전원생성부(미도시)로부터 고전위 구동전압을 공급받는다. 또한, 상기 제2 전원(ELVSS)은 상기 전원생성부(미도시)로부터 저전위 구동전압을 공급받는다.
- [0082] 제1 트랜지스터(T_1)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제1 트랜지스터(T_1)의 제2 전극은 제4 트랜지스터(T_4)를 경유하여 유기발광다이오드(OLED)에 접속된다. 여기서, 제1 전극과 제2 전극은 서로 다른 전극으로, 예컨대 제1 전극이 소스 전극이면 제2 전극은 드레인 전극일 수 있다.
- [0083] 그리고, 제1 트랜지스터(T_1)의 게이트 전극은 제1 노드(N_1)(또는 제1 캐패시터(C_1))에 접속된다. 이러한 제1 트랜지스터(T_1)는 제1 노드(N_1)의 전압에 대응하여 유기발광다이오드(OLED)로 공급되는 구동전류를 제어하는 것으로, 화소 회로의 구동 트랜지스터로 기능한다.
- [0084] 제2 트랜지스터(T_2)의 제1 전극은 데이터선(Vdata)(또는, 데이터라인(14A))에 접속되고, 제2 트랜지스터(T_2)의 제2 전극은 제2 노드(N_2)(또는, 상기 제1 캐패시터(C_1))에 접속된다. 제2 트랜지스터(T_2)의 게이트 전극은, 제1 주사선(Scan)에 접속된다.
- [0085] 이러한 제2 트랜지스터(T_2)는 제1 주사선(Scan)으로부터 주사신호(또는, 스캔 제어신호, 로우 신호)가 공급될 때 온(또는, 턴-온)되어 데이터선(Vdata)으로부터 공급되는 데이터신호를 화소 내부로 전달한다.

- [0086] 제1 캐패시터(C1)는 상기 제2 트랜지스터(T2)의 제2 전극과, 상기 제1 트랜지스터(T1)의 게이트 전극 사이에 접속된다. 상기 제1 캐패시터(C1)는, 스토리지 캐패시터(Cst)로 명명될 수 있다.
- [0087] 상기 제1 캐패시터(C1)는, 데이터선(Vdata)으로부터 인가되는 데이터 신호를 제2 트랜지스터(T2)를 경유하여 공급받고, 이를 충전한다. 또한, 상기 제1 캐패시터(C1)는, 제1 트랜지스터(T1)의 게이트 전극에 인가할 전압을 충전(저장)할 수 있다.
- [0088] 제3 트랜지스터(T3)는, 상기 제1 트랜지스터(T1)의 게이트 전극과 제2 전극 사이에 접속되며, 게이트 전원에 상기 제1 주사선(Scan)이 접속될 수 있다. 또한, 상기 제3 트랜지스터(T3)의 제1 전극은 제1 캐패시터(C1)에 접속되고, 제3 트랜지스터(T3)의 제2 전극은 제1 트랜지스터(T1)의 제2 전극에 접속되며, 제3 트랜지스터(T3)의 게이트 전극은, 상기 제1 주사선(Scan)에 접속될 수 있다.
- [0089] 제1 주사선(Scan 또는 15A)에는, 게이트펄스 중 스캔 제어신호가 인가될 수 있다. 여기서, 상기 제1 주사선은, 스캔 제어선(15A)으로 명명될 수 있다.
- [0090] 이러한 제3 트랜지스터(T3)는 제1 주사선(Scan)으로부터 주사신호(스캔 제어신호, 로우 신호)가 공급될 때 온(턴-온)되어 제1 트랜지스터(T1)를 다이오드 형태로 연결할 수 있다.
- [0091] 제4 트랜지스터(T4)는 상기 제1 트랜지스터(T1)의 제2 전극과 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제2 주사선(EM)이 접속된다.
- [0092] 이러한 제4 트랜지스터(T4)는 제2 주사선(EM)으로부터 공급되는 발광 제어신호에 대응하여 턴-온 또는 턴-오프되면서 화소 내에 전류패스를 형성하거나 혹은 전류패스가 형성되는 것을 차단한다.
- [0093] 제2 주사선(EM 또는 15B)에는 게이트펄스 중 발광 제어신호가 인가될 수 있다. 여기서, 상기 제2 주사선은, 발광 제어선(15B)으로 명명될 수 있다.
- [0094] 제5 트랜지스터(T5)는, 제2 트랜지스터(T2)의 제2 전극과 초기화전원인 제3 전원(Vref) 사이에 접속되며, 게이트 전극에 상기 제2 주사선(EM)이 접속된다.
- [0095] 여기서, 상기 제3 전원(Vref)은 화소 회로의 초기화 전압을 공급하기 위한 초기화 전원으로, 상기 제2 전원(ELVSS)과 상이한 전위를 갖는 상이한 전압원으로 설정되어 별도로 공급될 수 있다. 이에 한정되지 않고, 상기 제3 전원(Vref)은 제2 전원(ELVSS)과 동일한 전압원으로 설정될 수도 있다. 즉, 화소의 설계 구조에 따라 별도의 초기화 전원(Vref)이 공급되거나, 혹은 제2 전원(ELVSS)이 초기화 전원으로 이용될 수 있다.
- [0096] 이러한 제5 트랜지스터(T5)는 제2 주사선(EM)으로부터 주사신호(또는, 발광 제어신호, 로우 신호)가 공급될 때 턴-온되어, 제3 전원(Vref)의 전압을 제1 캐패시터(C1)에 공급하여, 제1 캐패시터(C1)를 초기화한다.
- [0097] 제6 트랜지스터(T6)는, 상기 데이터선(Vdata)과 상기 유기발광다이오드(OLED) 사이에 접속되며, 게이트 전극에 제3 주사선(Sense)이 접속될 수 있다. 예를 들어, 제6 트랜지스터(T6)의 제1 전극은 데이터선(Vdata)에 접속되고, 제6 트랜지스터(T6)의 제2 전극은 유기발광다이오드(OLED)(예를 들어, 애노드 전극)에 접속될 수 있다.
- [0098] 이러한 제6 트랜지스터(T6)는 제3 주사선(Sense)으로부터 주사신호(또는, 센싱 제어신호, 로우 신호)가 공급될 때 턴-온되어, 유기발광다이오드(OLED)의 열화(또는 OLED의 V_{th} (문턱전압))를 센싱(및/또는 보상)할 수 있다.
- [0099] 제3 주사선(Sense 또는 15C)에는 게이트펄스 중 센싱 제어신호(SENSE)가 인가될 수 있다. 상기 제3 주사선은, 센싱 제어선(15C)으로 명명될 수 있다.
- [0100] 제2 캐패시터(C2)는 상기 제6 트랜지스터(T6)의 제1 전극과 상기 제2 전원(ELVSS) 사이에 접속된다. 일 예로, 상기 제2 캐패시터(C2)는, 유기발광다이오드(OLED)의 기생 캐패시터로 이해될 수 있다. 다른 예로, 상기 제2 캐패시터(C2)는, 유기발광다이오드(OLED)의 열화를 센싱하기 위한 센싱 캐패시터로 이해될 수도 있다.
- [0101] 제2 캐패시터(C2)는 데이터선(Vdata) 및 제2 전원(ELVSS) 중 적어도 하나로부터 전압이 인가되면, 해당 전압을 충전(저장)할 수 있다. 또한, 상기 제2 캐패시터(C2)에 충전(저장)된 전압은, 유기발광다이오드(OLED)의 열화(예를 들어, OLED의 V_{th} (문턱전압))를 센싱하는 데에 이용될 수 있다.
- [0102] 이러한 구성을 통해, 본 발명은 트랜지스터(TFT)의 특성을 보상(compensation)하고, OLED의 열화를 센싱하는 것이 가능한 화소 회로 및 이를 포함하는 표시장치를 제공할 수 있다.
- [0103] 본 발명과 관련된 표시장치 및 화소 회로는, 다양한 동작 페이즈(phase)(또는, 기간, 타이밍)에 의해 다양한 방

식으로 구동될 수 있다.

- [0104] 이하에서는, 본 발명과 관련된 표시장치 및 화소 회로의 동작 페이지에 대해 첨부된 도면을 참조하여 보다 구체적으로 살펴본다.
- [0105] 도 6a, 도 6b, 도 6c, 도 6d, 도 7a 및 도 7b는 도 5의 화소 회로를 기반으로 한 픽셀 동작 페이지를 설명하기 위한 도면이다.
- [0106] 본 발명과 관련된 화소 회로(또는 픽셀)의 동작 페이지는, 초기화 페이지(Pixel Initializing Phase, 도 6a), 트랜지스터 보상 페이지(TFT Compensation Phase, 도 6b), 데이터 프로그래밍 페이지(Data Programming(Writing) Phase, 도 6c) 및 발광 페이지(Emission Phase)를 포함할 수 있다.
- [0107] 또한, 본 발명과 관련된 화소 회로(또는 픽셀)의 동작 페이지는, OLED 열화 센싱을 위한 제2 캐패시터 충전 페이지(도 7a) 및 OLED 열화 센싱 페이지(도 7b)를 더 포함할 수 있다.
- [0108] 일 예로, 상기 제2 캐패시터 충전 페이지 및 OLED 열화 센싱 페이지는, 데이터 프로그래밍 페이지에 포함될 수도 있고, 도 6a 내지 도 6d에서 설명한 페이지와는 독립된 시간(기간)에 동작하는 페이지일 수도 있다.
- [0109] 도 6a를 참조하면, 초기화 페이지(Pixel Initializing Phase)에서, 제1 내지 제3 주사선(Scan, EM, Sense)에는 트랜지스터를 턴-온 시키는 제어신호(예를 들어, 로우 신호(저 레벨 전압))가 인가될 수 있다.
- [0110] 제1 내지 제3 주사선에 인가되는 제어신호(스캔 제어신호, 발광 제어신호, 센싱 제어신호)는, 타이밍 콘트롤러(11) 및 게이트 구동회로(13) 중 적어도 하나에 의해 제어될 수 있다. 예를 들어, 게이트 구동회로(13)는, 타이밍 구동회로(11)로부터 인가되는 게이트 제어신호(GDC)에 근거하여, 게이트 펄스(예를 들어, 스캔 제어신호, 발광 제어신호, 센싱 제어신호)를 생성할 수 있다. 또한, 상기 게이트 구동회로(13)는 상기 게이트 제어신호(GDC)에 근거하여, 스캔 제어신호를 제1 주사선(Scan)에, 발광 제어신호를 제2 주사선(EM)에, 센싱 제어신호를 제3 주사선(Sense)에 인가할 수 있다.
- [0111] 이에 따라, 제2 내지 제6 트랜지스터(T2-T6)는 모두 턴-온 되고, 이에 따라 스토리지 캐패시터(제1 캐패시터)(C1)에 저장된 전압은 초기화될 수 있다.
- [0112] 도 6b를 참조하면, 트랜지스터 보상 페이지(TFT Compensation Phase)에서, 제2 주사선(EM)에는 트랜지스터를 턴-오프 시키는 발광 제어신호(하이 신호(고 레벨 전압))가 인가될 수 있다. 이에 따라, 게이트 전극이 제2 주사선(EM)에 접속된 제4 및 제5 트랜지스터(T4, T5)는, 턴-오프될 수 있다.
- [0113] 또한, 트랜지스터 보상 페이지(TFT Compensation Phase)에서, 제1 및 제3 주사선(Scan, Sense)에는 트랜지스터를 턴-온 시키는 스캔 제어신호(로우 신호)와 센싱 제어신호(로우 신호)가 인가될 수 있다.
- [0114] 이에 따라, 제2 및 제3 트랜지스터(T2, T3)는 턴-온되고, 이에 따라, 제1 전원(ELVDD)과 제3 트랜지스터(T3) 사이에 접속된 제1 트랜지스터(T1)에는 전류가 흐를 수 있다.
- [0115] 이러한 구성을 통해, 본 발명과 관련된 화소 회로는, 제1 트랜지스터(T1)에 대한 특성 보상을 수행할 수 있다.
- [0116] 또한, 트랜지스터 보상 페이지(TFT Compensation Phase)에서, 제3 주사선(Sense)에 제6 트랜지스터를 턴-온 시키는 센싱 제어신호(로우 신호)가 인가됨에 따라, 유기발광다이오드(OLED)의 애노드 전극에 축적된 전하를 방출시킬 수 있다.
- [0117] 도 6c를 참조하면, 데이터 프로그래밍 페이지(데이터 프로그래밍 페이지(Data Programming(Writing) Phase)에서는, 제1 주사선(Scan)에만 로우 신호가 인가되고, 제2 주사선(EM) 및 제3 주사선(Sense)에는 하이 신호가 인가될 수 있다.
- [0118] 이에 따라, 제1 내지 제3 트랜지스터(T1, T2, T3)는 턴-온되며, 데이터선(Vdata)에 인가된 데이터신호 및 제1 전원(ELVDD)에 인가된 고전위 구동전압에 의해 제1 내지 제3 트랜지스터(T1, T2, T3)를 경유하여 제1 캐패시터(C1)에 전압이 충전될 수 있다.
- [0119] 상기 제1 캐패시터(C1)에 인가되는 전압은, 해당 픽셀(화소 회로, OLED)가 발광하는 발광 세기, 발광 타이밍, 발광 색상 등에 의해 달라질 수 있다.
- [0120] 도 6d를 참조하면, 발광 페이지(Emission Phase)에서, 제2 주사선(EM)에는 제4 및 제5 트랜지스터(T4, T5)가 턴-온되도록 발광 제어신호(로우 신호)가 인가되며, 제1 및 제3 주사선(Scan, Sense)에는 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)가 턴-오프되도록 스캔 제어신호(하이 신호)와 센싱 제어신호(하이

신호)가 인가될 수 있다.

- [0121] 이에 따라, 발광 페이즈에서는, 제1 캐패시터(C1)에서 충전된 전압에 의해 제1 트랜지스터(T1)가 턴-온되고, 상기 제1 트랜지스터(T1)를 경유한 구동전류가 유기발광다이오드(OLED)로 인가되면서, 해당 유기발광다이오드(OLED)는 발광하게 된다.
- [0122] 도 6a 내지 도 6d에서 설명한 동작 페이즈에 의해 본 발명과 관련된 화소 회로(픽셀)은 발광할 수 있다. 또한, 트랜지스터 보상 페이즈를 통해, 화소 회로를 구성하는 적어도 하나의 트랜지스터(예를 들어, 제1 트랜지스터(T1))의 특성을 보상할 수 있다.
- [0123] 한편, 본 발명과 관련된 화소 회로는, 유기발광다이오드(OLED)의 열화를 센싱할 수 있다. 이러한 유기발광다이오드(OLED)의 열화를 센싱하기 위한 페이즈는, 제2 캐패시터 충전 페이즈(도 7a) 및 OLED 열화 센싱 페이즈(도 7b)를 포함할 수 있다.
- [0124] 도 7a를 참조하면, 제2 캐패시터 충전 페이즈에서, 제2 캐패시터(C2)에 전하를 충전하기 위해, 제1, 제2 및 제3 주사선(Scan, EM, Sense)에는 하이 신호를 인가될 수 있다.
- [0125] 이에 따라, 제1 내지 제6 트랜지스터(T1~T6)는 모두 턴-오프될 수 있으며, 데이터선(Vdata)에 인가되는 데이터 신호에 의해 제2 캐패시터(C2)가 충전될 수 있다.
- [0126] 이후, 도 7b를 참조하면, OLED 열화 센싱 페이즈에서, 제1 및 제2 주사선(Scan, EM)에는 하이 신호가 인가되고, 제3 주사선(Sense)에는 로우 신호가 인가될 수 있다.
- [0127] 이에 따라, 게이트 전극이 제3 주사선(Sense)에 접속된 제6 트랜지스터(T6)는 턴-온될 수 있다. 이 경우, 제2 캐패시터(C2)에서 생성된 전류는 데이터선(Vdata)과 유기발광다이오드(OLED)로 흐르게 된다.
- [0128] 본 발명과 관련된 표시 장치는, OLED로 흐른 전류값(또는 OLED에서 센싱된 전류값) 및 OLED에 인가되는 전압에 근거하여, 유기발광다이오드(OLED)의 열화(V_{th})를 센싱할 수 있다.
- [0129] 도 7c는 OLED 열화에 따른 OLED 애노드 전압과 OLED 구동전류 간의 관계를 나타낸 그래프이다.
- [0130] 도 7c를 참조하면, OLED의 구동시간이 누적되면, OLED에 인가되는 전류(I_{oled})가 동일하더라도, OLED의 애노드 전압(V_{anode})이 증가하게 된다.
- [0131] 다른 말로, OLED의 열화가 발생하면, 동일한 OLED의 애노드 전압(V_{anode})을 인가하기 위해서는 더 큰 OLED의 구동전류가 필요함을 알 수 있다.
- [0132] 이러한 방식으로, 본원발명은 OLED의 열화정도를 센싱할 수 있으며, 이를 보상(feedback)하도록 데이터 구동회로(12)를 제어할 수 있다.
- [0133] 도 7a 및 도 7b에서 설명한 페이즈들은, 데이터 프로그래밍 페이즈에 포함될 수도 있고, 도 6a 내지 도 6d에서 설명한 동작 페이즈와는 독립된 페이즈로 존재할 수도 있다.
- [0134] 이러한 구성을 통해, 본 발명은 제2 캐패시터(C2)를 이용하여 OLED의 열화를 센싱하는 것이 가능한 화소 회로를 제공할 수 있다.
- [0135] 이하에서는, 본 발명과 관련된 제2 실시 예에 따른 화소 회로에 대하여 첨부된 도면을 참조하여 보다 구체적으로 설명하기로 한다.
- [0136] 도 8은 본 발명의 다른 실시 예에 따른 화소 회로를 나타낸 도면이고, 도 9a, 도 9b 및 도 9c는 도 8의 화소 회로를 기반으로 한 픽셀 동작 페이즈를 설명하기 위한 도면이다.
- [0137] 제2 실시 예에 따른 화소 회로는, 변경되거나 추가되는 부분을 제외하고는 제1 실시 예에 따른 화소 회로(도 5 내지 도 7c)에서 설명한 내용을 동일/유사하게 유추적용할 수 있다.
- [0138] 도 8을 참조하면, 본 발명의 제2 실시 예에 따른 화소 회로는, 도 5에서 설명한 것과 같이, 제1 전원(ELVDD), 제2 전원(ELVSS), 제3 전원(V_{ref}), 데이터선(Vdata), 제1 주사선(Scan), 제2 주사선(EM), 제3 주사선(Sense), 제1 내지 제6 트랜지스터(T1~T6), 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 포함할 수 있다.
- [0139] 한편, 본 발명과 관련된 제2 실시 예에 따른 화소 회로는, 데이터선(Vdata)과 제6 트랜지스터(T6)의 제1 전극 사이에 접속되며, 게이트 전극에 상기 제3 주사선(Sense)이 접속되는 제7 트랜지스터(T7)를 더 포함할 수 있다.

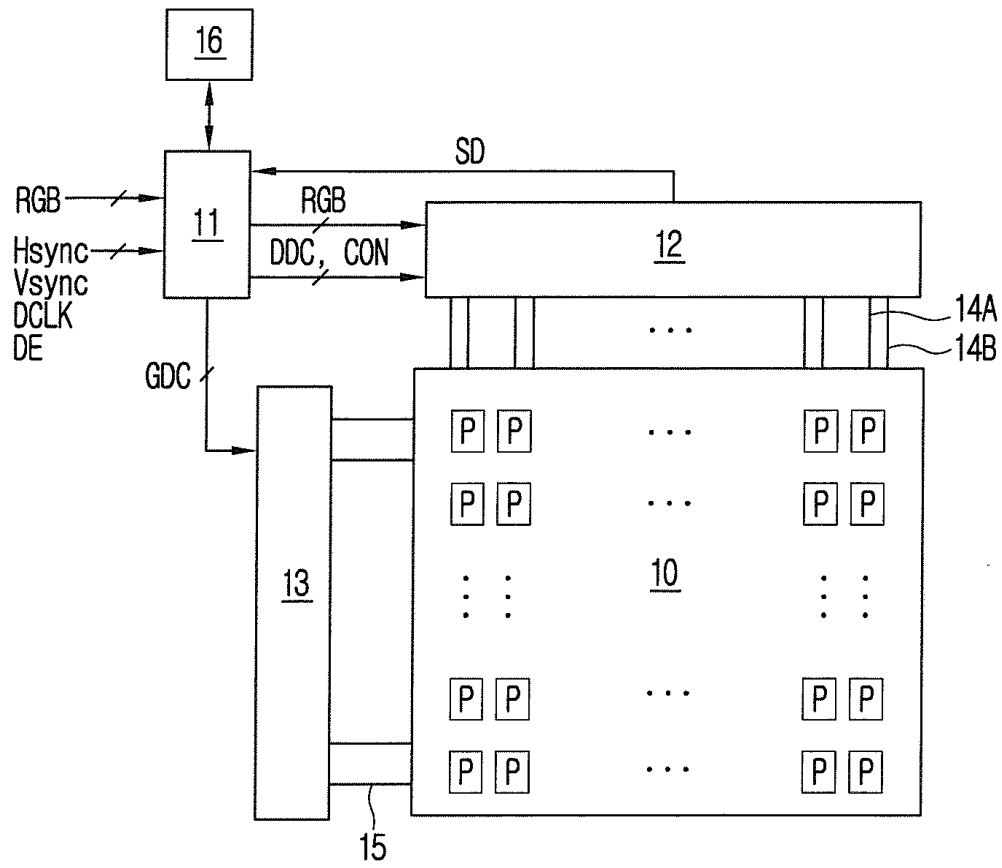
- [0140] 구체적으로, 제7 트랜지스터(T7)의 제1 전극은 데이터선(Vdata)에 접속(연결)되고, 제7 트랜지스터(T7)의 제2 전극은 제6 트랜지스터(T6)의 제1 전극에 접속될 수 있다.
- [0141] 이 경우, 도 8에 도시된 것과 같이, 제2 캐패시터(C2)는 제7 트랜지스터(T7)의 제2 전극과 제2 전원(ELVSS) 사이에 접속될 수 있다.
- [0142] 일 예로, 제2 캐패시터(C2)의 제1 전극(예를 들어, 애노드 전극)은 제6 트랜지스터(T1)의 제1 전극 및 제7 트랜지스터(T1)의 제2 전극에 접속될 수 있다. 또한, 상기 제2 캐패시터(C2)의 제2 전극(예를 들어, 캐소드 전극)은 제2 전원(ELVSS)에 접속될 수 있다.
- [0143] 일 예로, 상기 제7 트랜지스터(T7)는, 제1 내지 제6 트랜지스터(T1~T6)와 같은 P채널 MOSFET일 수 있다.
- [0144] 도 8에 도시된 것과 같이, 제6 트랜지스터(T6)의 게이트 전극과 제7 트랜지스터(T7)의 게이트 전극은 모두 제3 주사선(Sense)에 접속될 수 있다.
- [0145] 이에 따라, 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)는, 제3 주사선(Sense)을 통해 인가되는 신호(센싱 제어 신호)에 응답하여 함께 제어될 수 있다.
- [0146] 예를 들어, 제3 주사선(Sense)에 로우 신호(저 레벨 전압)가 인가되면, 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)는, 상기 로우 신호에 응답하여 턴-온될 수 있다. 이 경우, 상기 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)에는 전류가 흐를 수 있다.
- [0147] 다른 예로, 제3 주사선(Sense)에 하이 신호(고 레벨 전압)가 인가되면, 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)는, 상기 하이 신호에 응답하여 턴-오프될 수 있다. 이 경우, 상기 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)에는 전류가 흐를 수 없다.
- [0148] 본 발명은 데이터선(Vdata)과 제2 캐패시터(C2) 사이에 제7 트랜지스터(T7)를 구비시킴으로써, 데이터 프로그래밍 페이즈 또는 OLED 열화 센싱 페이즈에서 상기 제2 캐패시터(C2)를 가리는 효과를 낼 수 있다. 상기 제2 캐패시터(C2)가 가려지면, 데이터선(Vdata)에 인가되는 캐패시턴스 로드(capacitance load)가 현저히 줄어드는 효과가 있다.
- [0149] 또한, 본 발명은, 제1 실시 예에 따른 화소 회로에서 하나의 트랜지스터(T7)만을 추가로 구비함으로써, 화소 회로의 면적 및 동작 페이즈의 큰 변화 없이 데이터선(Vdata)에 인가되는 캐패시턴스 로드를 해결할 수 있는 현저한 효과가 있다.
- [0150] 상기 데이터선(Vdata)과 제2 캐패시터(C2) 사이에 제3 주사선(Sense)에 의해 제어되는 제7 트랜지스터(T7)를 추가함으로써, 본 발명은, 점점 대면적 고해상도로 개발되는 표시장치에서 데이터선에 걸리는 캐패시턴스 로드(과 부하)를 최소화하는 것이 가능한 화소 회로 및 이를 구비한 표시장치를 제공할 수 있다.
- [0151] 앞서 설명한 것과 같이, 데이터선(Vdata 또는 14A)과 OLED의 열화를 센싱하기 위한 센싱 캐패시터(제2 캐패시터(C2)) 사이에 접속되는 제7 트랜지스터(T7)는, 게이트 전극에 접속된 제3 주사선(Sense)에 인가되는 센싱 제어 신호에 의해 턴-온되거나 턴-오프될 수 있다.
- [0152] 도 9a를 참조하면, 데이터 프로그래밍 페이즈(Data Programming(Writing) Phase)에서, 제3 주사선(Sense)에는, 제7 트랜지스터(T7)가 턴-오프되도록 하는 센싱 제어 신호(예를 들어, 하이 신호, 고 레벨 전압)가 인가될 수 있다(이 경우, 제6 트랜지스터(T6)도 턴-오프될 수 있다).
- [0153] 이에 따라, 데이터선(Vdata)에 인가된 데이터 신호는, 제7 트랜지스터(T7)에 의해 제2 캐패시터(C2)로 인가되지 못한다. 다시 말해, 제3 주사선(Sense)에 턴-오프시키는 센싱 제어 신호(예를 들어, 하이 신호, 고 레벨 전압)가 인가되면, 제7 트랜지스터(T7)는 턴-오프되고, 데이터선(Vdata)에 인가된 데이터 신호는, 제7 트랜지스터(T7)가 턴-오프됨에 따라 제2 캐패시터(C2)로 인가되지 못한다.
- [0154] 즉, 제2 캐패시터(C2)는, 데이터선(Vdata)의 입장에서 볼 때, 제7 트랜지스터(T7)가 턴-오프됨에 따라 가려지게 된다.
- [0155] 이러한 구성을, 본 발명은 제2 행(L2)(예를 들어, 다음 행)에 포함된 화소 회로에 데이터 신호를 인가하는 경우, 제7 트랜지스터(T7)를 이용하여(예를 들어, 턴-오프하여) 제1 행(L1)(예를 들어, 현재 행)에 포함된 화소 회로의 제2 캐패시터(C2)에 데이터 신호가 인가되는 것을 차단함으로써, 데이터선(Vdata)에 걸리는 캐패시턴스 로드를 최소화할 수 있다.

- [0156] 도 9b를 참조하면, OLED 열화를 센싱하기 위한 제2 캐패시터 충전 페이즈에서, 제3 주사선(Sense)에는 제6 및 제7 트랜지스터(T6, T7)가 턴-오프되도록 센싱 제어신호(예를 들어, 하이 신호)가 인가될 수 있다.
- [0157] 이 경우, 데이터선(Vdata)으로 인가되는 데이터신호는 제2 캐패시터(C2)에 인가되지 못한다. 이 경우, 본 발명과 관련된 표시장치는, 전원생성부(미도시)를 제어하여, 제2 캐패시터(C2)에 전압이 인가되도록(충전되도록) 제2 전원(ELVSS)를 제어할 수 있다.
- [0158] 이 경우에도 마찬가지로, 본 발명은 데이터선에 걸리는 캐패시턴스 로드(과부화)를 최소화할 수 있다.
- [0159] 이후, 도 9c를 참조하면, OLED 열화 센싱 페이즈에서, 제3 주사선(Sense)에는 제6 및 제7 트랜지스터(T6, T7)가 턴-온되도록 센싱 제어신호(예를 들어, 로우 신호)가 인가될 수 있다.
- [0160] 이 경우, 제2 캐패시터(C2)에 충전된 전압에 의해, 유기발광다이오드(OLED)로 전류가 흐를 수 있고, OLED의 열화를 센싱할 수 있다. 이와 관련된 내용은 도 7b에서 설명한 내용으로 같음하기로 한다.
- [0161] 이러한 구성을 통해, 본 발명은, 데이터선(Vdata)과 제2 캐패시터(C2) 사이에 제7 트랜지스터(T7)가 접속되더라도, 데이터선(Vdata)에 과부화를 최소화하면서 OLED의 열화를 센싱하는 것에 가능한 화소 회로 및 이를 구비하는 표시 장치를 제공할 수 있다.
- [0162] 이하에서는, 본 발명과 관련된 제3 실시 예에 따른 화소 회로에 대하여 첨부된 도면을 참조하여 보다 구체적으로 설명하기로 한다.
- [0163] 도 10은 본 발명의 또 다른 실시 예에 따른 화소 회로를 나타낸 도면이고, 도 11a 및 도 11b는 도 10의 화소 회로를 기반으로 한 픽셀 동작 페이즈를 설명하기 위한 도면이다.
- [0164] 도 10을 참조하면, 본 발명의 제3 실시 예에 따른 화소 회로는, 도 5에서 설명한 것과 같이, 제1 전원(ELVDD), 제2 전원(ELVSS), 제3 전원(Vref), 데이터선(Vdata), 제1 주사선(Scan), 제2 주사선(EM), 제3 주사선(Sense), 제1 내지 제6 트랜지스터(T1~T6), 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 포함할 수 있다.
- [0165] 또한, 도 10을 참조하면, 본 발명의 제3 실시 예에 따른 화소 회로는, 도 8에서 설명한 것과 같이, 데이터선(Vdata)과 제6 트랜지스터(T6)의 제1 전극(또는 제2 캐패시터) 사이에 접속되는 제7 트랜지스터(T7)를 더 포함할 수 있다.
- [0166] 한편, 본 발명의 제3 실시 예에 따른 화소 회로는 제7 트랜지스터(T7)의 게이트 전극에는, 제3 주사선(Sense1)이 아닌 제4 주사선(Sense2)이 접속될 수 있다.
- [0167] 상기 제4 주사선(Sense2)은, 데이터선(Vdata)과 제6 트랜지스터(T6) 사이에 접속된 제7 트랜지스터(T7)가 제6 트랜지스터(T6)와 독립적으로 동작(제어)되도록 하기 위해 추가되는 구성일 수 있다.
- [0168] 게이트 구동회로(13)는, 타이밍 콘트롤러(11)의 제어 하에, 제3 주사선(Sense1)에 인가되는 제1 센싱 제어신호와 제4 주사선(Sense2)에 인가되는 제2 센싱 제어신호를 생성할 수 있다.
- [0169] 상기 제3 주사선(Sense1) 및 제1 센싱 제어신호는, 도 5 내지 도 9c에서 설명한 제3 주사선(Sense) 및 센싱 제어신호의 동작과 동일할 수 있다.
- [0170] 본 발명의 제3 실시 예에 따른 화소 회로는, 데이터선(Vdata)과 제6 트랜지스터(T6) 사이에 접속되는 제7 트랜지스터(T7)가 제6 트랜지스터(T6)와 동시에 턴온/턴오프되거나, 반대로 턴온/턴오프되도록, 제7 트랜지스터(T7)의 게이트 전극에 상기 제3 주사선(Sense1)과 다른 제4 주사선(Sense2)을 접속시킬 수 있다.
- [0171] 한편, 본 발명의 표시 장치는, 데이터 프로그래밍 페이즈에서는, 제3 주사선(Sense1) 및 제4 주사선(Sense2)에 동일한 센싱 제어신호를 인가할 수 있다.
- [0172] 즉, 데이터 프로그래밍 페이즈에서, 제3 및 제4 주사선(Sense1, Sense2)에는, 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)가 턴 오프되도록 하는 발광 제어신호(하이 신호)를 인가할 수 있다. 이 경우, 도 8 내지 도 9a에서 설명한 바와 같이, 제7 트랜지스터(T7)가 턴-오프됨에 따라, 데이터선(Vdata)의 입장에서 제2 캐패시터(C2)가 가려지게 된다. 이에 따라, 도 9a에서 설명한 것과 같이, 데이터선에 인가되는 캐패시턴스 로드(과부화)를 최소화할 수 있다.
- [0173] 한편, 도 11a에 도시된 것과 같이, OLED의 열화를 센싱하기 위한 제2 캐패시터 충전 페이즈에서는, 제3 주사선(Sense1)과 제4 주사선(Sense2)에 서로 다른 발광 제어신호를 인가할 수 있다.

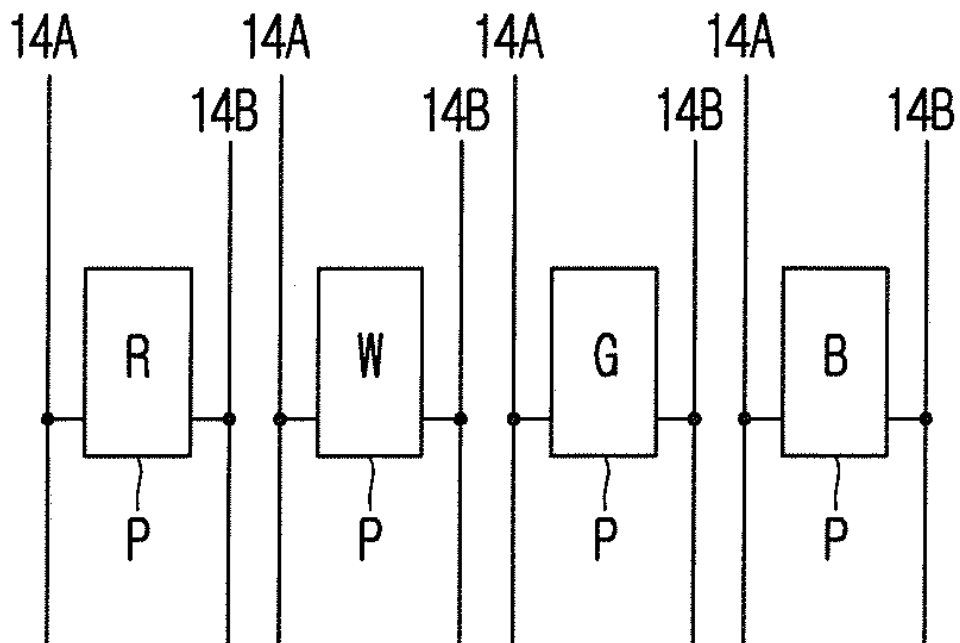
- [0174] 예를 들어, 제3 주사선(Sense1)에는 제6 트랜지스터(T6)가 턴-오프되도록 제1 발광 제어신호(하이 신호)를 인가하고, 제4 주사선(Sense2)에는 제7 트랜지스터(T7)가 턴-온되도록 제2 발광 제어신호(로우 신호)를 인가할 수 있다.
- [0175] 이 경우, 제2 캐패시터(C2)는 제7 트랜지스터(T7)가 턴-온됨에 따라, 도 7a에서 설명한 것과 같이, 데이터선(Vdata)을 통해 전압을 인가받을 수 있다. 즉, 본 발명은 제7 트랜지스터(T7)의 게이트 전극에 제4 주사선(Sense2)을 추가로 접속시킴으로써, 제2 캐패시터(C2)가 데이터선(Vdata)으로부터 전압을 인가받도록 할 수 있다(즉, 도 7a에서 설명한 동작으로 제2 캐패시터의 충전이 가능하다).
- [0176] 이후, 도 11b에 도시된 것과 같이, OLED 열화 센싱 페이지에서는, 제3 주사선(Sense1)와 제4 주사선(Sense2)에 동일한 센싱 제어신호(로우 신호)를 인가할 수 있다. 이에 따라, 표시 장치는, 제6 및 제7 트랜지스터(T6, T7)가 턴-온됨에 따라 OLED의 열화를 센싱할 수 있다(이와 관련된 내용은 도 7b 및 도 7c에서 설명한 내용으로 같다).
- [0177] 본 발명의 제3 실시 예에 따른 화소 회로를 통해, 본 발명은 데이터선에 걸리는 캐패시턴스 로드(과부하)를 최소화하기 위한 제7 트랜지스터(T7)를 독립적으로 제어하는 것이 가능한 화소 회로를 제공할 수 있다.
- [0178] 또한, 본 발명은, 데이터 프로그래밍 페이지, 제2 캐패시터 충전 페이지 및 OLED 열화 센싱 페이지에서 데이터선의 캐패시턴스 로드(과부하)를 최소화하도록 제7 트랜지스터(T7)를 선택적으로 턴온/턴오프시키는 것이 가능한 화소회로 및 이를 포함하는 표시장치를 제공할 수 있다.
- [0179] 본 발명과 관련된 표시장치는, 제1 내지 제3 실시 예 중 어느 하나에 따른 화소 회로(또는 픽셀)가 복수 개 포함할 수 있다.
- [0180] 전술한 본 발명은, 프로그램이 기록된 매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 매체는, 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 컴퓨터가 읽을 수 있는 매체의 예로는, HDD(Hard Disk Drive), SSD(Solid State Disk), SDD(Silicon Disk Drive), ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터 저장 장치 등이 있으며, 또한 캐리어 웨이브(예를 들어, 인터넷을 통한 전송)의 형태로 구현되는 것도 포함한다. 또한, 상기 컴퓨터는 표시장치의 제어부를 포함할 수도 있다. 따라서, 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다.

도면

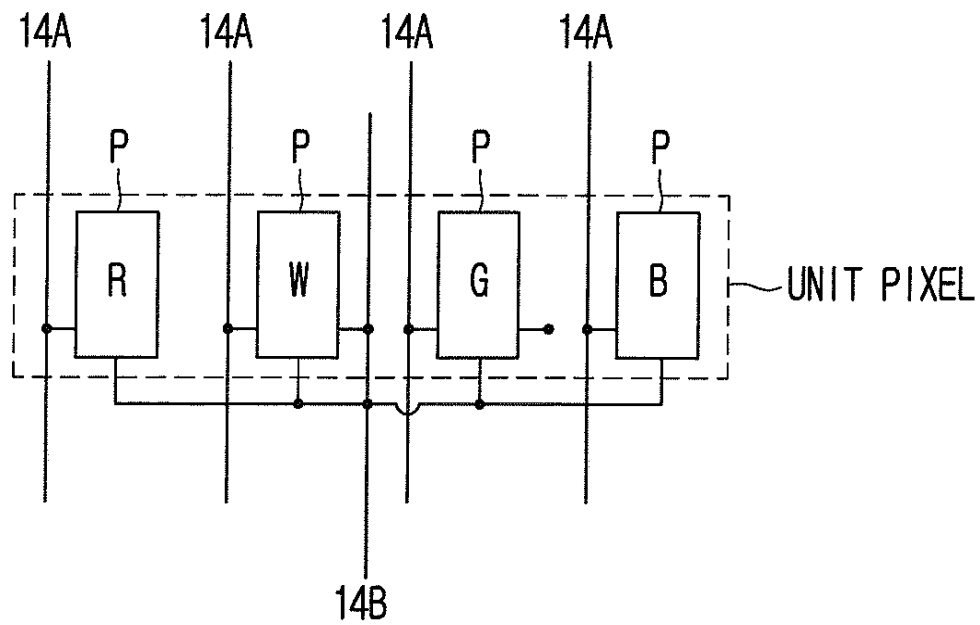
도면1



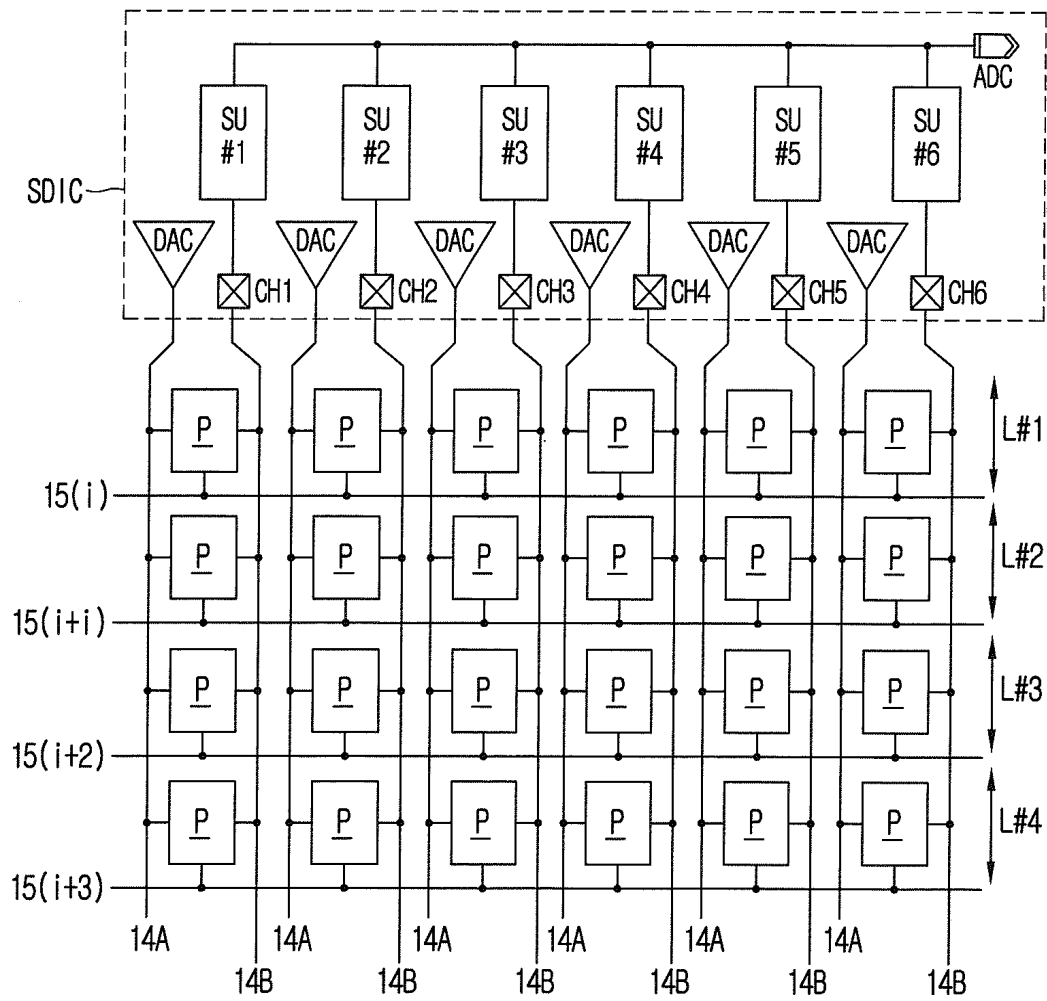
도면2a



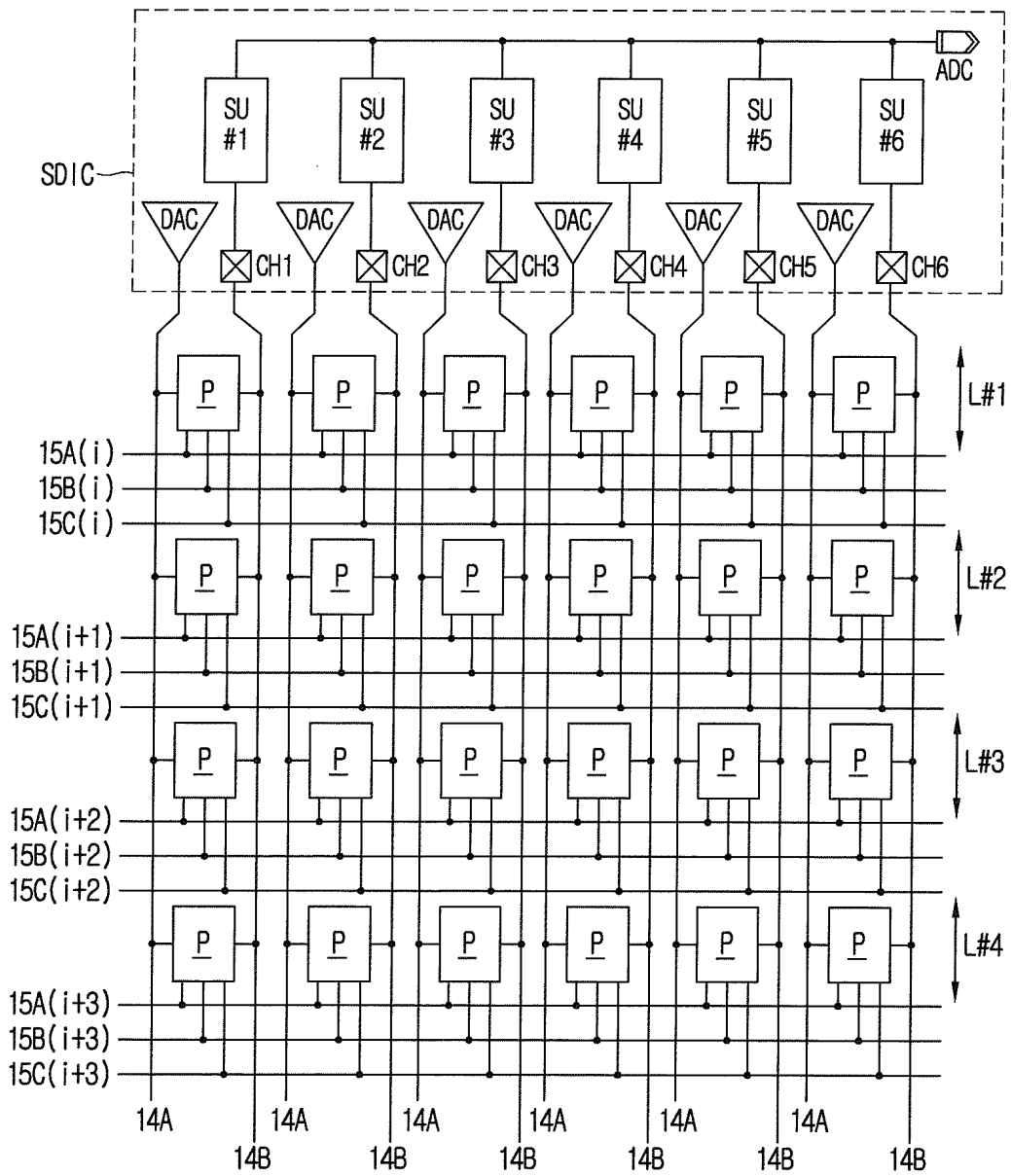
도면2b



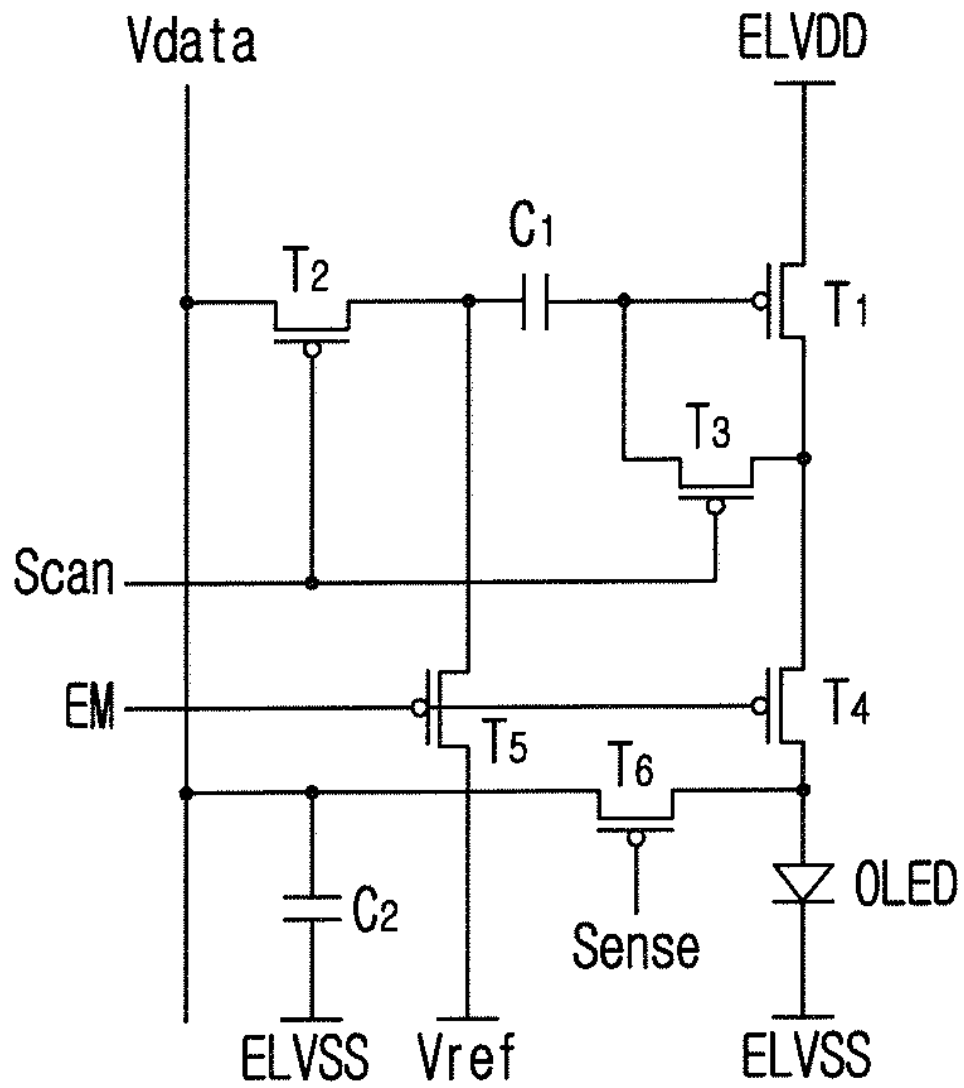
도면3



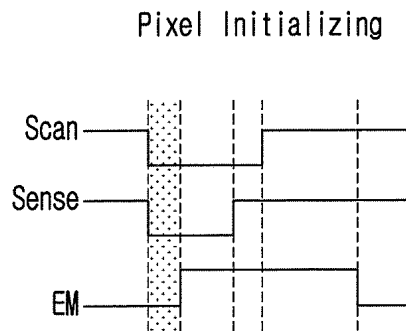
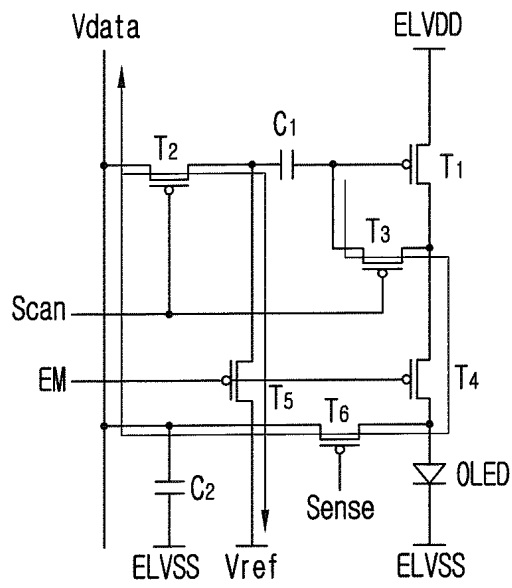
도면4



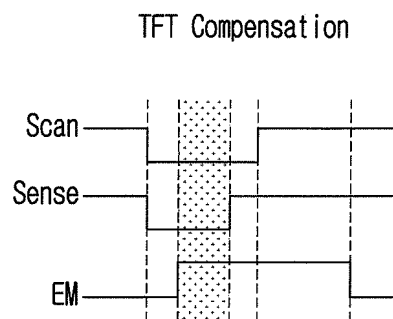
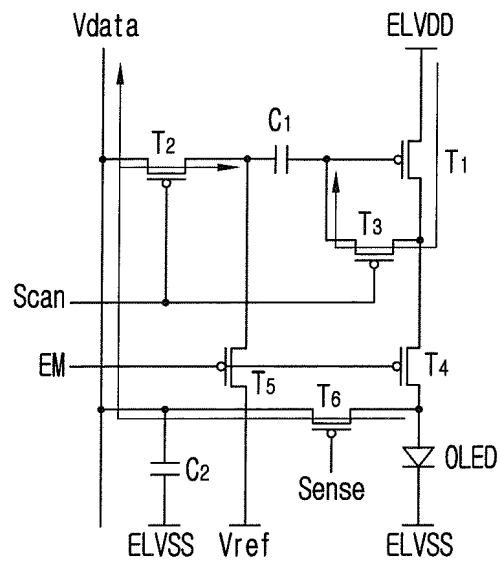
도면5



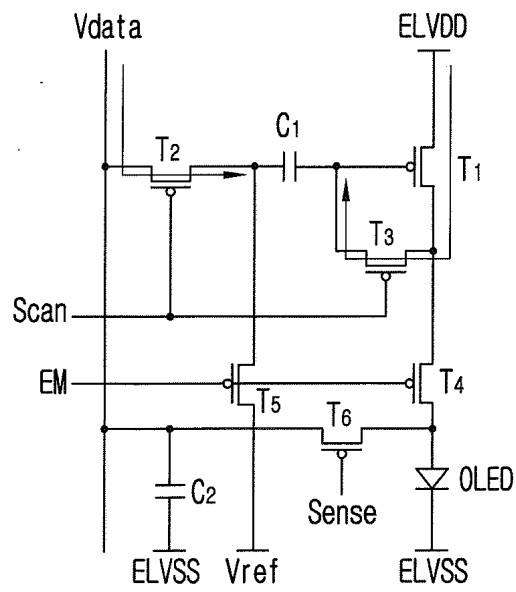
도면6a



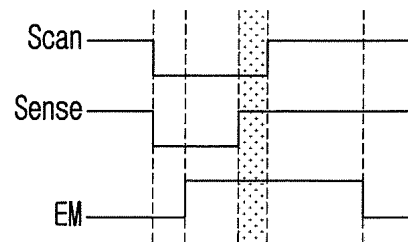
도면6b



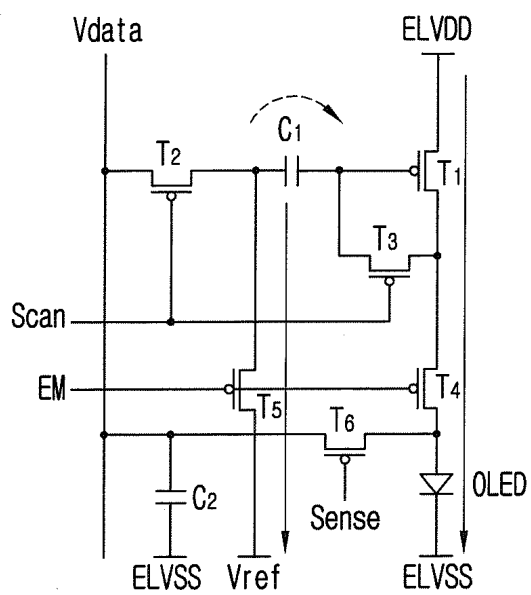
도면6c



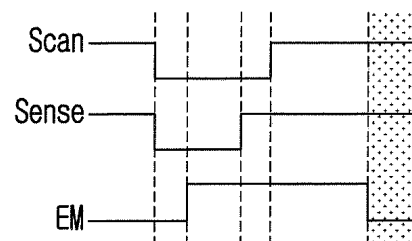
Data Writing



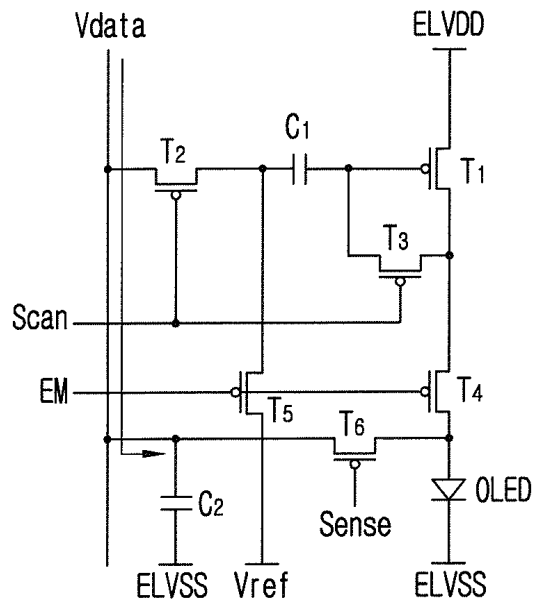
도면6d



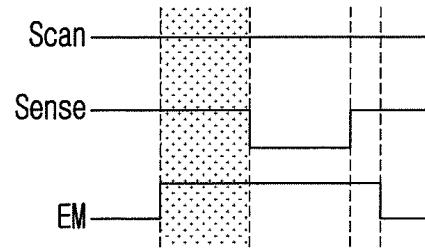
Emission



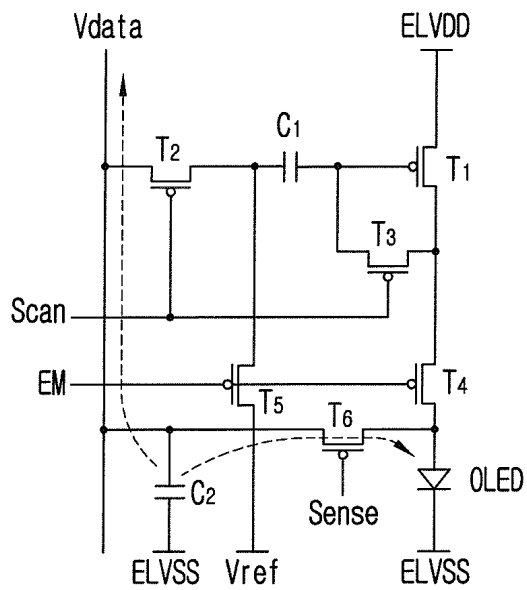
도면7a



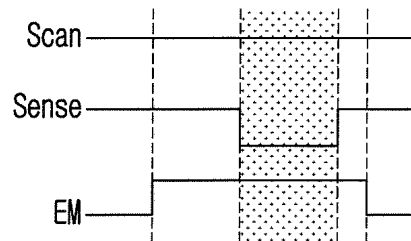
OLED Vth sensing
capacitance charging



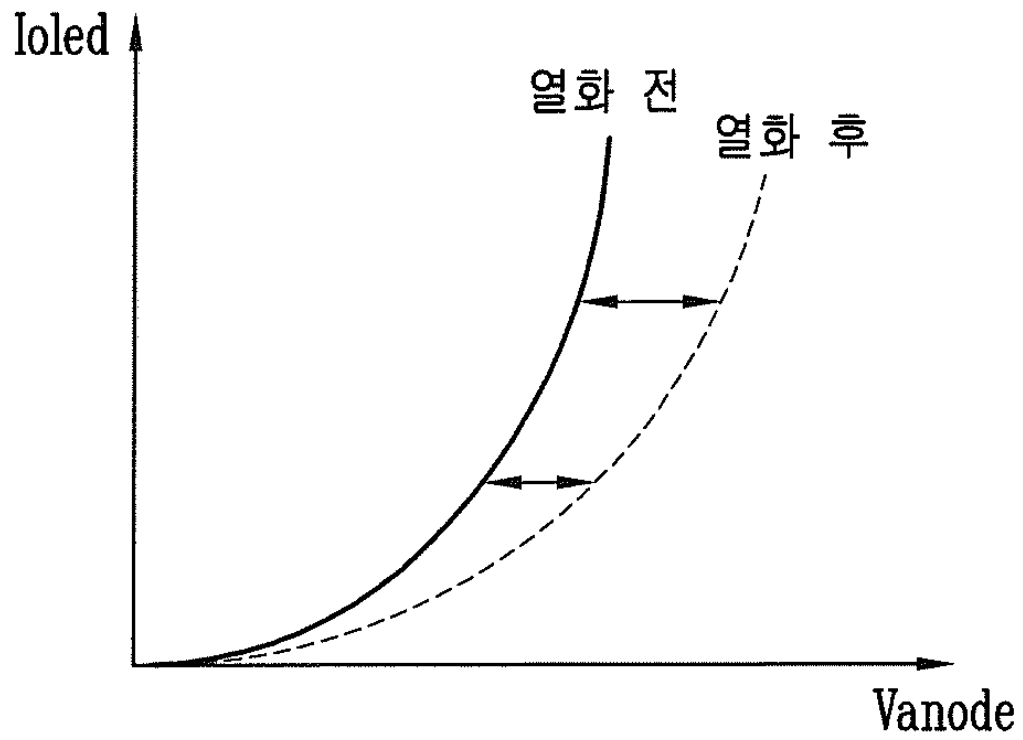
도면7b



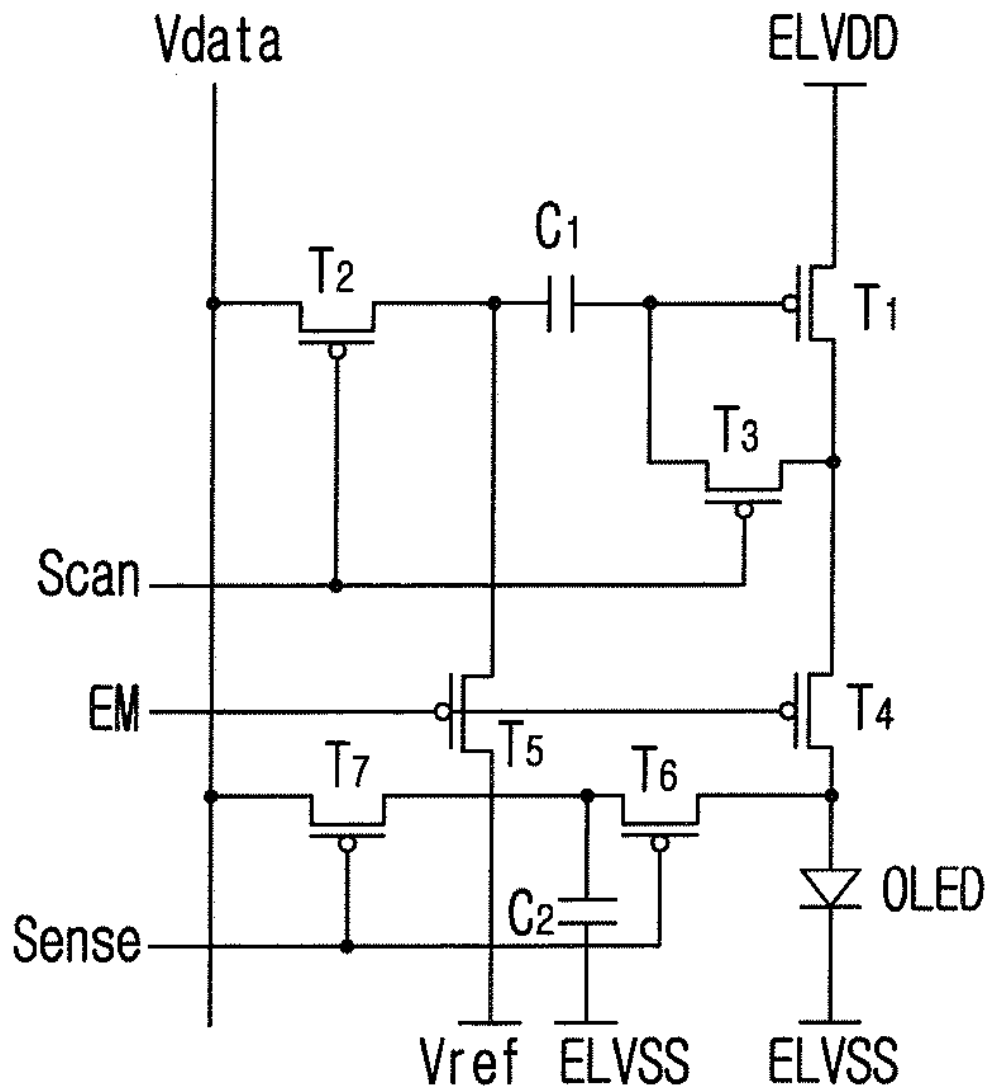
OLED Vth sensing cap.
discharging & measure



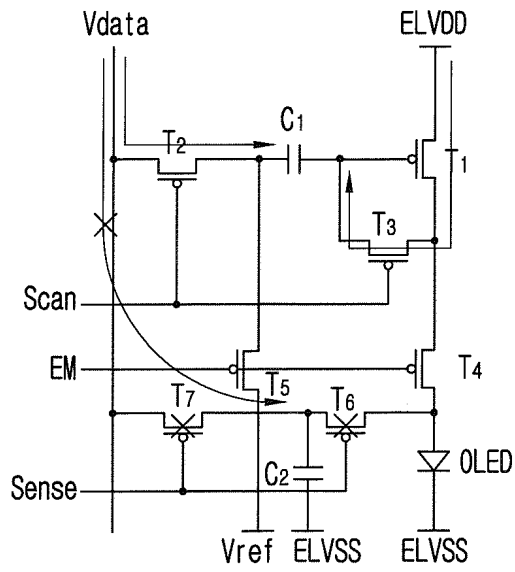
도면7c



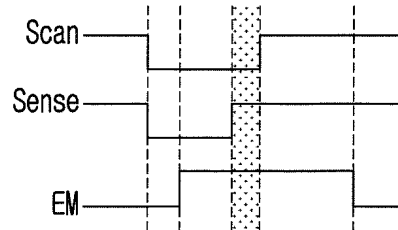
도면8



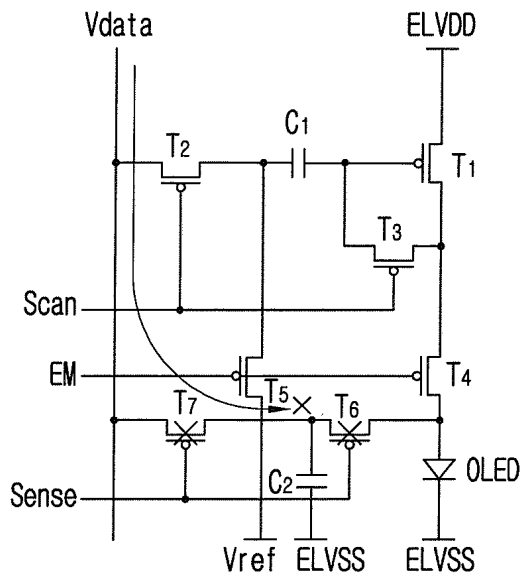
도면9a



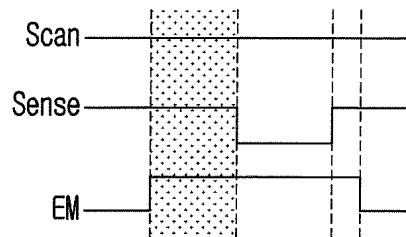
Data Writing



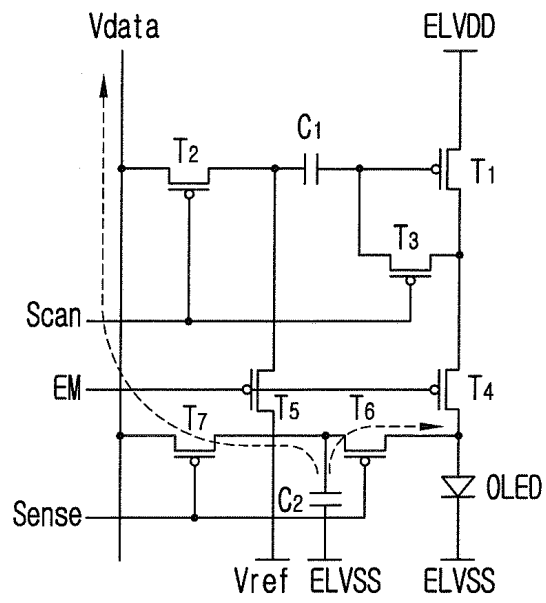
도면9b



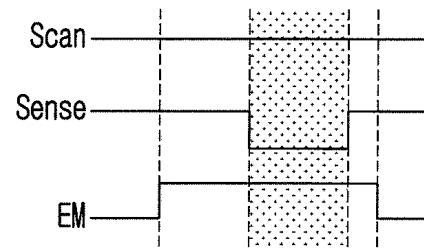
OLED Vth sensing
capacitance charging



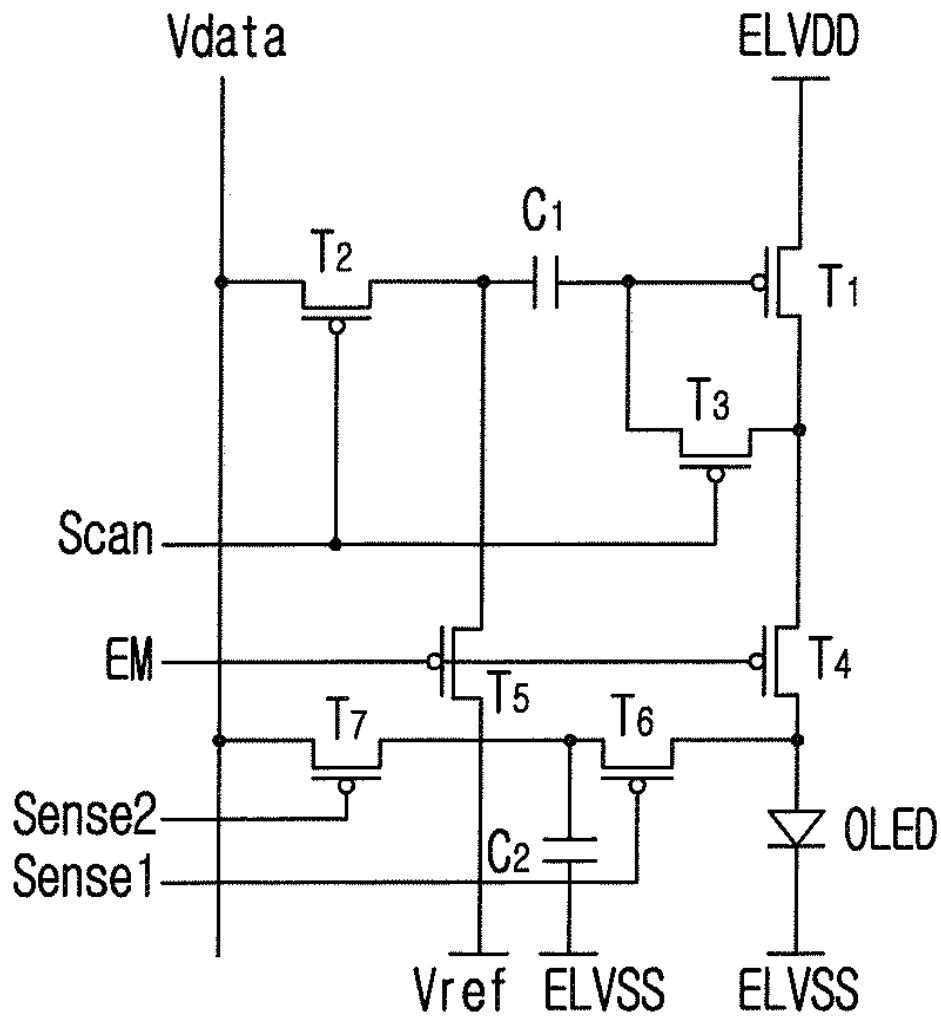
도면9c



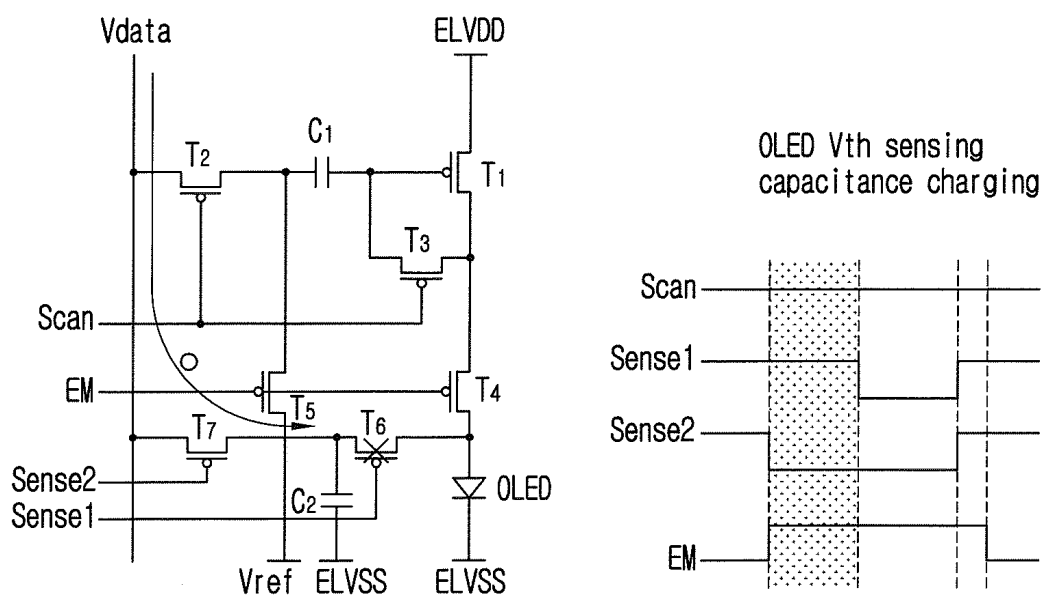
OLED Vth sensing cap.
discharging & measure



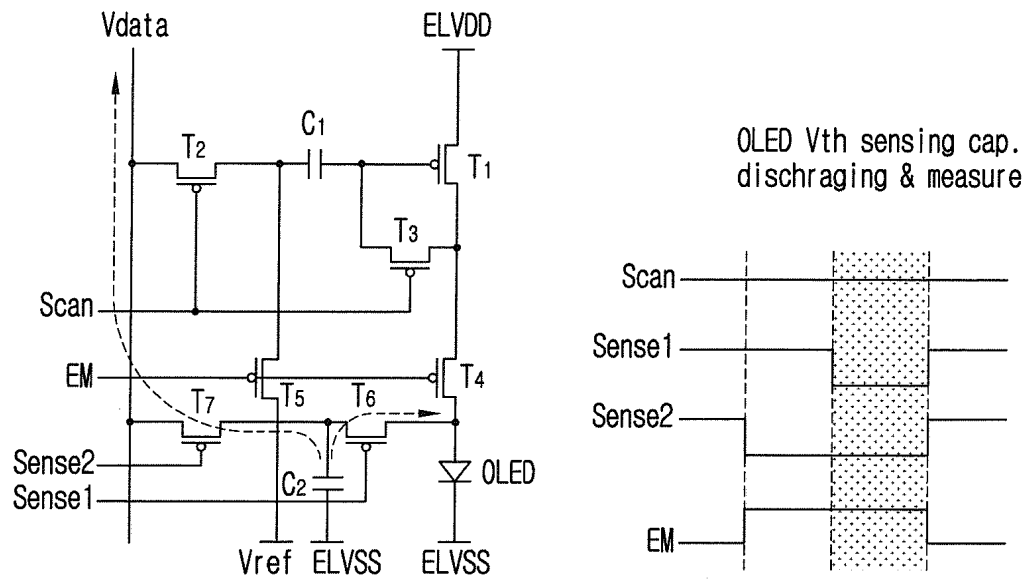
도면10



도면11a



도면11b



专利名称(译)	包括有机发光二极管的像素电路和包括该像素电路的显示装置		
公开(公告)号	KR1020170132598A	公开(公告)日	2017-12-04
申请号	KR1020160063672	申请日	2016-05-24
申请(专利权)人(译)	LG电子公司		
[标]发明人	LEE CHANGHO 이창호		
发明人	이창호		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2320/043 G09G2300/0828 G09G2300/0452		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

本发明涉及包括多个像素电路的像素电路和显示装置，所述多个像素电路包括有机发光二极管（OLED）。根据本发明优选实施例的像素电路是第一至第三电流源，并且包括有机发光二极管（OLED）第一和第二电容器以及第一至第六晶体管；驱动晶体管的特性得到补偿；并且可以感测和补偿有机发光二极管（OLED）的劣化。关于根据本发明优选实施例的显示装置，根据本发明的像素电路包括多个。

