



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0020634
(43) 공개일자 2017년02월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 27/3225 (2013.01)

(21) 출원번호 10-2015-0114477

(22) 출원일자 2015년08월13일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박상진

경기도 용인시 기흥구 보정로 30, 동아솔레시티아파트 116동 1801호 (보정동)

(74) 대리인

특허법인가산

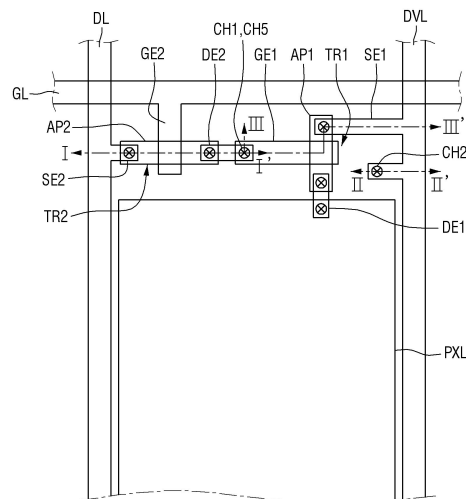
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기전계발광 표시장치

(57) 요약

본 발명은 유기전계발광 표시장치를 제공한다. 유기전계발광 표시장치는 기판, 상기 기판의 일면 상에 배치되고, 제1 제어 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터, 상기 기판의 일면 상에 배치되며, 상기 제1 박막 트랜지스터의 제1 드레인 전극에 전기적으로 연결된 유기발광 다이오드 및 상기 기판의 타면에 배치되고, 상기 제1 제어 전극과 전기적으로 연결된 제1 전극 및 상기 제1 소스 전극과 전기적으로 연결된 제2 전극을 포함하는 스토리지 커패시터를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관의 일면 상에 배치되고, 제1 제어 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터;

상기 기관의 일면 상에 배치되며, 상기 제1 박막 트랜지스터의 제1 드레인 전극에 전기적으로 연결된 유기발광 다이오드; 및

상기 기관의 타면에 배치되고, 상기 제1 제어 전극과 전기적으로 연결된 제1 전극 및 상기 제1 소스 전극과 전기적으로 연결된 제2 전극을 포함하는 스토리지 커패시터를 포함하는 유기전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 기관은 두께 방향으로 관통하는 제1 관통홀 및 제2 관통홀을 포함하고,

상기 스토리지 커패시터의 상기 제1 전극은 상기 제1 관통홀을 통해 상기 제1 제어 전극과 전기적으로 연결되고,

상기 스토리지 커패시터의 상기 제2 전극은 상기 제2 관통홀을 통해 상기 제1 소스 전극과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 3

제2 항에 있어서,

상기 스토리지 커패시터는 상기 제1 전극과 상기 제2 전극 사이에 개재된 절연층을 더 포함하고,

상기 제1 전극은 상기 기관과 상기 제2 전극 사이에 배치되는 제1 절연층을 포함하는 유기전계발광 표시장치.

청구항 4

제1 항에 있어서,

상기 기관의 일면 상에 배치되고, 제2 제어 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 더 포함하되,

상기 제2 드레인 전극은 상기 제1 제어 전극과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 5

제4 항에 있어서,

상기 기관의 일면 상에 배치된 게이트 라인;

상기 기관의 일면 상에 배치된 데이터 라인; 및

상기 기관의 일면 상에 배치된 전원공급라인을 더 포함하되,

상기 게이트 라인은 상기 제2 제어 전극과 전기적으로 연결되고,

상기 데이터 라인은 상기 제2 소스 전극과 전기적으로 연결되고,

상기 전원공급라인은 상기 제1 소스 전극과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 6

제4 항에 있어서,

상기 스토리지 캐패시터는 상기 제1 박막트랜지스터 또는 상기 제2 박막트랜지스터 중 적어도 어느 하나 이상이 중첩되게 배치되는 유기전계발광 표시장치.

청구항 7

제 4항에 있어서,

상기 제2 박막트랜지스터는

상기 게이트 라인과 전기적으로 연결된 제2 제어 전극;

상기 제2 제어 전극과 중첩되게 배치되는 제2 액티브 패턴;

상기 데이터 라인과 전기적으로 연결되어 상기 제2 액티브 패턴과 접촉되는 제2 소스전극; 및

상기 제2 액티브 패턴과 접촉되어 상기 스토리지 캐패시터의 상기 제1 전극에 전기적으로 연결되는 제2 드레인 전극을 포함하는 유기전계발광 표시장치.

청구항 8

제 4항에 있어서,

상기 구동 박막트랜지스터는

상기 제2 드레인 전극과 연결되는 제1 게이트 전극;

상기 제1 게이트 전극과 중첩되게 배치되는 제1 액티브 패턴;

상기 전원 신호 라인과 전기적으로 연결되어 상기 제1 액티브 패턴과 접촉되는 제1 소스 전극; 및

상기 제1 액티브 패턴과 접촉되어 화소와 전기적으로 연결되는 제1 드레인 전극을 포함하는 유기전계발광 표시장치.

청구항 9

제 8항에 있어서,

상기 화소는,

상기 제1 기관의 일면 상에 배치되어 상기 제2 트랜지스터와 전기적으로 연결되는 화소 전극을 포함하고,

상기 화소 전극 상에 상기 유기 발광층이 배치되는 유기전계발광 표시장치.

청구항 10

제 3항에 있어서,

상기 기관의 일면에 배치되며, 상기 제1, 2 액티브 패턴을 절연하는 제2 절연층;

상기 제2 절연층 상에 배치되는 상기 제1, 2 제어 전극 상에 배치되는 제3 절연층을 포함하고,

상기 기관의 타면에 배치되며, 상기 스토리지 캐패시터의 제1 전극과 제2 전극 사이를 절연하고, 상기 스토리지 캐패시터를 커버하는 제1 절연층을 포함하는 유기전계발광 표시장치.

청구항 11

제 10항에 있어서,

상기 제1 콘택홀 및 제2 콘택홀은 상기 기관을 레이저 드릴링으로 관통시켜 배치하되, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 어느 하나를 관통시켜 배치되는 유기전계발광 표시장치.

청구항 12

제 1항에 있어서,

상기 기관의 타면 상에 배치되고, 제2 제어 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 포함하되,

상기 제2 드레인 전극은 상기 제1 제어 전극과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 13

제 12항에 있어서,

상기 기관은 두께 방향으로 관통하는 제1 관통홀을 포함하고,

상기 스토리지 커패시터의 상기 제1 전극은 상기 제1 관통홀을 통해 상기 제1 제어 전극과 전기적으로 연결되고,

상기 스토리지 커패시터의 상기 제2 전극은 콘택홀을 통해 상기 제1 소스 전극과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 14

제 12항에 있어서,

상기 기관의 타면에 배치되는 상기 제1-1 절연층 상에는 상기 제2 제어 전극 및 상기 스토리지 커패시터의 제1 전극이 배치되고,

상기 제2 제어 전극 및 상기 제1 전극 상에는 제1-2 절연층이 배치되고,

상기 제1-2 절연층 상에는 상기 제2 소스 전극, 제2 드레인 전극 및 상기 스토리지 커패시터의 제2 전극이 배치되고,

상기 제2 소스 전극, 제2 드레인 전극 및 상기 제2 전극 상에는 제1-3 절연층이 배치되는 유기전계발광 표시장치.

청구항 15

제 14항에 있어서,

상기 제2 제어 전극 및 상기 스토리지 커패시터의 제1 전극은 동일 물질로 배치되고, 상기 제2 소스 전극, 제2 드레인 전극 및 상기 스토리지 커패시터의 제2 전극은 동일 물질로 배치되는 유기전계발광 표시장치.

청구항 16

제 12항에 있어서,

상기 제1 콘택홀은 상기 기관을 레이저 드릴링으로 관통시켜 배치하되, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 어느 하나를 관통시켜 배치되는 유기전계발광 표시장치.

청구항 17

제 1항에 있어서,

상기 기관의 타면 상에 배치되는 제2 제어 전극, 상기 기관의 일면에 배치되는 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 포함하되,

상기 제2 드레인 전극은 상기 제1 제어 전극과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 18

제 17항에 있어서,

상기 기관은 두께 방향으로 관통하는 제1 관통홀, 제2 관통홀을 포함하고,

상기 스토리지 커패시터의 상기 제1 전극은 상기 제1 관통홀을 통해 상기 제1 제어 전극과 전기적으로 연결되고,

상기 스토리지 커패시터의 상기 제2 전극은 상기 제2 관통홀을 통해 상기 제1 소스 전극과 전기적으로 연결되는

유기전계발광 표시장치.

청구항 19

제 17항에 있어서,

상기 기관은 두께 방향으로 관통하는 제3 관통홀, 제4 관통홀 을 포함하고,

상기 제2 드레인 전극은 상기 제3 관통홀을 통해 상기 제2 액티브 패턴과 전기적으로 연결되고,

상기 제2 소스 전극은 상기 제4 관통홀을 통해 상기 제2 액티브 패턴과 전기적으로 연결되는 유기전계발광 표시장치.

청구항 20

제 17항에 있어서,

상기 제1 콘택홀, 제2 관통홀, 제3 관통홀, 제4 관통홀은 상기 기관을 레이저 드릴링으로 관통시켜 배치하되, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 어느 하나를 관통시켜 배치되는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 근래에 표시 장치는 액정표시장치(Liquid Crystal Display, LCD)나 유기전계발광 표시장치(Organic Light Emitting Diodes, OLED) 등과 같은 박형의 평판 표시 장치로 대체되는 추세이다.

[0003] 이러한 평판 표시 장치 중 유기전계발광 표시장치는 유기발광층에서 엑시톤 형성 후 기저상태로 내려가면서 빛을 발산하는데, 여기서 상기 빛은 다수의 유기층 및 무기층을 통과하여 외부로 방출될 수 있다.

[0004] 그러나, 유기전계발광 표시장치가 대형화됨에 따라 각각의 화소에 형성되는 캐패시터 때문에 개구율은 더욱 저하될 수 있다. 특히, 유기전계발광 표시장치는 안정적인 구동을 위해 정전 용량의 증가시키는 것이 중요한 요소임에 불구하고, 캐패시터 전극의 배치로 인해 개구율이 저하되기 때문에 개구율을 높이면서 충전 용량을 높일 수 있는 구조의 개발이 필요한 실정이다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 충전용량을 증가시키면서 개구율을 증가시키는 구조가 가능한 유기전계발광 표시장치를 제공하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 유기전계발광 표시장치는 기관, 상기 기관의 일면 상에 배치되고, 제1 제어 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터, 상기 기관의 일면 상에 배치되며, 상기 제1 박막 트랜지스터의 제1 드레인 전극에 전기적으로 연결된 유기발광 다이오드 및 상기 기관의 타면에 배치되고, 상기 제1 제어 전극과 전기적으로 연결된 제1 전극 및 상기 제1 소스 전극과 전기적으로 연결된 제2 전극을 포함하는 스토리지 커패시터를 포함한다.

[0008] 상기 기관은 두께 방향으로 관통하는 제1 관통홀 및 제2 관통홀을 포함하고, 상기 스토리지 커패시터의 상기 제1 전극은 상기 제1 관통홀을 통해 상기 제1 제어 전극과 전기적으로 연결되고, 상기 스토리지 커패시터의 상기

제2 전극은 상기 제2 관통홀을 통해 상기 제1 소스 전극과 전기적으로 연결될 수 있다.

- [0009] 상기 스토리지 커패시터는 상기 제1 전극과 상기 제2 전극 사이에 개재된 절연층을 더 포함하고, 상기 제1 전극은 상기 기판과 상기 제2 전극 사이에 배치되는 제1 절연층을 포함할 수 있다.
- [0010] 상기 기판의 일면 상에 배치되고, 제2 제어 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 더 포함하되, 상기 제2 드레인 전극은 상기 제1 제어 전극과 전기적으로 연결될 수 있다.
- [0011] 상기 기판의 일면 상에 배치된 게이트 라인, 상기 기판의 일면 상에 배치된 데이터 라인, 및 상기 기판의 일면 상에 배치된 전원공급라인을 더 포함하되, 상기 게이트 라인은 상기 제2 제어 전극과 전기적으로 연결되고, 상기 데이터 라인은 상기 제2 소스 전극과 전기적으로 연결되고, 상기 전원공급라인은 상기 제1 소스 전극과 전기적으로 연결될 수 있다.
- [0012] 상기 스토리지 커패시터는 상기 제1 박막트랜지스터 또는 상기 제2 박막트랜지스터 중 적어도 어느 하나 이상이 중첩되게 배치될 수 있다.
- [0013] 상기 제2 박막트랜지스터는 상기 게이트 라인과 전기적으로 연결된 제2 제어 전극, 상기 제2 제어 전극과 중첩되게 배치되는 제2 액티브 패턴, 상기 데이터 라인과 전기적으로 연결되어 상기 제2 액티브 패턴과 접촉되는 제2 소스전극 및 상기 제2 액티브 패턴과 접촉되어 상기 스토리지 커패시터의 상기 제1 전극에 전기적으로 연결되는 제2 드레인 전극을 포함할 수 있다.
- [0014] 상기 구동 박막트랜지스터는 상기 제2 드레인 전극과 연결되는 제1 게이트 전극, 상기 제1 게이트 전극과 중첩되게 배치되는 제1 액티브 패턴, 상기 전원 신호 라인과 전기적으로 연결되어 상기 제1 액티브 패턴과 접촉되는 제1 소스 전극 및 상기 제1 액티브 패턴과 접촉되어 화소와 전기적으로 연결되는 제1 드레인 전극을 포함할 수 있다.
- [0015] 상기 화소는, 상기 제1 기판의 일면 상에 배치되어 상기 제2 트랜지스터와 전기적으로 연결되는 화소 전극을 포함하고, 상기 화소 전극 상에 상기 유기 발광층이 배치될 수 있다.
- [0016] 상기 기판의 일면에 배치되며, 상기 제1, 2 액티브 패턴을 절연하는 제2 절연층, 상기 제2 절연층 상에 배치되는 상기 제1, 2 제어 전극 상에 배치되는 제3 절연층을 포함하고, 상기 기판의 타면에 배치되며, 상기 스토리지 커패시터의 제1 전극과 제2 전극 사이를 절연하고, 상기 스토리지 커패시터를 커버하는 제1 절연층을 포함할 수 있다.
- [0017] 상기 제1 콘택홀 및 제2 콘택홀은 상기 기판을 레이저 드릴링으로 관통시켜 배치하되, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 어느 하나를 관통시켜 배치될 수 있다.
- [0018] 상기 기판의 타면 상에 배치되고, 제2 제어 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 포함하되, 상기 제2 드레인 전극은 상기 제1 제어 전극과 전기적으로 연결될 수 있다.
- [0019] 상기 기판은 두께 방향으로 관통하는 제1 관통홀을 포함하고, 상기 스토리지 커패시터의 상기 제1 전극은 상기 제1 관통홀을 통해 상기 제1 제어 전극과 전기적으로 연결되고, 상기 스토리지 커패시터의 상기 제2 전극은 콘택홀을 통해 상기 제1 소스 전극과 전기적으로 연결될 수 있다.
- [0020] 상기 기판의 타면에 배치되는 상기 제1-1 절연층 상에는 상기 제2 제어 전극 및 상기 스토리지 커패시터의 제1 전극이 배치되고, 상기 제2 제어 전극 및 상기 제1 전극 상에는 제1-2 절연층이 배치되고, 상기 제1-2 절연층 상에는 상기 제2 소스 전극, 제2 드레인 전극 및 상기 스토리지 커패시터의 제2 전극이 배치되고, 상기 제2 소스 전극, 제2 드레인 전극 및 상기 제2 전극 상에는 제1-3 절연층이 배치될 수 있다.
- [0021] 상기 제2 제어 전극 및 상기 스토리지 커패시터의 제1 전극은 동일 물질로 배치되고, 상기 제2 소스 전극, 제2 드레인 전극 및 상기 스토리지 커패시터의 제2 전극은 동일 물질로 배치될 수 있다.
- [0022] 상기 제1 콘택홀은 상기 기판을 레이저 드릴링으로 관통시켜 배치하되, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 어느 하나를 관통시켜 배치될 수 있다.
- [0023] 상기 기판의 타면 상에 배치되는 제2 제어 전극, 상기 기판의 일면에 배치되는 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 포함하되, 상기 제2 드레인 전극은 상기 제1 제어 전극과 전기적으로 연결될 수 있다.
- [0024] 상기 기판은 두께 방향으로 관통하는 제1 관통홀, 제2 관통홀, 제3 관통홀, 제4 관통홀을 포함하고, 상기 스토

리지 커패시터의 상기 제1 전극은 상기 제1 관통홀을 통해 상기 제1 제어 전극과 전기적으로 연결되고, 상기 스토리지 커패시터의 상기 제2 전극은 상기 제2 관통홀을 통해 상기 제1 소스 전극과 전기적으로 연결 될 수 있다.

[0025] 상기 기판은 두께 방향으로 관통하는 제3 관통홀, 제4 관통홀 을 포함하고, 상기 제2 드레인 전극은 상기 제3 관통홀을 통해 상기 제2 액티브 패턴과 전기적으로 연결되고, 상기 제2 소스 전극은 상기 제4 관통홀을 통해 상기 제2 액티브 패턴과 전기적으로 연결될 수 있다.

[0026] 상기 제1 콘택홀, 제2 관통홀, 제3 관통홀, 제4 관통홀은 상기 기판을 레이저 드릴링으로 관통시켜 배치하되, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 어느 하나를 관통시켜 배치될 수 있다.

[0027] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0028] 본 발명의 실시예들에 의하면 적어도 다음과 같은 효과가 있다.

[0029] 본 발명의 실시예들에 의하면 정전용량을 증가시켜 유기전계발광 표시장치의 안정적인 구동을 시켜 화소로부터 출력되는 광량이 증가하여 유기전계발광 표시장치의 표시품질이 향상될 수 있다.

[0030] 또한, 본 발명의 실시예들에 의하면 유기전계발광 표시장치의 개구율을 향상시킬 수 있는 효과가 있다.

[0031] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 평면도이다.

도 2는 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 회로도이다.

도 3은 도 1의 I-I'에 따른 단면도이다.

도 4는 도 1의 II-II'에 따른 단면도이다.

도 5는 도 1의 III-III'에 따른 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 유기전계발광 표시장치의 단면도이다.

도 7은 본 발명의 또 다른 실시예에 따른 유기전계발광 표시장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

[0034] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는다.

[0035] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여

사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0036] 이하, 도면을 참조하여 본 발명의 실시예들에 대하여 설명한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 평면도이고, 도 2는 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 회로도이다. 도 3은 도 1의 I-I'에 따른 단면도이고, 도 4는 도 1의 II-II'에 따른 단면도이고, 도 5는 도 1의 III-III'에 따른 단면도이다.
- [0038] 도 1 및 도 2를 참고하면, 본 발명의 일 실시예에 따른 유기전계발광 표시장치(1)는 기판(5), 기판(5)의 일면에 배치되고, 제1 제어 전극(GE1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함하는 제1 박막 트랜지스터(TR1), 기판(5)의 일면에 배치되며 제1 박막 트랜지스터(TR1)의 제1 드레인 전극(DE1)에 전기적으로 연결된 유기발광 다이오드(EML)를 포함한다. 그리고, 기판(5)의 타면에 배치되고, 제1 제어 전극(GE1)과 전기적으로 연결된 제1 전극(CE1) 및 제1 소스 전극(SE1)과 전기적으로 연결된 제2 전극(CE2)을 포함하는 스토리지 커패시터(Cst)를 포함한다.
- [0039] 제1 박막 트랜지스터(TR1)에 연결되는 화소(PXL)를 포함할 수 있으며 화소(PXL)는 화소 전극(PE)과 유기발광 다이오드(EML)를 포함할 수 있다.
- [0040] 그리고 기판(5)의 일면에 배치되고, 제2 제어 전극(GE2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함하는 제2 박막 트랜지스터(TR2)를 더 포함하되, 제2 드레인 전극(DE2)은 제1 제어 전극(GE1)과 전기적으로 연결될 수 있다.
- [0041] 여기서 제1 트랜지스터(TR1)는 구동 트랜지스터일 수 있고, 제2 트랜지스터(TR2)는 스위칭 트랜지스터 일 수 있다.
- [0042] 그리고 기판(5)의 일면 상에는 게이트 라인(GL)은 제2 제어 전극(GE2)에 연결될 수 있고, 데이터 라인(DL)은 제2 소스 전극(SE2)에 연결될 수 있다. 그리고 제2 소스 전극(SE2)은 제2 드레인 전극(DE2)과 전기적으로 연결될 수 있다. 그리고 전원 공급 라인(DVL)은 제1 소스 전극(SE1)에 연결될 수 있다.
- [0043] 먼저, 기판(5)은 SiO₂를 주성분으로 하는 투명한 유리, 석영 재질로 이루어질 수 있다. 기판(5)은 반드시 이에 한정되는 것은 아니며 투명한 고분자 재질로 형성할 수도 있다. 고분자 재질은 절연성 유기물인 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 또는 이들의 조합을 들 수 수 있다. 몇몇 실시예에서, 제1, 2기판(S1, S2)은 폴리이미드(polyimide: PI)와 같은 플렉시블한 물질로 이루어진 플렉시블 기판일 수 있다.
- [0044] 기판(5) 일면 또는 타면 상에는 버퍼층(10)을 선택적으로 배치시킬 수 있다. 버퍼층(10)은 기판(5) 상부에 평활한 면을 형성하고, 불순 원소가 침투하는 것을 차단할 수 있다. 버퍼층(10)은 실리콘 질화물 및/또는 실리콘 산화물 등으로 단층 또는 복수의 층으로 형성될 수 있다. 본 실시예에서는 기판(5)의 일면 상에 버퍼층(10)을 배치시키는 것을 도시하였으나, 이에 한정하는 것은 아니고 기판(5)의 일면, 타면 중 어느 한 면뿐만 아니라 양면 모두에 배치시킬 수도 있다.
- [0045] 기판(5)의 타면 상에는 제1 절연층(L1)을 배치시킬 수 있다. 제1 절연층(L1) 상에는 스토리지 커패시터(Cst)를 배치시킬 수 있다. 스토리지 커패시터(Cst)는 제1 전극(CE1)과 제2 전극(CE2)을 포함하며 정전 용량을 증가시키기 위해서 제1 전극(CE1)과 제2 전극(CE2) 사이에 고유전율을 갖는 절연층을 배치시킬 수도 있다.
- [0046] 구체적으로, 제1 절연층(L1)은 복수의 층으로 형성될 수 있다. 제1 절연층(L1)으로 제1 층을 배치시키고, 상기 제1 층에 제2 층을 배치시키고, 상기 제2 층 상에 제3 층을 배치시킬 수 있다. 여기서 상기 제2 층은 제1 전극(CE1)과 제2 전극(CE2) 사이에 배치되는 절연층으로 정전용량을 증가시킬 수 있는 절연물질을 배치시킬 수 있다. 고유전율을 갖는 절연물질로 유기물 또는 질화 규소(SiNx), 산화 규소(SiO₂), 산질화 규소(SiON), 알루미늄

나(Al_2O_3), 타이타늄 옥사이드(TiO_2), 탄탈륨 옥사이드(Ta_2O_5), 하프늄 옥사이드(HfO_2), 지르코늄 옥사이드(ZrO_2), BST 및 PZT에서 선택된 무기 절연막을 사용할 수 있다.

- [0047] 따라서 제1 절연층(L1)을 복수의 층으로 형성하여 제1 전극(CE1)과 제2 전극(CE2) 사이에 고유전율을 갖는 절연층을 개재하여 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다.
- [0048] 다른 실시예로써 제1 절연층(L1)은 동일 물질로 형성할 수도 있고, 동일 물질로 형성할 경우, 제1 절연층(L1) 폴리이미드(polyimide: PI) 등으로 형성할 수 있으나 이에 한정하는 것은 아니다. 제1 및 제2 전극들(CE1, CE2)사이에는 제1 절연층(L1)을 개재시켜 제1 및 제2 전극들(CE1, CE2)은 상호 간에 절연될 수 있다.
- [0049] 기판(5)의 타면에 배치된 스토리지 캐패시터(Cst)의 제1 전극(CE1)과 제2 전극(CE2)은 기판(5)의 두께 방향으로 관통하는 제1 관통홀(CH1) 및 제2 관통홀(CH2)을 통해 기판(5)의 일면에 배치된 제1 박막 트랜지스터(TR1) 및 제2 박막 트랜지스터(TR2)에 각각 연결될 수 있다. 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)은 기판(5)의 두께 방향으로 레이저 드릴링을 사용하여 기판(5)을 관통시켜 형성시킬 수 있다.
- [0050] 구체적으로, 제1 전극(CE1)은 제1 관통홀(CH1)을 통해 제1 제어 전극(GE1)과 전기적으로 연결되고, 제2 전극(CE2)은 제2 관통홀(CH2)을 통해 제1 소스 전극(SE1)과 전기적으로 연결될 수 있다. 여기서 제1 소스 전극(SE1)은 전원 공급 라인(DVL)과 일체형으로 배치될 수 있다.
- [0051] 이하 기판(5)의 타면에 배치된 스토리지 캐패시터의 전극들(CE1, CE2)과 기판(5)의 일면에 배치되는 제1 박막 트랜지스터(TR1) 및 제2 박막 트랜지스터(TR2)의 연결관계를 구체적으로 설명한다.
- [0052] 먼저 제2 박막 트랜지스터(TR2)를 설명하면, 게이트 라인(GL) 및 데이터 라인(DL) 사이에는 제3 절연막(L3)이 개재되어 서로 절연되고, 본 실시예에서는 게이트 라인(GL) 및 데이터 라인(DL)은 서로 다른 방향으로 연장되어 서로 교차될 수 있다.
- [0053] 게이트 라인(GL)을 통해 게이트 신호가 흐르고, 데이터 라인(DL)을 통해 데이터 신호가 흐르고, 게이트 라인(GL) 및 데이터 라인(DL)은 제2 박막 트랜지스터(TR2)와 전기적으로 연결될 수 있다.
- [0054] 제2 박막 트랜지스터(TR2)는 게이트 라인(GL) 및 데이터 라인(DL)과 전기적으로 연결되고, 제2 박막 트랜지스터(TR2)는 게이트 라인(GL)을 통해 게이트 신호를 제공받고, 데이터 라인(DL)을 통해 데이터 신호를 제공받는다. 스위칭 트랜지스터(TR2)는 제2 액티브 패턴(AP2), 제2 게이트 전극(GE2), 제2 소스전극(SE2), 및 제2 드레인 전극(DE2)을 포함할 수 있다.
- [0055] 제2 액티브 패턴(AP2)은 기판(5)의 일면 상의 버퍼층(10) 상에 배치되고, 제2 액티브 패턴(AP2)은 반도체 물질을 포함할 수 있다. 제2 액티브 패턴(AP2)은 비정질 실리콘(amorphous silicon) 및 결정질 실리콘(poly silicon)을 포함할 수 있으며 이들에 한정하지 않는다.
- [0056] 다른 실시예로서 제2 액티브 패턴(AP2)은 산화물 반도체(oxide semiconductor)를 포함할 수도 있으며, 산화물 반도체들은 예를 들어, IGZO, ZnO, SnO_2 , In_2O_3 , Zn_2SnO_4 , Ge_2O_3 및 HfO_2 등을 포함할 수 있다. 그리고, 제2 액티브 패턴(AP2)은 화합물 반도체(compound semiconductor)를 사용할 수 있으며, 예를 들어, 화합물 반도체는 GsAs, GaP 및 InP 등을 포함할 수 있다.
- [0057] 상기한 제2 액티브 패턴(AP2)은 도시하지 않았지만 채널 영역과, 채널영역 외측에 이온불순물이 도핑된 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0058] 제2 액티브 패턴(AP2) 상에는 제2 절연층(L2)이 배치될 수 있다. 제2 절연층(L2)은 제2 액티브 패턴(AP2)을 절연할 수 있다. 제2 절연층(L2)은 상에는 제2 제어 전극(GE2)을 배치시킬 수 있다. 제2 제어 전극(GE2)은 게이트 라인(GL)과 전기적으로 연결되어 게이트 라인(GL)으로부터 상기 게이트 신호를 제공받을 수 있다.
- [0059] 구체적으로, 제2 절연층(L2)의 제2 박막 트랜지스터(TR2)의 형성영역 상에는 제2 제어 전극(GE2)이 배치될 수 있다. 제2 제어 전극(GE2)은 제2 액티브 패턴(AP2)에 적어도 일부가 중첩되도록 배치되며 전기적인 신호를 전달하는 역할을 할 수 있다. 제2 게이트 전극(GE2)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 예를 들어, 게이트 전극(220)은 몰리브덴(Mo)로 이루어진 제1층, 상기 제1층 상에 형성되며 알루미늄(Al)으로 이루어진 제2층 및 상기 제2층 상에 형성되며 몰리브덴(Mo)로 이루어진 제3층을 구비할 수 있다. 제2 제어 전극(GE2)이 Mo/Al/Mo로 이루어질 경우, 알루미늄(Al)이 배선 또는 전극 역할을 하고, 몰리브덴(Mo)은 배리어층 역할을 할

수 있다.

- [0060] 제2 제어 전극(GE2)이 형성된 기판(5) 상에는 제3 절연층(L3)이 배치될 수 있다. 제3 절연층(L3)은 SiO₂, SiNx, SiON을 포함하는 실리콘 계열의 절연재료를 사용할 수 있다.
- [0061] 제3 절연층(L3) 상에는 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)이 배치될 수 있다. 제2 소스 전극(SE2)은 데이터 라인(DL)과 전기적으로 연결되어 데이터 라인(DL)으로부터 상기 데이터 신호를 제공받고, 제2 드레인 전극(DE2)은 제2 소스 전극(SE2)과 이격되게 배치될 수 있다.
- [0062] 제2 소스 전극 및 제2 드레인 전극(SE2, DE2) 각각은 제2 절연층(L2) 및 제3 절연층(L3)을 관통하여 형성된 콘택홀에 의해 상기 제2 액티브 패턴(AP2)과 접촉될 수 있다. 구체적으로 제2 드레인 전극(DE2) 및 제2 소스 전극(SE2)은 제2 액티브 패턴(AP2)의 드레인 영역 및 소스 영역에 각각 연결될 수 있다.
- [0063] 제2 액티브 패턴(AP2)과 접촉되어 있는 제2 드레인 전극(DE2)은 제1 관통홀(CH1)을 통해서 스토리지 캐패시터(Cst)의 상기 제1 전극(CE1) 또는 제2 전극(CE2)에 전기적으로 연결될 수 있다. 또한 제2 드레인 전극(DE2)은 콘택홀을 통해 제1 제어 전극(GE1)과 연결될 수 있다. 여기서 제1 관통홀(CH1)은 제1 제어 전극(GE1) 및 스토리지 캐패시터(Cst)의 제1 전극(CE1)에 연결될 수도 있다. 또는 각각의 홀을 형성하여 연결시킬 수도 있다. 본 실시예에서는 동일한 홀을 통해 연결되는 것으로 도시하였다.
- [0064] 따라서, 제2 제어 전극(GE2)에 게이트 라인(GL)을 통해 게이트 신호가 제공되어 제2 박막 트랜지스터(TR2)가 턴-온(turn-on) 되는 경우에, 데이터 라인(DL)을 통해 제공되는 데이터 신호는 제2 소스 전극(SE2), 제2 액티브 패턴(AP2) 및 제2 드레인 전극(DE2)을 순차적으로 흘러 스토리지 커패시터(Cst) 및 제1 박막 트랜지스터(TR1) 측으로 제공될 수 있다.
- [0065] 제1 박막 트랜지스터(TR1)는 제2 드레인 전극(DE2)에 연결되는 제1 제어 전극(GE1), 제1 제어 전극(GE1) 상에 배치되는 제3 절연층(L3), 제3 절연층(L3)에 배치되는 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함할 수 있다.
- [0066] 제1 제어 전극(GE1) 하부에는 제2 절연층(L2)을 사이에 두고 제1 제어 전극(GE1)에 일부가 중첩되게 배치되는 제1 액티브 패턴(AP1)이 배치될 수 있다.
- [0067] 제1 소스 전극은 전원 공급 라인과 연결되어 화소에 전원을 공급할 수 있다. 여기서 전원 공급 라인(DVL) 또는 제1 소스 전극(SE1)은 제2 관통홀(CH2)을 통해서 스토리지 커패시터(Cst)의 제1 전극(CE1) 또는 제2 전극(CE2)에 연결될 수 있다.
- [0068] 이와 같이, 스토리지 커패시터(Cst)의 제1, 2 전극들은 제2 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2) 및 제1 박막 트랜지스터(TR1)의 전원 공급 라인(DVL)과 전기적으로 연결될 수 있다.
- [0069] 따라서 스토리지 커패시터(Cst)는 제2 박막 트랜지스터(TR2)로부터 수신된 데이터 신호에 대응하는 전압 및 전원 공급 라인(DVL)으로부터 수신된 전원 신호에 대응하는 전압 차이에 대응하는 전하량을 충전하고, 상기 충전된 전하량은 제2 박막 트랜지스터(TR2)가 턴-오프 되는 동안에 제1 박막 트랜지스터(TR1) 측으로 제공될 수 있다.
- [0070] 이와 같이, 제1 전극(CE1)은 제2 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)과 연결될 수 있고, 제2 전극(CE2)은 전원 공급 라인(DVL)과 전기적으로 연결될 수 있다.
- [0071] 따라서, 제1 절연층(L1), 제2 절연층(L2) 및 제3 절연층(L3)을 관통시키는 제1 콘택홀(CH1)을 배치시켜 제2 드레인 전극(DE2)에 제2 절연층(L2) 하부에 배치된 제1 절연층(L1) 상에 스토리지 커패시터(Cst)의 제1 전극(CE1)을 연결하고, 제1 절연층(L1), 제2 절연층(L2) 및 제3 절연층(L3)을 관통시키는 제2 콘택홀(CH2)을 배치시켜 전원 신호 라인(DVL)에 스토리지 커패시터(Cst)의 제2 전극(CE2)을 연결시켜 스토리지 커패시터(Cst)의 정전 용량이 증가될 수 있다.
- [0072] 이는 곧, 스토리지 커패시터(Cst)를 설계하는 경우에, 제1 박막 트랜지스터(TR1) 또는 제2 박막 트랜지스터(TR2)가 배치되는 기판의 다른 면에 스토리지 커패시터(Cst)를 배치시킴으로써 화소(PXL)의 크기에 구애받지 않고 제1, 2 전극(CE1, CE2)의 크기를 자유로이 크게 배치할 수 있어 스토리지 캐패시터(cst)의 정전 용량을 증가시킬 수 있다. 화소(PXL)의 크기에 구애받지 않고 스토리지 캐패시터(cst)를 배치할 수 있어 정전용량을 충분히 확보할 수 있어 화소(PXL)로부터 출력되는 광량을 증가시킬 수 있다.
- [0073] 다시 도 5를 참조하면, 제1 박막 트랜지스터(TR1)는 제2 박막 트랜지스터(TR2), 전원 공급 라인(DVL) 및 화소

(PXL)와 전기적으로 연결될 수 있다. 제1 박막 트랜지스터(TR1)는 전원 공급 라인(DVL)으로부터 화소(PXL) 측으로 제공되는 전원 신호를 스위칭할 수 있다. 제1 박막 트랜지스터(TR1)는 제1 액티브 패턴(AP1), 제1 게이트 전극(GE1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함할 수 있다.

[0074] 제1 게이트 전극(GE1)은 상기 제2 전극(CE2)을 통해 제2 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)과 전기적으로 연결될 수 있다. 따라서, 제2 박막 트랜지스터(TR2)가 턴-온 되어 제2 박막 트랜지스터(TR2)를 통해 상기 데이터 신호가 제1 게이트 전극(GE1) 측으로 제공되는 경우에 제1 박막 트랜지스터(TR1)가 턴-온 될 수 있다.

[0075] 제1 소스 전극(SE1)은 상기 전원 신호 라인(DVL)과 전기적으로 연결되어 전원 공급 라인(DVL)으로부터 상기 전원 신호를 제공받고, 제1 드레인 전극(DE1)은 제1 소스 전극(SE1)과 이격되게 배치될 수 있다. 또한, 제1 소스 및 제1 드레인 전극들(SE1, DE1) 각각은 제2 절연층(L2) 및 제3 절연층(L3)을 관통하는 콘택홀들에 의해 제1 액티브 패턴(AP1)과 접촉될 수 있다. 따라서, 제1 박막 트랜지스터(TR1)가 턴-온 된 경우에, 상기 전원 신호는 제1 소스 전극(SE1), 제1 액티브 패턴(AP1) 및 제1 드레인 전극(DE1)을 순차적으로 흘러 화소(PXL) 측에 제공될 수 있다.

[0076] 화소(PXL)는 화소 전극(PE), 유기발광 다이오드(EML)을 포함할 수 있다. 화소 전극(PE)은 화소(PXL)의 애노드 전극으로 작용할 수 있고, 공통 전극(미도시)은 화소(PXL)의 캐소드 전극으로 작용할 수 있다.

[0077] 화소 전극(PE)은 상기 공통 전극에 비해 상대적으로 일함수가 큰 도전성 물질을 포함할 수 있다. 일함수가 큰 도전성 물질로 형성되는 화소 전극(PE)은 투명도전성 산화물을 포함할 수 있다. 예를 들면, 화소 전극(PE)은 인듐 틴 옥사이드(indium tin oxide: ITO), 틴 옥사이드(SnO), 인듐 징크 옥사이드(indium zinc oxide: IZO), 징크 옥사이드(zinc oxide: ZnO), 인듐 옥사이드(indium oxide: In_2O_3), 인듐 갈륨 옥사이드(indium gallium oxide: IGO), 알루미늄 징크 옥사이드(aluminum zinc oxide: AZO) 및 징크 갈륨 옥사이드(zinc gallium oxide: GZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 이러한 화소 전극(PE)은 화소 전극(PE) 상에 배치되는 유기발광 다이오드(EML) 사이의 일함수(Work function) 차이를 줄일 수 있다.

[0078] 또한, 화소 전극(PE)은 제1 박막 트랜지스터(TR1) 및 제2 박막 트랜지스터(TR2)를 커버하는 제4 절연층(L4) 위에 배치되고, 화소 전극(PE)은 제4 절연층(L4)에 형성된 콘택홀을 통해 제1 드레인 전극(DE1)과 전기적으로 연결될 수 있다. 제4 절연층(L4)은 평탄화막일 수 있다.

[0079] 유기발광 다이오드(EML)은 저분자 유기물 또는 고분자 유기물을 사용할 수 있다. 유기발광 다이오드(EML)에는 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다.

[0080] 예를 들면, 화소 전극(PE)과 유기발광 다이오드(EML) 사이에는 제1 전하 전달 영역이 배치될 수 있다. 또한, 유기발광 다이오드(EML)과 상기 공통 전극 사이에는 제2 전하 전달 영역이 배치될 수 있다. 제1 전하 전달 영역과 제2 전하 전달 영역 중 어느 하나는 정공의 전달을 담당하고, 다른 하나는 전자의 전달을 담당할 수 있다. 따라서, 애노드 전극인 화소 전극(PE)에 인접한 제1 전하 전달 영역은 정공 전달 영역이고, 캐소드 전극인 공통 전극에 인접한 제2 전하 전달 영역은 전자 전달 영역인 것으로 예시될 수 있다.

[0081] 화소 전극(PE) 상에는 제1 전하 전달 영역이 배치될 수 있다. 제1 전하 전달 영역은 단일 물질로 이루어진 단일층, 복수의 서로 다른 물질로 이루어진 단일층 또는 복수의 서로 다른 물질로 이루어진 복수의 층을 갖는 다층 구조를 가질 수 있다. 또한, 필요에 따라 제1 전하 전달 영역은 버퍼층 및 제1 전하 저지층을 더 포함할 수 있다. 제1 전하 주입층과 제1 전하 수송층 중 어느 하나가 생략되거나, 이들이 하나의 층으로 구성될 수도 있다.

[0082] 제1 전하 주입층은 화소 전극(PE) 상에 배치되며, 화소 전극(PE) 으로부터 유기 발광층 측으로의 정공 주입 효율을 높이는 역할을 한다. 구체적으로, 제1 전하 주입층은 에너지 장벽을 낮추어 정공이 보다 효과적으로 주입되도록 할 수 있다.

[0083] 제1 전하 수송층은 제1 전하 주입층 상에 배치되며, 제1 전하 주입층으로 주입된 정공을 유기발광층으로 수송하는 역할을 할 수 있다. 제1 전하 수송층은 최고점유 분자 궤도 에너지(highest occupied molecular energy HOMO)가 화소 전극(PE)을 구성하는 물질의 일함수(work function)보다 실질적으로 낮고, 유기 발광층의 최고 점유 분자 궤도 에너지(HOMO)보다 실질적으로 높은 경우에 정공 수송 효율이 최적화될 수 있다.

[0084] 제1 전하 전달 영역은 앞서 언급한 물질 외에, 도전성 향상을 위하여 전하 생성 물질을 더 포함할 수 있다. 상

기 전하 생성 물질은 제1 전하 전달 영역 내에 균일하게 또는 불균일하게 분산되어 있을 수 있다.

- [0085] 앞서 언급한 바와 같이, 제1 전하 전달 영역은 버퍼층 및 제1 전하 저지층 중 적어도 하나를 더 포함할 수 있다. 상기 버퍼층은 유기 발광층에서 방출되는 광의 파장에 따른 공진 거리를 보상하여 광 방출 효율을 증가시키는 역할을 할 수 있다. 상기 버퍼층에 포함되는 물질로는 제1 전하 전달 영역에 포함될 수 있는 물질을 사용할 수 있다. 상기 제1 전하 저지층은 제2 전하 전달 영역으로부터 제1 전하 전달 영역으로의 전하 주입을 방지하는 역할을 할 수 있다.
- [0086] 제1 전하 전달 영역 상에는 발광층이 배치될 수 있다. 발광층으로 통상 사용되는 물질이라면 특별히 한정되지 않으나, 예를 들어, 적색, 녹색 및 청색을 발광하는 물질로 이루어질 수 있다. 발광층은 형광물질 또는 인광물질을 포함할 수 있다.
- [0087] 유기발광층 상에는 제2 전하 전달 영역이 배치될 수 있다. 제2 전하 전달 영역은 단일 물질로 이루어진 단일층, 복수의 서로 다른 물질로 이루어진 단일층 또는 복수의 서로 다른 물질로 이루어진 복수의 층을 갖는 다층 구조를 가질 수 있다. 또한, 필요에 따라 제2 전하 전달 영역은 제2 전하 저지층을 더 포함할 수 있다. 도면에서는 제2 전하 전달 영역이 제2 전하 수송층과 제2 전하 주입층을 포함하는 경우를 예시하지만, 제2 전하 수송층과 제2 전하 주입층 중 어느 하나가 생략되거나, 이들이 하나의 층으로 구성될 수도 있다.
- [0088] 제2 전하 수송층은 발광층 상에 배치되고, 제2 전하 주입층으로부터 주입된 전자를 발광층으로 수송하는 역할을 할 수 있다.
- [0089] 제2 전하 주입층은 제2 전하 수송층 상에 배치되며, 제2 전극으로부터 발광층 측으로의 전자 주입 효율을 높이는 역할을 한다.
- [0090] 제2 전하 전달 영역 상에는 공통 전극이 배치될 수 있다. 제2 전극은 화소의 구분 없이 형성된 전면 전극 또는 공통 전극일 수 있다. 공통 전극은 화소 전극에 비해 상대적으로 일함수가 작은 도전성 물질을 포함할 수 있다.
- [0091] 이와 같이, 본 발명의 실시예의 유기전계발광 표시장치(1)는 제2 박막 트랜지스터(TR2)와 제1 박막 트랜지스터(TR1)가 배치되는 기판(5)의 일면에 대해서 기판(5)의 타면에 스토리지 캐패시터(Cst)를 배치시켜 스토리지 캐패시터(Cst)의 형성면적을 자유로이 조절이 가능하여 충분한 정전 용량을 확보할 수 있고, 증가한 정전 용량으로 안정적인 발광을 유지할 수 있다.
- [0092] 도 6은 본 발명의 다른 실시예에 따른 유기전계발광 표시장치의 단면도이다.
- [0093] 여기서 중복설명을 회피하고, 용이한 설명을 위해 도 1 내지 도 5를 인용하여 설명하기로 한다.
- [0094] 도 6을 참조하면, 기판(5)의 일면에 제1 박막 트랜지스터(TR1)를 배치할 수 있다. 그리고 기판(5)의 타면에 제2 박막 트랜지스터(TR2) 및 스토리지 캐패시터(Cst)를 배치시킬 수 있다.
- [0095] 여기서 제2 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)은 wp2 관통홀을 통해서 스토리지 캐패시터(Cst)의 제1 전극(CE1) 또는 제2 전극(CE2)에 연결될 수 있다. 스토리지 캐패시터(Cst)의 제2 전극(CE2)은 콘택홀(H)을 통해 제1 소스 전극(SE1)과 전기적으로 연결될 수 있다.
- [0096] 그리고 기판(5)은 두께 방향으로 관통하는 제1 관통홀(CH1)을 포함하고, 상기 스토리지 캐패시터(Cst)의 제1 전극(CE1)은 제1 관통홀(CH1)을 통해 제1 제어 전극(GE1)과 전기적으로 연결될 수 있다.
- [0097] 그리고 기판(5)의 타면에 배치되는 제1-1 절연층(L1-1) 상에는 제2 제어 전극(GE2) 및 스토리지 캐패시터(Cst)의 제1 전극(CE1)이 배치되고, 제2 제어 전극(GE2) 및 제1 전극(CE1) 상에는 제1-2 절연층(L1-2)이 배치되고, 제1-2 절연층(L1-2) 상에는 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 스토리지 캐패시터(Cst)의 제2 전극(CE2)이 배치되고, 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 제2 전극(CE2) 상에는 제1-3 절연층(L1-3)이 배치될 수 있다.
- [0098] 여기서 제2 제어 전극(GE2) 및 스토리지 캐패시터(Cst)의 제1 전극(CE1)은 동일 물질로 배치될 수 있고, 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 스토리지 캐패시터(Cst)의 제2 전극(CE2)은 동일 물질로 배치될 수 있다. 또는 제2 드레인 전극(DE2)과 제1 전극(CE1)은 일체로 형성할 수도 있다.
- [0099] 이와 같이, 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 기판(5)의 타면에 배치시킴으로써 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 발광 영역과 관계없는 기판(5)의 타면에 배치시킴으로써 발광 영역을 더욱 증가시킬 수 있다.

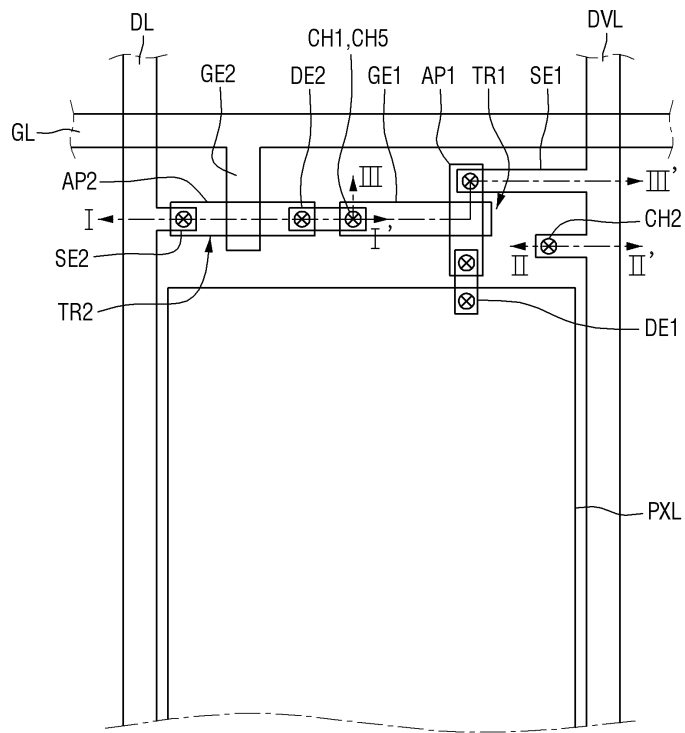
- [0100] 도 7은 본 발명의 또 다른 실시예에 따른 유기전계발광 표시장치의 단면도이다.
- [0101] 여기서 중복설명을 회피하고, 용이한 설명을 위해 도 1 내지 도 6을 인용하여 설명하기로 한다.
- [0102] 도 7을 참조하면, 기관(5)의 일면에는 제1 박막 트랜지스터(TR1)가 배치되고, 기관(5)의 타면 상에 배치되는 제2 제어 전극(GE2)이 배치될 수 있다. 그리고 기관(5)의 일면에 배치되는 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함하는 제2 박막 트랜지스터(TR2)가 배치될 수 있다. 여기서 제2 드레인 전극(DE2)은 제1 제어 전극(GE1)과 전기적으로 연결될 수 있다.
- [0103] 이와 같이, 전극들을 연결시키기 위해서 기관(5)은 두께 방향으로 관통하는 제1 관통홀(CH1), 제2 관통홀(CH2), 제3 관통홀(CH3), 제4 관통홀(CH4)을 포함할 수 있다.
- [0104] 구체적으로, 스토리지 커패시터(Cst)의 제1 전극(CE1)은 제1 관통홀(CH1)을 통해 제1 제어 전극(GE1)과 전기적으로 연결되고, 스토리지 커패시터(Cst)의 제2 전극(CE2)은 제2 관통홀(CH2)을 통해 제1 소스 전극(SE1)과 전기적으로 연결될 수 있다.
- [0105] 그리고, 제2 드레인 전극(DE2)은 제3 관통홀(CH3)을 통해 제2 액티브 패턴(AP2)과 전기적으로 연결되고, 제2 소스 전극(SE2)은 제4 관통홀(CH4)을 통해 제2 액티브 패턴(AP2)과 전기적으로 연결될 수 있다.
- [0106] 이와 같이, 기관(5)의 일면에 제1 박막 트랜지스터(TR1)를 배치시키고, 타면에 스토리지 캐패시터(Cst)를 배치시켜 발광 영역을 증가시킬 수 있다. 그리고, 스토리지 캐패시터(Cst)의 형성면적을 자유로이 조절이 가능하여 충분한 정전 용량을 확보할 수 있고, 증가한 정전 용량으로 안정적인 발광을 유지할 수 있다.
- [0107] 이상에서 본 발명의 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

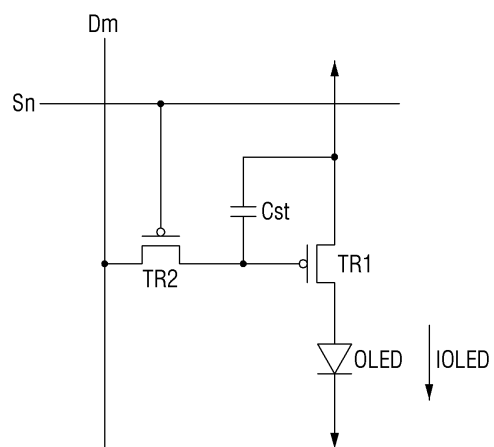
- [0108] 1: 유기전계발광 표시장치
- 5: 기관 10: 버퍼층
- TR1: 제1 박막 트랜지스터 TR2: 제2 박막 트랜지스터
- Cst: 스토리지 캐패시터 GE1: 제1 제어 전극
- GE2: 제2 제어 전극 DE1: 제1 드레인 전극
- DE2: 제2 드레인 전극 SE1: 제1 소스 전극
- SE2: 제2 소스 전극 AP1: 제1 액티브 패턴
- AP2: 제2 액티브 패턴 CE1: 제1 전극
- CE2: 제2 전극

도면

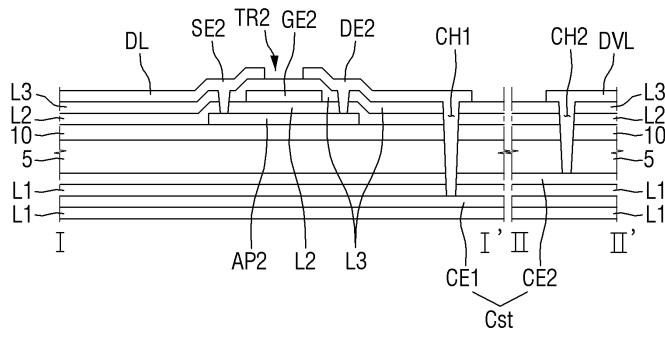
도면1



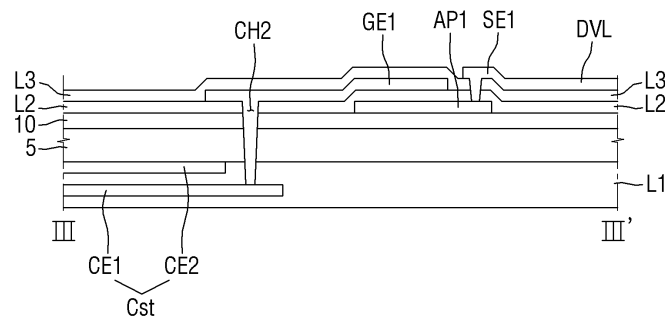
도면2



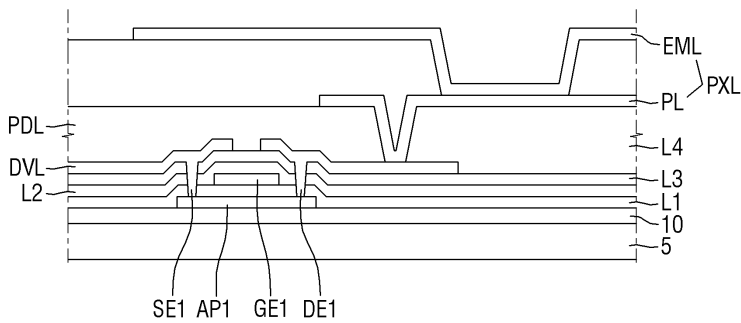
도면3



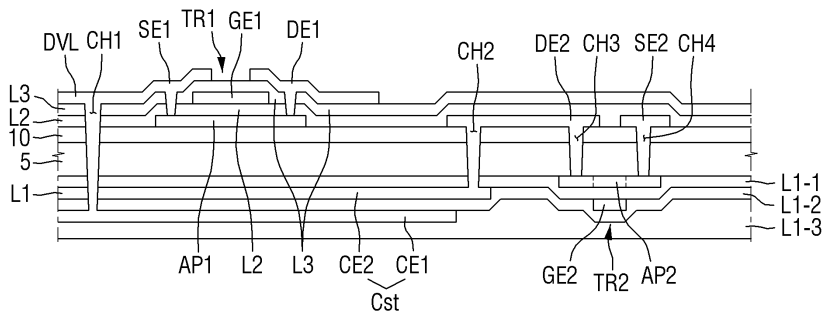
도면4



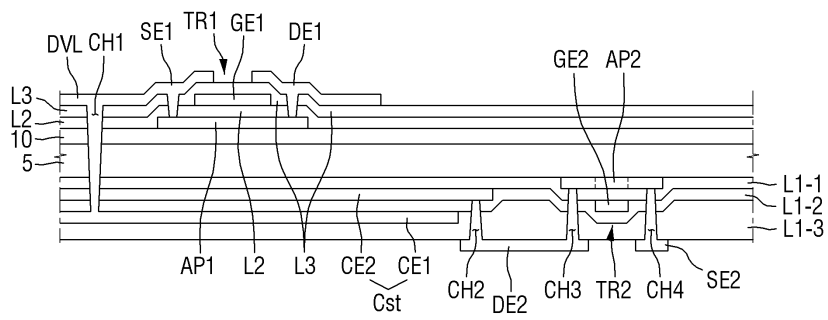
도면5



도면6



도면7



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020170020634A	公开(公告)日	2017-02-23
申请号	KR1020150114477	申请日	2015-08-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SANG JIN 박상진		
发明人	박상진		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/3248 H01L27/3262 H01L27/3225 H01L2227/32		
外部链接	Espacenet		

摘要(译)

本发明提供有机电致发光显示装置。有机电致发光显示装置包括：包括薄膜晶体管的存储电容器，以及包括基板的第一电极，第一药剂电极和布置在基板一侧的第一源电极，以及第一漏电极。第一电极与第一药剂电极电连接，第一电极配置在基板的另一侧，有机发光二极管与薄膜晶体管的第一漏电极电连接，有机发光二极管配置在基板的一侧。第二电极与第一源电极电连接。

