



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0014087
(43) 공개일자 2017년02월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3272 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2015-0106770
(22) 출원일자 2015년07월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김동수
경기도 용인시 기흥구 삼성로 95 (농서동)
박진우
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 18 항

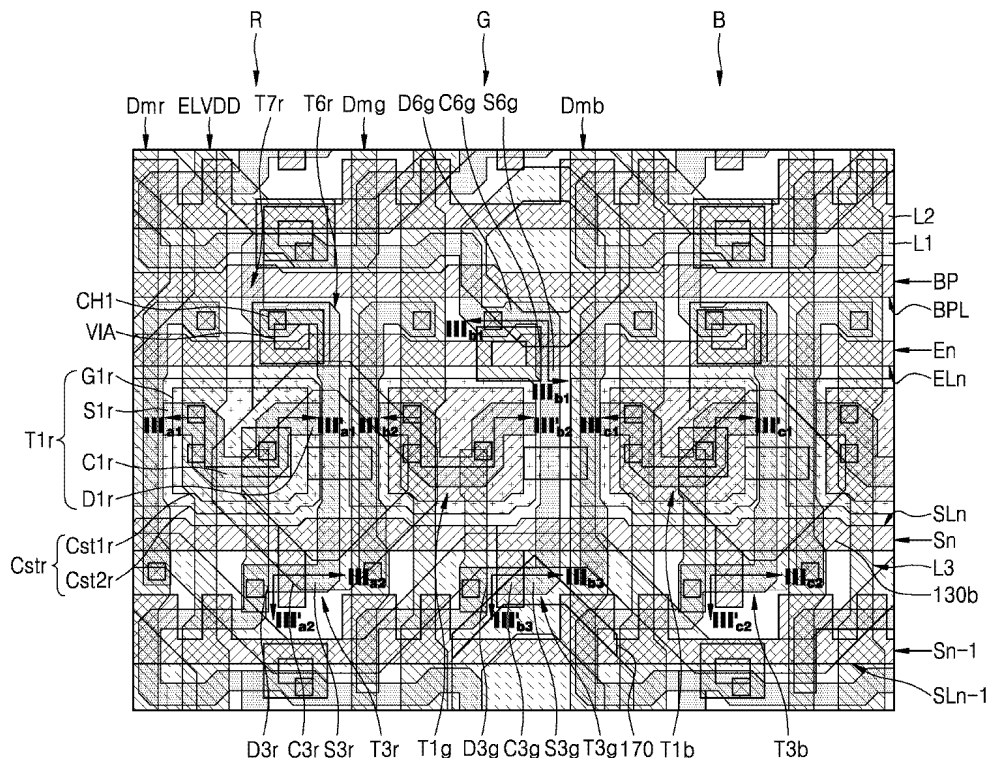
(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예는, 제1 부화소 영역 및 상기 제1 부화소 영역에 인접한 제2 부화소 영역을 포함하는 기관; 상기 기관 상의 상기 제1 부화소 영역 및 상기 제2 부화소 영역에 각각 배치된 제1 구동 회로부 및 제2 구동 회로부; 상기 제1 구동 회로부에 포함되며, 제1 소스 영역, 제1 채널 영역, 및 제1 드레인 영역을 포함하는 제1 액

(뒷면에 계속)

대표도



티브 패턴 및 상기 제1 액티브 패턴과 절연되도록 배치된 제1 게이트 전극을 포함하는 제1 박막트랜지스터; 상기 제2 구동 회로부에 포함되며, 제2 소스 영역, 제2 채널 영역, 및 제2 드레인 영역을 포함하는 제2 액티브 패턴 및 상기 제2 액티브 패턴과 절연되도록 배치된 제2 게이트 전극을 포함하는 제2 박막트랜지스터; 상기 제1 구동 회로부 및 상기 제2 구동 회로부와 각각 전기적으로 연결된 제1 화소 전극 및 제2 화소 전극; 상기 제1 화소 전극 및 상기 제2 화소 전극에 대향하는 공통 전극; 상기 제1 화소 전극과 상기 공통 전극 사이에 배치된 제1 유기 발광층 및 상기 제2 화소 전극과 상기 공통 전극 사이에 배치된 제2 유기 발광층; 및 상기 제2 부화소 영역에 배치된 상기 제2 박막트랜지스터 상에 배치되며 입사되는 광을 차단하는 차광 부재;를 포함하며, 상기 제1 화소 전극의 적어도 일부는 상기 제1 소스 영역 및 상기 제1 드레인 영역 중 적어도 하나와 평면상 중첩되고, 상기 차광 부재의 적어도 일부는 상기 제2 소스 영역 및 상기 제2 드레인 영역 중 적어도 하나와 평면상 중첩된, 유기 발광 표시 장치를 개시한다.

(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/326 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/504 (2013.01)

H01L 2227/32 (2013.01)

(72) 발명자

변창수

경기도 용인시 기흥구 삼성2로 95 (농서동)

최준원

경기도 용인시 기흥구 삼성2로 95 (농서동)

현주희

경기도 용인시 기흥구 삼성2로 95 (농서동)

박원규

경기도 용인시 기흥구 삼성2로 95 (농서동)

엄기명

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

제1 부화소 영역 및 상기 제1 부화소 영역에 인접한 제2 부화소 영역을 포함하는 기관;

상기 기관 상의 상기 제1 부화소 영역 및 상기 제2 부화소 영역에 각각 배치된 제1 구동 회로부 및 제2 구동 회로부;

상기 제1 구동 회로부에 포함되며, 제1 소스 영역, 제1 채널 영역, 및 제1 드레인 영역을 포함하는 제1 액티브 패턴 및 상기 제1 액티브 패턴과 절연되도록 배치된 제1 게이트 전극을 포함하는 제1 박막트랜지스터;

상기 제2 구동 회로부에 포함되며, 제2 소스 영역, 제2 채널 영역, 및 제2 드레인 영역을 포함하는 제2 액티브 패턴 및 상기 제2 액티브 패턴과 절연되도록 배치된 제2 게이트 전극을 포함하는 제2 박막트랜지스터;

상기 제1 구동 회로부 및 상기 제2 구동 회로부와 각각 전기적으로 연결된 제1 화소 전극 및 제2 화소 전극;

상기 제1 화소 전극 및 상기 제2 화소 전극에 대향하는 공통 전극;

상기 제1 화소 전극과 상기 공통 전극 사이에 배치된 제1 유기 발광층 및 상기 제2 화소 전극과 상기 공통 전극 사이에 배치된 제2 유기 발광층; 및

상기 제2 부화소 영역에 배치된 상기 제2 박막트랜지스터 상에 배치되며 입사되는 광을 차단하는 차광 부재;를 포함하며,

상기 제1 화소 전극의 적어도 일부는 상기 제1 소스 영역 및 상기 제1 드레인 영역 중 적어도 하나와 평면상 중첩되고,

상기 차광 부재의 적어도 일부는 상기 제2 소스 영역 및 상기 제2 드레인 영역 중 적어도 하나와 평면상 중첩된, 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 차광 부재는 상기 제2 화소 전극과 동일한 층에 배치되며, 상기 제2 화소 전극과 이격된, 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 차광 부재는 상기 제2 부화소 영역에 인접한 다른 화소 전극의 일부가 연장된 형태인, 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 제2 구동 회로부는,

상기 제1 액티브 패턴 및 상기 제2 액티브 패턴을 포함하는 반도체층;

상기 반도체층 상에 배치되며 상기 제1 게이트 전극 및 제2 게이트 전극을 포함하는 제1 도전층;

상기 제1 도전층 상에 배치된 제2 도전층; 및

상기 제2 도전층 상에 배치된 제3 도전층;을 포함하며,

상기 반도체층과 상기 제1 도전층의 사이, 상기 제1 도전층과 상기 제2 도전층의 사이, 및 상기 제2 도전층과

상기 제3 도전층의 사이에는 각각 제1 절연막, 제2 절연막, 및 제3 절연막이 배치된, 유기 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 구동 회로부는 제1 구동 박막트랜지스터 및 제1 커패시터를 포함하고,

상기 제2 구동 회로부는 제2 구동 박막트랜지스터 및 제2 커패시터를 포함하는, 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제1 박막트랜지스터 및 상기 제2 박막트랜지스터는 각각 상기 제1 구동 박막트랜지스터 및 상기 제2 구동 박막트랜지스터를 다이오드 연결시킨, 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 제1 구동 박막트랜지스터는 상기 반도체층에 포함된 제1 구동 액티브 패턴 및 상기 제1 도전층에 포함된 제1 구동 게이트 전극을 포함하고, 상기 제1 구동 게이트 전극 상에는 상기 제1 구동 게이트 전극과 평면상 중첩되며 상기 제2 도전층에 포함된 제1 상부 전극이 배치되며,

상기 제2 구동 박막트랜지스터는 상기 반도체층에 포함된 제2 구동 액티브 패턴 및 상기 제1 도전층에 포함된 제2 구동 게이트 전극을 포함하고, 상기 제2 구동 게이트 전극 상에는 상기 제2 구동 게이트 전극과 평면상 중첩되며 상기 제2 도전층에 포함된 제2 상부 전극이 배치된, 유기 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 차광 부재는 상기 제2 상부 전극과 동일한 층에 배치되며, 상기 제2 상부 전극과 이격된, 유기 발광 표시 장치.

청구항 9

제7항에 있어서,

상기 제2 구동 액티브 패턴은 제2 구동 소스 영역 및 제2 구동 드레인 영역을 포함하고,

상기 제2 구동 박막트랜지스터는 상기 제2 구동 소스 영역과 연결된 제2 구동 소스 전극 및 상기 제2 구동 드레인 영역과 연결된 제2 구동 드레인 전극을 포함하며,

상기 차광 부재는 상기 제2 구동 소스 전극 및 상기 제2 구동 드레인 전극과 동일한 층에 배치된, 유기 발광 표시 장치.

청구항 10

제7항에 있어서,

상기 제3 도전층은 상기 제2 구동 게이트 전극 및 상기 제2 드레인 영역을 연결하는 연결 부재를 포함하며,

상기 차광 부재는 상기 연결 부재의 일부가 연장된 형태인, 유기 발광 표시 장치.

청구항 11

제4항에 있어서,

상기 제3 도전층은 상기 제1 구동 회로부 및 상기 제2 구동 회로부에 각각 데이터 신호를 전달하는 데이터선을 포함하는, 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 차광 부재는 상기 데이터선과 동일한 층에 배치되며, 상기 데이터선과 이격된, 유기 발광 표시 장치.

청구항 13

제1항에 있어서,

상기 기판은 상기 제2 부화소 영역에 인접한 제3 부화소 영역을 더 포함하며,

상기 제1 부화소 영역, 상기 제2 부화소 영역, 및 상기 제3 부화소 영역은 각각 적색 부화소 영역, 녹색 부화소 영역, 및 청색 부화소 영역에 대응하는, 유기 발광 표시 장치.

청구항 14

제1항에 있어서,

상기 기판은 상기 제2 부화소 영역에 인접한 제3 부화소 영역을 더 포함하고,

상기 기판 상의 상기 제3 부화소 영역에 배치된 제3 구동 회로부; 및

상기 제3 구동 회로부와 전기적으로 연결된 제3 화소 전극을 더 포함하며,

상기 제2 화소 전극은 제1 행에 배치되고, 상기 제1 화소 전극 및 상기 제3 화소 전극은 상기 제1 행에 인접한 제2 행에 배치되고, 상기 제1 행에 배치된 상기 제2 화소 전극과 상기 제2 행에 배치된 상기 제1 화소 전극 및 상기 제3 화소 전극은 서로 엇갈려서 배치된, 유기 발광 표시 장치.

청구항 15

제1항에 있어서,

상기 제1 소스 영역, 상기 제1 드레인 영역, 상기 제2 소스 영역, 및 상기 제2 드레인 영역은 각각 실리콘(Si)을 포함하는, 유기 발광 표시 장치.

청구항 16

제1항에 있어서,

상기 제1 화소 전극 및 상기 제2 화소 전극과 상기 제1 유기 발광층 및 상기 제2 유기 발광층 사이에 배치된 제1 공통층 및 상기 제1 유기 발광층 및 상기 제2 유기 발광층과 상기 공통 전극 사이에 배치된 제2 공통층을 더 포함하고,

상기 제1 공통층은 정공 주입층 및 정공 수송층 중 적어도 하나를 포함하고, 상기 제2 공통층은 전자 수송층 및 전자 주입층 중 적어도 하나를 포함하는, 유기 발광 표시 장치

청구항 17

제1항에 있어서,

상기 차광 부재는 금속층으로 이루어진, 유기 발광 표시 장치.

청구항 18

제1항에 있어서,

상기 차광 부재는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, 및 Cr 중 적어도 하나를 포함하는, 유기 발광 표시 장치.

발명의 설명

기술 분야

본 발명의 실시예들은 유기 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 복수의 배선을 포함하는 박막트랜지스터 어레이 기판을 포함한다. 박막트랜지스터 어레이 기판은 TFT, 커패시터, 및 배선 등의 미세 패턴으로 이루어지고, 상기 TFT, 커패시터 및 배선 간의 복잡한 연결에 의해 표시 장치가 작동된다.
- [0003] 한편, 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 시야각, 콘트라스트(contrast), 응답 속도 등의 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.
- [0004] 최근 콤팩트하고 해상도가 높은 유기 발광 표시 장치에 대한 요구가 증가함에 따라, 유기 발광 표시 장치에 포함된 TFT, 커패시터 및 배선들 간의 효율적인 공간 배치, 연결 구조, 구동 방식 및 구현되는 이미지의 품질 개선에 대한 요구가 높아지고 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예들은 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

- [0006] 본 발명의 일 실시예는, 제1 부화소 영역 및 상기 제1 부화소 영역에 인접한 제2 부화소 영역을 포함하는 기판; 상기 기판 상의 상기 제1 부화소 영역 및 상기 제2 부화소 영역에 각각 배치된 제1 구동 회로부 및 제2 구동 회로부; 상기 제1 구동 회로부에 포함되며, 제1 소스 영역, 제1 채널 영역, 및 제1 드레인 영역을 포함하는 제1 액티브 패턴 및 상기 제1 액티브 패턴과 절연되도록 배치된 제1 게이트 전극을 포함하는 제1 박막트랜지스터; 상기 제2 구동 회로부에 포함되며, 제2 소스 영역, 제2 채널 영역, 및 제2 드레인 영역을 포함하는 제2 액티브 패턴 및 상기 제2 액티브 패턴과 절연되도록 배치된 제2 게이트 전극을 포함하는 제2 박막트랜지스터; 상기 제1 구동 회로부 및 상기 제2 구동 회로부와 각각 전기적으로 연결된 제1 화소 전극 및 제2 화소 전극; 상기 제1 화소 전극 및 상기 제2 화소 전극에 대향하는 공통 전극; 상기 제1 화소 전극과 상기 공통 전극 사이에 배치된 제1 유기 발광층 및 상기 제2 화소 전극과 상기 공통 전극 사이에 배치된 제2 유기 발광층; 및 상기 제2 부화소 영역에 배치된 상기 제2 박막트랜지스터 상에 배치되며 입사되는 광을 차단하는 차광 부재;를 포함하며, 상기 제1 화소 전극의 적어도 일부는 상기 제1 소스 영역 및 상기 제1 드레인 영역 중 적어도 하나와 평면상 중첩되고, 상기 차광 부재의 적어도 일부는 상기 제2 소스 영역 및 상기 제2 드레인 영역 중 적어도 하나와 평면상 중첩된, 유기 발광 표시 장치를 개시한다.
- [0007] 일 실시예에 따르면, 상기 차광 부재는 상기 제2 화소 전극과 동일한 층에 배치되며, 상기 제2 화소 전극과 이격될 수 있다.
- [0008] 일 실시예에 따르면, 상기 차광 부재는 상기 제2 부화소 영역에 인접한 다른 화소 전극의 일부가 연장된 형태일 수 있다.
- [0009] 일 실시예에 따르면, 상기 제2 구동 회로부는, 상기 제1 액티브 패턴 및 상기 제2 액티브 패턴을 포함하는 반도체층; 상기 반도체층 상에 배치되며 상기 제1 게이트 전극 및 제2 게이트 전극을 포함하는 제1 도전층; 상기 제1 도전층 상에 배치된 제2 도전층; 및 상기 제2 도전층 상에 배치된 제3 도전층;을 포함하며, 상기 반도체층과 상기 제1 도전층의 사이, 상기 제1 도전층과 상기 제2 도전층의 사이, 및 상기 제2 도전층과 상기 제3 도전층의 사이에는 각각 제1 절연막, 제2 절연막, 및 제3 절연막이 배치될 수 있다.
- [0010] 일 실시예에 따르면, 상기 제1 구동 회로부는 제1 구동 박막트랜지스터 및 제1 커패시터를 포함하고, 상기 제2 구동 회로부는 제2 구동 박막트랜지스터 및 제2 커패시터를 포함할 수 있다.
- [0011] 일 실시예에 따르면, 상기 제1 박막트랜지스터 및 상기 제2 박막트랜지스터는 각각 상기 제1 구동 박막트랜지스터 및 상기 제2 구동 박막트랜지스터를 다이오드 연결시킬 수 있다.
- [0012] 일 실시예에 따르면, 상기 제1 구동 박막트랜지스터는 상기 반도체층에 포함된 제1 구동 액티브 패턴 및 상기 제1 도전층에 포함된 제1 구동 게이트 전극을 포함하고, 상기 제1 구동 게이트 전극 상에는 상기 제1 구동 게이트

트 전극과 평면상 중첩되며 상기 제2 도전층에 포함된 제1 상부 전극이 배치되며, 상기 제2 구동 박막트랜지스터는 상기 반도체층에 포함된 제2 구동 액티브 패턴 및 상기 제1 도전층에 포함된 제2 구동 게이트 전극을 포함하고, 상기 제2 구동 게이트 전극 상에는 상기 제2 구동 게이트 전극과 평면상 중첩되며 상기 제2 도전층에 포함된 제2 상부 전극이 배치될 수 있다.

[0013] 일 실시예에 따르면, 상기 차광 부재는 상기 제2 상부 전극과 동일한 층에 배치되며, 상기 제2 상부 전극과 이격될 수 있다.

[0014] 일 실시예에 따르면, 상기 제2 구동 액티브 패턴은 제2 구동 소스 영역 및 제2 구동 드레인 영역을 포함하고, 상기 제2 구동 박막트랜지스터는 상기 제2 구동 소스 영역과 연결된 제2 구동 소스 전극 및 상기 제2 구동 드레인 영역과 연결된 제2 구동 드레인 전극을 포함하며, 상기 차광 부재는 상기 제2 구동 소스 전극 및 상기 제2 구동 드레인 전극과 동일한 층에 배치될 수 있다.

[0015] 일 실시예에 따르면, 상기 제3 도전층은 상기 제2 구동 게이트 전극 및 상기 제2 드레인 영역을 연결하는 연결 부재를 포함하며, 상기 차광 부재는 상기 연결 부재의 일부가 연장된 형태일 수 있다.

[0016] 일 실시예에 따르면, 상기 제3 도전층은 상기 제1 구동 회로부 및 상기 제2 구동 회로부에 각각 데이터 신호를 전달하는 데이터선을 포함할 수 있다.

[0017] 일 실시예에 따르면, 상기 차광 부재는 상기 데이터선과 동일한 층에 배치되며, 상기 데이터선과 이격될 수 있다.

[0018] 일 실시예에 따르면, 상기 기관은 상기 제2 부화소 영역에 인접한 제3 부화소 영역을 더 포함하며, 상기 제1 부화소 영역, 상기 제2 부화소 영역, 및 상기 제3 부화소 영역은 각각 적색 부화소 영역, 녹색 부화소 영역, 및 청색 부화소 영역에 대응할 수 있다.

[0019] 일 실시예에 따르면, 상기 기관은 상기 제2 부화소 영역에 인접한 제3 부화소 영역을 더 포함하고, 상기 기관 상의 상기 제3 부화소 영역에 배치된 제3 구동 회로부; 및 상기 제3 구동 회로부와 전기적으로 연결된 제3 화소 전극을 더 포함하며, 상기 제2 화소 전극은 제1 행에 배치되고, 상기 제1 화소 전극 및 상기 제3 화소 전극은 상기 제1 행에 인접한 제2 행에 배치되고, 상기 제1 행에 배치된 상기 제2 화소 전극과 상기 제2 행에 배치된 상기 제1 화소 전극 및 상기 제3 화소 전극은 서로 엇갈려서 배치될 수 있다.

[0020] 일 실시예에 따르면, 상기 제1 소스 영역, 상기 제1 드레인 영역, 상기 제2 소스 영역, 및 상기 제2 드레인 영역은 각각 실리콘(Si)을 포함할 수 있다.

[0021] 일 실시예에 따르면, 상기 제1 화소 전극 및 상기 제2 화소 전극과 상기 제1 유기 발광층 및 상기 제2 유기 발광층 사이에 배치된 제1 공통층 및 상기 제1 유기 발광층 및 상기 제2 유기 발광층과 상기 공통 전극 사이에 배치된 제2 공통층을 더 포함하고, 상기 제1 공통층은 정공 주입층 및 정공 수송층 중 적어도 하나를 포함하고, 상기 제2 공통층은 전자 수송층 및 전자 주입층 중 적어도 하나를 포함할 수 있다.

[0022] 일 실시예에 따르면, 상기 차광 부재는 금속층으로 이루어질 수 있다.

[0023] 일 실시예에 따르면, 상기 차광 부재는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, 및 Cr 중 적어도 하나를 포함할 수 있다.

[0024] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0025] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 반도체층에 입사되는 광을 차단하여 광으로 인한 전류 감소 현상을 개선할 수 있다.

[0026] 또한, 유기 발광 표시 장치에 의해 구현되는 이미지의 품질을 개선할 수 있다.

[0027] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0028] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.

도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 일 화소를 나타낸 개략적인 평면도이다.

도 3a 내지 도 3c는 도 2의 제1 부화소 영역(R), 제2 부화소 영역(G), 및 제3 부화소 영역(B) 각각에 도시된 선들을 따라 취한 개략적인 단면도이다.

도 4는 다른 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 부화소를 나타낸 개략적인 평면도이다.

도 5는 도 4에 도시된 선들을 따라 취한 개략적인 단면도이다.

도 6은 도 4에 도시된 선들을 따라 취한 개략적인 다른 단면도이다.

도 7은 다른 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.

도 8은 도 7의 유기 발광 표시 장치의 하나의 부화소의 일부에 대한 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0031] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0032] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0033] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0034] 한편, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 "바로 위에" 또는 "바로 상에" 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0035] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.
- [0036] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0037] 또한, 첨부 도면에서는, 하나의 부화소에 7개의 박막트랜지스터(thin film transistor, TFT)와 1개의 커패시터(capacitor)를 구비하는 7Tr-1Cap 구조와 하나의 부화소에 3개의 박막트랜지스터와 2개의 커패시터를 구비하는 3Tr-2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 표시 장치는 하나의 부화소에 복수 개의 박막트랜지스터와 하나 이상의 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 상기 부화소들은 서로 다른 색상의 광을 방출할 수 있으며, 복수 개의 부화소들은 하나의 화소를 구성할 수 있다. 화소는 화상을 표시하는 최소 단위를 말하며, 표시 장치는 복수의 화소들을 통해 화상을 표시한다.

- [0038] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.
- [0039] 유기 발광 표시 장치(1)는 빛을 발광하는 복수개의 화소들을 포함하며, 각 화소는 복수개의 부화소들로 구성될 수 있다. 각 부화소는 빛을 발광하는 유기 발광 소자(OLED) 및 복수개의 배선들로부터 신호를 전달받아 유기 발광 소자(OLED)를 구동하는 제1 구동 회로부(10)를 포함한다.
- [0040] 상기 배선들은 스캔 신호(S_n , S_{n-1})를 전달하는 스캔선(SL_n , SL_{n-1}), 데이터 신호(D_m)를 전달하는 데이터선(DL_m), 및 구동 전압(ELVDD)을 전달하는 구동 전압선(PL)을 포함할 수 있다. 한편 본 발명은 이에 한정되지 않고 도 1에 도시된 바와 같이 초기화 전압(V_{INT})을 전달하는 초기화 전압선(VL), 및 발광 제어 신호(E_n)를 전달하는 발광 제어선(EL_n)을 더 포함할 수 있다. 각 부화소는 제1 방향으로 연장되는 복수 개의 배선들 및 제1 방향과 교차하는 제2 방향으로 연장되는 복수 개의 배선들이 교차하는 지점에 배치된다.
- [0041] 제1 구동 회로부(10)는 적어도 두 개의 박막트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있다. 한편, 본 발명은 이에 한정되지 않고 도 1에 도시된 바와 같이 제1 구동 회로부(10)가 7개의 박막트랜지스터(T1 내지 T7) 및 1개의 저장 커패시터(Cst)를 포함할 수 있다.
- [0042] 박막트랜지스터는 구동 박막트랜지스터(T1), 데이터 전달 박막트랜지스터(T2), 보상 박막트랜지스터(T3), 초기화 박막트랜지스터(T4), 동작 제어 박막트랜지스터(T5), 발광 제어 박막트랜지스터(T6), 및 바이패스 박막트랜지스터(T7)를 포함할 수 있다.
- [0043] 구동 박막트랜지스터(T1)의 게이트 전극(G_1)은 저장 커패시터(Cst)의 제1 전극(Cst_1)과 연결되어 있고, 구동 박막트랜지스터(T1)의 소스 전극(S_1)은 동작 제어 박막트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있으며, 구동 박막트랜지스터(T1)의 드레인 전극(D_1)은 발광 제어 박막트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 화소 전극과 전기적으로 연결되어 있다. 구동 박막트랜지스터(T1)는 데이터 전달 박막트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(D_m)를 전달받아 유기 발광 소자(OLED)에 구동 전류(I_d)를 공급한다.
- [0044] 데이터 전달 박막트랜지스터(T2)의 게이트 전극(G_2)은 스캔선(SL_n)과 연결되어 있고, 데이터 전달 박막트랜지스터(T2)의 소스 전극(S_2)은 데이터선(DL_m)과 연결되어 있으며, 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D_2)은 구동 박막트랜지스터(T1)의 소스 전극(S_1)과 연결되어 있으면서 동작 제어 박막트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 데이터 전달 박막트랜지스터(T2)는 스캔선(SL_n)을 통해 전달받은 스캔 신호(S_n)에 따라 턴 온되어 데이터선(DL_m)으로 전달된 데이터 신호(D_m)를 구동 박막트랜지스터(T1)의 소스 전극(S_1)으로 전달하는 스위칭 동작을 수행한다.
- [0045] 보상 박막트랜지스터(T3)의 게이트 전극(G_3)은 스캔선(SL_n)에 연결되어 있고, 보상 박막트랜지스터(T3)의 소스 전극(S_3)은 구동 박막트랜지스터(T1)의 드레인 전극(D_1)과 연결되어 있으면서 발광 제어 박막트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 화소 전극과 연결되어 있다. 보상 박막트랜지스터(T3)의 드레인 전극(D_3)은 저장 커패시터(Cst)의 제1 전극(Cst_1), 초기화 박막트랜지스터(T4)의 소스 전극(S_4) 및 구동 박막트랜지스터(T1)의 게이트 전극(G_1)과 함께 연결되어 있다. 보상 박막트랜지스터(T3)는 스캔선(SL_n)을 통해 전달받은 스캔 신호(S_n)에 따라 턴 온되어 구동 박막트랜지스터(T1)의 게이트 전극(G_1)과 드레인 전극(D_1)을 서로 연결하여 구동 박막트랜지스터(T1)를 다이오드 연결(diode-connection)시킨다.
- [0046] 초기화 박막트랜지스터(T4)의 게이트 전극(G_4)은 이전 스캔선(SL_{n-1})과 연결되어 있고, 초기화 박막트랜지스터(T4)의 소스 전극(S_4)은 초기화 전압선(VL)과 연결되어 있다. 초기화 박막트랜지스터(T4)의 드레인 전극(D_4)은 저장 커패시터(Cst)의 제1 전극(Cst_1), 보상 박막트랜지스터(T3)의 드레인 전극(D_3) 및 구동 박막트랜지스터(T1)의 게이트 전극(G_1)과 함께 연결되어 있다. 초기화 박막트랜지스터(T4)는 이전 스캔선(SL_{n-1})을 통해 전달받은 이전 스캔 신호(S_{n-1})에 따라 턴 온되어 초기화 전압(V_{INT})을 구동 박막트랜지스터(T1)의 게이트 전극(G_1)에 전달하여 구동 박막트랜지스터(T1)의 게이트 전극(G_1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0047] 동작 제어 박막트랜지스터(T5)의 게이트 전극(G_5)은 발광 제어선(EL_n)과 연결되어 있다. 동작 제어 박막트랜지스터(T5)의 소스 전극(S_5)은 구동 전압선(PL)과 연결되어 있고, 동작 제어 박막트랜지스터(T5)의 드레인 전극(D_5)은 구동 박막트랜지스터(T1)의 소스 전극(S_1) 및 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D_2)과 연결되어 있다. 동작 제어 박막트랜지스터(T5)는 구동 전압선(PL)과 구동 박막트랜지스터(T1) 사이에 위치한다. 동작 제어 박막트랜지스터(T5)는 발광 제어선(EL_n)에 의해 전달된 발광 제어 신호(E_n)에 의해 턴 온되어 구동 전압(ELVDD)을 구동 박막트랜지스터(T1)로 전달한다.
- [0048] 발광 제어 박막트랜지스터(T6)의 게이트 전극(G_6)은 발광 제어선(EL_n)과 연결되어 있으며, 발광 제어 박막트랜

지스터(T6)의 소스 전극(S6)은 구동 박막트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 발광 제어 박막트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 화소 전극과 전기적으로 연결되어 있다. 동작 제어 박막트랜지스터(T5)와 발광 제어 박막트랜지스터(T6)는 발광 제어 선(ELn)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 발광 전류(I_{OLED})가 흐르게 된다.

[0049] 바이패스 박막트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(BPL)에 연결되어 있다. 바이패스 박막트랜지스터(T7)의 소스 전극(S7)은 유기 발광 소자(OLED)의 화소 전극과 연결되어 있다. 바이패스 박막트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(VL)과 연결되어 있다.

[0050] 바이패스 박막트랜지스터(T7)는 바이패스 제어선(BPL)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 박막트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압이다. 바이패스 박막트랜지스터(T7)가 바이패스 신호(BP)를 전달받아 항상 오프되면, 구동 전류(I_d)의 일부가 바이패스 전류(I_{bp})로 바이패스 박막트랜지스터(T7)를 통해 빠져나간다. 블랙 영상을 구현함에 있어서, 구동 전류(I_d)로부터 바이패스 전류(I_{bp})의 전류량만큼 감소된 유기 발광 다이오드(OLED)의 발광 전류(I_{OLED})는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 이처럼 바이패스 박막트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현함으로써, 콘트라스트비를 향상시킬 수 있다.

[0051] 저장 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(PL)과 연결되어 있으며, 유기 발광 소자(OLED)의 공통 전극은 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 소자(OLED)는 구동 박막트랜지스터(T1)로부터 발광 전류(I_{OLED})를 전달받아 발광함으로써 화상을 표시한다. 저장 커패시터(Cst)의 제1 전극(Cst1)은 하부 전극이라고도 하고, 저장 커패시터(Cst)의 제2 전극(Cst2)은 상부 전극이라고도 한다.

[0052] 도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 일 화소를 나타낸 개략적인 평면도이다. 도 3a는 도 2의 제1 부화소 영역(R)의 III_{a1} - III'_{a1} 선 및 III_{a2} - III'_{a2} 선을 따라 취한 개략적인 단면도이다. 도 3b는 도 2의 제2 부화소 영역(G)의 III_{b1} - III'_{b1} 선, III_{b2} - III'_{b2} 선, 및 III_{b3} - III'_{b3} 선을 따라 취한 개략적인 단면도이다. 도 3c는 도 2의 제3 부화소 영역(B)의 III_{c1} - III'_{c1} 선 및 III_{c2} - III'_{c2} 선을 따라 취한 개략적인 단면도이다.

[0053] 도 2, 도 3a 내지 도 3c를 참조하면, 일 실시예에 따른 유기 발광 표시 장치(1)의 일 화소는 제1 부화소 영역(R), 제2 부화소 영역(G), 및 제3 부화소 영역(B)을 포함할 수 있으며, 제1 내지 제3 부화소 영역(R, G, B)은 각각 적색 부화소 영역, 녹색 부화소 영역 및 청색 부화소 영역일 수 있다. 그러나, 본 발명은 이에 제한되지 않으며 제1 부화소 영역(R), 제2 부화소 영역(G), 및 제3 부화소 영역(B)은 결합에 의해 백색광을 구현할 수 있는 다른 조합의 색상의 광을 방출하는 영역일 수 있다.

[0054] 제1 내지 제3 부화소 영역(R, G, B)의 모양은 도 2에 도시된 모양에 한정되는 것은 아니며, 다양한 형상을 가질 수 있고, 서로 다른 면적을 가질 수도 있다. 일 실시예에 따르면, 제1 내지 제3 부화소 영역(R, G, B)은 일 방향을 따라 순차적으로 배치될 수 있다.

[0055] 일 실시예에 따르면, 제1 부화소 영역(R), 제2 부화소 영역(G), 및 제3 부화소 영역(B) 각각에 포함된 구동 회로부에 전기적으로 연결된 유기 발광 소자(OLED)의 화소 전극 각각은, 평면상 적어도 두 개의 부화소에 포함된 구동 회로부와 중첩되도록 배치될 수 있다. 예를 들어, 제1 부화소 영역(R)에 포함된 구동 회로부와 전기적으로 연결되며 적색 빛을 발광하는 유기 발광 소자의 제1 화소 전극(130r)은 적색 부화소 영역에 포함된 구동 회로부 및 녹색 부화소 영역에 포함된 구동 회로부와 평면상 중첩되도록 배치될 수 있다. 제2 부화소 영역(G)에 포함된 구동 회로부와 전기적으로 연결되며 녹색 빛을 발광하는 유기 발광 소자의 제2 화소 전극(130g)은 녹색 부화소 영역에 포함된 구동 회로부 및 청색 부화소 영역에 포함된 구동 회로부와 평면상 중첩되도록 배치될 수 있다. 제3 부화소 영역(B)에 포함된 구동 회로부와 전기적으로 연결되며 청색 빛을 발광하는 유기 발광 소자의 제3 화소 전극(130b)은 청색 부화소 영역에 포함된 구동 회로부 및 적색 부화소 영역에 포함된 구동 회로부와 중첩되도록 배치될 수 있다.

[0056] 도 2에서, 제2 화소 전극(130g)이 배치된 행을 제1 행이라 하고, 제1 화소 전극(130r) 및 제3 화소 전극(130b)이 배치된 행을 제2 행이라 할 때, 제1 행에는 복수개의 제2 화소 전극(130g)들이 소정 간격으로 이격되어 배치될 수 있고, 제1 행에 인접한 제2 행에는 제1 화소 전극(130r)과 제3 화소 전극(130b)이 교대로 배치될 수 있다. 도시되지 않았으나, 제2 행에 인접한 제3 행에는 복수개의 제2 화소 전극(130g)들이 소정 간격으로 이격

되어 배치될 수 있고, 제3 행에 인접한 제4 행에는 제1 화소 전극(130r)과 제3 화소 전극(130b)이 교대로 배치될 수 있으며, 이러한 화소 전극의 배치가 반복될 수 있다.

[0057] 이때, 제1 행에 배치된 복수개의 제2 화소 전극(130g)들과, 제2 행에 배치된 제1 화소 전극(130r) 및 제3 화소 전극(130b)은 서로 엇갈려서 배치될 수 있다. 제1 화소 전극(130r)이 배치된 열을 제1 열이라 하고, 제2 화소 전극(130g)이 배치된 열을 제2 열이라 할 때, 제1 열에는 제1 화소 전극(130r)과 제3 화소 전극(130b)이 교대로 배치될 수 있고, 제1 열에 인접한 제2 열에는 복수개의 제2 화소 전극(130g)들이 소정 간격으로 이격되어 배치될 수 있다. 도시되지 않았으나, 제2 열에 인접한 제3 열에는 제3 화소 전극(130b)과 제1 화소 전극(130r)이 교대로 배치될 수 있고, 제3 열에 인접한 제4 열에는 복수개의 제2 화소 전극(130g)들이 소정 간격으로 이격되어 배치될 수 있으며, 이러한 화소 전극의 배치가 반복될 수 있다.

[0058] 일 실시예에 따른 제1 구동 회로부(10)의 기판(110) 상에는 다양한 형상으로 굴곡되어 있는 반도체층(L1)이 배치된다. 기판(110)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등 다양한 재료로 형성된 것일 수 있다. 반도체층(L1)은 다결정 실리콘(poly-silicon)과 같은 반도체 물질을 포함할 수 있다.

[0059] 기판(110)과 반도체층(L1) 사이에는 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 버퍼층(111)이 배치될 수 있다.

[0060] 제1 부화소 영역(R)에는 제1 구동 박막트랜지스터(T1r) 및 제1 보상 박막트랜지스터(T3r)가 배치될 수 있다. 제1 구동 박막트랜지스터(T1r) 및 제1 보상 박막트랜지스터(T3r)는 각각 반도체층(L1)의 일 영역인 제1 구동 액티브 패턴(A1r) 및 제1 보상 액티브 패턴(A3r)을 포함할 수 있다.

[0061] 제2 부화소 영역(G)에는 제2 구동 박막트랜지스터(T1g), 제2 보상 박막트랜지스터(T3g) 및 제2 발광 제어 박막트랜지스터(T6g)가 배치될 수 있다. 제2 구동 박막트랜지스터(T1g), 제2 보상 박막트랜지스터(T3g) 및 제2 발광 제어 박막트랜지스터(T6g)는 각각 반도체층(L1)의 일 영역인 제2 구동 액티브 패턴(A1g), 제2 보상 액티브 패턴(A3g), 및 제2 발광 제어 액티브 패턴(A6g)을 포함할 수 있다.

[0062] 제3 부화소 영역(B)에는 제3 구동 박막트랜지스터(T1b) 및 제3 보상 박막트랜지스터(T3b)가 배치될 수 있다. 제3 구동 박막트랜지스터(T1b) 및 제3 보상 박막트랜지스터(T3b)는 각각 반도체층(L1)의 일 영역인 제3 구동 액티브 패턴(A1b), 및 제3 보상 액티브 패턴(A3b)을 포함할 수 있다.

[0063] 제1 구동 액티브 패턴(A1r), 제2 구동 액티브 패턴(A1g) 및 제3 구동 액티브 패턴(A1b)은 각각 불순물이 도핑되지 않은 채널 영역(C1r, C1g, C1b)과 불순물이 도핑되어 도전성을 띠는 소스 영역(S1r, S1g, S1b) 및 드레인 영역(D1r, D1g, D1b)을 포함할 수 있다. 채널 영역(C1r, C1g, C1b)은 좁은 공간 내에 최대한 길이를 길게 하기 위해 굽은 형태로 형성될 수 있다.

[0064] 제1 보상 액티브 패턴(A3r), 제2 보상 액티브 패턴(A3g), 및 제3 보상 액티브 패턴(A3b)은 각각 불순물이 도핑되지 않은 채널 영역(C3r, C3g, C3b)과 불순물이 도핑되어 도전성을 띠는 소스 영역(S3r, S3g, S3b) 및 드레인 영역(D3r, D3g, D3b)을 포함할 수 있다. 채널 영역(C3r, C3g, C3b)은 굽은 형태로 형성될 수 있다.

[0065] 제2 발광 제어 액티브 패턴(A6g)은 불순물이 도핑되지 않은 채널 영역(C6g)과 불순물이 도핑되어 도전성을 띠는 소스 영역(S6g) 및 드레인 영역(D6g)을 포함할 수 있다. 채널 영역(C6g)은 굽은 형태로 형성될 수 있다.

[0066] 버퍼층(111) 상에는 제1 구동 액티브 패턴(A1r), 제2 구동 액티브 패턴(A1g), 제3 구동 액티브 패턴(A1b), 제1 보상 액티브 패턴(A3r), 제2 보상 액티브 패턴(A3g), 제3 보상 액티브 패턴(A3b), 및 제2 발광 제어 액티브 패턴(A6g)을 덮도록 하부 게이트 절연막(113)이 배치될 수 있다. 하부 게이트 절연막(113)은 무기물 또는 유기물을 포함하는 단층 또는 다층의 박막으로 이루어질 수 있다.

[0067] 단층의 박막으로 이루어진 하부 게이트 절연막(113)은 제1 내지 제3 구동 액티브 패턴(A1r, A1g, A1b)과 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b) 사이, 제1 내지 제3 보상 액티브 패턴(A3r, A3g, A3b)과 제1 내지 제3 보상 게이트 전극(G3r, G3g, G3b) 사이, 및 제2 발광 제어 액티브 패턴(A6g)과 제2 발광 제어 게이트 전극(G6g) 사이에 개재되며, 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0068] 도시되지 않았으나, 다층의 박막으로 이루어진 하부 게이트 절연막이 액티브 패턴과 게이트 전극 사이에 개재될 수 있다. 예를 들어, 제1 하부 게이트 절연막은 액티브 패턴과 게이트 전극 사이에 개재되고, 실리콘 산화물을 포함할 수 있다. 제2 하부 게이트 절연막은 제1 하부 게이트 절연막과 게이트 전극 사이에 개재되고, 실리콘 질화물을 포함할 수 있다. 실리콘 질화물은 실리콘 산화물보다 상대적으로 에칭액에 강한 성질을 가지므로, 실리

콘 질화물을 포함하는 제2 하부 게이트 절연막을 제1 하부 게이트 절연막의 상부에 배치함으로써 게이트 전극을 패터닝할 때, 하부 게이트 절연막에 손상을 줄일 수 있다.

- [0069] 하부 게이트 절연막(113) 상에는 제1 도전층(L2)이 배치될 수 있다. 제1 도전층(L2)은 이온 스캔션(SLn-1), 스캔션(SLn), 발광 제어선(ELn), 바이패스 제어선(BPL), 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b), 제1 내지 제3 보상 게이트 전극(G3r, G3g, G3b) 및 제2 발광 제어 게이트 전극(G6g)을 포함할 수 있다. 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b)은 각각 제1 내지 제3 저장 커패시터(Cstr, Cstg, Cstb)의 제1 전극(Cst1r, Cst1g, Cst1b)으로 기능할 수 있다. 일 실시예에 따르면, 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b)은 알루미늄(Al)을 포함할 수 있다. 알루미늄(Al)은 다른 금속에 비해 공정 마진이 뛰어나기 때문에, 알루미늄(Al)을 포함하는 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b)을 이용하는 경우, 고해상도의 유기 발광 표시 장치에 포함된 박막트랜지스터 어레이 기판을 용이하게 제조할 수 있다.
- [0070] 하부 게이트 절연막(113) 상에는 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b), 제1 내지 제3 보상 게이트 전극(G3r, G3g, G3b) 및 제2 발광 제어 게이트 전극(G6g)을 덮는 상부 게이트 절연막(115)이 배치될 수 있다. 상부 게이트 절연막(115)은 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b)과 제1 내지 제3 저장 커패시터(Cstr, Cstg, Cstb)의 제2 전극(Cst2r, Cst2g, Cst2b) 사이에 개재되는 유전막일 수 있다.
- [0071] 상부 게이트 절연막(115) 상에는 제2 도전층(L3)이 배치될 수 있으며, 제2 도전층(L3)은 제1 내지 제3 저장 커패시터(Cstr, Cstg, Cstb)의 제2 전극(Cst2r, Cst2g, Cst2b)을 포함할 수 있다. 제1 내지 제3 저장 커패시터(Cstr, Cstg, Cstb)의 제2 전극(Cst2r, Cst2g, Cst2b)은 각각 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b)와 중첩되도록 배치될 수 있다.
- [0072] 상부 게이트 절연막(115) 상에는 제2 도전층(L3)을 덮는 제1 절연막(117)이 배치될 수 있다. 제1 절연막(117)은 실리콘 산화물 및/또는 실리콘 질화물 등의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0073] 제1 절연막(117)은 제2 발광 제어 박막트랜지스터(T6g)와 유기 발광 소자(OLED)의 제2 화소 전극(130g)을 전기적으로 연결하기 위한 제1 콘택홀(CH1)을 포함할 수 있다.
- [0074] 제1 절연막(117) 상에는 제3 도전층(L4)이 배치될 수 있다. 제3 도전층(L4)은 데이터선(DLmr, DLmg, DLmb), 구동 전압선(PL), 연결 부재(CM), 및 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)을 포함할 수 있다. 도 2를 참조하면, 구동 전압선(PL)은 제1 내지 제3 저장 커패시터(Cstr, Cstg, Cstb)의 제2 전극(Cst2r, Cst2g, Cst2b)과 제1 절연막(117)에 형성된 콘택홀(CNT)을 통해 전기적으로 연결될 수 있다. 제1 내지 제3 구동 게이트 전극(G1r, G1g, G1b)은 각각 연결 부재(CM)를 통해 제1 내지 제3 보상 드레인 전극과 전기적으로 연결될 수 있다.
- [0075] 제1 절연막(117) 상에는 제3 도전층(L4)을 덮는 제2 절연막(120)이 배치될 수 있다. 일 실시예에 따르면, 제2 절연막(120)은 아크릴계 유기물, 폴리이미드(polyimide) 또는 BCB(Benzocyclobutene) 등의 유기 절연 물질로 이루어질 수 있다. 제2 절연막(120)은 제2 절연막(120)의 하부에 배치된 박막트랜지스터 등의 소자를 보호하는 역할 및 상면을 평탄화시키는 역할을 할 수 있다.
- [0076] 제1 절연막(117)과 제2 절연막(120)은 서로 다른 물질로 구성될 수 있다. 예를 들어, 제1 절연막(117)은 무기 절연 물질을 포함하고, 제2 절연막(120)은 유기 절연 물질을 포함할 수 있다.
- [0077] 제2 절연막(120)은 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)을 노출하는 비아홀(VIA)을 포함할 수 있다.
- [0078] 제1 절연막(117)에 포함된 콘택홀(CH1)에는 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)이 매립된다. 또한, 비아홀(VIA)을 통해 드레인 전극(DE6g)과 유기 발광 소자(OLED)의 제2 화소 전극(130g)은 전기적으로 연결될 수 있다. 즉, 제2 화소 전극(130g)은 콘택홀(CH1) 및 비아홀(VIA)을 통해 제2 발광 제어 박막트랜지스터(T6g)와 전기적으로 연결될 수 있으며, 결과적으로 제2 발광 제어 박막트랜지스터(T6g)와 전기적으로 연결된 제2 구동 박막트랜지스터(T1g)와 전기적으로 연결될 수 있다. 도시되지 않았으나, 제1 화소 전극(130r) 및 제3 화소 전극(130b)도 각각 제1 발광 제어 박막트랜지스터(T6r) 및 제3 발광 제어 박막트랜지스터(T6b)를 통해 제1 구동 박막트랜지스터(T1r) 및 제3 구동 박막트랜지스터(T1b)와 전기적으로 연결될 수 있다.
- [0079] 제2 절연막(120) 상에는 유기 발광 소자(OLED)의 제1 내지 제3 화소 전극(130r, 130g, 130b) 또는 제1 차광 부재(170), 및 초기화 전압선(VL)이 배치될 수 있다.
- [0080] 제1 내지 제3 화소 전극(130r, 130g, 130b)은 높은 일함수를 갖는 물질 예컨대, Ag, Mg, Al, Pt, Pd, Au, Ni,

Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다.

- [0081] 일 실시 예에 따르면, 제1 화소 전극(130r)은 제1 보상 액티브 패턴(A3r)의 소스 영역(S3r) 및 드레인 영역(D3r) 중 적어도 하나와 중첩되고, 제3 화소 전극(130b)은 제3 보상 액티브 패턴(A3b)의 소스 영역(S3b) 및 드레인 영역(D3b) 중 적어도 하나와 중첩되나, 제2 화소 전극(130g)은 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g)과 중첩되지 않도록 배치될 수 있다.
- [0082] 제1 차광 부재(170)는 제1 내지 제3 화소 전극(130r, 130g, 130b)과 동일한 층에 배치되며, 제1 내지 제3 화소 전극(130r, 130g, 130b)과 각각 이격되도록 배치될 수 있다. 제1 차광 부재(170)는 도 2와 같이 제2 화소 전극(130g)과 동일한 행에 배치된 다른 화소 전극의 일부가 연장된 형태일 수 있으나, 이에 한정되지 않는다.
- [0083] 제1 차광 부재(170)는 단층 또는 다층의 금속층으로 이루어질 수 있다. 제1 차광 부재(170)는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다. 제1 차광 부재(170)는 제2 보상 박막트랜지스터(T3g)에 포함된 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g) 중 적어도 하나와 중첩되도록 배치되어 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g) 중 적어도 하나에 입사되는 광을 차단할 수 있다.
- [0084] 제2 절연막(120) 상에는 각각의 부화소를 구획하는 화소 정의막(121)이 배치될 수 있다. 화소 정의막(121)은 제1 내지 제3 화소 전극(130r, 130g, 130b)의 상면을 노출하도록 제1 내지 제3 화소 전극(130r, 130g, 130b)의 둘레를 덮도록 형성될 수 있다. 화소 정의막(121)은 제1 차광 부재(170)를 덮도록 형성될 수 있다.
- [0085] 화소 정의막(121)에 의해 노출된 제1 내지 제3 화소 전극(130r, 130g, 130b) 상에는 제1 공통층(141), 제1 내지 제3 유기 발광층(142r, 142g, 142b), 제2 공통층(143) 및 공통 전극(150)이 배치될 수 있다. 제1 공통층(141)은 정공 주입층(hole injection layer) 및/또는 정공 수송층(hole transport layer)을 포함할 수 있다. 제2 공통층(143)은 전자 수송층(electron transport layer) 및/또는 전자 주입층(electron injection layer)을 포함할 수 있다. 일 실시예에 따르면, 화소 전극(130)과 공통 전극(150) 사이에는 상술한 층들 외에 기타 다양한 기능층이 더 배치될 수 있다.
- [0086] 제1 내지 제3 유기 발광층(142r, 142g, 142b)은 각각 적색광, 녹색광 및 청색광을 방출할 수 있다.
- [0087] 공통 전극(150)은 제1 내지 제3 부화소 영역(R, G, B)에 공통되도록 배치될 수 있다.
- [0088] 도면에 도시되지는 않았지만, 공통 전극(150) 상에는 봉지 기관(미도시) 또는 봉지층(미도시)이 배치될 수 있다.
- [0089] 도 2에 도시된, 도면부호 T2r, T2g 및 T2b는 각각 제1 부화소 영역(R), 제2 부화소 영역(G) 및 제3 부화소 영역(B)에 배치된 데이터 전달 박막트랜지스터(T2, 도 1)이며, 도면부호 T3r, T3g 및 T3b는 각각 제1 부화소 영역(R), 제2 부화소 영역(G) 및 제3 부화소 영역(B)에 배치된 보상 박막트랜지스터(T3, 도 1)이며, 도면부호 T4r, T4g 및 T4b는 각각 제1 부화소 영역(R), 제2 부화소 영역(G) 및 제3 부화소 영역(B)에 배치된 초기화 박막트랜지스터(T4, 도 1)이며, 도면부호 T5r, T5g 및 T5b는 각각 제1 부화소 영역(R), 제2 부화소 영역(G) 및 제3 부화소 영역(B)에 배치된 동작 제어 박막트랜지스터(T5, 도 1)이며, 도면부호 T7r, T7g 및 T7b는 각각 제1 부화소 영역(R), 제2 부화소 영역(G) 및 제3 부화소 영역(B)에 배치된 바이패스 박막트랜지스터(T7, 도 1)를 지칭한다.
- [0090] 도 4는 다른 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 부화소를 나타낸 개략적인 평면도이다. 도 5는 도 4의 $V_1-V'_1$ 선 및 $V_2-V'_2$ 선을 따라 취한 개략적인 단면도이다. 도 6은 도 4의 $V_1-V'_1$ 선 및 $V_2-V'_2$ 선을 따라 취한 개략적인 다른 단면도이다.
- [0091] 도 4 및 도 5를 참조하면, 다른 실시예에 따른 유기 발광 표시 장치(1)의 일 화소는 제2 부화소 영역(G)을 포함할 수 있으며, 제2 부화소 영역(G)은 녹색 부화소 영역일 수 있다.
- [0092] 기관(210) 상에는 다양한 형상으로 굴곡되어 있는 반도체층(L1)이 배치된다.
- [0093] 기관(210)과 반도체층(L1) 사이에는 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 버퍼층(211)이 배치될 수 있다.
- [0094] 제2 부화소 영역(G)에는 제2 보상 박막트랜지스터(T3g) 및 제2 발광 제어 박막트랜지스터(T6g)가 배치될 수 있다. 제2 보상 박막트랜지스터(T3g) 및 제2 발광 제어 박막트랜지스터(T6g)는 각각 반도체층(L1)의 일 영역인 제2 보상 액티브 패턴(A3g) 및 제2 발광 제어 액티브 패턴(A6g)을 포함할 수 있다.

- [0095] 제2 보상 액티브 패턴(A3g)은 불순물이 도핑되지 않은 채널 영역(C3g)과 불순물이 도핑되어 도전성을 띄는 소스 영역(S3g) 및 드레인 영역(D3g)을 포함할 수 있다. 채널 영역(C3g)은 굽은 형태로 형성될 수 있다.
- [0096] 제2 발광 제어 액티브 패턴(A6g)은 불순물이 도핑되지 않은 채널 영역(C6g)과 불순물이 도핑되어 도전성을 띄는 소스 영역(S6g) 및 드레인 영역(D6g)을 포함할 수 있다. 채널 영역(C6g)은 굽은 형태로 형성될 수 있다.
- [0097] 버퍼층(211) 상에는 제2 보상 액티브 패턴(A3g) 및 제2 발광 제어 액티브 패턴(A6g)을 덮도록 하부 게이트 절연막(213)이 배치될 수 있다.
- [0098] 하부 게이트 절연막(213) 상에는 제1 도전층(L2)이 배치될 수 있다. 제1 도전층(L2)은 이전 스캔선(SLn-1), 스캔선(SLn), 발광 제어선(ELn), 바이패스 제어선(BPL), 제2 보상 게이트 전극(G3g) 및 제2 발광 제어 게이트 전극(G6g)을 포함할 수 있다.
- [0099] 하부 게이트 절연막(213) 상에는 제2 보상 게이트 전극(G3g) 및 제2 발광 제어 게이트 전극(G6g)을 덮는 상부 게이트 절연막(215) 및 제1 절연막(217)이 배치될 수 있다.
- [0100] 제1 절연막(217)은 제2 발광 제어 박막트랜지스터(T6g)와 유기 발광 소자(OLED)의 제2 화소 전극(230g)을 전기적으로 연결하기 위한 콘택홀을 포함할 수 있다.
- [0101] 제1 절연막(217) 상에는 제3 도전층(L4)이 배치될 수 있으며, 제3 도전층(L4)은 데이터선(DLmr, DLmg, DLmb), 구동 전압선(PL), 연결 부재(CM), 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g), 및 제2 차광 부재(270)를 포함할 수 있다.
- [0102] 제2 차광 부재(270)는 제2 부화소 영역(G)의 데이터선(DLmg)과 동일한 층에 배치되며, 제2 부화소 영역(G)의 데이터선(DLmg)과 이격되도록 배치될 수 있다. 제2 차광 부재(270)는 도 4와 같이 제2 구동 게이트 전극(G1g)과 제2 보상 드레인 전극을 연결시키는 연결 부재의 일부가 연장된 형태일 수 있으나, 이에 한정되지 않는다.
- [0103] 제2 차광 부재(270)는 단층 또는 다층의 금속층으로 이루어지며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다. 제2 차광 부재(270)는 제2 보상 박막트랜지스터(T3g)에 포함된 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g) 중 적어도 하나와 중첩되도록 배치되어 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g) 중 적어도 하나에 입사되는 광을 차단할 수 있다.
- [0104] 제1 절연막(217) 상에는 제3 도전층(L4)을 덮는 제2 절연막(220)이 배치될 수 있다. 즉, 제2 절연막(220)은 제2 차광 부재(270)를 덮도록 형성될 수 있다. 제1 절연막(217)과 제2 절연막(220)은 서로 다른 물질로 구성될 수 있다. 예를 들어, 제1 절연막(217)은 무기 절연 물질을 포함하고, 제2 절연막(220)은 유기 절연 물질을 포함할 수 있다.
- [0105] 제1 절연막(217)에 포함된 콘택홀에는 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)이 매립된다. 제2 절연막(220)은 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)을 노출하는 비아홀을 포함하며, 비아홀을 통해 드레인 전극(DE6g)과 유기 발광 소자(OLED)의 제2 화소 전극(230g)이 전기적으로 연결될 수 있다. 즉, 제2 화소 전극(230g)은 콘택홀 및 비아홀을 통해 제2 발광 제어 박막트랜지스터(T6g)와 전기적으로 연결될 수 있으며, 결과적으로 제2 발광 제어 박막트랜지스터(T6g)와 전기적으로 연결된 제2 구동 박막트랜지스터(T1g)와 전기적으로 연결될 수 있다.
- [0106] 제2 절연막(220) 상에는 유기 발광 소자(OLED)의 제2 화소 전극(230g) 및 초기화 전압선(VL)이 배치될 수 있다.
- [0107] 제2 화소 전극(230g)은 높은 일함수를 갖는 물질 예컨대, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다. 일 실시 예에 따르면, 제2 화소 전극(230g)은 제2 보상 박막트랜지스터(T3g)에 포함된 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g)과 중첩되지 않도록 배치될 수 있다.
- [0108] 제2 절연막(220) 상에는 각각의 부화소를 구획하는 화소 정의막(221)이 배치될 수 있다. 화소 정의막(221)은 제2 화소 전극(230g)의 상면을 노출하도록 제2 화소 전극(230g)의 둘레를 덮도록 형성될 수 있다.
- [0109] 화소 정의막(221)에 의해 노출된 제2 화소 전극(230g) 상에는 제1 공통층(241), 제2 유기 발광층(242g), 제2 공통층(243) 및 공통 전극(250)이 배치될 수 있다.
- [0110] 제1 공통층(241)은 정공 주입층 및 정공 수송층을 포함할 수 있다. 제2 공통층(243)은 전자 수송층 및 전자 주입층을 포함할 수 있다.
- [0111] 제2 유기 발광층(242g)은 녹색광을 방출할 수 있다.

- [0112] 도면에 도시되지는 않았지만, 공통 전극(250) 상에는 봉지 기관(미도시) 또는 봉지층(미도시)이 배치될 수 있다.
- [0113] 도 4에 도시된, 도면부호 T1g는 제2 부화소 영역(G)에 배치된 구동 박막트랜지스터(T1, 도 1)이고, 도면부호 T2g는 제2 부화소 영역(G)에 배치된 데이터 전달 박막트랜지스터(T2, 도 1)이며, 도면부호 T4g는 제2 부화소 영역(G)에 배치된 초기화 박막트랜지스터(T4, 도 1)이며, 도면부호 T5g는 제2 부화소 영역(G)에 배치된 동작 제어 박막트랜지스터(T5, 도 1)이며, 도면부호 T7g는 제2 부화소 영역(G)에 배치된 바이패스 박막트랜지스터(T7, 도 1)를 지칭한다.
- [0114] 이하에서, 앞서 설명한 부분과 동일한 부분에 대한 설명은 생략하거나 간략히 한다.
- [0115] 도 4 및 도 6을 참조하면, 또 다른 실시예에 따른 유기 발광 표시 장치(1)의 일 화소는 제2 부화소 영역(G)을 포함할 수 있으며, 제2 부화소 영역(G)은 녹색 부화소 영역일 수 있다.
- [0116] 기관(210) 상에는 반도체층(L1)이 배치되고, 기관(210)과 반도체층(L1) 사이에는 버퍼층(211)이 배치될 수 있다.
- [0117] 제2 부화소 영역(G)에는 반도체층(L1)의 일 영역인 제2 보상 액티브 패턴(A3g) 및 제2 발광 제어 액티브 패턴(A6g)을 각각 포함하는 제2 보상 박막트랜지스터(T3g) 및 제2 발광 제어 박막트랜지스터(T6g)가 배치될 수 있다.
- [0118] 버퍼층(211) 상에는 제2 보상 액티브 패턴(A3g) 및 제2 발광 제어 액티브 패턴(A6g)을 덮도록 하부 게이트 절연막(213)이 배치될 수 있다.
- [0119] 하부 게이트 절연막(213) 상에는 제1 도전층(L2)이 배치될 수 있다. 제1 도전층(L2)은 제2 보상 게이트 전극(G3g) 및 제2 발광 제어 게이트 전극(G6g)을 포함할 수 있다.
- [0120] 하부 게이트 절연막(213) 상에는 제2 보상 게이트 전극(G3g) 및 제2 발광 제어 게이트 전극(G6g)을 덮는 상부 게이트 절연막(215)이 배치될 수 있다.
- [0121] 상부 게이트 절연막(215) 상에는 제2 도전층(L3)이 배치될 수 있으며, 제2 도전층(L3)은 제2 저장 커패시터(Cstg)의 제2 전극(Cst2g) 및 제3 차광 부재(270')를 포함할 수 있다.
- [0122] 제3 차광 부재(270')는 제2 저장 커패시터(Cstg)의 제2 전극(Cst2g)과 동일한 층에 배치되며, 제2 저장 커패시터(Cstg)의 제2 전극(Cst2g)과 이격되도록 배치될 수 있다. 또는, 제3 차광 부재(270')는 제2 저장 커패시터(Cstg)의 제2 전극(Cst2g)의 일부가 연장된 형태일 수 있으며, 이에 한정되지 않는다.
- [0123] 제3 차광 부재(270')는 단층 또는 다층의 금속층으로 이루어지며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다. 제3 차광 부재(270')는 제2 보상 박막트랜지스터(T3g)에 포함된 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g) 중 적어도 하나와 중첩되도록 배치되어 제2 보상 액티브 패턴(A3g)의 소스 영역(S3g) 및 드레인 영역(D3g) 중 적어도 하나에 입사되는 광을 차단할 수 있다.
- [0124] 제1 절연막(217) 상에는 제3 도전층(L4)이 배치될 수 있으며, 제3 도전층(L4)은 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)을 포함할 수 있다.
- [0125] 제1 절연막(217)에 포함된 콘택홀에는 제2 발광 제어 박막트랜지스터(T6g)의 드레인 전극(DE6g)이 매립된다.
- [0126] 제1 절연막(217) 상에는 제3 도전층(L4)을 덮는 제2 절연막(220)이 배치될 수 있다.
- [0127] 제2 절연막(220) 상에는 유기 발광 소자(OLED)의 제2 화소 전극(230g) 및 화소 정의막(221)이 배치될 수 있다. 화소 정의막(221)은 제2 화소 전극(230g)의 상면을 노출하도록 제2 화소 전극(230g)의 둘레를 덮도록 형성될 수 있다.
- [0128] 화소 정의막(221)에 의해 노출된 제2 화소 전극(230g) 상에는 제1 공통층(241), 제2 유기 발광층(242g), 제2 공통층(243) 및 공통 전극(250)이 배치될 수 있다.
- [0129] 제1 공통층(241)은 정공 주입층 및 정공 수송층을 포함할 수 있다. 제2 공통층(243)은 전자 수송층 및 전자 주입층을 포함할 수 있다.
- [0130] 제2 유기 발광층(242g)은 녹색광을 방출할 수 있다.
- [0131] 도면에 도시되지는 않았지만, 공통 전극(250) 상에는 봉지 기관(미도시) 또는 봉지층(미도시)이 배치될 수

있다.

- [0132] 도 7은 다른 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다. 도 8은 도 7의 유기 발광 표시 장치의 하나의 부화소의 일부에 대한 개략적인 단면도이다.
- [0133] 또 다른 실시예에 따른 유기 발광 표시 장치(1')는 도 7 및 도 8에 도시된 부화소를 포함할 수 있고, 도 7 및 도 8에 도시된 부화소는 적색 빛, 녹색 빛, 청색 빛 중 적어도 하나를 발광하는 유기 발광 소자를 포함할 수 있다.
- [0134] 도 7을 참조하면, 또 다른 실시예에 따른 유기 발광 표시 장치(1')는 각각 복수개의 부화소들로 구성된 복수개의 화소들을 포함한다. 각 부화소는 빛을 발광하는 유기 발광 소자(OLED') 및 복수개의 배선들로부터 신호를 전달받아 유기 발광 소자(OLED')를 구동하는 제2 구동 회로부(10')를 포함한다.
- [0135] 상기 배선들은 스캔 신호(Sn)를 전달하는 스캔선(SLn), 데이터 신호(Dm)를 전달하는 데이터선(DLm), 구동 전압(ELVDD)을 전달하는 구동 전압선(PL), 및 보상 제어 신호(Gc)를 전달하는 보상 제어선(GcL)을 포함할 수 있다. 각 부화소는 제1 방향으로 연장되는 복수 개의 배선들 및 제1 방향과 교차하는 제2 방향으로 연장되는 복수 개의 배선들이 교차하는 지점에 배치된다.
- [0136] 제2 구동 회로부(10')는 적어도 두 개의 박막트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있다. 한편, 본 발명은 이에 한정되지 않고 도 7에 도시된 바와 같이 제2 구동 회로부(10')가 3개의 박막트랜지스터(T1 내지 T3) 및 2개의 커패시터(Cst, Cth)를 포함할 수 있다.
- [0137] 박막트랜지스터는 구동 박막트랜지스터(T1), 데이터 전달 박막트랜지스터(T2), 및 보상 박막트랜지스터(T3)를 포함할 수 있다.
- [0138] 구동 박막트랜지스터(T1)의 게이트 전극(G1)은 보상 커패시터(Cth)의 제2 전극(Cth2)에 연결되어 있고, 구동 박막트랜지스터(T1)의 소스 전극(S1)은 구동 전압(ELVDD)을 공급하는 구동 전압선(PL)과 연결되어 있고, 구동 박막트랜지스터(T1)의 드레인 전극(D1)은 유기 발광 소자(OLED')의 화소 전극과 전기적으로 연결되어 있다. 구동 박막트랜지스터(T1)는 데이터 전달 박막트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED')에 구동 전류(I_d)를 공급한다.
- [0139] 데이터 전달 박막트랜지스터(T2)의 게이트 전극(G2)은 스캔선(SLn)과 연결되어 있고, 데이터 전달 박막트랜지스터(T2)의 소스 전극(S2)은 데이터선(DLm)과 연결되어 있으며, 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D2)은 보상 커패시터(Cth)를 경유하여 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 전달 박막트랜지스터(T2)는 스캔선(SLn)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(DLm)으로 전달된 데이터 신호(Dm)를 구동 박막트랜지스터(T1)의 게이트 전극(G1)으로 전달하는 스위칭 동작을 수행한다.
- [0140] 보상 박막트랜지스터(T3)의 게이트 전극(G3)은 보상 제어선(GcL)에 연결되어 있고, 보상 박막트랜지스터(T3)의 소스 전극(S3)은 보상 커패시터(Cth)의 제2 전극(Cth2) 및 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있고, 보상 박막트랜지스터(T3)의 드레인 전극(D3)은 유기 발광 소자(OLED')의 화소 전극과 전기적으로 연결되어 있다. 보상 박막트랜지스터(T3)는 보상 제어선(GcL)을 통해 전달받은 보상 제어 신호에 따라 턴 온되어 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막트랜지스터(T1)를 다이오드 연결시킨다.
- [0141] 저장 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(PL)과 연결되어 있고, 저장 커패시터(Cst)의 제1 전극(Cst1)은 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D2) 및 보상 커패시터(Cth)의 제1 전극(Cth1)과 함께 연결되어 있다.
- [0142] 보상 커패시터(Cth)의 제1 전극(Cth1)은 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D2) 및 저장 커패시터(Cst)의 제1 전극(Cst1)과 함께 연결되어 있고, 보상 커패시터(Cth)의 제2 전극(Cth2)은 구동 박막트랜지스터(T1)의 게이트 전극(G1) 및 보상 박막트랜지스터(T3)의 소스 전극(S3)에 함께 연결되어 있다.
- [0143] 유기 발광 소자(OLED')의 화소 전극은 제2 구동 회로부(10')에 연결되어 있고, 유기 발광 소자(OLED')의 공통 전극은 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 소자(OLED')는 구동 박막트랜지스터(T1)로부터 구동 전류(I_d)를 전달받아 발광함으로써 화상을 표시한다.
- [0144] 도 8을 참조하면, 일 실시 예에 따른 제2 구동부(10')의 기판(310) 상에는 다양한 형상으로 굴곡되어 있는 반

도체층이 배치된다. 기관(310)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등 다양한 재료로 형성된 것일 수 있다. 반도체층은 다결정 실리콘(poly-silicon)과 같은 반도체 물질을 포함할 수 있다.

- [0145] 반도체층은 구동 액티브 패턴(A1) 및 보상 액티브 패턴(A3)을 포함할 수 있다. 구동 액티브 패턴(A1) 및 보상 액티브 패턴(A3)은 각각 불순물이 도핑되지 않은 채널 영역(3122, 3125)과 불순물이 도핑되어 도전성을 띄는 소스 영역(3123, 3126) 및 드레인 영역(3121, 3124)를 포함할 수 있다.
- [0146] 기관(310)과 사이에는 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 버퍼층(311)이 배치될 수 있다.
- [0147] 버퍼층(311) 상에는 구동 액티브 패턴(A1) 및 보상 액티브 패턴(A3)을 덮도록 하부 게이트 절연막(313)이 배치될 수 있다. 하부 게이트 절연막(313)은 무기물 또는 유기물을 포함하는 단층 또는 다층의 박막으로 이루어질 수 있다.
- [0148] 하부 게이트 절연막(313)은 구동 액티브 패턴(A1) 및 구동 게이트 전극(G1) 사이 및 보상 액티브 패턴(A3) 및 보상 게이트 전극(G3) 사이에 개재되며, 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.
- [0149] 도시되지 않았으나, 다층의 박막으로 이루어진 하부 게이트 절연막이 액티브 패턴과 게이트 전극 사이에 개재될 수 있다. 예를 들어, 제1 하부 게이트 절연막은 액티브 패턴과 게이트 전극 사이에 개재되고, 실리콘 산화물을 포함할 수 있다. 제2 하부 게이트 절연막은 제1 하부 게이트 절연막과 게이트 전극 사이에 개재되고, 실리콘 질화물을 포함할 수 있다.
- [0150] 하부 게이트 절연막(313) 상에는 제1 도전층이 배치될 수 있다. 제1 도전층은 스캔선(SLn), 보상 제어선(GcL), 구동 게이트 전극(G1), 및 보상 게이트 전극(G3)을 포함할 수 있다.
- [0151] 하부 게이트 절연막(313) 상에는 구동 게이트 전극(G1), 및 보상 게이트 전극(G3)을 덮는 상부 게이트 절연막(315)이 배치될 수 있다.
- [0152] 상부 게이트 절연막(315) 상에는 제2 도전층이 배치될 수 있다. 제2 도전층은 데이터선(DLm), 구동 전압선(PL), 구동 박막트랜지스터(T1)의 드레인 전극(3161), 및 구동 박막트랜지스터(T1)의 소스 전극(3162)을 포함할 수 있다.
- [0153] 구동 박막트랜지스터(T1)의 드레인 전극(3161) 및 소스 전극(3162)은 각각 구동 액티브 패턴(A1)의 드레인 영역(3121) 및 소스 영역(3123)과 연결된다.
- [0154] 상부 게이트 절연막(315) 상에는 제2 도전층을 덮는 제1 절연막(320)이 배치될 수 있다. 제1 절연막(320)은 아크릴계 유기물, 폴리이미드(polyimide) 또는 BCB(Benzocyclobutene) 등의 유기 절연 물질로 이루어질 수 있다. 제1 절연막(320)은 제1 절연막(320)의 하부에 배치된 박막트랜지스터 등의 소자를 보호하는 역할 및 상면을 평탄화시키는 역할을 할 수 있다.
- [0155] 제1 절연막(320)은 구동 박막트랜지스터(T1)의 소스 전극(3162)을 노출하는 비아홀(VIA)을 포함할 수 있다. 비아홀(VIA)을 통해 구동 박막트랜지스터(T1)의 소스 전극(3162)과 유기 발광 소자(OLED')의 화소 전극(330)은 전기적으로 연결될 수 있다.
- [0156] 제1 절연막(320) 상에는 유기 발광 소자(OLED')의 화소 전극(330) 또는 제3 차광 부재(370)가 배치될 수 있다.
- [0157] 화소 전극(330)은 높은 일함수를 갖는 물질 예컨대 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다.
- [0158] 일 실시 예에 따르면, 화소 전극(330)은 구동 액티브 패턴(A1)의 소스 영역(3123) 및 드레인 영역(3121) 중 적어도 하나와 중첩되나, 보상 액티브 패턴(A3)의 소스 영역(3126) 및 드레인 영역(3124)과 중첩되지 않도록 배치될 수 있다.
- [0159] 제3 차광 부재(370)는 화소 전극(330)과 동일한 층에 배치되며, 화소 전극(330)과 이격되도록 배치될 수 있다. 제3 차광 부재(370)는 단층 또는 다층의 금속층으로 이루어질 수 있다. 제3 차광 부재(370)는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막으로 구성될 수 있다. 제3 차광 부재(370)는 보상 액티브 패턴(A3)의 소스 영역(3126) 및 드레인 영역(3124) 중 적어도 하나와 중첩되도록 배치되어 보상 액티브 패턴(A3)의 소스 영역(3126) 및 드레인 영역(3124) 중 적어도 하나에 입사되는 광을 차단할 수 있다.

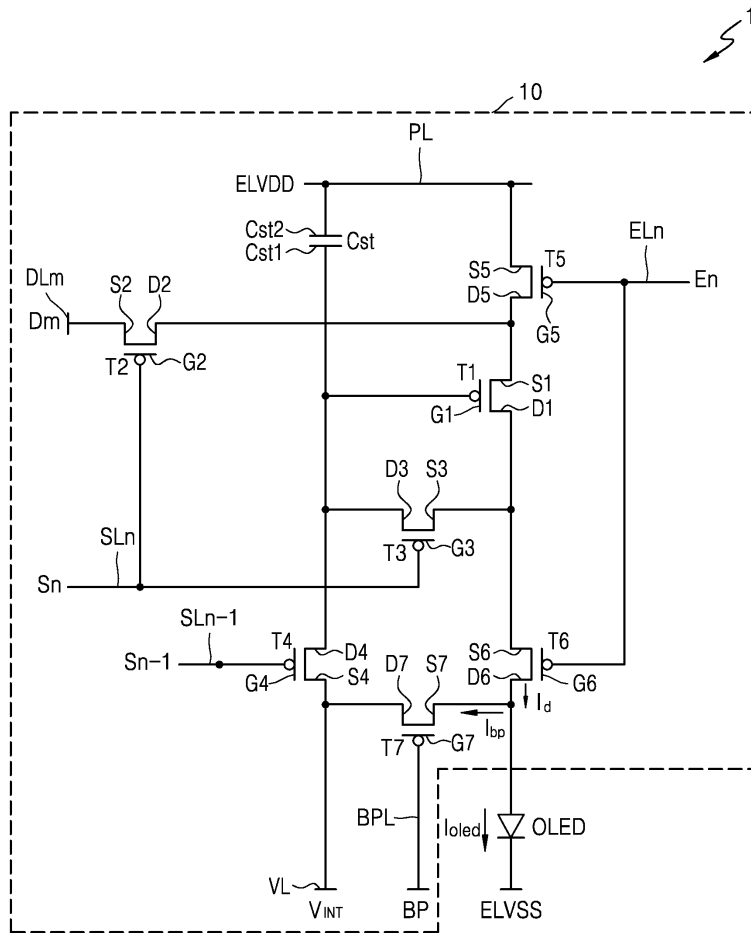
- [0160] 도시되지 않았으나, 제3 차광 부재(370)는 드레인 전극(3161) 및 소스 전극(3162)과 동일한 층에 배치되며, 드레인 전극(3161) 및 소스 전극(3162)과 이격되도록 배치될 수도 있다.
- [0161] 제1 절연막(320) 상에는 각각의 부화소를 구획하는 화소 정의막(321)이 배치될 수 있다. 화소 정의막(321)은 화소 전극(330)의 상면을 노출하도록 화소 전극(330)의 둘레를 덮도록 형성될 수 있다. 화소 정의막(321)은 제3 차광 부재(370)를 덮도록 형성될 수 있다.
- [0162] 화소 정의막(321)에 의해 노출된 화소 전극(330) 상에는 제1 공통층(341), 유기 발광층(342), 제2 공통층(343), 및 공통 전극(350)이 배치될 수 있다. 제1 공통층(341)은 정공 주입층 및 정공 수송층을 포함할 수 있다. 제2 공통층(343)은 전자 수송층 및 전자 주입층을 포함할 수 있다. 일 실시예에 따르면, 화소 전극(330)과 공통 전극(350) 사이에는 상술한 층들 외에 기타 다양한 기능층이 더 배치될 수 있다.
- [0163] 유기 발광층(342)은 적색광, 녹색광 및 청색광 중 적어도 하나를 방출할 수 있다.
- [0164] 공통 전극(350)은 유기 발광 표시 장치(1')를 구성하는 모든 부화소 영역에 공통되도록 배치될 수 있다.
- [0165] 도면에 도시되지는 않았지만, 공통 전극(350) 상에는 봉지 기관(미도시) 또는 봉지층(미도시)이 배치될 수 있다.
- [0166] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

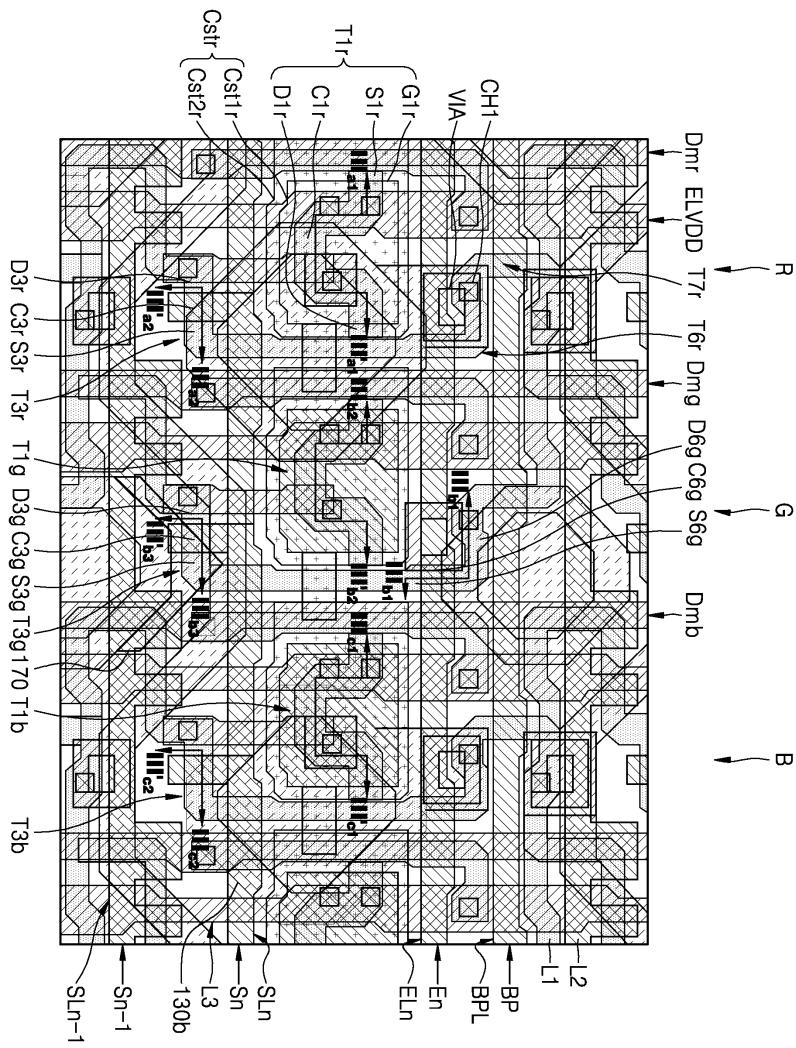
- [0167] R: 제1 부화소 영역
 G: 제2 부화소 영역
 B: 제3 부화소 영역
 T1r: 제1 구동 박막트랜지스터
 T1g: 제2 구동 박막트랜지스터
 T1b: 제3 구동 박막트랜지스터
 T3r: 제1 보상 박막트랜지스터
 T3g: 제2 보상 박막트랜지스터
 T3b: 제3 보상 박막트랜지스터
 L1: 반도체층
 L2: 제1 도전층
 L3: 제2 도전층
 L4: 제3 도전층
 S_{Ln}-1: 이전 스캔선
 S_{Ln}: 스캔선
 E_{Ln}: 발광 제어선
 D_{Lm}: 데이터선
 PL: 구동 전압선
 CM: 연결 부재

도면

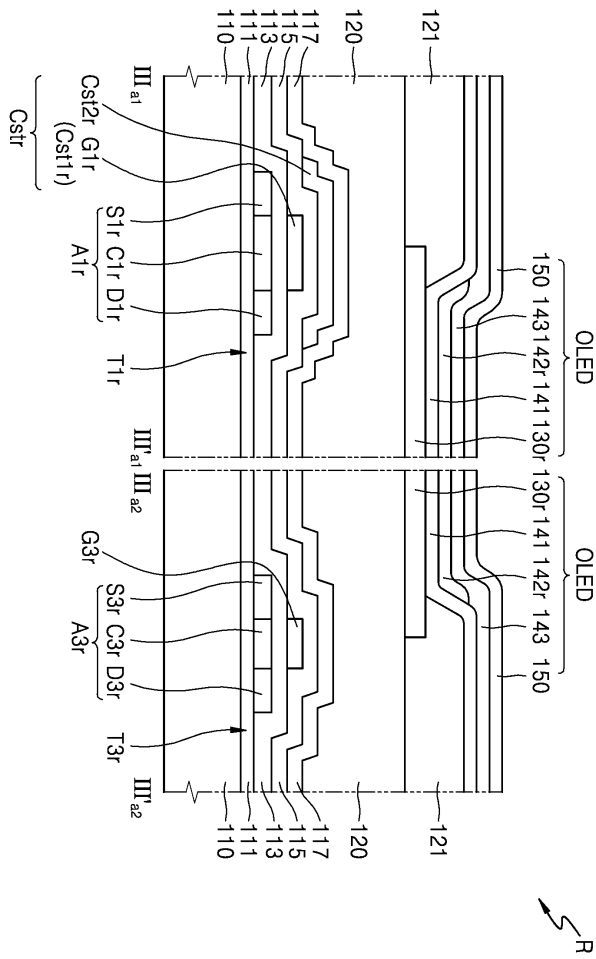
도면1



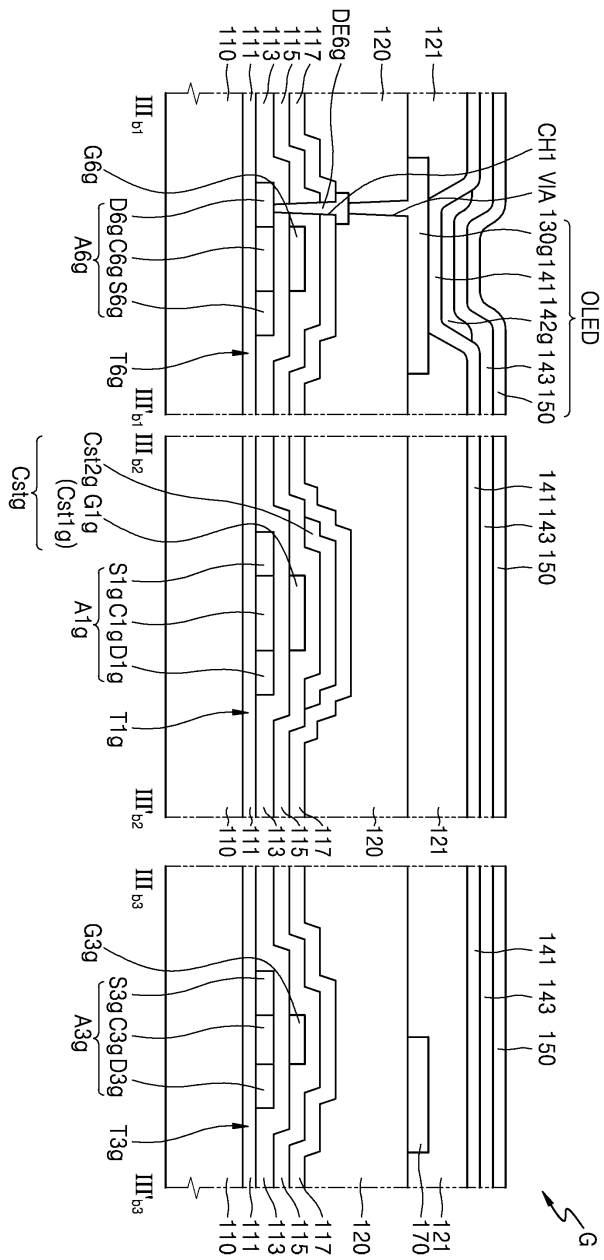
도면2



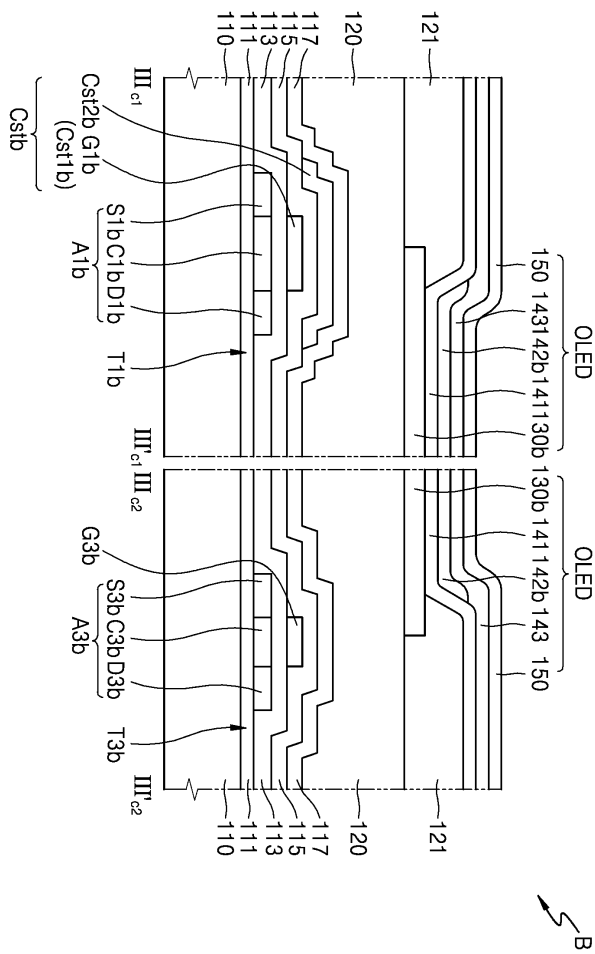
도면3a



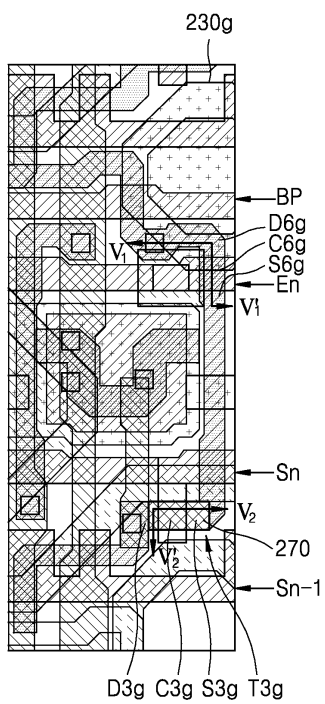
도면3b



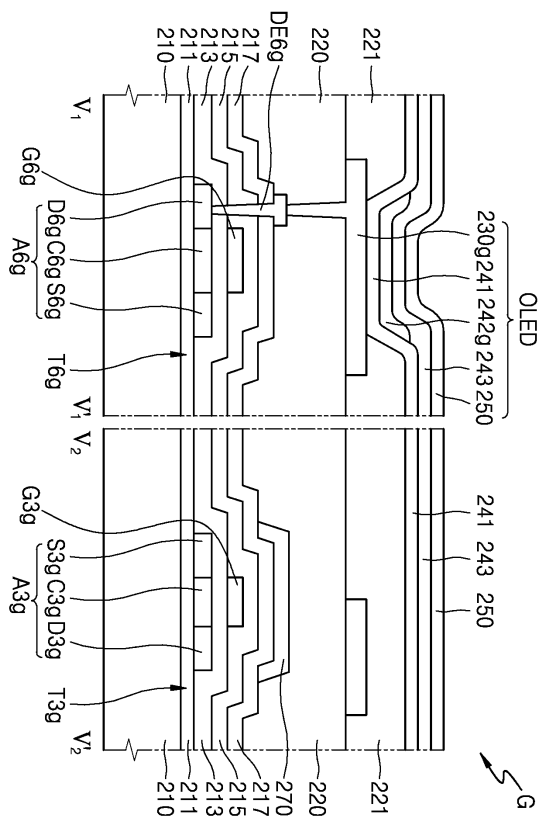
도면3c



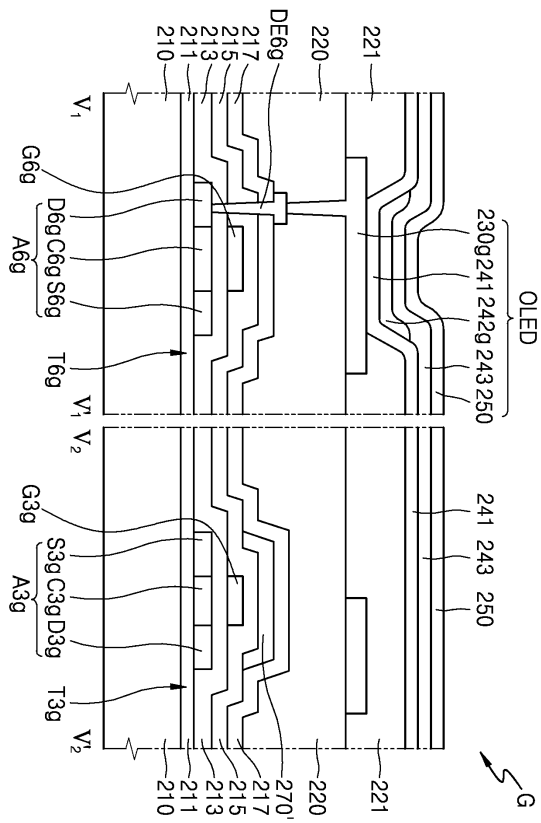
도면4



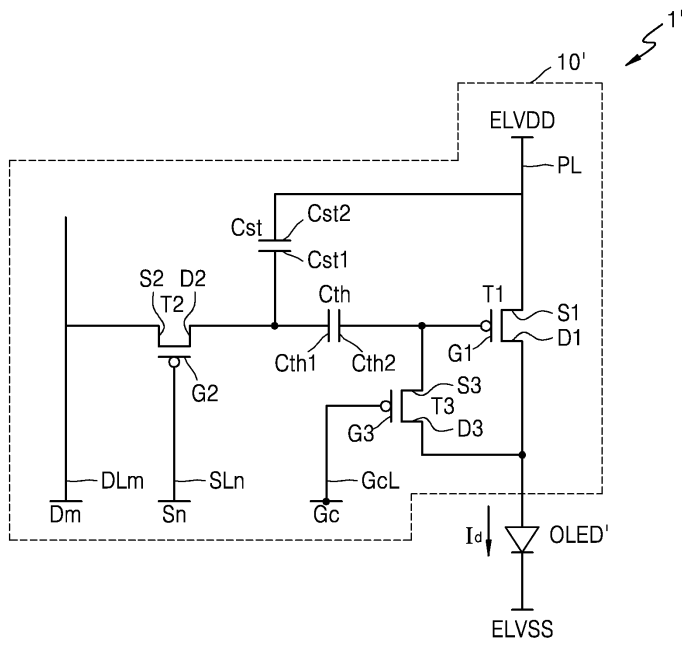
도면5



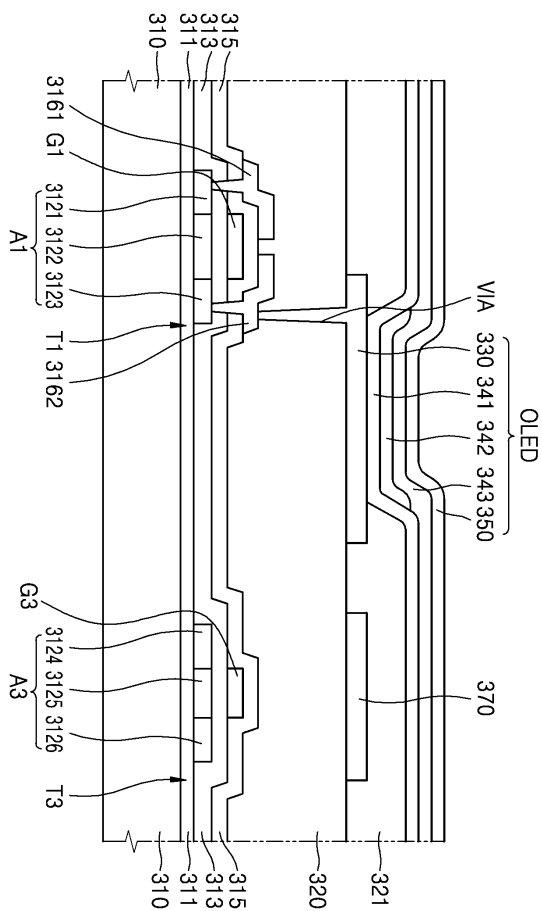
도면6



도면7



도면8



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170014087A	公开(公告)日	2017-02-08
申请号	KR1020150106770	申请日	2015-07-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG SOO 김동수 PARK JIN WOO 박진우 PYON CHANG SOO 변창수 CHOI JUN WON 최준원 HYEON JU HEE 현주희 KWAK WON KYU 박원규 EOM KI MYEONG 엄기명		
发明人	김동수 박진우 변창수 최준원 현주희 박원규 엄기명		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3272 H01L27/3262 H01L27/3248 H01L27/326 H01L27/3246 H01L27/3258 H01L27/3211 H01L51/504 H01L2227/32 G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0262		
外部链接	Espacenet		

摘要(译)

本发明的优选实施例包括在板代理1驱动电路部分中，该驱动电路部分包括与第一子像素区域和第一子像素区域相邻的第二子像素区域和第二驱动电路：第一驱动电路部分布置在基板上的第一子像素区域和第二子像素区域中，它包括在第一源极区域和第一沟道区域中，第一有源图案包括第一漏极区域和薄膜晶体管：第二驱动器电路包括第一栅电极，第一栅电极设置成与第一有源图案绝缘。第一有机发光层，设置在公共电极之间：面对第二有源图案的第一像素电极，包括第二区域源，第二沟道区域和第二漏极区域，第二薄膜晶体管：第一驱动电路部分包括第二个栅电极设置为与第二有源图案绝缘，第一像素电极，第二像素电极：第一像素电极，其分别与第二驱动电路和第二像素电极电连接，第二有机光电极与公共电极连接发光层：设置在第二像素电极和公共电极之间，并且包括阻挡入射光的遮光构件，同时布置在布置在第二子像素区域中的第二薄膜晶体管上，并且包括第一像素电极和第一薄膜晶体管的至少一部分像素电极在具有至少一个和平面相位的第一源区和第一漏区之间以及有机发光显示装置中重叠，其中遮光构件的至少一部分在第二区域源和第二区域源之间重叠具有至少一个平面相位的第二漏极区域披露。

