



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0005338
(43) 공개일자 2017년01월12일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3248 (2013.01)

(21) 출원번호 10-2015-0095347

(22) 출원일자 2015년07월03일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김덕희

경기도 성남시 분당구 분당로201번길 17, 108동
504호 (서현동, 효자촌현대아파트)

고건우

서울특별시 서대문구 명지대길 68-2, 3층 (남가좌
동)

(74) 대리인

팬코리아특허법인

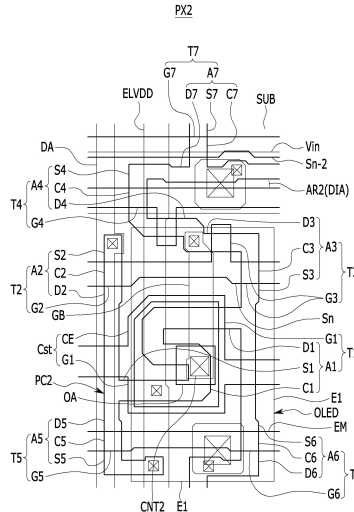
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 및 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들을 포함하며, 상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀과 다르다.

대표도 - 도5



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

이미지를 표시하는 표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들; 및

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들

을 포함하며,

상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀과 다른 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 기관은 상기 표시 영역과 이웃하는 비표시 영역을 더 포함하며,

상기 표시 영역의 상기 제2 영역은 상기 제1 영역 대비 상기 비표시 영역과 가까운 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 제2 화소 회로의 컨택홀은 상기 제1 화소 회로의 컨택홀 대비 큰 면적을 가지는 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 제2 화소 회로는 상기 컨택홀과 이웃하는 하나 이상의 추가 컨택홀을 더 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 제2 화소 회로의 노드 라인은 상기 추가 컨택홀을 통해 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 연결하는 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 복수의 박막 트랜지스터들은,

상기 유기 발광 소자와 연결된 구동 박막 트랜지스터; 및

상기 구동 박막 트랜지스터와 연결된 하나 이상의 스위칭 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제2 화소 회로의 컨택홀은 상기 구동 박막 트랜지스터의 액티브 패턴과 중첩하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 화소 회로의 컨택홀은 상기 구동 박막 트랜지스터의 액티브 패턴과 비중첩하는 유기 발광 표시 장치.

청구항 9

제7항에서,

상기 제1 화소 회로의 컨택홀은 상기 구동 박막 트랜지스터의 액티브 패턴과 중첩하며,

상기 제2 화소 회로의 컨택홀은 상기 제1 화소 회로의 컨택홀 대비 상기 구동 박막 트랜지스터의 액티브 패턴과 더 넓은 면적으로 중첩하는 유기 발광 표시 장치.

청구항 10

제1항에서,

상기 기판 상에서 일 방향으로 연장되어 상기 복수의 박막 트랜지스터와 연결된 데이터 라인을 더 포함하며,

상기 복수의 박막 트랜지스터들은,

상기 기판 상에 위치하며 상기 유기 발광 소자와 연결된 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하며 상기 컨택홀을 통해 상기 노드 라인과 접촉하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브 패턴의 일 단부와 연결되어 상기 데이터 라인과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터; 및

상기 제1 액티브 패턴의 타 단부와 연결되어 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 노드 라인은 상기 데이터 라인과 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 12

제10항에서,

상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인; 및

상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 커패시터 전극은 상기 컨택홀과 연통하는 개구부를 더 포함하는 유기 발광 표시 장치.

청구항 15

제12항에서,

상기 복수의 박막 트랜지스터들은, 상기 제3 액티브 패턴과 연결되고 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터를 더 포함하며,

상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인; 및

상기 제4 액티브 패턴과 연결된 초기화 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 16

제15항에서,

상기 복수의 박막 트랜지스터들은,

상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터; 및

상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터

를 더 포함하며,

상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 17

제16항에서,

상기 복수의 박막 트랜지스터들은, 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터를 더 포함하며,

상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함하는 유기 발광 표시 장치.

청구항 18

이미지를 표시하는 표시 영역을 포함하는 기판;

상기 기판의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들; 및

상기 기판의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들

을 포함하며,

상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀 대비 큰 면적을 가지는 유기 발광 표시 장치.

청구항 19

이미지를 표시하는 표시 영역을 포함하는 기판;

상기 기판의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들; 및

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들

을 포함하며,

상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀 대비 더 많은 개수를 가지는 유기 발광 표시 장치.

청구항 20

이미지를 표시하는 표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들; 및

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들

을 포함하며,

상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀 대비 상기 어느 하나의 박막 트랜지스터의 액티브 패턴과 더 넓은 면적으로 중첩하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터들을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 기관 상에 형성된 복수의 박막 트랜지스터들 및 복수의 유기 발광 소자들을 포함한다.

[0004] 종래의 유기 발광 표시 장치는 포토리소그래피(photolithography) 공정 등의 맴스(MEMS) 기술을 이용해 기관 전체에 걸쳐서 복수의 박막 트랜지스터들을 제조하였다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시예는, 의도하지 않게 기관 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기관 전체에 걸쳐서 복수의 유기 발광 소자들 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0006] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 및 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들을 포함하며, 상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀과 다른 유기 발광 표시 장치를

제공한다.

- [0007] 상기 기판은 상기 표시 영역과 이웃하는 비표시 영역을 더 포함하며, 상기 표시 영역의 상기 제2 영역은 상기 제1 영역 대비 상기 비표시 영역과 가까울 수 있다.
- [0008] 상기 제2 화소 회로의 컨택홀은 상기 제1 화소 회로의 컨택홀 대비 큰 면적을 가질 수 있다.
- [0009] 상기 제2 화소 회로는 상기 컨택홀과 이웃하는 하나 이상의 추가 컨택홀을 더 포함할 수 있다.
- [0010] 상기 제2 화소 회로의 노드 라인은 상기 추가 컨택홀을 통해 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 연결할 수 있다.
- [0011] 상기 복수의 박막 트랜지스터들은, 상기 유기 발광 소자와 연결된 구동 박막 트랜지스터, 및 상기 구동 박막 트랜지스터와 연결된 하나 이상의 스위칭 박막 트랜지스터를 포함할 수 있다.
- [0012] 상기 제2 화소 회로의 컨택홀은 상기 구동 박막 트랜지스터의 액티브 패턴과 중첩할 수 있다.
- [0013] 상기 제1 화소 회로의 컨택홀은 상기 구동 박막 트랜지스터의 액티브 패턴과 비중첩할 수 있다.
- [0014] 상기 제1 화소 회로의 컨택홀은 상기 구동 박막 트랜지스터의 액티브 패턴과 중첩하며, 상기 제2 화소 회로의 컨택홀은 상기 제1 화소 회로의 컨택홀 대비 상기 구동 박막 트랜지스터의 액티브 패턴과 더 넓은 면적으로 중첩할 수 있다.
- [0015] 상기 기판 상에서 일 방향으로 연장되어 상기 복수의 박막 트랜지스터와 연결된 데이터 라인을 더 포함하며, 상기 복수의 박막 트랜지스터들은, 상기 기판 상에 위치하며 상기 유기 발광 소자와 연결된 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하며 상기 컨택홀을 통해 상기 노드 라인과 접촉하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴의 일 단부와 연결되어 상기 데이터 라인과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터, 및 상기 제1 액티브 패턴의 타 단부와 연결되어 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터를 포함할 수 있다.
- [0016] 상기 노드 라인은 상기 데이터 라인과 동일한 층에 위치할 수 있다.
- [0017] 상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인, 및 상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인을 더 포함할 수 있다.
- [0018] 상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 더 포함할 수 있다.
- [0019] 상기 커패시터 전극은 상기 컨택홀과 연통하는 개구부를 더 포함할 수 있다.
- [0020] 상기 복수의 박막 트랜지스터들은, 상기 제3 액티브 패턴과 연결되고 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터를 더 포함하며, 상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인, 및 상기 제4 액티브 패턴과 연결된 초기화 전원 라인을 더 포함할 수 있다.
- [0021] 상기 복수의 박막 트랜지스터들은, 상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터, 및 상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터를 더 포함하며, 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함할 수 있다.
- [0022] 상기 복수의 박막 트랜지스터들은, 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터를 더 포함하며, 상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함할 수 있다.

[0023] 또한, 본 발명의 다른 측면은 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 및 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들을 포함하며, 상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀 대비 큰 면적을 가지는 유기 발광 표시 장치를 제공한다.

[0024] 또한, 본 발명의 다른 측면은 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 및 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들을 포함하며, 상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀 대비 더 많은 개수를 가지는 유기 발광 표시 장치를 제공한다.

[0025] 또한, 본 발명의 다른 측면은 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 및 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 컨택홀을 통해 연결하는 노드 라인을 포함하는 복수의 화소 회로들을 포함하며, 상기 복수의 화소 회로들 중 상기 표시 영역의 제1 영역에 위치하는 제1 화소 회로의 컨택홀은 상기 표시 영역의 제2 영역에 위치하는 제2 화소 회로의 컨택홀 대비 상기 어느 하나의 박막 트랜지스터의 액티브 패턴과 더 넓은 면적으로 중첩하는 유기 발광 표시 장치를 제공한다.

발명의 효과

[0026] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 의도하지 않게 기관 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기관 전체에 걸쳐서 복수의 유기 발광 소자들 각각으로 공급되는 전류의 값에 차이가 발생되는 것이 억제된 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다.
 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.
 도 3은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다.
 도 4는 도 3의 IV-IV를 따른 단면도이다.
 도 5는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
 도 6은 일 실험예에서, 유기 발광 표시 장치의 전체 위치에 따른 박막 트랜지스터의 구동 범위를 나타낸 도면이다.
 도 7은 다른 실험예에서, 서로 다른 조건을 가지는 복수의 박막 트랜지스터들 각각을 나타낸 도면이다.
 도 8은 도 7에 도시된 복수의 박막 트랜지스터 각각의 구동 범위를 나타낸 그래프이다.
 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 그래프이다.
 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다.
 도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
 도 14는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다.
 도 15는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 그 외의 실시예에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0031] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0032] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0033] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0034] 이하, 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다. 이하에서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.
- [0036] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관(SUB), 복수의 화소들(PXn), 복수의 데이터 라인들(DA), 데이터 구동부(DD)를 포함한다.
- [0037] 기관(SUB)은 이미지(image)를 표시하는 표시 영역(DIA) 및 표시 영역(DIA)과 이웃하는 비표시 영역(NDA)을 포함한다. 비표시 영역(NDA)은 표시 영역(DIA)의 테두리를 둘러싸도록 위치할 수 있다. 기관(SUB)은 유리, 폴리머 또는 스테인리스 강 등을 포함하는 절연성 기관이다. 기관(SUB)은 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)할 수 있다. 기관(SUB)이 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)함으로써, 유기 발광 표시 장치 전체가 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)할 수 있다.
- [0038] 복수의 화소들(PXn)은 기관(SUB)의 표시 영역(DIA)에 대응하여 기관(SUB) 상에 위치하고 있다. 복수의 화소들(PXn) 각각은 복수의 데이터 라인들(DA) 각각과 연결되어 있으며, 데이터 라인들(DA) 각각으로부터 공급된 데이터 신호에 대응하는 구동 전류에 상응하는 휘도로 발광하는 유기 발광 소자, 유기 발광 소자에 흐르는 구동 전류를 제어하기 위한 복수의 박막 트랜지스터 및 하나 이상의 커패시터를 포함하는 화소 회로를 포함한다. 복수의 화소들(PXn) 각각은 유기 발광 소자를 포함하며, 이로 인해 기관(SUB)의 표시 영역(DIA) 상에는 복수의 유기 발광 소자들 및 각각이 복수의 유기 발광 소자들 각각에 연결된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들이 위치하고 있다.
- [0039] 설명의 편의를 위해 도 1에는 도시하지 않았지만 복수의 화소들(PXn) 각각은 서로 다른 스캔 신호를 공급하는 게이트 구동부와 연결된 복수의 스캔 라인들 각각과 연결될 수 있으며, 나아가 전압을 공급하는 구동 전원 라인 및 초기화 전원 라인과 연결될 수 있다. 또한, 복수의 화소들(PXn) 각각에 포함된 유기 발광 소자의 캐소드 전극인 제2 전극은 공통 전원과 연결될 수 있다. 이러한 복수의 화소들(PXn) 각각의 자세한 구조에 대해서는 후술한다. 상술한 게이트 구동부, 복수의 스캔 라인들, 구동 전원 라인, 초기화 전원 라인에 후술하나, 이에 한정되지 않고 공지된 다양한 형태로 복수의 화소들(PXn) 각각과 연결될 수 있다.
- [0040] 복수의 화소들(PXn)은 기관(SUB)의 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소(PX1) 및 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)를 포함한다.

- [0041] 여기서, 기관(SUB)의 표시 영역(DIA)의 제2 영역(AR2)은 제1 영역(AR1) 대비 비표시 영역(NDA)과 가까운 영역일 수 있으나, 이에 한정되지 않고 제1 영역(AR1) 및 제2 영역(AR2) 각각은 기관(SUB)의 표시 영역(DIA) 내에서 서로 다른 영역이라면 어떠한 영역에도 해당될 수 있다.
- [0042] 복수의 데이터 라인들(DA) 각각은 기관(SUB) 상에서 일 방향으로 연장되어 복수의 화소들(PXn) 각각과 연결되어 있다.
- [0043] 데이터 구동부(DD)는 기관(SUB)의 비표시 영역(NDA) 상에 위치하며, 복수의 데이터 라인들(DA)과 연결되어 있다. 데이터 구동부(DD)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 복수의 데이터 라인들(DA) 각각으로 데이터 신호를 공급한다. 데이터 구동부(DD)로부터 데이터 라인(DA)으로 공급된 데이터 신호는 선택된 일 화소(PXn)에 스캔 라인으로부터 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 일 화소(PXn)로 공급된다. 그러면, 일 화소(PXn)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0044] 이하, 도 2를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소(PXn)의 회로를 설명한다.
- [0045] 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.
- [0046] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소(PXn)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7) 및 커패시터(Cst)를 포함하는 화소 회로(PC), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 유기 발광 소자(OLED)를 포함한다.
- [0047] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.
- [0048] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.
- [0049] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0050] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0051] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0052] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0053] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0054] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0055] 상술한 복수의 스캔 라인들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의

제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM)을 포함한다.

[0056] 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극 및 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결된 타 전극을 포함한다.

[0057] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.

[0058] 이러한 화소 회로(PC), 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 유기 발광 소자(OLED)를 포함하는 일 화소(PXn)의 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.

[0059] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.

[0060] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Vd+Vth, Vth는 (-)의 값)이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압(Vd+Vth)은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극에도 공급된다.

[0061] 다음, 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Vel)이 공급되고, 타 전극에는 상술한 보상 전압(Vd+Vth)이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.

[0062] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Vel)이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.

[0063] 그러면, 구동 전압(Vel)이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압(Vel) 간의 전압차에 대응하는 구동 전류(Id)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(Id)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.

[0064] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 및 커패시터(Cst)를 포함하는 화소 회로(PC) 및 이와 연결된 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin)으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 복수의 박막 트랜지스터와 하나 이상의 커패시터를 포함하는 화소 회로 및 이와 연결된 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.

[0065] 이하, 도 3 내지 도 5를 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수의 화소들(PXn) 중 기관(SUB)의 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소(PX1) 및 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2) 각각의 배치를 설명한다.

- [0066] 이하에서 설명하는 서로 다른 층에 위치하는 구성들 사이에는 절연층들이 위치하며, 이 절연층은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0067] 도 3은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다. 도 4는 도 3의 IV-IV를 따른 단면도이다.
- [0068] 도 3 및 도 4에 도시된 바와 같이, 기판(SUB)의 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소(PX1)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제1 화소(PX1)의 복수의 박막트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)와 노드 라인(GB) 및 커패시터(Cst)는 유기 발광 소자(OLED)와 연결된 제1 화소 회로(PC1)를 형성한다. 즉, 제1 화소 회로(PC1)는 표시 영역(DIA)의 제1 영역(AR1)에 위치하고 있다.
- [0069] 제1 화소 회로(PC1)에 포함된 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 중 제1 박막 트랜지스터(T1)는 유기 발광 소자(OLED)와 연결되어 구동 박막 트랜지스터로서 기능할 수 있으며, 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 각각은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)와 연결된 스위칭 박막 트랜지스터로서 기능할 수 있다.
- [0070] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0071] 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브 패턴(A1)의 채널 영역인 제1 채널(C1)은 한 번 이상 절곡 연장된 형태를 가지고 있으며, 제1 채널(C1)이 한정된 공간인 제1 게이트 전극(G1)과 중첩하는 공간 내에서 한 번 이상 절곡 연장되어 있음으로써, 제1 채널(C1)의 길이를 길게 형성할 수 있기 때문에, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 형성할 수 있다. 이로 인해, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 넓은 구동 범위 내에서 변화시켜 유기 발광 소자(OLED)로부터 발광되는 빛의 계조를 보다 세밀하게 제어함으로써, 유기 발광 표시 장치로부터 표시되는 이미지의 품질이 향상될 수 있다. 이러한 제1 액티브 패턴(A1)은 그 형태가 다양하게 변형될 수 있으며, 일례로 '역S', 'S', 'M', 'W' 등의 다양한 형태로 변형될 수 있다.
- [0072] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO4), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.
- [0073] 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물

과 반대 타입의 도핑 불순물이 도핑될 수 있다.

- [0074] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 제1 컨택홀(CNT1)을 통하는 노드 라인(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)과 중첩하는 제1 컨택홀(CNT1)을 통해 노드 라인(GB)과 접촉하고 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 타 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다.
- [0075] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다. 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 컨택홀을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결되어 있다.
- [0076] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제2 채널(C2)을 사이에 두고 이격되어 제2 채널(C2)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하며, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성되어 있다.
- [0077] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.
- [0078] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.
- [0079] 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 컨택홀(CNT1)을 통하는 노드 라인(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.
- [0080] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성되어 있다.
- [0081] 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있으나, 이에 한정되지 않고 싱글 게이트 전극으로서 형성될 수 있다.
- [0082] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0083] 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 컨택홀을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 컨택홀(CNT1)을 통하는 노드 라인(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브 패턴(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0084] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴

(A2), 제3 액티브 패턴(A3)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 일체로 형성되어 있다.

- [0085] 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있으나, 이에 한정되지 않고 싱글 게이트 전극으로서 형성될 수 있다.
- [0086] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0087] 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 액티브 패턴(A1) 사이를 연결하고 있다.
- [0088] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 일체로 형성되어 있다.
- [0089] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0090] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.
- [0091] 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 콘택홀을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.
- [0092] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 일체로 형성되어 있다.
- [0093] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0094] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.
- [0095] 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 화소(도 3에 도시된 화소의 상측에 위치하는 화소일 수 있다.)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 액티브 패턴(A4) 사이를 연결하고 있다.
- [0096] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극

(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 일체로 형성되어 있다.

[0097] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.

[0098] 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6), 제7 액티브 패턴(A7) 상으로 순차적으로, 복수의 절연층들이 적층되어 있다. 복수의 절연층들 각각은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.

[0099] 제1 스캔 라인(Sn)은 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 일 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.

[0100] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 일 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다.

[0101] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 일 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다.

[0102] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 일 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.

[0103] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.

[0104] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있다.

[0105] 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터 전극(CE) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성되어 있다.

[0106] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분을 노출하는 개구부(OA)를 포함하며, 개구부(OA)는 제1 콘택홀(CNT1)과 연통하고 있다. 커패시터 전극(CE)의 개구부(OA) 및 제1 콘택홀(CNT1)을 통해 노드 라인(GB)이 제1 게이트 전극(G1)과 연결되어 있다.

[0107] 데이터 라인(DA)은 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있으며, 콘택홀을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.

[0108] 구동 전원 라인(ELVDD)은 데이터 라인(DA)과 이격되어 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있으며, 콘택홀을 통해 커패시터 전극(CE) 및 제1 액티브 패턴(A1)과 연결된 제5 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결되어 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2

스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.

- [0109] 노드 라인(GB)은 제1 스캔 라인(Sn) 상에 위치하여 구동 전원 라인(ELVDD)과 이격되어 있으며, 콘택홀을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3) 및 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 각각과 연결되어 제1 콘택홀(CNT1)을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결되어 있다. 즉, 노드 라인(GB)은 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 중 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제3 박막 트랜지스터(T3)의 사이와 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제4 박막 트랜지스터(T4) 사이 각각을 연결하고 있다. 노드 라인(GB)이 통하는 제1 화소 회로(PC1)의 제1 콘택홀(CNT1)은 평면적으로 제1 면적을 가지고 있으며, 후술할 제2 화소 회로의 제2 콘택홀 대비 작은 면적을 가지고 있다. 노드 라인(GB)이 통하는 제1 화소 회로(PC1)의 제1 콘택홀(CNT1)은 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩하며, 노드 라인(GB) 하부에 위치하는 하나 이상의 절연층에 형성될 수 있다.
- [0110] 노드 라인(GB)은 상술한 데이터 라인(DA) 및 구동 전원 라인(ELVDD) 각각과 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0111] 초기화 전원 라인(Vin)은 제2 스캔 라인(Sn-1) 상에 위치하며, 콘택홀을 통해 제4 액티브 패턴(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 전원 라인(Vin)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.
- [0112] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 콘택홀을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0113] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는 봉지 기판이 위치할 수 있다.
- [0114] 상술한 기판(SUB)의 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소(PX1)와 이격되어 기판(SUB)의 표시 영역(DIA)의 제2 영역(AR2)에 제2 화소(PX2)가 위치하고 있다.
- [0115] 도 5는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
- [0116] 이하에서는 상술한 제1 화소(PX1)와 대비한 제2 화소(PX2)의 다른 부분에 대해서 설명한다.
- [0117] 도 5에 도시된 바와 같이, 기판(SUB)의 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제2 화소(PX1)의 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)와 노드 라인(GB) 및 커패시터(Cst)는 유기 발광 소자(OLED)와 연결된 제2 화소 회로(PC2)를 형성한다. 즉, 제2 화소 회로(PC2)는 표시 영역(DIA)의 제2 영역(AR2)에 위치하고 있다.
- [0118] 제2 화소 회로(PC2)에 포함된 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 중 제1 박막 트랜지스터(T1)는 유기 발광 소자(OLED)와 연결되어 구동 박막 트랜지스터로서 기능할 수 있으며, 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 각각은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)와 연결된 스위칭 박막 트랜지스터로서 기능할 수 있다.

- [0119] 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1), 제2 박막 트랜지스터(T2)의 제2 액티브 패턴(A2), 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3), 제4 박막 트랜지스터(T4)의 제4 액티브 패턴(A4), 제5 박막 트랜지스터(T5)의 제5 액티브 패턴(A5), 제6 박막 트랜지스터(T6)의 제6 액티브 패턴(A6), 제7 박막 트랜지스터(T7)의 제7 액티브 패턴(A7)은 서로 연결되어 있으며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6), 제7 액티브 패턴(A7) 각각은 상술한 제1 화소 회로(PC1)의 복수의 박막 트랜지스터들 각각의 액티브 패턴 대비 긴 너비를 가질 수 있다. 여기서, 액티브 패턴의 너비는 액티브 패턴의 연장 방향과 교차하는 방향으로의 액티브 패턴의 폭일 수 있다.
- [0120] 제2 화소 회로(PC2)의 제1 액티브 패턴(A1)이 제1 화소 회로(PC1)의 제1 액티브 패턴(A1) 대비 긴 너비를 가지는 이유는, 제2 화소 회로(PC2)가 제1 화소 회로(PC1)가 위치하는 제1 영역(AR1) 대비 비표시 영역(NDA)과 가까운 표시 영역(DIA)의 제2 영역(AR2)에 위치함으로써, 하나의 반도체층으로부터 제1 액티브 패턴(A1)을 형성하는 포토리소그래피(photolithography) 공정 중 제2 영역(AR2)에 위치하는 포토레지스트(photoresist) 물질이 제1 영역(AR1) 대비 외곽 영역인 제2 영역(AR2)에서 덜 노광되거나 더 노광되어 발생될 수 있다. 특히, 데이터 구동부(DD)와 이웃하는 외곽 영역인 제2 영역(AR2)에 위치하는 액티브 패턴은 다른 외곽 영역 대비 액티브 패턴이 형성되는 테두리 부분에 대응하기 때문에 다른 영역 대비 더 긴 너비를 가질 수 있다.
- [0121] 제2 화소(PX2)의 제2 화소 회로(PC2)의 노드 라인(GB)은 제2 컨택홀(CNT2)을 통해 제3 박막 트랜지스터(T3)와 제1 박막 트랜지스터(T1) 사이를 연결하며, 구체적으로 노드 라인(GB)은 제2 컨택홀(CNT2)을 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 접촉하고 있다.
- [0122] 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 상술한 표시 영역(DIA)의 제1 영역(AR1) 위치하는 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)과 다르며, 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩하여 제1 화소 회로(PC1)의 제1 컨택홀(CNT1) 대비 평면적으로 큰 면적을 가지고 있다.
- [0123] 이상과 같이, 본 발명의 일 실시예에서, 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)의 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소(PX1)의 제1 화소 회로(PC1)의 제1 컨택홀(CNT1) 대비 큰 면적을 가지고 있다.
- [0124] 이하, 도 6 내지 도 8을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 개발된 배경을 설명한다.
- [0125] 도 6은 일 실험예에서, 유기 발광 표시 장치의 전체 위치에서, 박막 트랜지스터의 구동 범위를 나타낸 도면들이다. 구체적으로, 도 6은 일 실험예에 따른 유기 발광 표시 장치의 전체 평면 위치에서, 구동 박막 트랜지스터인 제1 박막 트랜지스터의 구동 범위(Dr-range)를 나타낸 도면이다. 도 6의 (A)는 유기 발광 표시 장치의 전체 평면 위치에서, 제1 박막 트랜지스터의 구동 범위를 나타낸 도면이다. 도 6의 (B)는 유기 발광 표시 장치의 전체 평면 위치에서, 제1 박막 트랜지스터의 구동 범위를 나타낸 그래프이다. 도 6의 (B)의 X축은 유기 발광 표시 장치의 전체 위치를 나타내며, Y축은 제1 박막 트랜지스터의 구동 범위의 크기를 나타낸다.
- [0126] 도 6에 도시된 바와 같이, 본 발명의 발명자들은 일 실험예를 통해 유기 발광 표시 장치의 평면 전체에 걸쳐서, 평면 위치에 따라 각 유기 발광 소자와 연결된 제1 박막 트랜지스터의 구동 범위가 서로 다른 것을 확인하였다. 구체적으로 본 발명의 발명자들은 하나의 반도체층으로부터 제1 박막 트랜지스터의 제1 액티브 패턴을 형성하는 포토리소그래피(photolithography) 공정 중 서로 다른 영역에 위치하는 포토레지스트(photoresist) 물질이 제1 영역(AR1) 대비 외곽 영역인 제2 영역(AR2)에서 덜 노광되거나 더 노광되어 제2 영역(AR2)에 위치하는 제1 박막 트랜지스터의 구동 범위와 제1 영역(AR1)에 위치하는 제1 박막 트랜지스터의 구동 범위가 서로 다른 것을 확인하였다.
- [0127] 일례로, 본 발명의 발명자들은 공정 오차에 의해 제2 영역(AR2)에 위치하는 제1 액티브 패턴이 제1 영역(AR1)에 위치하는 제1 액티브 패턴 대비 긴 너비를 가지게 되어 제2 영역(AR2)에 위치하는 제1 박막 트랜지스터의 박막 트랜지스터 특성이 제1 영역(AR1)에 위치하는 제1 박막 트랜지스터 대비 향상됨으로써, 제2 영역(AR2)에 위치하는 제1 박막 트랜지스터의 구동 범위가 제1 영역(AR1)에 위치하는 제1 박막 트랜지스터의 구동 범위 대비 낮은 것을 확인하였다.
- [0128] 이러한 과제를 해결하기 위해, 본 발명의 발명자들은 아래와 같은 6개의 박막 트랜지스터의 구조를 발명하였으며, 이러한 6개의 박막 트랜지스터 각각의 구조에 따른 구동 범위의 차이를 확인하였다.

- [0129] 도 7은 다른 실험예에서, 서로 다른 조건을 가지는 복수의 박막 트랜지스터들 각각을 나타낸 도면이다.
- [0130] 도 7에 도시된 바와 같이, 본 발명의 발명자들은 1번 내지 6번의 서로 다른 컨택홀의 위치를 가지는 박막 트랜지스터들을 발명하였으며, 나아가 컨택홀의 크기를 1.8 μ m, 2.0 μ m, 2.2 μ m, 2.4 μ m, 2.6 μ m로 서로 다르게 설정하였다. 1번 내지 6번의 서로 다른 컨택홀의 위치를 가지는 박막 트랜지스터들 중 2번 및 3번 박막 트랜지스터는 컨택홀이 액티브 패턴의 채널과 중첩한다.
- [0131] 도 8은 도 7에 도시된 복수의 박막 트랜지스터 각각의 구동 범위를 나타낸 그래프이다. 도 8의 X축은 컨택홀의 크기를 나타내며, Y축은 박막 트랜지스터의 구동 범위를 나타낸다.
- [0132] 도 8에 도시된 바와 같이, 본 발명의 발명자들은 1번 내지 6번의 서로 다른 컨택홀의 위치를 가지는 박막 트랜지스터들 중 컨택홀이 액티브 패턴의 채널과 중첩하는 2번 및 3번 박막 트랜지스터의 구동 범위가 컨택홀의 크기에 비례하여 증가하는 것을 확인하였다.
- [0133] 즉, 본 발명의 발명자들은 박막 트랜지스터의 액티브 패턴의 채널과 중첩하는 컨택홀의 크기가 커질수록 박막 트랜지스터의 구동 범위가 증가하는 것을 확인하였다.
- [0134] 구체적으로, 본 발명의 발명자들은 액티브 패턴을 덮는 절연층에 컨택홀이 형성되어 있는 상태에서, 박막 트랜지스터의 액티브 패턴을 열처리함으로써, 액티브 패턴의 땀글링 본드(dangling bonds)가 컨택홀의 위치 및 크기에 비례하여 원활하게 제거되지 않았기 때문에, 박막 트랜지스터의 액티브 패턴의 채널과 중첩하는 컨택홀의 크기가 커질수록 박막 트랜지스터의 구동 범위가 증가하는 것을 확인하였다.
- [0135] 상술한 구조의 박막 트랜지스터를 발명한 본 발명의 발명자들은 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 발명하였다.
- [0136] 이하, 도 9를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 효과를 설명한다.
- [0137] 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 그래프이다. 도 9의 X축은 유기 발광 표시 장치의 전체 위치를 나타내며, Y축은 유기 발광 표시 장치의 전체 위치에 대응하는 제1 박막 트랜지스터의 구동 범위(DR-range)의 크기를 나타낸다.
- [0138] 도 9에서 B 라인은 공정 오차에 따른 유기 발광 표시 장치의 위치 별 제1 박막 트랜지스터의 구동 범위를 나타내며, A 라인은 노드 라인이 통하는 컨택홀의 위치 보상 설계에 따른 유기 발광 표시 장치의 위치 별 제1 박막 트랜지스터의 예상 구동 범위를 나타내며, C 라인은 실제 유기 발광 표시 장치의 위치 별 제1 박막 트랜지스터의 구동 범위를 나타낸다.
- [0139] 도 9에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제2 영역(AR2)에 위치하는 제2 화소 회로의 제2 컨택홀이 제1 영역(AR1)에 위치하는 제1 화소 회로의 제1 컨택홀 대비 평면적으로 큰 면적을 가짐으로써, 제2 영역(AR2)에 위치하는 제2 화소 회로의 제1 박막 트랜지스터의 구동 범위가 상승되고, 제1 영역(AR1)에 위치하는 제1 화소 회로의 제1 박막 트랜지스터의 구동 범위가 저하되기 때문에, 제1 영역(AR1)의 제1 박막 트랜지스터 및 제2 영역(AR2)의 제1 박막 트랜지스터 각각의 특성 차이가 최소화된다.
- [0140] 즉, 공정 오차에 의해 유기 발광 표시 장치의 전체 위치에 걸쳐서 B 라인과 같은 제1 박막 트랜지스터의 구동 범위 편차가 발생되나, 이러한 공정 오차를 고려하여 유기 발광 표시 장치의 전체 위치에 걸쳐서 A라인과 같이 제1 박막 트랜지스터를 설계함으로써, 유기 발광 표시 장치의 전체 위치에 걸쳐서 C라인과 같이 제1 박막 트랜지스터의 구동 범위 편차가 최소화된다.
- [0141] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 공정 오차에 의해 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 구동 범위가 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1)의 구동 범위 대비 저하되나, 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 중첩하는 제2 컨택홀(CNT2)이 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 중첩하는 제1 컨택홀(CNT1) 대비 평면적으로 큰 면적을 가짐으로써, 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 트랜지스터 특성이 저하되어 제1 박막 트랜지스터(T1)의 구동 범위가 상승하기 때문에, 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1) 및 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1) 각각의 트랜지스터 특성 차이가 최소화된다.
- [0142] 즉, 기관(SUB)의 표시 영역(DIA)에 위치하는 복수의 박막 트랜지스터들 중 포토리소그래피 공정 오차에 따라 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 박막 트랜지스터 대비 제2 영역(AR2)에 위치하는 박막 트랜지스터의

트랜지스터 특성이 향상되는 것을 고려하여, 제2 영역(AR2)에 형성되는 제2 컨택홀(CNT2)의 면적을 제1 영역(AR1)에 형성되는 제1 컨택홀(CNT1)의 면적 대비 크게 형성함으로써, 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성을 저하시켰기 때문에, 기판(SUB)의 표시 영역(DIA) 전체에 걸쳐서 위치하는 복수의 박막 트랜지스터들 간의 트랜지스터 특성 차이가 최소화되어 복수의 박막 트랜지스터에 연결된 복수의 유기 발광 소자의 휘도 차이가 최소화된다. 이로 인해, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.

[0143] 요컨대, 의도하지 않게 기판(SUB) 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기판(SUB) 전체에 걸쳐서 복수의 유기 발광 소자들(OLED) 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.

[0144] 이하, 도 10을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.

[0145] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.

[0146] 도 10에 도시된 바와 같이, 기판(SUB)의 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제2 화소(PX1)의 복수의 박막트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)와 노드 라인(GB) 및 커패시터(Cst)는 유기 발광 소자(OLED)와 연결된 제2 화소 회로(PC2)를 형성한다. 즉, 제2 화소 회로(PC2)는 표시 영역(DIA)의 제2 영역(AR2)에 위치하고 있다.

[0147] 제2 화소 회로(PC2)에 포함된 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 중 제1 박막 트랜지스터(T1)는 유기 발광 소자(OLED)와 연결되어 구동 박막 트랜지스터로서 기능할 수 있으며, 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 각각은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)와 연결된 스위칭 박막 트랜지스터로서 기능할 수 있다.

[0148] 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1), 제2 박막 트랜지스터(T2)의 제2 액티브 패턴(A2), 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3), 제4 박막 트랜지스터(T4)의 제4 액티브 패턴(A4), 제5 박막 트랜지스터(T5)의 제5 액티브 패턴(A5), 제6 박막 트랜지스터(T6)의 제6 액티브 패턴(A6), 제7 박막 트랜지스터(T7)의 제7 액티브 패턴(A7)은 서로 연결되어 있으며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6), 제7 액티브 패턴(A7) 각각은 상술한 제1 화소 회로(PC1)의 복수의 박막 트랜지스터들 각각의 액티브 패턴 대비 긴 너비를 가질 수 있다.

[0149] 제2 화소(PX2)의 제2 화소 회로(PC2)의 노드 라인(GB)은 제2 컨택홀(CNT2)을 통해 제3 박막 트랜지스터(T3)와 제1 박막 트랜지스터(T1) 사이를 연결하며, 구체적으로 노드 라인(GB)은 제2 컨택홀(CNT2)을 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 접촉하고 있다.

[0150] 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 상술한 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)과 다르며, 제2 화소 회로(PC2)는 제2 컨택홀(CNT2)과 이웃하는 추가 컨택홀(DCNT)을 더 포함한다.

[0151] 여기서, 추가 컨택홀(DCNT)은 터미로서 위치할 수 있으나, 이에 한정되지는 않는다.

[0152] 이상과 같이, 본 발명의 다른 실시예에서, 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)의 제2 화소 회로(PC2)는 제2 컨택홀(CNT2)과 이웃하는 추가 컨택홀(DCNT)을 더 포함한다.

[0153] 추가 컨택홀(DCNT)은 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩하고 있으나, 이에 한정되지 않고 제1 채널(C1)과 비중첩할 수 있다. 또한, 추가 컨택홀(DCNT)은 복수개일 수 있다.

[0154] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 공정 오차에 의해 표시 영역(DIA)의 제2 영

역(AR2)에 위치하는 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 구동 범위가 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1)의 구동 범위 대비 저하되나, 제2 화소 회로(PC2)가 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 중첩하는 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 포함함으로써, 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 트랜지스터 특성이 저하되어 제1 박막 트랜지스터(T1)의 구동 범위가 상승하기 때문에, 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1) 및 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1) 각각의 트랜지스터 특성 차이가 최소화된다.

[0155] 즉, 기관(SUB)의 표시 영역(DIA)에 위치하는 복수의 박막 트랜지스터들 중 포토리소그래피 공정 오차에 따라 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 박막 트랜지스터 대비 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성이 향상되는 것을 고려하여, 제2 영역(AR2)에 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 형성함으로써, 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성을 저하시켰기 때문에, 기관(SUB)의 표시 영역(DIA) 전체에 걸쳐서 위치하는 복수의 박막 트랜지스터들 간의 트랜지스터 특성 차이가 최소화되어 복수의 박막 트랜지스터에 연결된 복수의 유기 발광 소자의 휘도 차이가 최소화된다. 이로 인해, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.

[0156] 요컨대, 의도하지 않게 기관(SUB) 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자들(OLED) 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.

[0157] 이하, 도 11을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.

[0158] 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.

[0159] 도 11에 도시된 바와 같이, 기관(SUB)의 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제2 화소(PX1)의 복수의 박막트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)와 노드 라인(GB) 및 커패시터(Cst)는 유기 발광 소자(OLED)와 연결된 제2 화소 회로(PC2)를 형성한다. 즉, 제2 화소 회로(PC2)는 표시 영역(DIA)의 제2 영역(AR2)에 위치하고 있다.

[0160] 제2 화소 회로(PC2)에 포함된 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 중 제1 박막 트랜지스터(T1)는 유기 발광 소자(OLED)와 연결되어 구동 박막 트랜지스터로서 기능할 수 있으며, 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7) 각각은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)와 연결된 스위칭 박막 트랜지스터로서 기능할 수 있다.

[0161] 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1), 제2 박막 트랜지스터(T2)의 제2 액티브 패턴(A2), 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3), 제4 박막 트랜지스터(T4)의 제4 액티브 패턴(A4), 제5 박막 트랜지스터(T5)의 제5 액티브 패턴(A5), 제6 박막 트랜지스터(T6)의 제6 액티브 패턴(A6), 제7 박막 트랜지스터(T7)의 제7 액티브 패턴(A7)은 서로 연결되어 있으며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6), 제7 액티브 패턴(A7) 각각은 상술한 제1 화소 회로(PC1)의 복수의 박막 트랜지스터들 각각의 액티브 패턴 대비 긴 너비를 가질 수 있다.

[0162] 제2 화소(PX2)의 제2 화소 회로(PC2)의 노드 라인(GB)은 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 통해 제3 박막 트랜지스터(T3)와 제1 박막 트랜지스터(T1) 사이를 연결하며, 구체적으로 노드 라인(GB)은 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 접촉하고 있다.

[0163] 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 상술한 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)과 다르며, 제2 화소 회로(PC2)는 제2 컨택홀(CNT2)과 이웃하는 추가 컨택홀(DCNT)을 더 포함한다.

- [0164] 여기서, 노드 라인(GB)은 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 통해 제1 게이트 전극(G1)과 접촉하나, 이에 한정되지는 않고, 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT) 중 하나 이상을 통해 제1 게이트 전극(G1)과 접촉할 수 있다.
- [0165] 이상과 같이, 본 발명의 다른 실시예에서, 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)의 제2 화소 회로(PC2)는 제2 컨택홀(CNT2)과 이웃하는 추가 컨택홀(DCNT)을 더 포함한다.
- [0166] 추가 컨택홀(DCNT)은 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩하고 있으나, 이에 한정되지 않고 제1 채널(C1)과 비중첩할 수 있다. 또한, 추가 컨택홀(DCNT)은 복수개일 수 있다.
- [0167] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 공정 오차에 의해 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 구동 범위가 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1)의 구동 범위 대비 저하되나, 제2 화소 회로(PC2)가 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 중첩하는 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 포함함으로써, 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 트랜지스터 특성이 저하되어 제1 박막 트랜지스터(T1)의 구동 범위가 상승하기 때문에, 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1) 및 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1) 각각의 트랜지스터 특성 차이가 최소화된다.
- [0168] 즉, 기판(SUB)의 표시 영역(DIA)에 위치하는 복수의 박막 트랜지스터들 중 포토리소그래피 공정 오차에 따라 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 박막 트랜지스터 대비 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성이 향상되는 것을 고려하여, 제2 영역(AR2)에 제2 컨택홀(CNT2) 및 추가 컨택홀(DCNT)을 형성함으로써, 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성을 저하시켰기 때문에, 기판(SUB)의 표시 영역(DIA) 전체에 걸쳐서 위치하는 복수의 박막 트랜지스터들 간의 트랜지스터 특성 차이가 최소화되어 복수의 박막 트랜지스터에 연결된 복수의 유기 발광 소자의 휘도 차이가 최소화된다. 이로 인해, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.
- [0169] 요컨대, 의도하지 않게 기판(SUB) 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기판(SUB) 전체에 걸쳐서 복수의 유기 발광 소자들(OLED) 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0170] 이하, 도 12 및 도 13을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.
- [0171] 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다. 도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
- [0172] 도 12에 도시된 바와 같이, 제1 화소(PX1)의 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 비중첩한다.
- [0173] 도 13에 도시된 바와 같이, 제2 화소(PX2)의 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩한다.
- [0174] 이상과 같이, 본 발명의 다른 실시예에서, 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)의 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 제1 영역(AR1)에 위치하는 제1 화소(PX1)의 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)과 다르게 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩한다.
- [0175] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 공정 오차에 의해 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 구동 범위가 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1)의 구동 범위 대비 저하되나, 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)이 제1 액티브 패턴(A1)과 비중첩하고 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)이 제1 액티브 패턴(A1)과 중첩함으로써, 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 트랜지스터 특성이 저하되어 제1 박막 트랜지스터(T1)의 구동 범위가 상승하기 때문에, 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1) 및 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1) 각각의 트랜지스터 특성 차이가 최소화된다.
- [0176] 즉, 기판(SUB)의 표시 영역(DIA)에 위치하는 복수의 박막 트랜지스터들 중 포토리소그래피 공정 오차에 따라 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 박막 트랜지스터 대비 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성이 향상되는 것을 고려하여, 제1 영역(AR1)의 제1 컨택홀(CNT1)이 제1 액티브 패턴(A1)과 비중첩하는 반면 제2 영역(AR2)의 제2 컨택홀(CNT2)이 제1 액티브 패턴(A1)과 중첩함으로써, 제2 영역(AR2)에 위치

하는 박막 트랜지스터의 트랜지스터 특성을 저하시켰기 때문에, 기관(SUB)의 표시 영역(DIA) 전체에 걸쳐서 위치하는 복수의 박막 트랜지스터들 간의 트랜지스터 특성 차이가 최소화되어 복수의 박막 트랜지스터에 연결된 복수의 유기 발광 소자의 휘도 차이가 최소화된다. 이로 인해, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.

- [0177] 요컨대, 의도하지 않게 기관(SUB) 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자들(OLED) 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0178] 이하, 도 14 및 도 15를 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.
- [0179] 도 14는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다. 도 15는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
- [0180] 도 14에 도시된 바와 같이, 제1 화소(PX1)의 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)의 일부는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩한다.
- [0181] 도 15에 도시된 바와 같이, 제2 화소(PX2)의 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 완전히 중첩한다.
- [0182] 한편, 본 발명의 다른 실시예에서, 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)의 제1 채널(C1)과 부분적으로 중첩할 수 있다.
- [0183] 즉, 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 제1 화소 회로(PC1)의 제1 컨택홀(CNT1) 대비 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 더 넓은 면적으로 중첩하고 있다.
- [0184] 이상과 같이, 본 발명의 다른 실시예에서, 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소(PX2)의 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)은 제1 영역(AR1)에 위치하는 제1 화소(PX1)의 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)과 다르게 제1 액티브 패턴(A1)의 제1 채널(C1)과 더 넓은 면적으로 중첩한다.
- [0185] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 공정 오차에 의해 표시 영역(DIA)의 제2 영역(AR2)에 위치하는 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 구동 범위가 제1 영역(AR1)에 위치하는 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1)의 구동 범위 대비 저하되나, 제1 화소 회로(PC1)의 제1 컨택홀(CNT1)이 제1 액티브 패턴(A1)과 좁은 면적으로 중첩하고 제2 화소 회로(PC2)의 제2 컨택홀(CNT2)이 제1 액티브 패턴(A1)과 넓은 면적으로 중첩함으로써, 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1)의 트랜지스터 특성이 저하되어 제1 박막 트랜지스터(T1)의 구동 범위가 상승하기 때문에, 제1 화소 회로(PC1)의 제1 박막 트랜지스터(T1) 및 제2 화소 회로(PC2)의 제1 박막 트랜지스터(T1) 각각의 트랜지스터 특성 차이가 최소화된다.
- [0186] 즉, 기관(SUB)의 표시 영역(DIA)에 위치하는 복수의 박막 트랜지스터들 중 포토리소그래피 공정 오차에 따라 표시 영역(DIA)의 제1 영역(AR1)에 위치하는 박막 트랜지스터 대비 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성이 향상되는 것을 고려하여, 제1 영역(AR1)의 제1 컨택홀(CNT1)이 제1 액티브 패턴(A1)과 좁은 면적으로 중첩하는 반면 제2 영역(AR2)의 제2 컨택홀(CNT2)이 제1 액티브 패턴(A1)과 넓은 면적으로 중첩함으로써, 제2 영역(AR2)에 위치하는 박막 트랜지스터의 트랜지스터 특성을 저하시켰기 때문에, 기관(SUB)의 표시 영역(DIA) 전체에 걸쳐서 위치하는 복수의 박막 트랜지스터들 간의 트랜지스터 특성 차이가 최소화되어 복수의 박막 트랜지스터에 연결된 복수의 유기 발광 소자의 휘도 차이가 최소화된다. 이로 인해, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.
- [0187] 요컨대, 의도하지 않게 기관(SUB) 전체에 걸쳐서 복수의 박막 트랜지스터들 각각의 액티브 패턴의 너비에 차이가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자들(OLED) 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0188] 본 발명을 앞서 기재한 바에 따라 여러 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

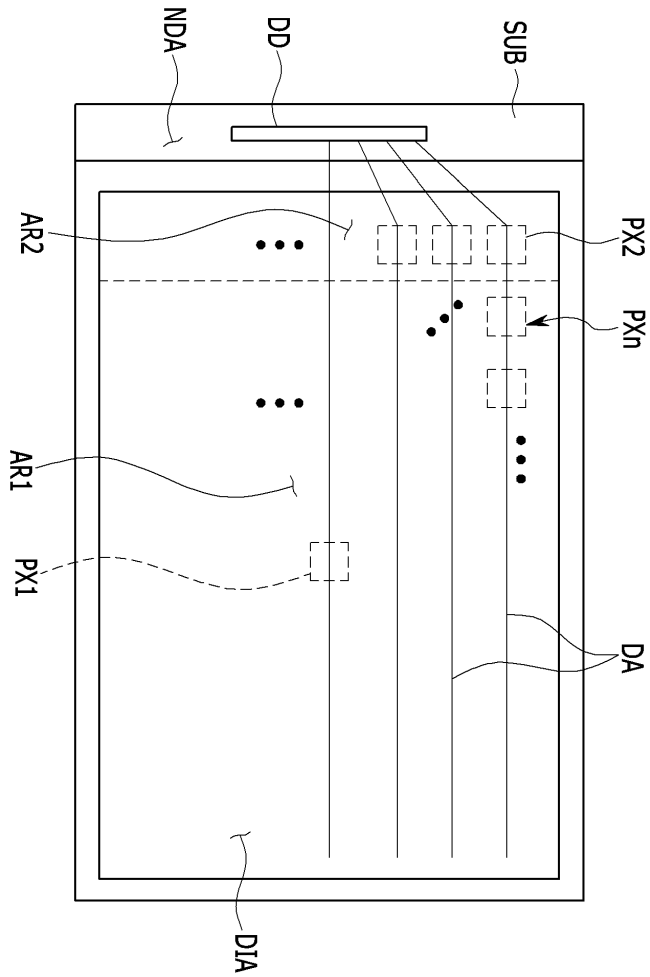
부호의 설명

- [0189] 기관(SUB), 유기 발광 소자(OLED), 컨택홀(CNT), 노드 라인(GB), 제1 화소 회로(PC1), 제2 화소 회로(PC2), 표

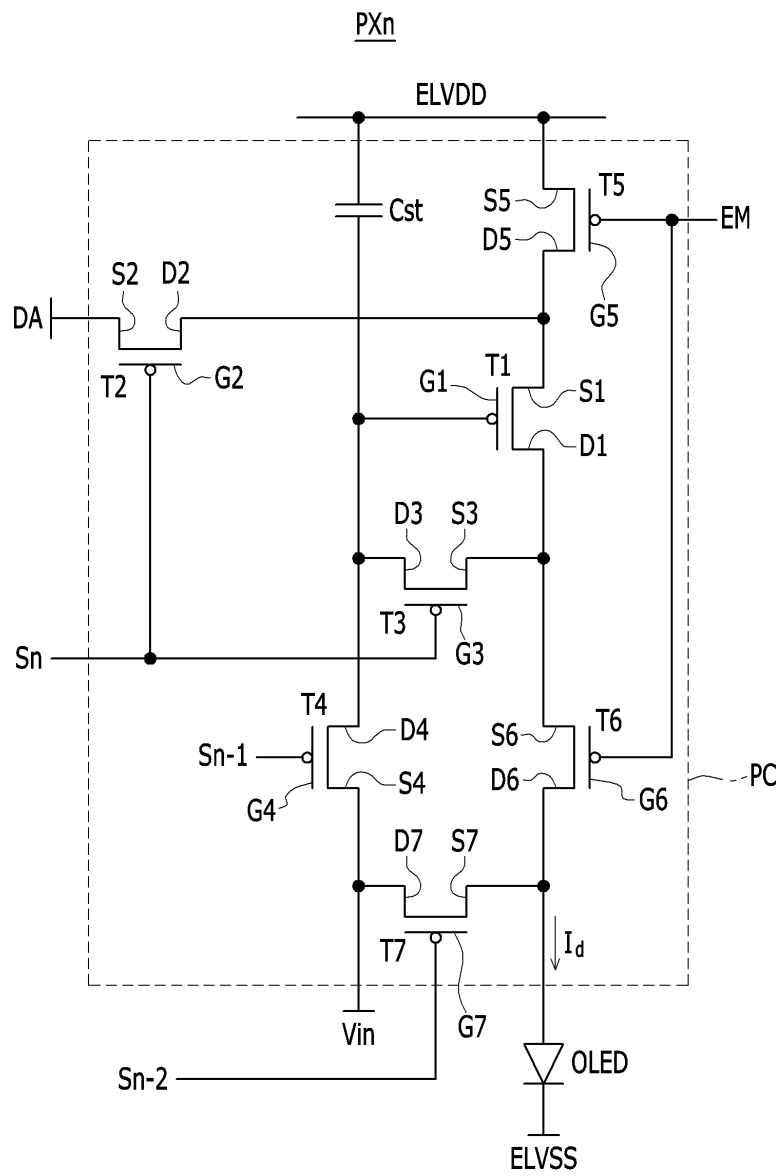
시 영역(DIA), 제1 영역(AR1), 제2 영역(AR2)

도면

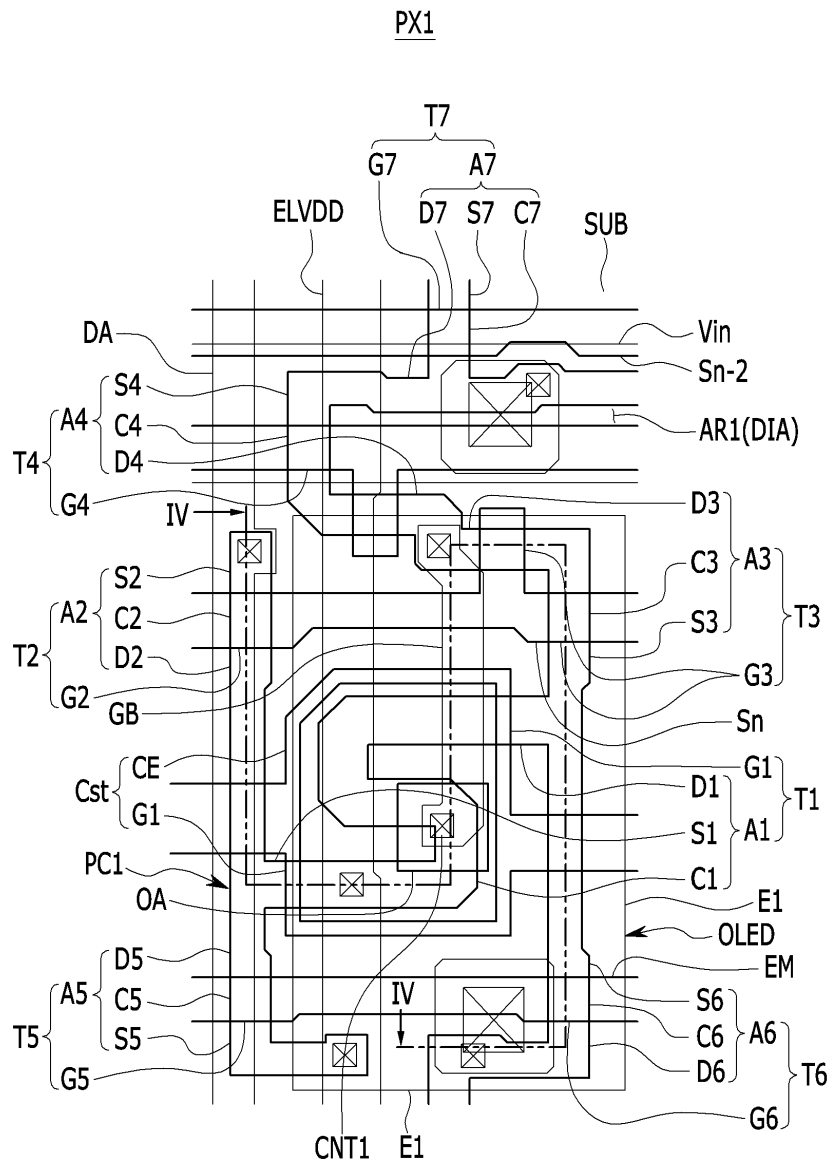
도면1



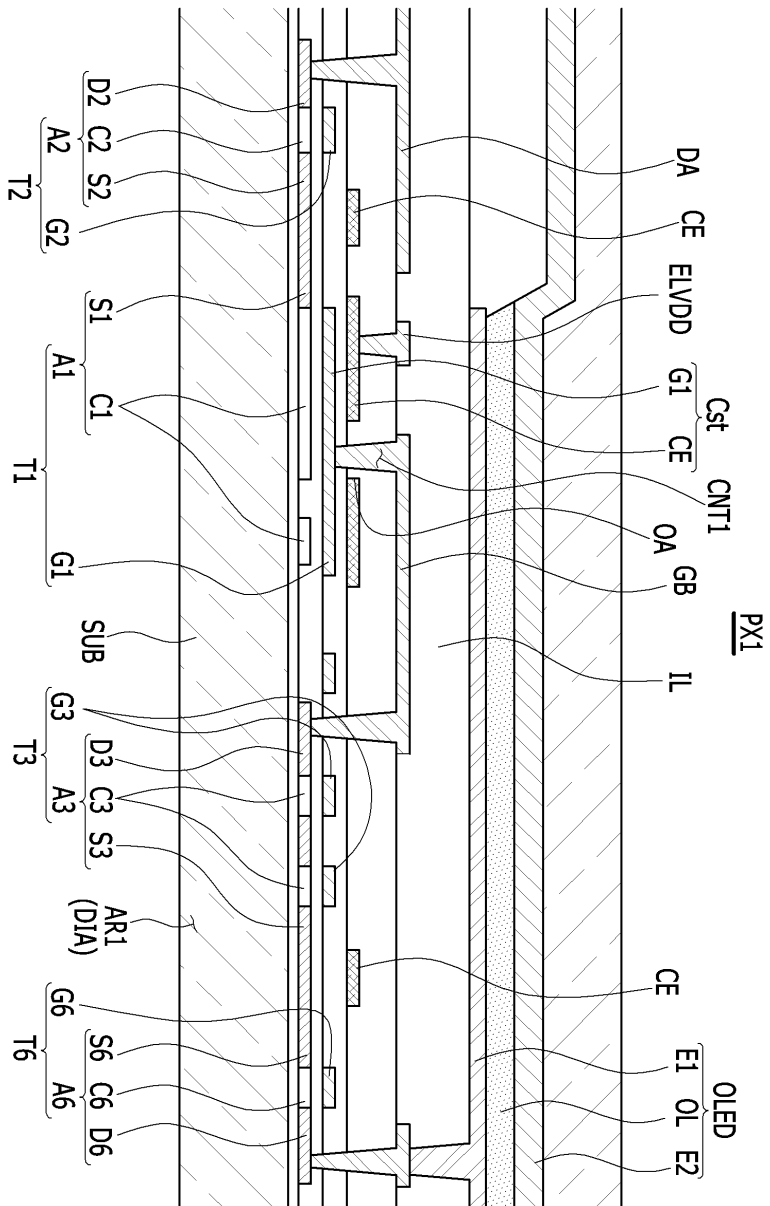
도면2



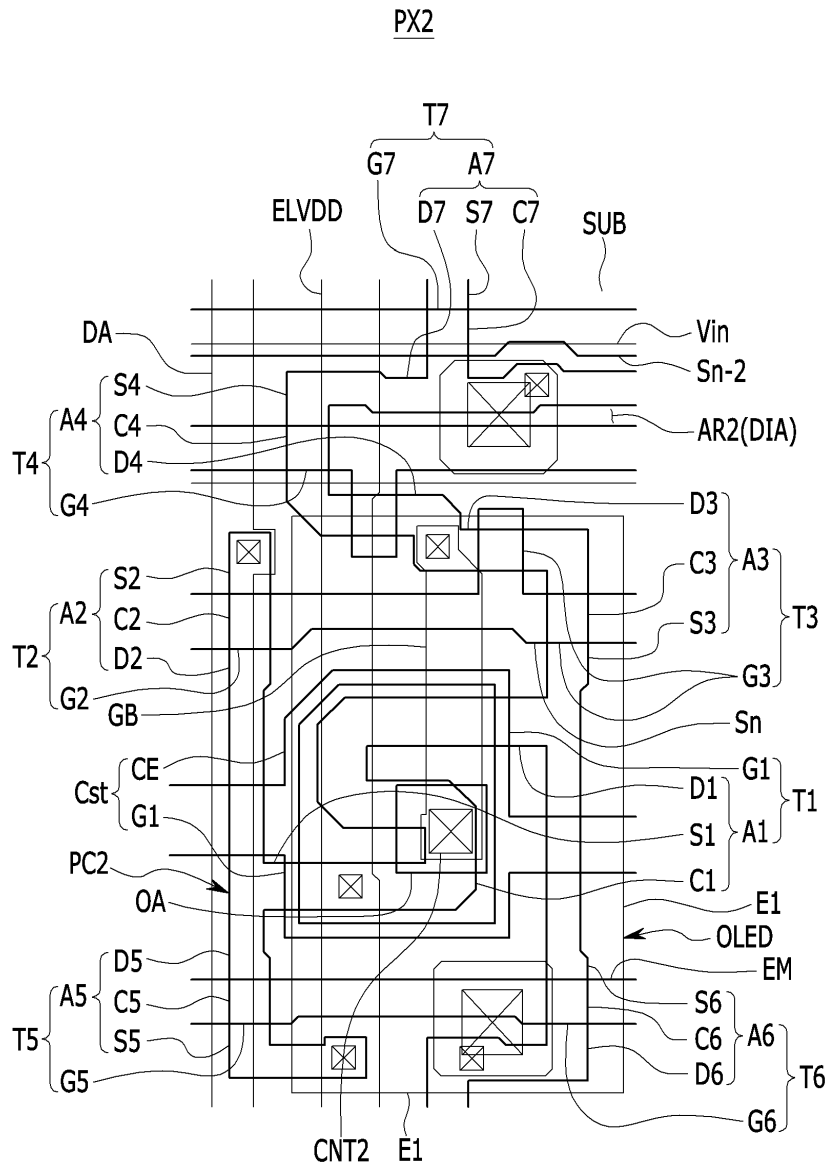
도면3



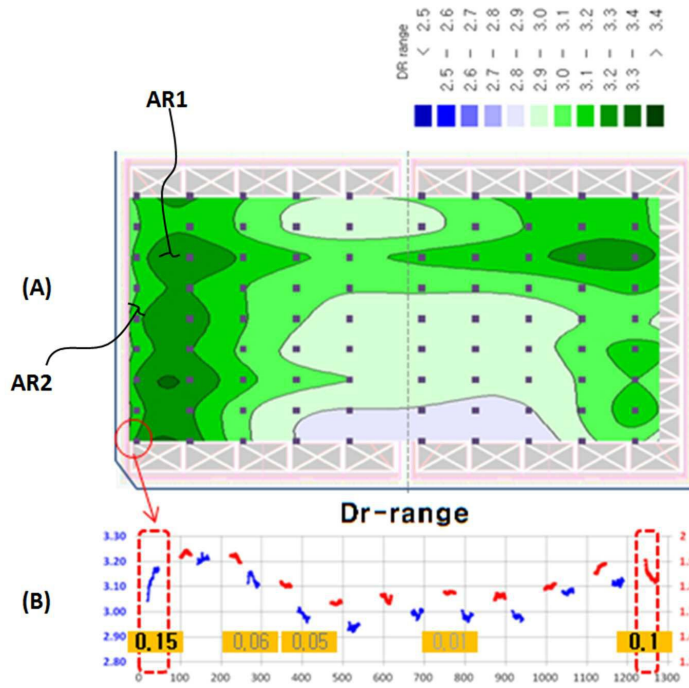
도면4



도면5



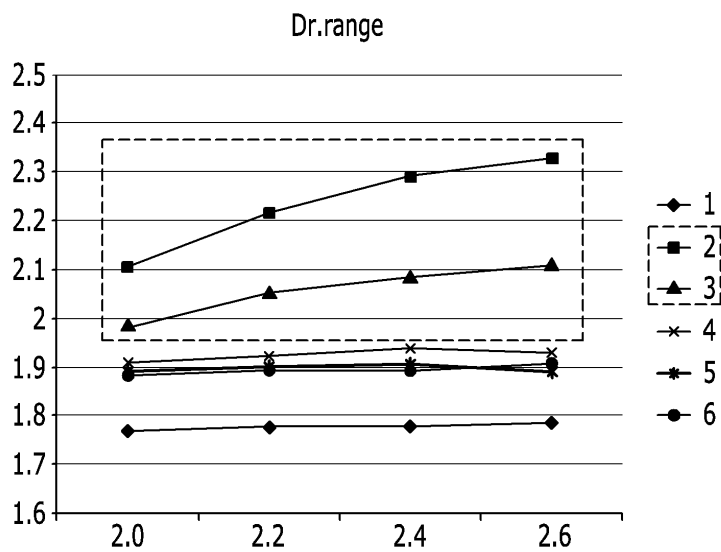
도면6



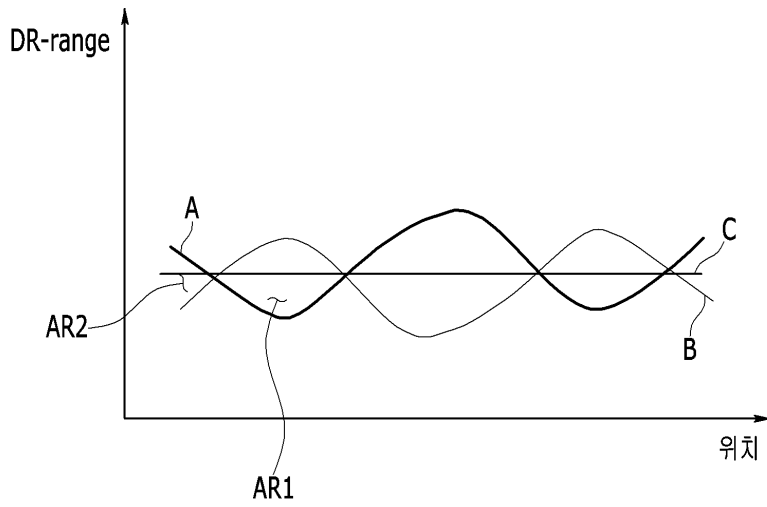
도면7

SPLIT	1번	2번	3번	4번	5번	6번
CNT Hole위치						
CNT Hole 크기	CNT hole size : 1.8 / 2.0 / 2.2 / 2.4 / 2.6 um					

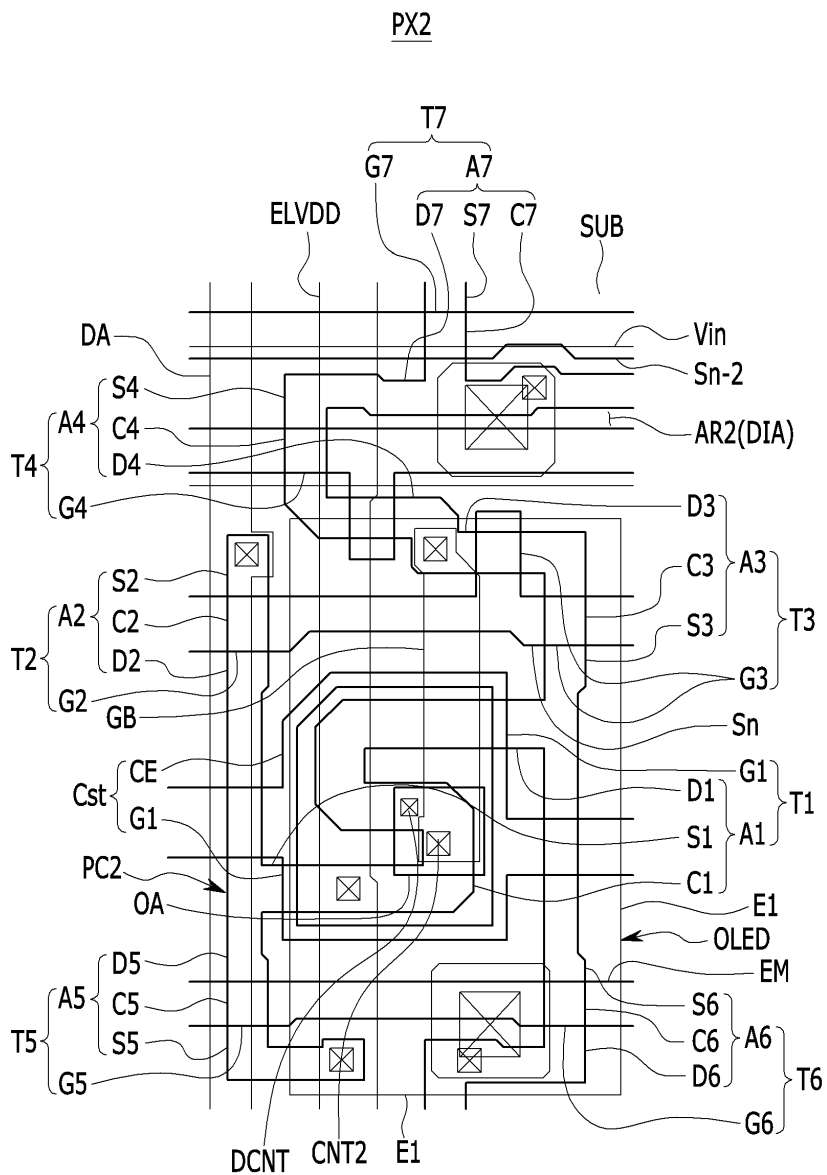
도면8



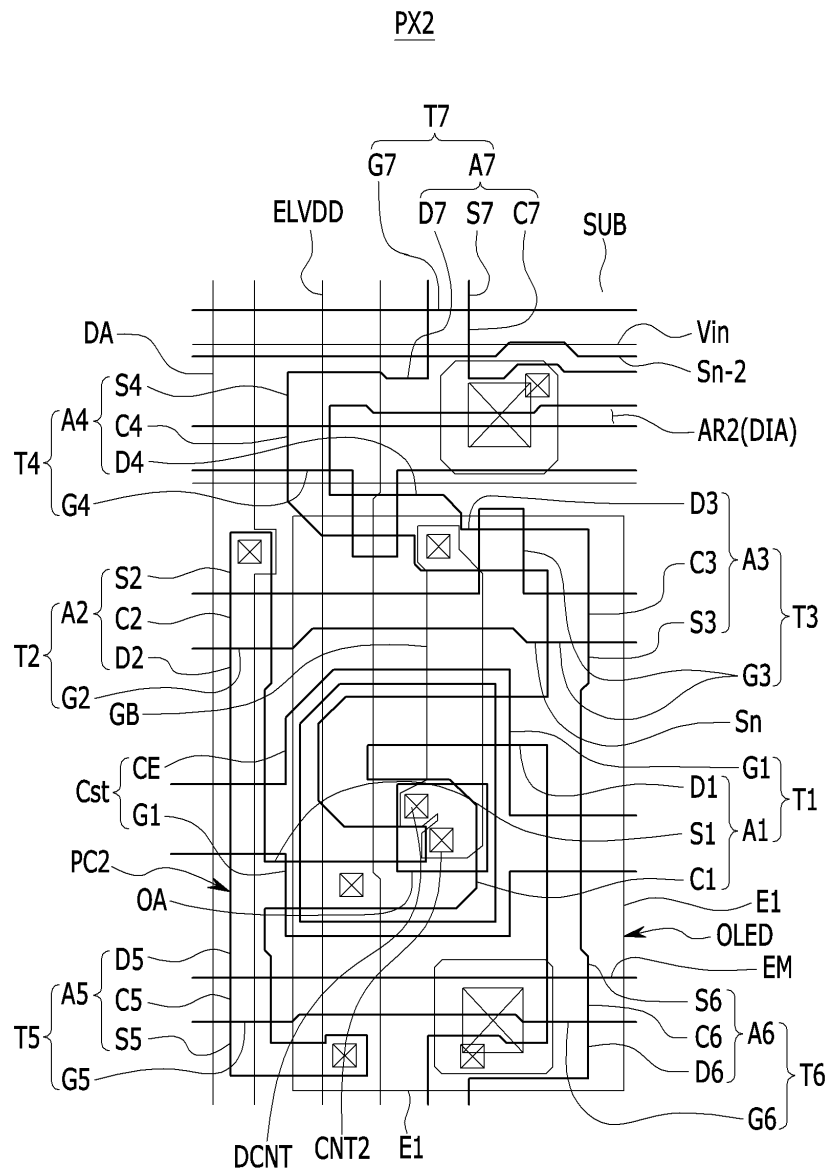
도면9



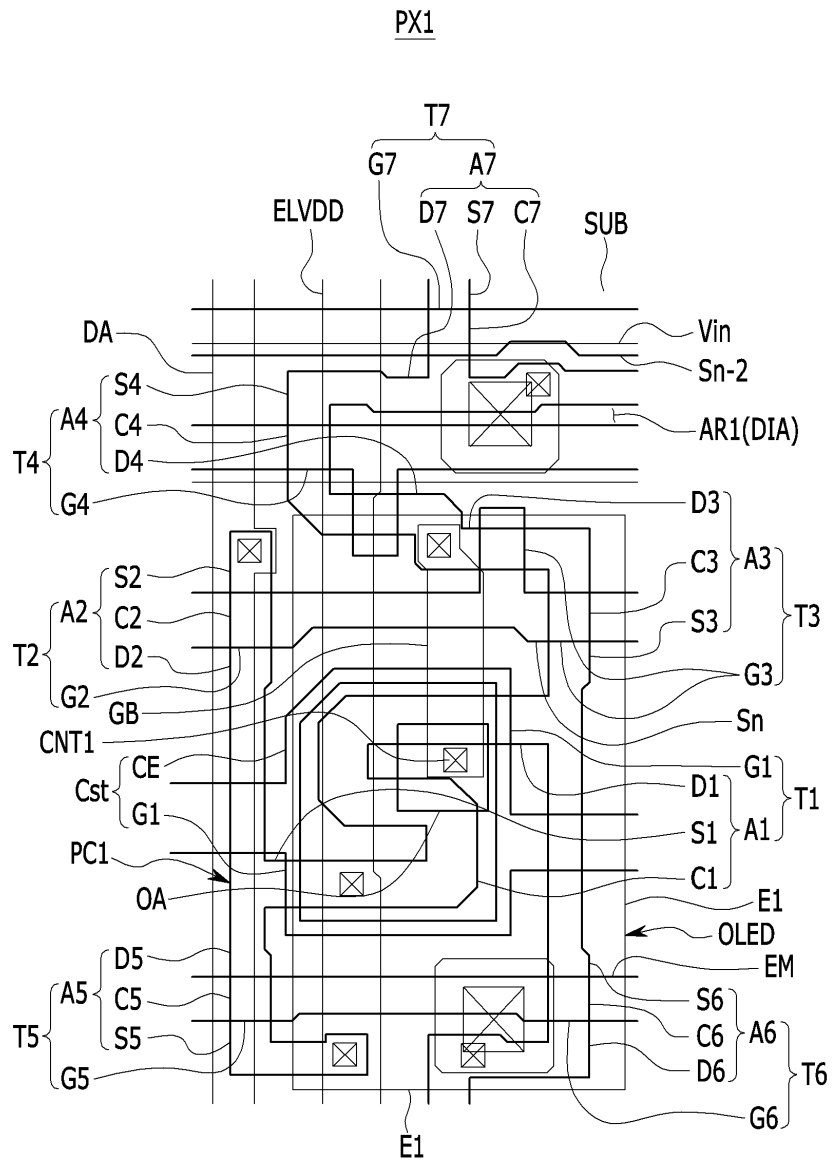
도면10



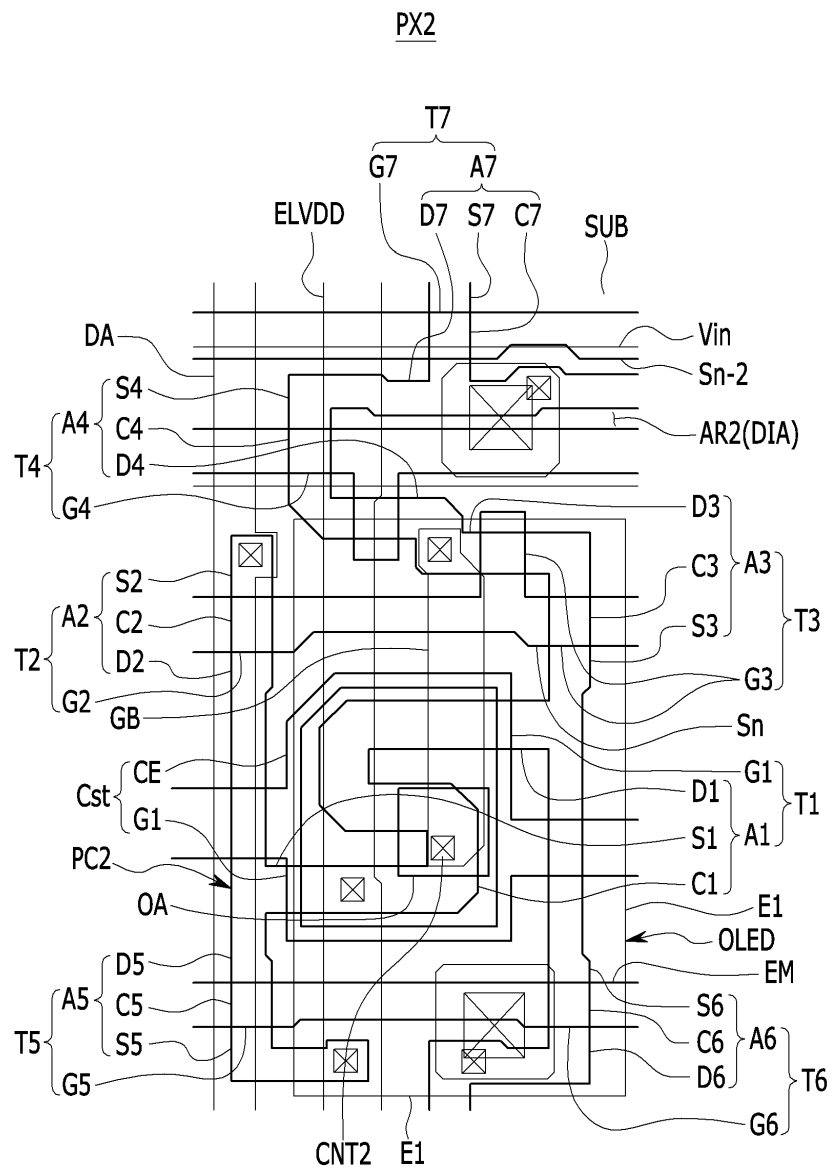
도면11



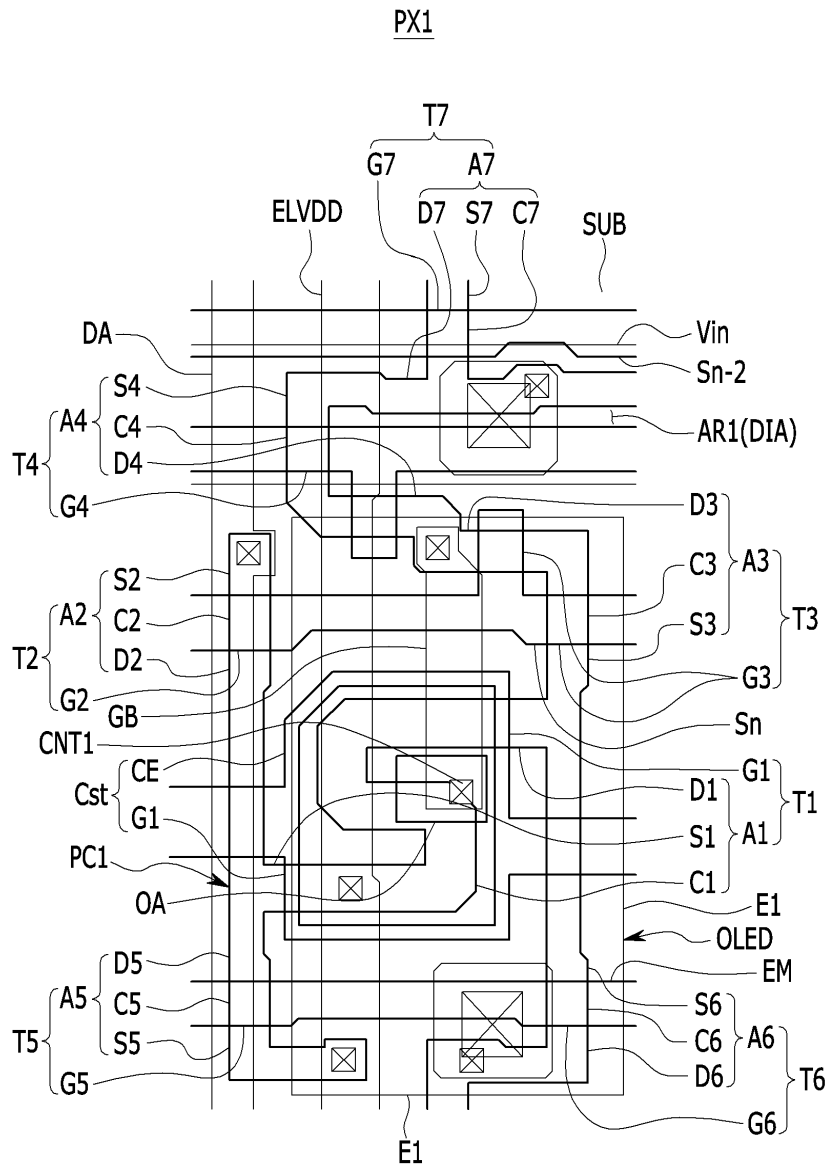
도면12



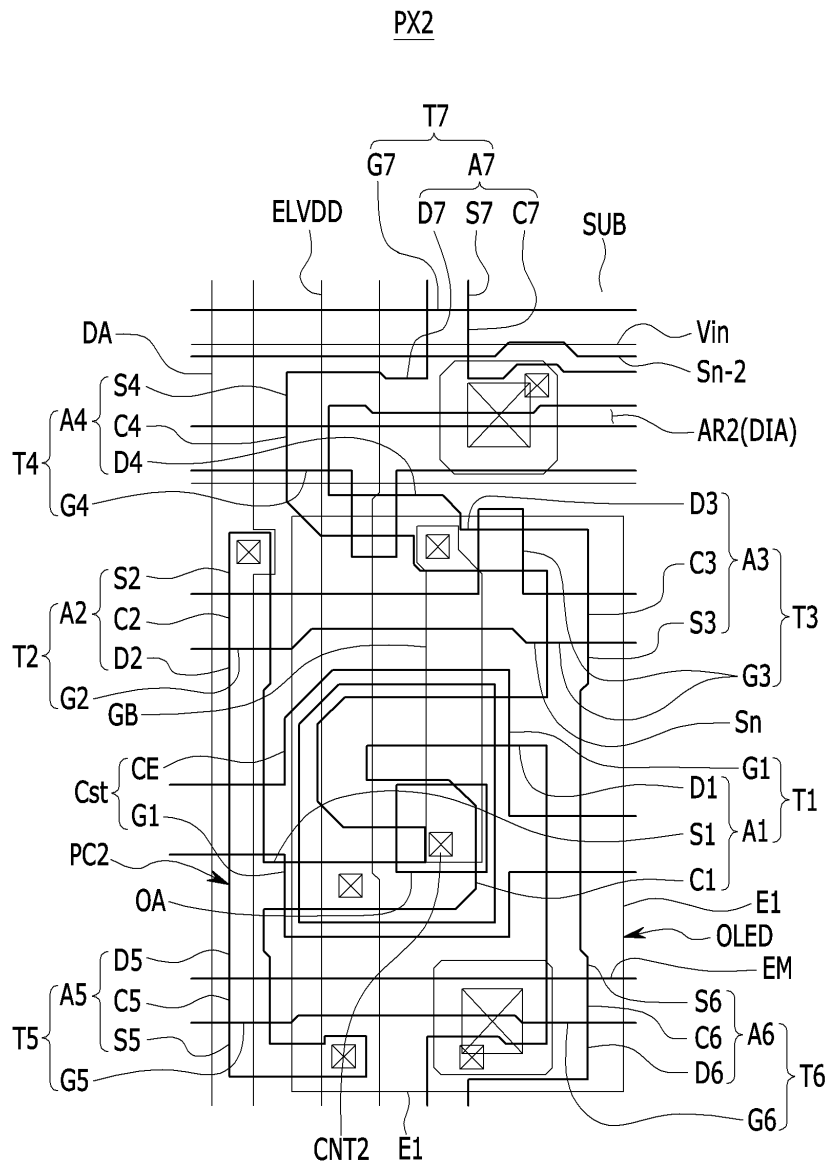
도면13



도면14



도면15



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170005338A	公开(公告)日	2017-01-12
申请号	KR1020150095347	申请日	2015-07-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DEOK HOI 김덕희 KO GUN WOO 고건우		
发明人	김덕희 고건우		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3246 H01L27/3262 H01L27/3248 H01L27/3265 H01L2227/32 G09G3/3233 G09G3/3258 G09G3/3275 G09G2300/0426 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0626 H01L27/3258		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括并且不同于第二像素电路的接触孔，其中位于多个像素电路中的显示区域的第一区域中的第一像素电路的接触孔位于第二部分中显示区域包括包括指示图像的显示区域的基板的多个像素电路，位于基板的显示区域的表面上的多个有机发光装置，每个有机发光装置彼此分离，以及多个薄膜在每个晶体管中，每个晶体管连接到多个有机发光器件，它位于基板的显示区域的表面上，并且节点线通过接触孔连接在任何一个和另一个之间的多个薄膜晶体管之间。

