

(52) CPC특허분류

H01L 2227/32 (2013.01)

(72) 발명자

이일정

경기도 용인시 기흥구 삼성2로 95 (농서동)

이지선

경기도 용인시 기흥구 삼성2로 95 (농서동)

지특명

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

기관;

초기화 전압을 전달하는 초기화 전압선;

상기 기관 상에 배치되고, 소스 영역, 채널 영역, 및 드레인 영역을 포함하는 액티브 층, 상기 채널 영역 상의 게이트 전극, 및 상기 게이트 전극 상에 배치되고, 상기 채널 영역과 상기 드레인 영역의 경계를 덮는 보조 게이트 전극을 포함하는 제1 박막 트랜지스터; 및

상기 보조 게이트 전극 상에 배치되고, 상기 초기화 전압선 및 상기 보조 게이트 전극에 연결되는 전압 인가 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 보조 게이트 전극은 상기 채널 영역과 상기 소스 영역의 경계를 덮지 않는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제1 박막 트랜지스터는 p형 트랜지스터이고, 상기 초기화 전압은 음의 직류 전압 레벨을 가지는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 액티브 층과 상기 게이트 전극 사이에서 상기 액티브 층과 상기 게이트 전극을 서로 절연하는 제1 게이트 절연막;

상기 게이트 전극과 상기 보조 게이트 전극 사이에서 상기 게이트 전극과 상기 보조 게이트 전극을 서로 절연하는 제2 게이트 절연막; 및

상기 보조 게이트 전극과 상기 전압 인가 전극 사이에 배치되고, 상기 보조 게이트 전극과 상기 전압 인가 전극을 서로 연결하는 제1 콘택 플러그가 관통하는 층간 절연막을 더 포함하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

스캔 신호를 전달하는 스캔선;

상기 스캔선과 교차하고, 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선;

상기 스캔선 및 상기 데이터선과 연결되는 스위칭 박막 트랜지스터;

상기 스위칭 박막 트랜지스터의 드레인에 연결되는 소스, 상기 제1 박막 트랜지스터의 상기 소스 영역에 연결되는 게이트, 및 상기 제1 박막 트랜지스터의 상기 드레인 영역에 연결되는 드레인을 갖는 구동 박막 트랜지스터; 및

상기 구동 박막 트랜지스터의 게이트에 연결되는 하부 전극, 및 상기 구동 전압선에 연결되는 상부 전극을 포함하는 스토리지 커패시터를 더 포함하는 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 구동 박막 트랜지스터는 상기 제1 게이트 절연막과 상기 제2 게이트 절연막 사이에 배치되고 상기 구동 박막 트랜지스터의 게이트 및 상기 스토리지 커패시터의 하부 전극으로 기능하는 구동 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 7

제5 항에 있어서,

상기 하부 전극은 상기 제1 게이트 절연막과 상기 제2 게이트 절연막 사이에 배치되고, 상기 상부 전극은 상기 제2 게이트 절연막과 상기 층간 절연막 사이에 배치되는 유기 발광 표시 장치.

청구항 8

제5 항에 있어서,

상기 제1 박막 트랜지스터의 상기 게이트 전극은 상기 스캔선에 연결되고,

상기 제1 박막 트랜지스터는 상기 스캔 신호에 의해 턴 온되어 상기 구동 박막 트랜지스터의 문턱 전압을 보상하도록 구성되는 유기 발광 표시 장치.

청구항 9

제5 항에 있어서,

이전 스캔선을 통해 전달되는 이전 스캔 신호에 의해 턴 온되어 상기 초기화 전압을 상기 구동 박막 트랜지스터의 게이트에 전달하는 초기화 박막 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 10

제5 항에 있어서,

상기 구동 박막 트랜지스터의 드레인에 연결되고, 상기 구동 박막 트랜지스터로부터 출력되는 구동 전류에 의해 발광하는 유기 발광 다이오드;

발광 제어선을 통해 전달되는 발광 제어 신호에 의해 턴 온되어 상기 구동 전압을 상기 구동 박막 트랜지스터로 전달하는 동작 제어 박막 트랜지스터; 및

상기 발광 제어 신호에 의해 턴 온되어 상기 구동 전류를 상기 구동 트랜지스터로부터 상기 유기 발광 다이오드로 전달하는 발광 제어 박막 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

바이패스 제어선을 통해 전달되는 바이패스 제어 신호에 의해 턴 온되어 상기 초기화 전압을 상기 유기 발광 다이오드의 애노드에 전달하는 바이패스 박막 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 12

제5 항에 있어서,

상기 초기화 전압선은 상기 스캔선과 교차하고, 상기 데이터선 및 상기 구동 전압선과 동일 층에 배치되는 유기 발광 표시 장치.

청구항 13

기관;

상기 기관 상에 배치되고, 소스 영역, 채널 영역, 및 드레인 영역을 포함하는 액티브 층;

상기 채널 영역 상의 게이트 전극;

상기 게이트 전극 상에 배치되고, 상기 채널 영역과 상기 드레인 영역의 경계를 덮는 보조 게이트 전극; 및
상기 보조 게이트 전극 상에 배치되고, 초기화 전압이 인가되며, 상기 보조 게이트 전극에 연결되는 전압 인가 전극을 포함하는 박막 트랜지스터 기판.

청구항 14

제13 항에 있어서,

상기 액티브 층과 상기 게이트 전극 사이에서 상기 액티브 층과 상기 게이트 전극을 서로 절연하는 제1 게이트 절연막;

상기 게이트 전극과 상기 보조 게이트 전극 사이에서 상기 게이트 전극과 상기 보조 게이트 전극을 서로 절연하는 제2 게이트 절연막; 및

상기 보조 게이트 전극과 상기 전압 인가 전극 사이에 배치되고, 상기 보조 게이트 전극과 상기 전압 인가 전극을 서로 연결하는 제1 콘택 플러그가 관통하는 층간 절연막을 더 포함하는 박막 트랜지스터 기판.

청구항 15

제14 항에 있어서,

상기 층간 절연막 상에 배치되고, 상기 제1 및 제2 게이트 절연막들 및 상기 층간 절연막을 관통하는 제2 콘택 플러그를 통해 상기 소스 영역에 연결되는 소스 전극; 및

상기 층간 절연막 상에 배치되고, 상기 제1 및 제2 게이트 절연막들 및 상기 층간 절연막을 관통하는 제3 콘택 플러그를 통해 상기 드레인 영역에 연결되는 드레인 전극을 더 포함하고,

상기 소스 전극, 상기 드레인 전극 및 상기 전압 인가 전극은 동일 물질로 이루어지는 박막 트랜지스터 기판.

청구항 16

제13 항에 있어서,

상기 보조 게이트 전극은 상기 채널 영역과 상기 소스 영역의 경계를 덮지 않는 박막 트랜지스터 기판.

청구항 17

제13 항에 있어서,

상기 초기화 전압은 음의 직류 전압 레벨을 가지며,

상기 소스 영역 및 상기 드레인 영역은 p형 불순물을 포함하는 박막 트랜지스터 기판.

청구항 18

기판;

스캔 신호를 전달하는 스캔선;

초기화 전압을 전달하는 초기화 전압선;

데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선;

상기 스캔선 및 상기 데이터선과 연결되는 스위칭 박막 트랜지스터;

상기 스위칭 박막 트랜지스터에 연결되는 구동 박막 트랜지스터;

상기 스캔 신호에 의해 턴 온되어 상기 구동 트랜지스터의 문턱 전압을 보상하도록 상기 구동 트랜지스터의 게이트와 드레인 사이에 연결되는 보상 박막 트랜지스터; 및

상기 구동 박막 트랜지스터에 연결되는 유기 발광 다이오드를 포함하며,

상기 보상 박막 트랜지스터는,

상기 기판 상에 배치되고, 소스 영역, 채널 영역, 및 드레인 영역을 포함하는 액티브 층;

상기 채널 영역 상의 게이트 전극; 및

상기 게이트 전극 상에 배치되고, 상기 채널 영역과 상기 드레인 영역의 경계를 덮으며, 상기 초기화 전압선에 연결되는 보조 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 19

제18 항에 있어서,

상기 액티브 층과 상기 게이트 전극 사이에서 상기 액티브 층과 상기 게이트 전극을 서로 절연하는 제1 게이트 절연막;

상기 게이트 전극과 상기 보조 게이트 전극 사이에서 상기 게이트 전극과 상기 보조 게이트 전극을 서로 절연하는 제2 게이트 절연막; 및

상기 보조 게이트 전극과 상기 전압 인가 전극 사이에 배치되고, 상기 보조 게이트 전극과 상기 전압 인가 전극을 서로 연결하는 제1 콘택 플러그가 관통하는 층간 절연막을 더 포함하는 유기 발광 표시 장치.

청구항 20

제19 항에 있어서,

상기 제1 게이트 절연막과 상기 제2 게이트 절연막 사이에 배치되고 상기 구동 박막 트랜지스터의 게이트로 기능하는 하부 전극, 및 상기 제2 게이트 절연막과 상기 층간 절연막 사이에 배치되는 상부 전극을 포함하는 스토리지 커패시터를 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 기관 및 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수의 화소들을 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수의 박막 트랜지스터들 및 적어도 하나의 커패시터가 포함된다. 복수의 박막 트랜지스터는 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다.

[0004] 스위칭 트랜지스터가 오프 상태일 때 누설(leakage)되는 오프 누설 전류(Off leakage current)가 존재할 경우, 블랙을 표시해야 할 유기 발광 다이오드가 미세하게 발광하는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들이 해결하고자 하는 과제는 오프 누설 전류가 감소된 박막 트랜지스터를 포함하는 박막 트랜지스터 기관, 및 이를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 유기 발광 표시 장치는 기관, 초기화 전압선, 제1 박막 트랜지스터, 전압 인가 전극을 포함한다. 초기화 전압선은 초기화 전압을 전달한다. 제1 박막 트랜지스터는 상기 기관 상에 배치되고, 소스 영역, 채널 영역, 및 드레인 영역을 포함하는 액티브 층, 상기 채널 영역 상의 게이트 전극, 및 상기 게이트 전극 상에 배치되고, 상기 채널 영역과 상기 드레인 영역의 경계를 덮는 보조 게이트 전극을 포함한다. 상기 전압 인가 전극은 상기 보조 게이트 전극 상에 배치되고, 상기 초기화 전압선 및 상기 보조 게이트 전극에 연결되는 전압 인가 전극을 포함한다.

- [0007] 상기 보조 게이트 전극은 상기 채널 영역과 상기 소스 영역의 경계를 덮지 않을 수 있다.
- [0008] 상기 제1 박막 트랜지스터는 p형 트랜지스터이고, 상기 초기화 전압은 음의 직류 전압 레벨을 가질 수 있다.
- [0009] 상기 유기 발광 표시 장치는 상기 액티브 층과 상기 게이트 전극 사이에서 상기 액티브 층과 상기 게이트 전극을 서로 절연하는 제1 게이트 절연막, 상기 게이트 전극과 상기 보조 게이트 전극 사이에서 상기 게이트 전극과 상기 보조 게이트 전극을 서로 절연하는 제2 게이트 절연막, 및 상기 보조 게이트 전극과 상기 전압 인가 전극 사이에 배치되고, 상기 보조 게이트 전극과 상기 전압 인가 전극을 서로 연결하는 제1 콘택 플러그가 관통하는 층간 절연막을 더 포함할 수 있다.
- [0010] 상기 유기 발광 표시 장치는 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하고, 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터의 드레인에 연결되는 소스, 상기 제1 박막 트랜지스터의 상기 소스 영역에 연결되는 게이트, 및 상기 제1 박막 트랜지스터의 상기 드레인 영역에 연결되는 드레인을 갖는 구동 박막 트랜지스터, 및 상기 구동 박막 트랜지스터의 게이트에 연결되는 하부 전극, 및 상기 구동 전압선에 연결되는 상부 전극을 포함하는 스토리지 커패시터를 더 포함할 수 있다.
- [0011] 상기 구동 박막 트랜지스터는 상기 제1 게이트 절연막과 상기 제2 게이트 절연막 사이에 배치되고 상기 구동 박막 트랜지스터의 게이트 및 상기 스토리지 커패시터의 하부 전극으로 기능하는 구동 게이트 전극을 포함할 수 있다.
- [0012] 상기 하부 전극은 상기 제1 게이트 절연막과 상기 제2 게이트 절연막 사이에 배치되고, 상기 상부 전극은 상기 제2 게이트 절연막과 상기 층간 절연막 사이에 배치될 수 있다.
- [0013] 상기 제1 박막 트랜지스터의 상기 게이트 전극은 상기 스캔선에 연결될 수 있다. 상기 제1 박막 트랜지스터는 상기 스캔 신호에 의해 턴 온되어 상기 구동 박막 트랜지스터의 문턱 전압을 보상하도록 구성될 수 있다.
- [0014] 상기 유기 발광 표시 장치는 이전 스캔선을 통해 전달되는 이전 스캔 신호에 의해 턴 온되어 상기 초기화 전압을 상기 구동 박막 트랜지스터의 게이트에 전달하는 초기화 박막 트랜지스터를 더 포함할 수 있다.
- [0015] 상기 유기 발광 표시 장치는 상기 구동 박막 트랜지스터의 드레인에 연결되고, 상기 구동 박막 트랜지스터로부터 출력되는 구동 전류에 의해 발광하는 유기 발광 다이오드, 발광 제어선을 통해 전달되는 발광 제어 신호에 의해 턴 온되어 상기 구동 전압을 상기 구동 박막 트랜지스터로 전달하는 동작 제어 박막 트랜지스터, 및 상기 발광 제어 신호에 의해 턴 온되어 상기 구동 전류를 상기 구동 트랜지스터로부터 상기 유기 발광 다이오드로 전달하는 발광 제어 박막 트랜지스터를 더 포함할 수 있다.
- [0016] 상기 유기 발광 표시 장치는 바이패스 제어선을 통해 전달되는 바이패스 제어 신호에 의해 턴 온되어 상기 초기화 전압을 상기 유기 발광 다이오드의 애노드에 전달하는 바이패스 박막 트랜지스터를 더 포함할 수 있다.
- [0017] 상기 초기화 전압선은 상기 스캔선과 교차하고, 상기 데이터선 및 상기 구동 전압선과 동일 층에 배치될 수 있다.
- [0018] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 박막 트랜지스터 기판은 기판, 상기 기판 상에 배치되고, 소스 영역, 채널 영역, 및 드레인 영역을 포함하는 액티브 층, 상기 채널 영역 상의 게이트 전극, 상기 게이트 전극 상에 배치되고, 상기 채널 영역과 상기 드레인 영역의 경계를 덮는 보조 게이트 전극, 및 상기 보조 게이트 전극 상에 배치되고, 초기화 전압이 인가되며, 상기 보조 게이트 전극에 연결되는 전압 인가 전극을 포함한다.
- [0019] 상기 박막 트랜지스터 기판은 상기 액티브 층과 상기 게이트 전극 사이에서 상기 액티브 층과 상기 게이트 전극을 서로 절연하는 제1 게이트 절연막, 상기 게이트 전극과 상기 보조 게이트 전극 사이에서 상기 게이트 전극과 상기 보조 게이트 전극을 서로 절연하는 제2 게이트 절연막, 및 상기 보조 게이트 전극과 상기 전압 인가 전극 사이에 배치되고, 상기 보조 게이트 전극과 상기 전압 인가 전극을 서로 연결하는 제1 콘택 플러그가 관통하는 층간 절연막을 더 포함할 수 있다.
- [0020] 상기 박막 트랜지스터 기판은 상기 층간 절연막 상에 배치되고, 상기 제1 및 제2 게이트 절연막들 및 상기 층간 절연막을 관통하는 제2 콘택 플러그를 통해 상기 소스 영역에 연결되는 소스 전극, 및 상기 층간 절연막 상에 배치되고, 상기 제1 및 제2 게이트 절연막들 및 상기 층간 절연막을 관통하는 제3 콘택 플러그를 통해 상기 드레인 영역에 연결되는 드레인 전극을 더 포함할 수 있다. 상기 소스 전극, 상기 드레인 전극 및 상기 전압 인가 전극은 동일 물질로 이루어질 수 있다.

- [0021] 상기 보조 게이트 전극은 상기 채널 영역과 상기 소스 영역의 경계를 덮지 않을 수 있다.
- [0022] 상기 초기화 전압은 음의 직류 전압 레벨을 가질 수 있다. 상기 소스 영역 및 상기 드레인 영역은 p형 불순물을 포함할 수 있다.
- [0023] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 유기 발광 표시 장치는 기관, 스캔 신호를 전달하는 스캔선, 초기화 전압을 전달하는 초기화 전압선, 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터에 연결되는 구동 박막 트랜지스터, 상기 스캔 신호에 의해 턴 온되어 상기 구동 트랜지스터의 문턱 전압을 보상하도록 상기 구동 트랜지스터의 게이트와 드레인 사이에 연결되는 보상 박막 트랜지스터, 및 상기 구동 박막 트랜지스터에 연결되는 유기 발광 다이오드를 포함한다. 상기 보상 박막 트랜지스터는, 상기 기관 상에 배치되고, 소스 영역, 채널 영역, 및 드레인 영역을 포함하는 액티브 층, 상기 채널 영역 상의 게이트 전극, 및 상기 게이트 전극 상에 배치되고, 상기 채널 영역과 상기 드레인 영역의 경계를 덮으며, 상기 초기화 전압선에 연결되는 보조 게이트 전극을 포함한다.
- [0024] 상기 유기 발광 표시 장치는 상기 액티브 층과 상기 게이트 전극 사이에서 상기 액티브 층과 상기 게이트 전극을 서로 절연하는 제1 게이트 절연막, 상기 게이트 전극과 상기 보조 게이트 전극 사이에서 상기 게이트 전극과 상기 보조 게이트 전극을 서로 절연하는 제2 게이트 절연막, 및 상기 보조 게이트 전극과 상기 전압 인가 전극 사이에 배치되고, 상기 보조 게이트 전극과 상기 전압 인가 전극을 서로 연결하는 제1 콘택 플러그가 관통하는 층간 절연막을 더 포함할 수 있다.
- [0025] 상기 유기 발광 표시 장치는 상기 제1 게이트 절연막과 상기 제2 게이트 절연막 사이에 배치되고 상기 구동 박막 트랜지스터의 게이트로 기능하는 하부 전극, 및 상기 제2 게이트 절연막과 상기 층간 절연막 사이에 배치되는 상부 전극을 포함하는 스토리지 커패시터를 더 포함할 수 있다.
- [0026] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0027] 본 발명의 다양한 실시예들에 따른 박막 트랜지스터 기관, 및 이를 포함하는 유기 발광 표시 장치에 의하면, 박막 트랜지스터는 오프 시에 누설되는 누설 전류가 작다. 따라서, 유기 발광 표시 장치의 표시 품질은 향상될 수 있다.

도면의 간단한 설명

- [0028] 도 1은 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도를 도시한다.
- 도 2는 박막 트랜지스터의 특성 그래프를 도시한다.
- 도 3은 종래의 박막 트랜지스터와 일 실시예에 따른 박막 트랜지스터의 전위 그래프를 도시한다.
- 도 4는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도를 도시한다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도를 도시한다.
- 도 6은 도 5의 유기 발광 표시 장치를 VI-VI'선을 따라 절취한 예시적인 단면도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0030] 이하의 실시예에서, 일 요소(elements) 또는 층이 다른 요소 또는 층의 "위(on)" 또는 "상(on)"에 배치되는 것으로 지칭되는 것은 다른 요소 또는 층의 바로 위뿐만 아니라 중간에 다른 요소 또는 층이 개재된 경우를 모두 포함한다. 반면, 요소가 다른 요소의 "직접 위(directly on)" 또는 "바로 위"에 배치되는 것으로 지칭되는 것은 중간에 다른 요소 또는 층이 개재되지 않은 것을 나타낸다. "및/또는"은 언급된 항목들의 각각 및 하나 이

상의 모든 조합을 포함한다.

- [0031] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들 간의 위치 관계를 용이하게 설명하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용 시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- [0032] 비록 제1, 제2 등의 용어가 다양한 요소들을 서술하기 위해서 사용되지만, 이 요소들은 이러한 용어에 의해 제한되지 않는다. 이러한 용어들은 단지 하나의 요소를 다른 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 요소는 본 발명의 기술적 사상 내에서 제2 요소일 수 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 포함하다 또는 가지다 등의 용어는 명세서 상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0033] 본 명세서에서 개시되는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0035] 도 1은 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도를 도시한다.
- [0036] 도 1을 참조하면, 박막 트랜지스터 기관(100)은 기관(10), 액티브 층(15), 게이트 전극(25), 보조 게이트 전극(35), 및 전압 인가 전극(45)을 포함한다. 액티브 층(15), 게이트 전극(25), 및 보조 게이트 전극(35)은 박막 트랜지스터(TFT)를 구성할 수 있다.
- [0037] 액티브 층(15)은 기관(10) 상에 배치되고, 소스 영역(SR), 채널 영역(CR), 및 드레인 영역(DR)을 포함한다. 게이트 전극(25)은 채널 영역(CR) 상에 배치된다. 보조 게이트 전극(35)은 게이트 전극(25) 상에 배치되고, 채널 영역(CR)과 드레인 영역(DR)의 경계를 덮는다. 전압 인가 전극(45)은 보조 게이트 전극(35) 상에 배치되고, 초기화 전압(Vint)이 인가되며, 보조 게이트 전극(35)에 연결된다.
- [0038] 기관(10)은 박막 트랜지스터 기관(100) 전체를 지지하고 강성을 유지시키는 역할을 한다. 기관(10)은 상면이 평탄하며 투명한 절연 물질로 이루어질 수 있다. 예를 들어 기관(10)은 유리(glass)로 이루어질 수 있다. 그러나, 본 발명은 이에 한정되지 않고 기관(10)은 예컨대, 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate)와 같은 플라스틱 재질로 이루어질 수도 있다. 한편, 기관(10)은 예컨대 금속, 탄소 섬유와 같은 불투명한 재질로 이루어질 수도 있으며, 플렉서블 표시 장치를 구현하기 위해 기관(10)은 예컨대 폴리이미드(PI) 필름과 같은 가요성 재질의 플라스틱으로 이루어질 수도 있다.
- [0039] 도시되지는 않았지만, 기관(10) 상에는 버퍼막이 배치될 수 있다. 버퍼막은 상면을 평활하게 하며 불순물의 침투를 차단한다. 버퍼막은 실리콘산화물(SiO_x) 및/또는 실리콘질화물(SiN_x) 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있으며, 다양한 증착 방법을 통해 형성할 수 있다.
- [0040] 액티브 층(15)은 기관(10) 상에 배치된다. 액티브 층(15)은 반도체 물질을 포함하며, 예컨대 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly crystalline silicon)을 포함할 수 있다. 그러나 본 발명은 이에 한정되지 않고, 액티브 층(15)이 예컨대, GIZO[(In₂O₃)_a(Ga₂O₃)_b(ZnO)_c](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)와 같은 산화물 반도체 물질을 포함할 수 있다. 액티브 층(15)은 GIZO 외에도 예를 들어, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 hafnium(Hf)과 같은 12, 13, 14 족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다.
- [0041] 액티브 층(15)은 소스 영역(SR) 및 드레인 영역(DR)과, 소스 영역(SR) 및 드레인 영역(DR) 사이에 위치하는 채널 영역(CR)을 포함한다. 활성층(102)이 비정질 실리콘 또는 다결정 실리콘을 포함하는 경우, 소스 영역(SR) 및 드레인 영역(DR)에는 불순물이 도핑될 수 있다. 일 예에 따라 박막 트랜지스터(TFT)가 p형 박막 트랜지스터

인 경우, 소스 영역(SR) 및 드레인 영역(DR)은 p형 불순물, 예컨대, 붕소, 알루미늄 등을 포함할 수 있다. 박막 트랜지스터(TFT)가 n형 박막 트랜지스터인 경우, 소스 영역(SR) 및 드레인 영역(DR)은 n형 불순물, 예컨대, 인, 비소 등을 포함할 수 있다. 본 명세서에서는 박막 트랜지스터(TFT)가 p형 트랜지스터인 것으로 가정하여 설명한다. 그러나, 본 발명이 이에 한정되지 않는다.

- [0042] 게이트 전극(25)은 소스 영역(SR) 상에 배치되어, 소스 영역(SR)을 한정한다. 게이트 전극(25)은 박막 트랜지스터(TFT)에 온/오프 신호를 인가하는 게이트 라인(미 도시)에 연결된다. 게이트 전극(25)은 저저항 금속 물질로 이루어질 수 있으며, 예컨대 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질로 이루어진 막을 다층 또는 단층으로 포함할 수 있다.
- [0043] 액티브 층(15)과 게이트 전극(25) 사이에서 액티브 층(15)과 게이트 전극(25)을 서로 절연하는 제1 게이트 절연막(20)이 배치될 수 있다. 제1 게이트 절연막(20)은 실리콘산화물(SiO_x) 및/또는 실리콘질화물(SiN_x) 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다.
- [0044] 제1 게이트 절연막(20) 및 게이트 전극(25) 상에 제2 게이트 절연막(30)이 배치될 수 있다. 제2 게이트 절연막(30)은 실리콘산화물(SiO_x) 및/또는 실리콘질화물(SiN_x) 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제2 게이트 절연막(30)은 게이트 전극(25)과 보조 게이트 전극(35)을 서로 절연할 수 있다.
- [0045] 보조 게이트 전극(35)은 제2 게이트 절연막(30) 상에 배치되고, 도 1에 도시된 바와 같이 채널 영역(CR)과 드레인 영역(DR)의 경계를 덮는다. 보조 게이트 전극(35)은 저저항 금속 물질로 이루어질 수 있으며, 예컨대 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질로 이루어진 막을 다층 또는 단층으로 포함할 수 있다.
- [0046] 제2 게이트 절연막(30) 및 보조 게이트 전극(35) 상에는 층간 절연막(40)이 배치된다. 층간 절연막(40)은 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 예컨대 무기 물질은 금속 산화물 또는 금속 질화물일 수 있으며, 구체적으로 무기 물질은 실리콘산화물(SiO_2), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), 하프늄산화물(HfO_2), 또는 아연산화물(ZrO_2) 등을 포함할 수 있다. 층간 절연막(40) 상에는 소스 전극(46) 및 드레인 전극(47)이 배치될 수 있으며, 층간 절연막(40)은 보조 게이트 전극(35)을 소스 전극(106a) 및 드레인 전극(106b)으로부터 절연할 수 있다.
- [0047] 전압 인가 전극(45)은 층간 절연막(40) 상에 배치된다. 전압 인가 전극(45)에는 예컨대, 초기화 전압선을 통해 초기화 전압(Vint)이 인가된다. 전압 인가 전극(45)은 층간 절연막(40)을 관통하는 제1 콘택 플러그(CP1)를 통해 보조 게이트 전극(35)에 연결된다. 예컨대, 전압 인가 전극(45)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다.
- [0048] 소스 전극(46) 및 드레인 전극(47)은 층간 절연막(40) 상에 배치될 수 있으며, 층간 절연막(40), 제2 게이트 절연막(30), 및 제1 게이트 절연막(20)을 관통하는 제2 콘택 플러그(CP2) 및 제3 콘택 플러그(CP3)를 통해 소스 영역(SR) 및 드레인 영역(DR)에 각각 연결된다. 전압 인가 전극(45), 소스 전극(46) 및 드레인 전극(47)은 서로 동일 물질로 동시에 형성될 수 있다.
- [0049] 초기화 전압(Vint)은 음의 직류 전압 레벨을 가질 수 있다. 초기화 전압(Vint)은 전압 인가 전극(45)을 통해 보조 게이트 전극(35)에 인가된다. 보조 게이트 전극(35)은 음의 직류 전압 레벨을 갖는 초기화 전압(Vint)이 인가되므로, 액티브 층(15)에, 특히, 채널 영역(CR)과 드레인 영역(DR)의 경계에 음의 전기장을 인가하게 된다. 보조 게이트 전극(35)과 액티브 층(15) 사이에는 제1 게이트 절연막(20)과 제2 게이트 절연막(30)이 배치되는데, 제1 게이트 절연막(20)과 제2 게이트 절연막(30)의 두께는 층간 절연막(40)의 두께보다 얇기 때문에, 보조 게이트 전극(35)의 전기장은 액티브 층(15)에 영향을 줄 수 있다. 제1 게이트 절연막(20)과 제2 게이트 절연막(30)의 두께의 합은 층간 절연막(40)의 두께보다 얇을 수 있다.
- [0050] 도 2는 박막 트랜지스터의 특성 그래프를 도시한다.
- [0051] 도 2를 참조하면, 박막 트랜지스터의 게이트-소스 전압에 대한 드레인-소스 전류가 도시된다. 도 2의 그래프는 p형 박막 트랜지스터에 대한 그래프이다. 그러나 본 발명이 이에 한정되는 것은 아니다.
- [0052] 박막 트랜지스터의 도전형이 p형이므로, 게이트-소스 전압이 작아질수록 드레인-소스 전류가 커진다. 게이트-소스 전압이 대략 0V이상인 경우, 드레인-소스 전류는 10^{-12} A미만으로 감소하면서, 박막 트랜지스터는 턴 오프된다. 드레인-소스 전압이 -0.1V인 경우에는 게이트-소스 전압이 상승하더라도 드레인-소스 전류가 증가하지 않

지만, 드레인-소스 전압이 -5.1V인 경우에는 게이트-소스 전압이 상승할 경우 드레인-소스 전류가 10^{-12} A 이상으로 증가한다. 이러한 전류는 게이트-소스 전압에 비례하여 증가하며, 오프 누설 전류로 작용한다.

[0053] 본 실시예에 따라, 보조 게이트 전극(35)에 초기화 전압(Vint)이 인가되면, 보조 게이트 전극(35)은 액티브 층(15), 특히, 채널 영역(CR)과 드레인 영역(DR)의 경계에 음의 전기장을 인가하게 된다. 음의 전기장의 영향으로 채널 영역(CR)과 드레인 영역(DR)의 경계의 전위가 낮아지면서, 드레인-소스 전압이 -0.1V인 경우와 같이 오프 누설 전류가 감소될 수 있다.

[0054] 도 3은 종래의 박막 트랜지스터와 일 실시예에 따른 박막 트랜지스터의 전위 그래프를 도시한다.

[0055] 도 3(a)는 종래의 턴 오프된 p형 박막 트랜지스터의 전위 그래프를 도시하고, 도 3(b)는 일 실시예에 따른 턴 오프된 p형 박막 트랜지스터의 전위 그래프를 도시한다. 도 3(a)와 도 3(b)의 그래프에서 가로축은 소스, 게이트 및 드레인 전극들을 의미하고, 세로축은 각 전극들의 음의 전위를 의미한다. 소스 전극의 전위는 0V인 것으로 가정한다.

[0056] 도 3(a) 및 도 3(b)에 도시된 바와 같이, 박막 트랜지스터가 턴 오프되기 위해, 게이트 전극의 전위는 소스 전극의 전위에 비해 높은 전위를 갖는다. 드레인 전극의 전위가 소스 전극의 전위에 비해 낮을 경우, 도 3(a)에 도시된 바와 같이 종래의 박막 트랜지스터의 게이트-드레인 전압은 크다. 그러나, 일 실시예에 따른 박막 트랜지스터의 경우, 보조 게이트 전극에 초기화 전압(Vint)이 인가되므로, 오프 누설 전류에 영향을 끼치는 실질적인 게이트-드레인 전압은 도 3(b)에 도시된 바와 같이 감소하게 된다. 따라서, 도 2에 도시된 드레인-소스 전압이 -0.1V인 경우의 그래프와 같이 오프 누설 전류가 감소될 수 있다.

[0057] 도 4는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도를 도시한다.

[0058] 도 4를 참조하면, 화소(PX)는 복수의 신호선들(121, 122, 123, 128, 141, 142, 143)에 연결되는 복수의 박막 트랜지스터들(예컨대, T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(Cst) 및 유기 발광 다이오드(OLED)를 포함한다.

[0059] 화소(PX)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 및 보상 박막 트랜지스터(T3)를 포함한다. 화소(PX)는 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7) 중 적어도 하나를 더 포함할 수 있다.

[0060] 신호선들(121, 122, 123, 128, 141, 142, 143)은 스위칭 박막 트랜지스터(T2)와 보상 박막 트랜지스터(T3)에 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5)와 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(123), 바이패스 박막 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선(128), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(141), 구동 전압(ELVDD)을 전달하며 데이터선(141)과 거의 평행하게 형성되어 있는 구동 전압선(142), 및 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(143)을 포함한다.

[0061] 구동 박막 트랜지스터(T1)의 게이트(G1)는 스토리지 커패시터(Cst)의 제1 전극(Cst1)에 연결되고, 구동 박막 트랜지스터(T1)의 소스(S1)는 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(142)에 연결되며, 구동 박막 트랜지스터(T1)의 드레인(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드에 전기적으로 연결된다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 스토리지 커패시터(Cst)에 저장하고, 스토리지 커패시터(Cst)에 저장된 전압에 대응하는 구동 전류(Id)를 생성하여 유기 발광 다이오드(OLED)에 출력한다.

[0062] 스위칭 박막 트랜지스터(T2)의 게이트(G2)는 스캔선(121)에 연결되고, 스위칭 박막 트랜지스터(T2)의 소스(S2)는 데이터선(141)에 연결되며, 스위칭 박막 트랜지스터(T2)의 드레인(D2)은 구동 박막 트랜지스터(T1)의 소스(S1)에 연결된다. 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(141)을 통해 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스(S1)로 전달하는 스위칭 동작을 수행한다.

[0063] 보상 박막 트랜지스터(T3)의 게이트(G3)는 스캔선(121)에 연결되고, 보상 박막 트랜지스터(T3)의 소스(S3)는 스토리지 커패시터(Cst)의 제1 전극(Cst1), 초기화 박막 트랜지스터(T4)의 드레인(D4) 및 구동 박막 트랜지스터

(T1)의 게이트(G1)에 공통적으로 연결되며, 보상 박막 트랜지스터(T3)의 드레인(D3)은 구동 박막 트랜지스터(T1)의 드레인(D1)에 연결된다. 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트(G1)와 드레인(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다. 보상 박막 트랜지스터(T3)는 스위칭 박막 트랜지스터(T2)가 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스(S1)로 전달할 때 구동 박막 트랜지스터(T1)를 다이오드 연결시킴으로써 구동 박막 트랜지스터(T1)의 문턱 전압이 보상된 데이터 전압이 스토리지 커패시터(Cst)에 저장된다.

[0064] 보상 박막 트랜지스터(T3)는 초기화 전압선(143)에 연결되는 보조 게이트(Ga3)를 더 포함한다. 보조 게이트(Ga3)는 게이트(G3)와 드레인(D3)의 경계 상에 배치된다. 구체적으로, 보조 게이트(Ga3)는 보상 박막 트랜지스터(T3)의 채널 영역과 드레인 영역의 경계를 덮는 보조 전극을 포함할 수 있다. 보조 게이트(Ga3)는 보상 박막 트랜지스터(T3)의 턴 오프 시에 드레인(D3)에 음의 전기장을 인가함으로써 오프 누설 전류를 감소시킬 수 있다.

[0065] 초기화 박막 트랜지스터(T4)의 게이트(G4)는 이전 스캔선(122)에 연결되고, 초기화 박막 트랜지스터(T4)의 소스(S4)는 스토리지 커패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 소스(S3) 및 구동 박막 트랜지스터(T1)의 게이트(G1)에 공통적으로 연결되며, 초기화 박막 트랜지스터(T4)의 드레인(D4)은 초기화 전압선(143)에 연결된다. 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0066] 동작 제어 박막 트랜지스터(T5)의 게이트(G5)는 발광 제어선(123)에 연결되며, 동작 제어 박막 트랜지스터(T5)의 소스(S5)는 구동 전압선(142)에 연결되며, 동작 제어 박막 트랜지스터(T5)의 드레인(D5)은 구동 박막 트랜지스터(T1)의 소스(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인(D2)에 연결된다.

[0067] 발광 제어 박막 트랜지스터(T6)의 게이트(G6)는 발광 제어선(123)에 연결되며, 발광 제어 박막 트랜지스터(T6)의 소스(S6)는 구동 박막 트랜지스터(T1)의 드레인(D1) 및 보상 박막 트랜지스터(T3)의 드레인(D3)에 연결되며, 발광 제어 박막 트랜지스터(T6)의 드레인(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)에 전기적으로 연결된다. 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 발광 전류(Ioled)가 흐르게 된다.

[0068] 바이패스 박막 트랜지스터(T7)의 게이트(G7)는 바이패스 제어선(128)에 연결되고, 바이패스 박막 트랜지스터(T7)의 소스(S7)는 발광 제어 박막 트랜지스터(T6)의 드레인(D6) 및 유기 발광 다이오드(OLED)의 애노드에 공통적으로 연결되며, 바이패스 박막 트랜지스터(T7)의 드레인(D7)은 초기화 전압선(143) 및 초기화 박막 트랜지스터(T4)의 소스(S4)에 공통적으로 연결된다.

[0069] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(142)에 연결되며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)에 연결된다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 발광 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.

[0070] 이하에서 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

[0071] 우선, 초기화 기간 동안, 이전 스캔선(122)을 통해 로우 레벨의 이전 스캔 신호(Sn-1)가 공급된다. 초기화 박막 트랜지스터(T4)가 로우 레벨의 이전 스캔 신호(Sn-1)에 응답하여 턴 온되며, 초기화 전압(Vint)이 초기화 전압선(143)으로부터 초기화 박막 트랜지스터(T4)를 통해 구동 박막 트랜지스터(T1)의 게이트(G1)에 인가되고, 구동 박막 트랜지스터(T1)는 초기화 전압(Vint)에 의해 초기화된다.

[0072] 이후, 데이터 프로그래밍 기간 중에 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)는 로우 레벨의 스캔 신호(Sn)에 응답하여 턴 온된다. 이때, 구동 박막 트랜지스터(T1)는 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다. 데이터선(141)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.

[0073] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차(ELVDD-Dm-Vth)에 대응하는 전하가 저장된다. 이후, 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경되면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.

- [0074] 구동 박막 트랜지스터(T1)의 게이트(G1)의 전압과 구동 전압(ELVDD) 간의 전압 차에 따르는 구동 전류(I_d)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 커패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 소스-게이트 전압(V_{sg})은 ' $ELVDD - (Dm + V_{th})$ '으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 소스-게이트 전압(V_{sg})에서 문턱 전압(V_{th})을 차감한 값의 제곱 ' $(ELVDD - Dm)^2$ '에 비례한다. 따라서 구동 전류(I_d)는 구동 박막 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정된다.
- [0075] 바이패스 박막 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 박막 트랜지스터(T7)는 로우 레벨의 바이패스 신호(BP)에 의해 턴 온되어, 유기 발광 다이오드(OLED)의 애노드에 초기화 전압(V_{int})을 인가한다. 비발광 기간 동안, 유기 발광 다이오드(OLED)의 애노드에 남아 있던 전하는 바이패스 박막 트랜지스터(T7)를 통해 방출된다. 따라서, 블랙 영상에 대응하는 구동 전류(I_d)가 흐를 경우, 유기 발광 다이오드(OLED)는 정확한 블랙 휘도 영상을 표현하여 콘트라스트비를 향상시킬 수 있다.
- [0076] 도 4에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 5 및 도 6을 도 4와 함께 참고하여 상세하게 설명한다.
- [0077] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도를 도시한다. 도 6은 도 5의 유기 발광 표시 장치를 VI-VI'선을 따라 절취한 예시적인 단면도를 도시한다.
- [0078] 도 5를 참조하면, 유기 발광 표시 장치(200)는 스캔 신호(S_n), 이전 스캔 신호(S_{n-1}), 발광 제어 신호(E_n) 및 바이패스 신호(BP)를 각각 전달하며 행 방향을 따라 연장되는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)과 교차하고 있으며 화소(PX)에 데이터 신호(D_m), 구동 전압(ELVDD) 및 초기화 전압(V_{int})을 각각 인가하는 데이터선(141), 구동 전압선(142), 및 초기화 전압선(143)을 포함한다.
- [0079] 도 4를 참조로 전술한 바와 같이, 화소(PX)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 및 보상 박막 트랜지스터(T3), 스토리지 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함한다. 화소(PX)는 도 5에 도시된 바와 같이 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 및 바이패스 박막 트랜지스터(T7) 중 적어도 하나를 더 포함할 수 있다.
- [0080] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)는 액티브 층(115)을 따라 배열되며, 액티브 층(115)은 다양한 형상으로 굴곡되어 배치된다. 액티브 층(115)은 폴리실리콘 또는 산화물 반도체를 포함할 수 있다. 산화물 반도체는 티타늄(Ti), 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 포함하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물($InGaZnO_4$), 인듐-아연 산화물($Zn-In-O$), 아연-주석 산화물($Zn-Sn-O$), 인듐-갈륨 산화물 ($In-Ga-O$), 인듐-주석 산화물($In-Sn-O$), 인듐-지르코늄 산화물($In-Zr-O$), 인듐-지르코늄-아연 산화물($In-Zr-Zn-O$), 인듐-지르코늄-주석 산화물($In-Zr-Sn-O$), 인듐-지르코늄-갈륨 산화물($In-Zr-Ga-O$), 인듐-알루미늄 산화물($In-Al-O$), 인듐-아연-알루미늄 산화물($In-Zn-Al-O$), 인듐-주석-알루미늄 산화물($In-Sn-Al-O$), 인듐-알루미늄-갈륨 산화물($In-Al-Ga-O$), 인듐-탄탈륨 산화물($In-Ta-O$), 인듐-탄탈륨-아연 산화물($In-Ta-Zn-O$), 인듐-탄탈륨-주석 산화물($In-Ta-Sn-O$), 인듐-탄탈륨-갈륨 산화물($In-Ta-Ga-O$), 인듐-게르마늄 산화물($In-Ge-O$), 인듐-게르마늄-아연 산화물($In-Ge-Zn-O$), 인듐-게르마늄-주석 산화물($In-Ge-Sn-O$), 인듐-게르마늄-갈륨 산화물($In-Ge-Ga-O$), 티타늄-인듐-아연 산화물($Ti-In-Zn-O$), 하프늄-인듐-아연 산화물($Hf-In-Zn-O$) 중 어느 하나를 포함할 수 있다. 액티브 층(115)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.
- [0081] 액티브 층(115)은 구동 박막 트랜지스터(T1)의 구동 액티브 층(SR1, CR1, DR1), 스위칭 박막 트랜지스터(T2)의 스위칭 액티브 층(SR2, CR2, DR2), 보상 박막 트랜지스터(T3)의 보상 액티브 층(SR3a, CR3a, DR3a, SR3b, CR3b, DR3b), 초기화 박막 트랜지스터(T4)의 초기화 액티브 층(SR4, CR4, DR4), 동작 제어 박막 트랜지스터(T5)의 동작 제어 액티브 층(SR5, CR5, DR5), 발광 제어 박막 트랜지스터(T6)의 발광 제어 액티브 층(SR6, CR6, DR6) 및 바이패스 박막 트랜지스터(T7)의 바이패스 액티브 층(SR7, CR7, DR7)을 포함한다.
- [0082] 구동 박막 트랜지스터(T1)는 구동 액티브 층(SR1, CR1, DR1) 및 구동 게이트 전극(124)을 포함한다. 구동 액티

브 층(SR1, CR1, DR1)은 구동 소스 영역(SR1), 구동 채널 영역(CR1) 및 구동 드레인 영역(DR1)을 포함한다.

- [0083] 구동 채널 영역(CR1)은 굴곡되어 있으며, 사행 형상 또는 지그재그 형상을 가질 수 있다. 구동 채널 영역(CR1)을 굴곡된 형상으로 형성함으로써, 구동 채널 영역(CR1)의 채널 길이를 길게 확보할 수 있다. 따라서, 구동 채널 영역(CR1)을 길게 형성할 수 있으므로, 구동 게이트 전극(124)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 유기 발광 표시 장치(200)의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 구동 채널 영역(CR1)은 그 형상을 다양하게 변형하여 '역S', 'S', 'M', 'W' 등의 다양한 실시예가 가능하다.
- [0084] 구동 게이트 전극(124)은 구동 채널 영역(CR1)과 중첩하며, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(128)과 동일한 물질로 동일한 층에 형성된다. 구동 게이트 전극(124)은 콘택 플러그(CPb)를 통해 연결 패턴(144)에 연결된다.
- [0085] 스위칭 박막 트랜지스터(T2)는 스위칭 액티브 층(SR2, CR2, DR2), 및 스캔선(121)의 일부인 스위칭 게이트 전극을 포함한다. 스위칭 액티브 층(SR2, CR2, DR2)은 스위칭 소스 영역(SR2), 스위칭 채널 영역(CR2) 및 스위칭 드레인 영역(DR2)을 포함한다. 스위칭 소스 영역(SR2)은 콘택 플러그(CPe)를 통해 데이터선(141)에 연결된다. 스위칭 드레인 영역(DR3)은 구동 소스 영역(SR1)에 연결된다.
- [0086] 보상 박막 트랜지스터(T3)는 제1 보상 박막 트랜지스터(T3a) 및 제2 보상 박막 트랜지스터(T3b)를 포함하는 듀얼 게이트 구조를 가질 수 있다.
- [0087] 제1 보상 박막 트랜지스터(T3a)는 제1 보상 액티브 층(SR3a, CR3a, DR3a) 및 제1 보상 게이트 전극(121a)을 포함한다. 제1 보상 게이트 전극(121a)은 스캔선(121)의 일부이거나 스캔선(121)으로부터 돌출된 부분일 수 있다. 제1 보상 액티브 층(SR3a, CR3a, DR3a)은 제1 보상 소스 영역(SR3a), 제1 보상 채널 영역(CR3a) 및 제1 보상 드레인 영역(DR3a)을 포함한다. 제1 보상 소스 영역(SR3a)은 콘택 플러그(CPc)를 통해 연결 패턴(144)에 연결된다.
- [0088] 제2 보상 박막 트랜지스터(T3b)는 제2 보상 액티브 층(SR3b, CR3b, DR3b) 및 제2 보상 게이트 전극(121b)을 포함한다. 제2 보상 게이트 전극(121b)은 스캔선(121)의 일부일 수 있다. 제2 보상 액티브 층(SR3b, CR3b, DR3b)은 제2 보상 소스 영역(SR3b), 제2 보상 채널 영역(CR3b) 및 제2 보상 드레인 영역(DR3b)을 포함한다. 제2 보상 소스 영역(SR3b)은 제1 보상 드레인 영역(DR3a)에 연결된다. 제2 보상 드레인 영역(DR3b)은 구동 드레인 영역(DR1)에 연결된다.
- [0089] 제2 보상 박막 트랜지스터(T3b)는 제2 보상 채널 영역(CR3b)과 제2 보상 드레인 영역(DR3b)의 경계를 덮는 보조 게이트 전극(132)을 더 포함한다. 보조 게이트 전극(132)은 콘택 플러그(CPa)를 통해 초기화 전압선(143)의 일부인 전압 인가 전극(145)에 연결된다. 전압 인가 전극(145)은 초기화 전압선(143)에 연결될 수도 있다. 보조 게이트 전극(132)은 제2 보상 소스 영역(SR3b)과 제2 보상 채널 영역(CR3b)의 경계를 덮지 않는다. 초기화 전압(Vint)은 음의 직류 전압 레벨을 가질 수 있으며, 보조 게이트 전극(132)은 제2 보상 채널 영역(CR3b)과 제2 보상 드레인 영역(DR3b)의 경계 영역에 음의 전기장을 인가할 수 있다. 그 결과, 제2 보상 박막 트랜지스터(T3b)의 오프 누설 전류가 감소될 수 있다.
- [0090] 초기화 박막 트랜지스터(T4)는 초기화 액티브 층(SR4, CR4, DR4), 및 이전 스캔선(122)의 일부이거나 이전 스캔선(122)으로부터 돌출된 부분인 초기화 게이트 전극을 포함한다. 초기화 박막 트랜지스터(T4)는 도 5에 도시된 바와 같이 듀얼 게이트 구조를 가질 수 있다. 초기화 액티브 층(SR4, CR4, DR4)은 초기화 소스 영역(SR4), 초기화 채널 영역(CR4) 및 초기화 드레인 영역(DR4)을 포함한다. 초기화 소스 영역(SR4)은 콘택 플러그(CPc)를 통해 연결 패턴(144)에 연결된다. 초기화 드레인 영역(DR4)은 콘택 플러그(CPg)를 통해 초기화 전압선(143)에 연결된다. 초기화 드레인 영역(DR4)에는 초기화 전압(Vint)이 인가된다.
- [0091] 동작 제어 박막 트랜지스터(T5)는 동작 제어 액티브 층(SR5, CR5, DR5), 및 발광 제어선(123)의 일부인 동작 제어 게이트 전극을 포함한다. 동작 제어 액티브 층(SR5, CR5, DR5)은 동작 제어 소스 영역(SR5), 동작 제어 채널 영역(CR5), 및 동작 제어 드레인 영역(DR5)을 포함한다. 동작 제어 소스 영역(SR5)은 콘택 플러그(CPh)를 통해 구동 전압선(142)에 연결된다. 동작 제어 소스 영역(SR5)에는 구동 전압(ELVDD)이 인가된다. 동작 제어 드레인 영역(DR5)은 구동 소스 영역(SR1)에 연결된다.
- [0092] 발광 제어 박막 트랜지스터(T6)는 발광 제어 액티브 층(SR6, CR6, DR6), 및 발광 제어선(123)의 일부인 발광 제어 게이트 전극을 포함한다. 발광 제어 액티브 층(SR6, CR6, DR6)은 발광 제어 소스 영역(SR6), 발광 제어 채널

널 영역(CR6), 및 발광 제어 드레인 영역(DR6)을 포함한다. 발광 제어 소스 영역(SR6)은 구동 드레인 영역(DR1)에 연결된다. 발광 제어 드레인 영역(DR6)은 콘택 플러그(CPf)를 통해 연결 노드(146)에 연결된다.

[0093] 연결 노드(146)는 화소 콘택 플러그(CPC)를 통해 화소 전극(도 6의 161)에 연결된다. 화소 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 해당할 수 있다. 연결 노드(146)는 데이터선(141), 구동 전압선(142), 초기화 전압선(143), 연결 패턴(144) 및 전압 인가 전극(145)과 동일한 물질로 동일한 층에 형성된다.

[0094] 바이패스 박막 트랜지스터(T7)는 바이패스 액티브 층(SR7, CR7, DR7), 및 바이패스 제어선(128)의 일부인 바이패스 게이트 전극을 포함한다. 바이패스 액티브 층(SR7, CR7, DR7)은 바이패스 소스 영역(SR7), 바이패스 채널 영역(CR7), 및 바이패스 드레인 영역(DR7)을 포함한다. 바이패스 소스 영역(SR7)은 콘택 플러그(CPf)를 통해 연결 노드(146)에 연결된다. 바이패스 드레인 영역(DR7)은 콘택 플러그(CPg)를 통해 초기화 전압선(143)에 연결된다. 바이패스 드레인 영역(DR7)에는 초기화 전압(Vint)이 인가된다.

[0095] 스토리지 캐패시터(Cst)는 구동 박막 트랜지스터(T1)의 구동 게이트 전극(124)으로 기능하는 하부 전극, 및 상부 전극(131)을 포함한다. 상부 전극(131)은 콘택 플러그(CPd)를 통해 구동 전압선(142)에 연결된다. 상부 전극(131)에는 구동 전압(ELVDD)이 인가된다. 상부 전극(131)은 개구부(OP)를 포함하며, 개구부(OP)를 통해 콘택 플러그(CPb)가 상부 전극(131)로부터 절연하면서 하부의 구동 게이트 전극(124)과 상부의 연결 패턴(144)을 서로 연결한다.

[0096] 이하, 도 6을 참조하여 일 실시예에 따른 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다.

[0097] 도 6에는 구동 박막 트랜지스터(T1) 및 보상 박막 트랜지스터(T3)의 구조가 도시된다. 스위칭 박막 트랜지스터(T2), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)의 구조는 구동 박막 트랜지스터(T1) 및 보상 박막 트랜지스터(T3)의 구조를 참조로 이해할 수 있을 것이므로, 이들에 대한 상세한 설명은 생략한다.

[0098] 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 기판(110) 상에 버퍼층(미 도시)이 배치될 수 있다.

[0099] 기판(110) 상에 액티브 층(115)이 배치된다. 액티브 층(115)은 구동 박막 트랜지스터(T1)의 구동 액티브 층(SR1, CR1, DR1) 및 보상 박막 트랜지스터(T3)의 보상 액티브 층(DR3b, CR3b, SR3b, DR3a, CR3a, SR3a)을 포함한다. 구동 액티브 층(SR1, CR1, DR1)은 구동 소스 영역(SR1), 구동 채널 영역(CR1) 및 구동 드레인 영역(DR1)을 포함한다. 보상 액티브 층(DR3b, CR3b, SR3b, DR3a, CR3a, SR3a)은 제2 보상 드레인 영역(DR3b), 제2 보상 채널 영역(CR3b), 제2 보상 소스 영역(SR3b), 제1 보상 드레인 영역(DR3a), 제1 보상 채널 영역(CR3a), 및 제1 보상 소스 영역(SR3a)을 포함한다. 구동 드레인 영역(DR1)은 제2 보상 드레인 영역(DR3b)에 연결되고, 제2 보상 소스 영역(SR3b)은 제1 보상 드레인 영역(DR3a)에 연결된다.

[0100] 기판(110) 및 액티브 층(115) 상에 제1 게이트 절연막(120)이 배치된다.

[0101] 제1 게이트 절연막(120) 상에 구동 게이트 전극(124), 제1 보상 게이트 전극(121a) 및 제2 보상 게이트 전극(121b)이 배치된다. 구동 게이트 전극(124)은 구동 채널 영역(CR1)과 중첩하도록 배치되고, 제1 보상 게이트 전극(121a)은 제1 보상 채널 영역(CR3a)과 중첩하도록 배치되고, 제2 보상 채널 영역(CR3b)과 중첩하도록 배치된다. 구동 게이트 전극(124), 제1 보상 게이트 전극(121a) 및 제2 보상 게이트 전극(121b)은 동일 물질로 동시에 형성될 수 있다.

[0102] 제1 게이트 절연막(120), 구동 게이트 전극(124), 제1 보상 게이트 전극(121a) 및 제2 보상 게이트 전극(121b) 상에 제2 게이트 절연막(130)이 배치된다.

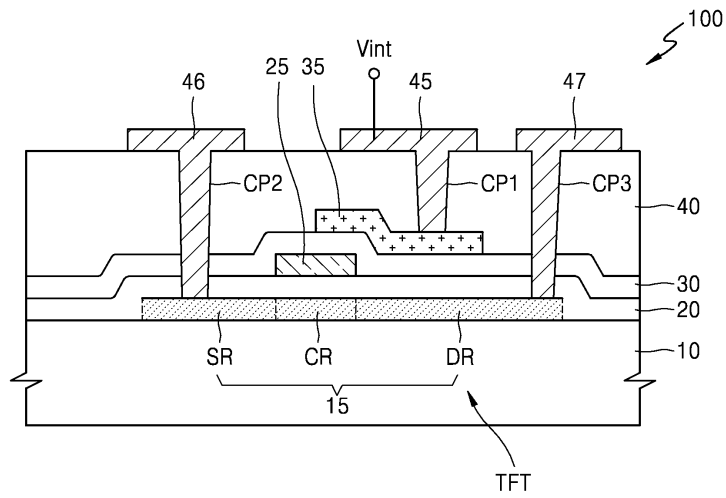
[0103] 제2 게이트 절연막(130) 상에 상부 전극(131) 및 보조 게이트 전극(132)이 배치된다. 상부 전극(131)은 구동 게이트 전극(124)의 일부를 노출하는 개구부(OP)를 포함한다. 보조 게이트 전극(132)은 제2 보상 드레인 영역(DR3b)과 제2 보상 채널 영역(CR3b)의 경계를 덮도록 배치된다. 보조 게이트 전극(132)은 제2 보상 채널 영역(CR3b)과 제2 보상 소스 영역(SR3b)의 경계를 덮지 않도록 배치될 수 있다.

[0104] 일 실시예에 따르면, 제1 보상 드레인 영역(DR3a)과 제1 보상 채널 영역(CR3a)의 경계를 덮는 제1 보조 게이트 전극(미 도시)을 더 포함할 수 있다. 제1 보조 게이트 전극은 보조 게이트 전극(132)과 동일 물질로 동시에 형성될 수 있으며, 제1 보조 게이트 전극에도 초기화 전압이 인가될 수 있다.

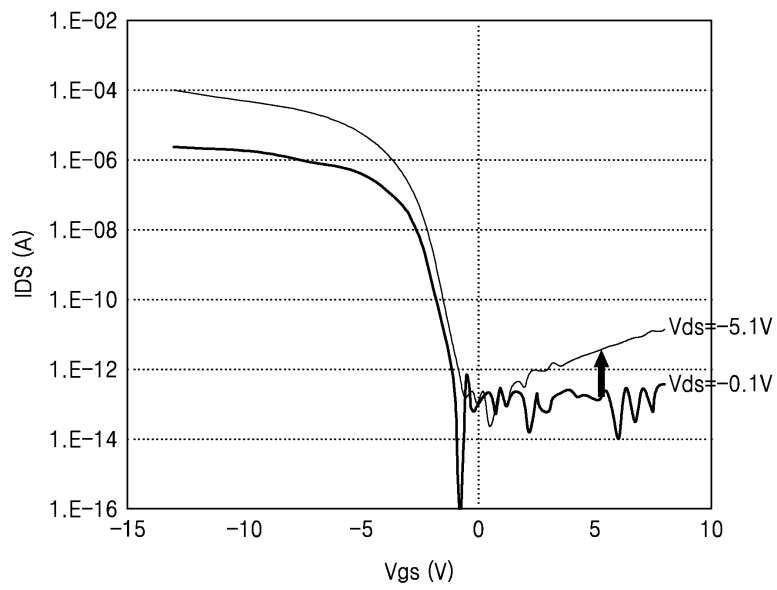
- [0105] 제2 게이트 절연막(130), 상부 전극(131) 및 보조 게이트 전극(132) 상에 층간 절연막(140)이 배치된다. 층간 절연막(140)은 콘택 플러그들(CPa, CPb, CPc, CPd)에 의해 관통된다.
- [0106] 층간 절연막(140) 상에 구동 전압선(142), 연결 패턴(144) 및 전압 인가 전극(145)이 배치된다. 전압 인가 전극(145)은 콘택 플러그(CPa)에 의해 보조 게이트 전극(132)에 연결된다. 연결 패턴(144)은 콘택 플러그(CPb)에 의해 구동 게이트 전극(124)에 연결되고 콘택 플러그(Cpc)에 의해 제1 보상 소스 영역(SR3a)에 연결된다. 구동 전압선(142)은 콘택 플러그(CPd)에 의해 상부 전극(131)에 연결된다.
- [0107] 층간 절연막(140), 구동 전압선(142), 연결 패턴(144) 및 전압 인가 전극(145) 상에 보호막(150)이 배치된다. 도시되지는 않았지만, 보호막(150)은 화소 콘택 플러그(CPC)에 의해 관통된다. 보호막(150) 상에 화소 전극(161)이 배치된다. 화소 콘택 플러그(CPC)는 연결 노드(146)와 화소 전극(161)을 서로 연결한다. 화소 전극(161) 상에는 유기 발광층(162)이 배치되고, 유기 발광층(162) 상에는 공통 전극(163)이 배치된다. 화소 전극(161), 유기 발광층(162), 및 공통 전극(163)은 유기 발광 다이오드(OLED)를 구성한다.
- [0108] 화소 전극(161)은 정공 주입 전극인 애노드이며, 공통 전극(163)은 전자 주입 전극인 캐소드가 된다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(161)이 캐소드가 되고, 공통 전극(163)이 애노드가 될 수도 있다. 화소 전극(161) 및 공통 전극(163)으로부터 각각 정공과 전자가 유기 발광층(162) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.
- [0109] 유기 발광층(162)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(162)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다층막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(161) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다.
- [0110] 유기 발광층(162)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층 및 청색을 발광하는 청색 유기 발광층을 포함할 수 있으며, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층은 각각 적색 화소, 녹색 화소 및 청색 화소에 형성되어 컬러 화상을 구현하게 된다.
- [0111] 또한, 유기 발광층(162)은 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소에 모두 함께 적층하고, 각 화소별로 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수 있다. 다른 예로, 백색을 발광하는 백색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소 모두에 형성하고, 각 화소별로 각각 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수도 있다. 백색 유기 발광층과 색필터를 이용하여 컬러 화상을 구현하는 경우, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 각각의 개별 화소 즉, 적색 화소, 녹색 화소 및 청색 화소에 증착하기 위한 증착 마스크를 사용하지 않아도 된다.
- [0112] 다른 예에서 설명한 백색 유기 발광층은 하나의 유기 발광층으로 형성될 수 있음은 물론이고, 복수 개의 유기 발광층을 적층하여 백색을 발광할 수 있도록 한 구성까지 포함한다. 예로, 적어도 하나의 옐로우 유기 발광층과 적어도 하나의 청색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 시안 유기 발광층과 적어도 하나의 적색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 마젠타 유기 발광층과 적어도 하나의 녹색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성 등도 포함할 수 있다.
- [0113] 공통 전극(163) 상에는 유기 발광 소자(OLED)를 보호하는 봉지 부재(미 도시)가 형성될 수 있으며, 봉지 부재는 실런트에 의해 기판(110)에 밀봉될 수 있으며, 유리, 석영, 세라믹, 플라스틱, 및 금속 등 다양한 소재로 형성될 수 있다. 한편, 실런트를 사용하지 않고 공통 전극(163) 상에 무기막과 유기막을 증착하여 박막 봉지층을 형성할 수도 있다.
- [0114] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

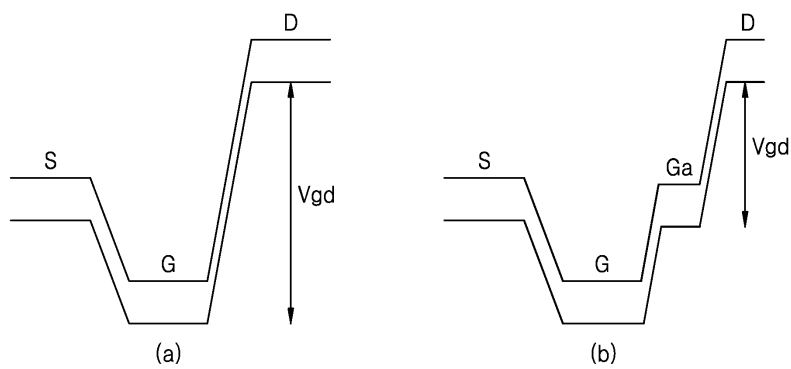
도면1



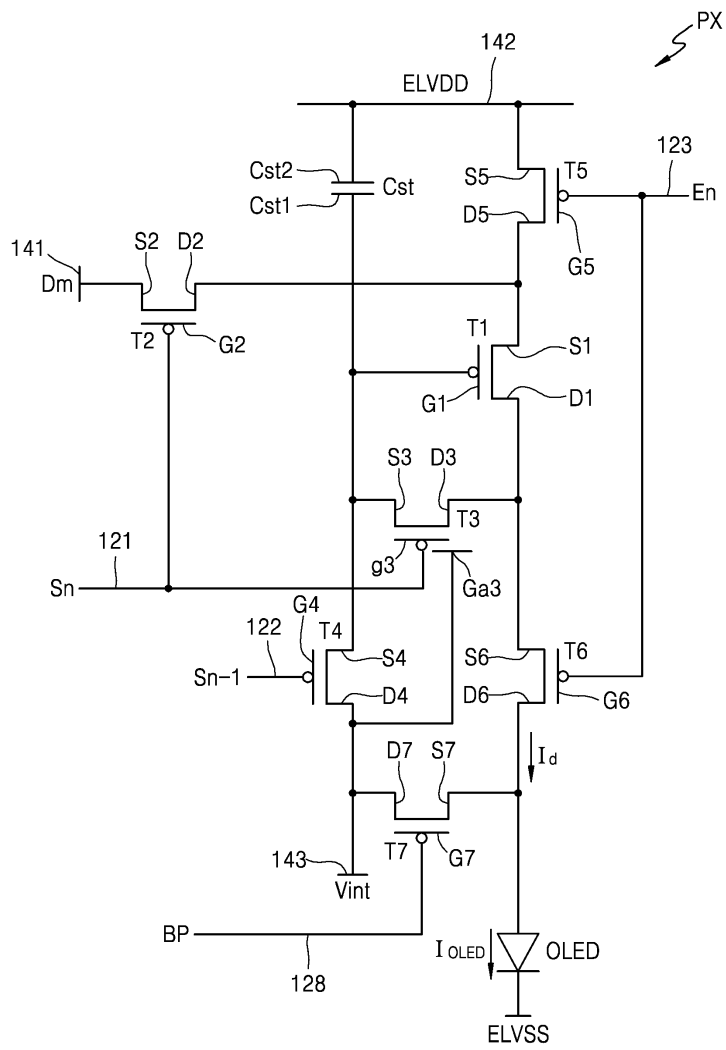
도면2



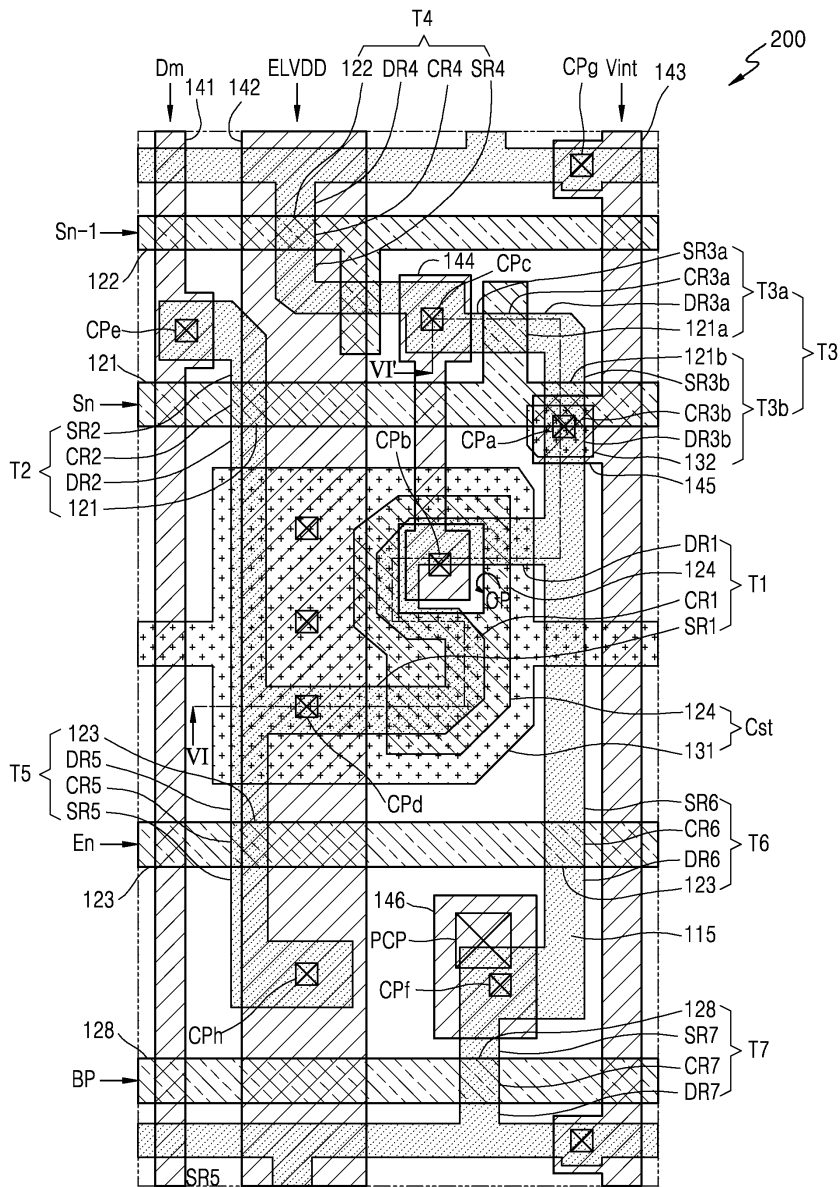
도면3



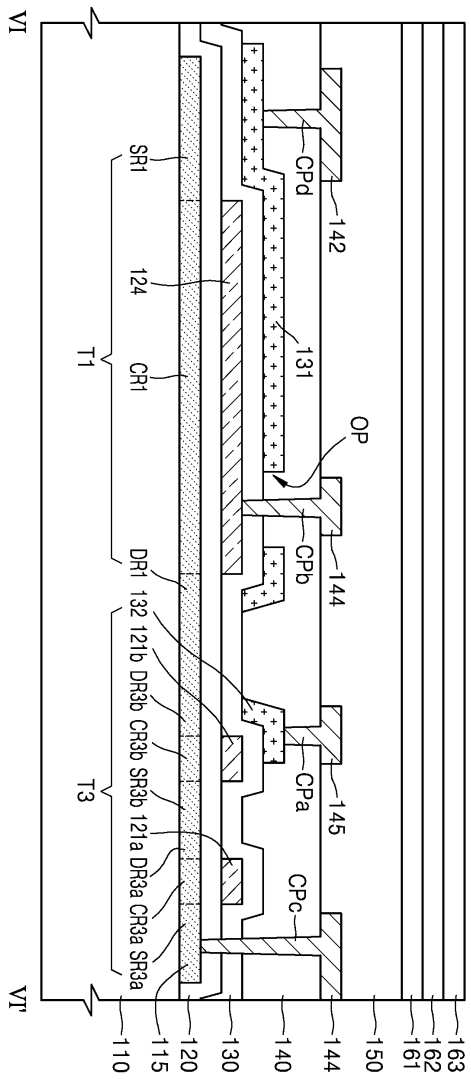
도면4



도면5



도면6



专利名称(译)	薄膜晶体管基板和有机发光显示装置		
公开(公告)号	KR1020170001791A	公开(公告)日	2017-01-05
申请号	KR1020150090494	申请日	2015-06-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOON JU WON 윤주원 SON SE WAN 손세완 LEE IL JEONG 이일정 LEE JI SEON 이지선 JI DEUK MYUNG 지득명		
发明人	윤주원 손세완 이일정 이지선 지득명		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3258 H01L2227/32 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2320/0214 H01L29/42384 H01L29/78645		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置。OLED显示器包括基板，用于传输初始化电压的初始化电压线，设置在基板上的薄膜晶体管，以及电压施加电极。薄膜晶体管包括：有源层，包括源区，沟道区和漏区；沟道区上的栅电极；以及辅助栅电极，设置在栅电极上并覆盖沟道区和漏区之间的边界。电压施加电极设置在辅助栅电极上，并连接到初始化电压线和辅助栅电极。人已获得

