



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0130073
(43) 공개일자 2016년11월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/326 (2013.01)

H01L 27/3246 (2013.01)

(21) 출원번호 10-2015-0062086

(22) 출원일자 2015년04월30일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김태곤

충청남도 천안시 서북구 불당17길 14, 104동 305호 (불당동, 불당아이파크)

김용철

충청남도 아산시 배방읍 광장로 210, 109동 2504호 (요진와이시티)

(74) 대리인

팬코리아특허법인

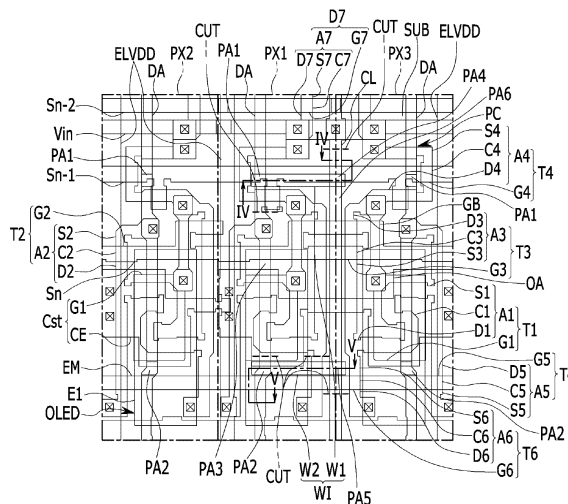
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 리페어 방법

(57) 요약

유기 발광 표시 장치는 기관, 상기 기관 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들, 각각이 상기 기관 상에서 제1 방향으로 연장되어 상기 제1 방향과 교차하는 제2 방향으로 상호 이격되어 배치되며, 상기 복수의 화소 회로들과 연결된 복수의 데이터 라인들, 각각이 상기 데이터 라인과 이웃하여 상기 제1 방향과 나란한 방향으로 연장되며, 상기 복수의 화소 회로들과 연결된 복수의 연결 라인들, 및 상기 복수의 데이터 라인들 중 일 데이터 라인의 일 부분과 상기 복수의 연결 라인들 중 상기 일 데이터 라인과 이웃하는 일 연결 라인의 일 부분 사이를 직접 연결하는 와이어를 포함한다.

대표도



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들;

각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들;

각각이 상기 기관 상에서 제1 방향으로 연장되어 상기 제1 방향과 교차하는 제2 방향으로 상호 이격되어 배치되며, 상기 복수의 화소 회로들과 연결된 복수의 데이터 라인들;

각각이 상기 데이터 라인과 이웃하여 상기 제1 방향과 나란한 방향으로 연장되며, 상기 복수의 화소 회로들과 연결된 복수의 연결 라인들; 및

상기 복수의 데이터 라인들 중 일 데이터 라인의 일 부분과 상기 복수의 연결 라인들 중 상기 일 데이터 라인과 이웃하는 일 연결 라인의 일 부분 사이를 직접 연결하는 와이어

를 포함하며,

상기 일 데이터 라인의 일 부분과 대응하는 상기 복수의 데이터 라인들 각각의 일 부분 및 상기 일 연결 라인의 일 부분과 대응하는 상기 복수의 연결 라인들 각각의 일 부분의 표면은 곡면인 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 와이어는,

상기 일 데이터 라인의 제1 부분과 상기 일 연결 라인의 제4 부분 사이를 직접 연결하는 제1 서브 와이어; 및

상기 제1 서브 와이어와 이격되어 상기 일 데이터 라인의 제2 부분과 상기 일 연결 라인의 제5 부분 사이를 직접 연결하는 제2 서브 와이어

를 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 복수의 화소 회로들 중 상기 일 데이터 라인과 연결된 일 화소 회로는 불량이며,

상기 일 화소 회로는 상기 유기 발광 소자로부터 절단된 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 일 데이터 라인의 상기 제1 부분과 상기 제2 부분 사이의 제3 부분은 상기 일 화소 회로와 연결된 상태로 상기 제1 부분 및 상기 제2 부분으로부터 절단되어 고립(isolate)되어 있으며,

상기 일 연결 라인의 상기 제4 부분, 상기 제5 부분, 상기 제4 부분과 상기 제5 부분 사이의 제6 부분은 다른 부분으로부터 절단되어 고립되어 있으며,

상기 일 데이터 라인의 제1 부분은 상기 제1 서브 와이어, 상기 일 연결 라인의 상기 제4 부분, 상기 제6 부분, 상기 제5 부분, 상기 제2 서브 와이어를 통해 상기 일 데이터 라인의 제2 부분과 연결된 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 복수의 연결 라인들은 상기 복수의 데이터 라인과 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 와이어는 상기 일 데이터 라인과 상기 일 연결 라인 상에 위치하는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 복수의 데이터 라인들 각각의 다른 부분의 표면은 모서리(corner)를 포함하는 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 복수의 연결 라인들 각각의 다른 부분의 표면은 모서리를 포함하는 유기 발광 표시 장치.

청구항 9

제1항에서,

상기 복수의 박막 트랜지스터들은,

상기 기판 상에 위치하며 상기 유기 발광 소자와 연결된 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브 패턴의 일 단부와 연결되어 상기 데이터 라인과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터; 및

상기 제1 액티브 패턴의 타 단부와 연결되어 게이트 브릿지를 통해 상기 제1 게이트 전극과 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인; 및

상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 화소 회로는,

상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 복수의 박막 트랜지스터들은, 상기 제3 액티브 패턴과 연결되고 상기 노드 라인을 통해 상기 제1 게이트

전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터를 더 포함하며,

상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인; 및

상기 제4 액티브 패턴과 연결된 초기화 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 초기화 전원 라인은 상기 제2 방향과 나란한 방향으로 연장되어 상기 복수의 연결 라인들과 연결된 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 복수의 박막 트랜지스터들은,

상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터; 및

상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터

를 더 포함하며,

상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 복수의 박막 트랜지스터들은, 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터를 더 포함하며,

상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함하는 유기 발광 표시 장치.

청구항 16

기관 상의 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들과 연결된 일 부분의 표면이 곡면 형태를 가진 복수의 데이터 라인들 및 상기 복수의 화소 회로들과 연결된 일 부분의 표면이 곡면 형태를 가진 복수의 연결 라인들을 형성하는 단계;

상기 복수의 데이터 라인들 중 상기 복수의 화소 회로들 중 일 화소 회로와 연결된 일 데이터 라인의 일 부분과 상기 복수의 연결 라인들 중 일 연결 라인의 일 부분 사이를 와이어를 이용해 연결하는 단계

를 포함하는 유기 발광 표시 장치의 리페어 방법.

청구항 17

제16항에서,

상기 복수의 데이터 라인들 및 상기 복수의 연결 라인들을 형성하는 단계는 하프톤 마스크를 이용해 수행하는 유기 발광 표시 장치의 리페어 방법.

청구항 18

제16항에서,

상기 일 화소 회로는 불량인 유기 발광 표시 장치의 리페어 방법.

청구항 19

제16항에서,

상기 복수의 데이터 라인들 및 상기 복수의 연결 라인들을 형성하는 단계는,

상기 복수의 데이터 라인들 각각의 제1 부분과 상기 제1 부분과 이격된 제2 부분 각각의 표면이 곡면 형태를 가지도록 상기 복수의 데이터 라인들을 형성하는 단계; 및

상기 복수의 연결 라인들 각각의 제4 부분과 상기 제4 부분과 이격된 제5 부분 각각의 표면이 곡면 형태를 가지도록 상기 복수의 연결 라인들을 형성하는 단계

를 포함하며,

상기 와이어를 이용해 연결하는 단계는,

상기 일 데이터 라인의 상기 제1 부분과 상기 일 연결 라인의 상기 제4 부분 사이를 제1 서브 와이어를 이용해 직접 연결하는 단계; 및

상기 일 데이터 라인의 상기 제2 부분과 상기 일 연결 라인의 상기 제5 부분 사이를 제2 서브 와이어를 이용해 직접 연결하는 단계

를 포함하는 유기 발광 표시 장치의 리페어 방법.

청구항 20

제19항에서,

상기 와이어를 이용해 연결하는 단계는,

상기 일 데이터 라인의 상기 제1 부분과 상기 제2 부분 사이의 제3 부분을 상기 일 화소 회로와 연결된 상태로 상기 제1 부분 및 상기 제2 부분으로부터 절단하여 고립(isolate)시키는 단계; 및

상기 일 연결 라인의 상기 제4 부분, 상기 제5 부분, 상기 제4 부분과 상기 제5 부분 사이의 제6 부분을 다른 부분으로부터 절단하여 고립시키는 단계

를 포함하는 유기 발광 표시 장치의 리페어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 리페어 방법에 관한 것으로서, 보다 상세하게는 불량 이 발생된 하나 이상의 화소가 리페어된 유기 발광 표시 장치 및 유기 발광 표시 장치의 리페어 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 기판 및 기판 전체에 걸쳐서 기판 상에 형성된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들 및 복수의 화소 회로들 각각에 연결된 복수의 유기 발광 소자들을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 실시예는, 불량이 발생된 하나 이상의 화소가 용이하게 리페어된 유기 발광 표시 장치 및 불량이 발생된 하나 이상의 화소를 용이하게 리페어하는 유기 발광 표시 장치의 리페어 방법을 제공하고자 한다.

과제의 해결 수단

[0005] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 기판, 상기 기판 상에 위치하며, 각각이 서로 이격된 복수의 유기 발광 소자들, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들, 각각이 상기 기판 상에서 제1 방향으로 연장되어 상기 제1 방향과 교차하는 제2 방향으로 상호 이격되어 배치되며, 상기 복수의 화소 회로들과 연결된 복수의 데이터 라인들, 각각이 상기 데이터 라인과 이웃하여 상기 제1 방향과 나란한 방향으로 연장되며, 상기 복수의 화소 회로들과 연결된 복수의 연결 라인들, 및 상기 복수의 데이터 라인들 중 일 데이터 라인의 일 부분과 상기 복수의 연결 라인들 중 상기 일 데이터 라인과 이웃하는 일 연결 라인의 일 부분 사이를 직접 연결하는 와이어를 포함하며, 상기 일 데이터 라인의 일 부분과 대응하는 상기 복수의 데이터 라인들 각각의 일 부분 및 상기 일 연결 라인의 일 부분과 대응하는 상기 복수의 연결 라인들 각각의 일 부분의 표면은 곡면일 수 있다.

[0006] 상기 와이어는, 상기 일 데이터 라인의 제1 부분과 상기 일 연결 라인의 제4 부분 사이를 직접 연결하는 제1 서브 와이어, 및 상기 제1 서브 와이어와 이격되어 상기 일 데이터 라인의 제2 부분과 상기 일 연결 라인의 제5 부분 사이를 직접 연결하는 제2 서브 와이어를 포함할 수 있다.

[0007] 상기 복수의 화소 회로들 중 상기 일 데이터 라인과 연결된 일 화소 회로는 불량이며, 상기 일 화소 회로는 상기 유기 발광 소자로부터 절단될 수 있다.

[0008] 상기 일 데이터 라인의 상기 제1 부분과 상기 제2 부분 사이의 제3 부분은 상기 일 화소 회로와 연결된 상태로 상기 제1 부분 및 상기 제2 부분으로부터 절단되어 고립(isolate)되어 있으며, 상기 일 연결 라인의 상기 제4 부분, 상기 제5 부분, 상기 제4 부분과 상기 제5 부분 사이의 제6 부분은 다른 부분으로부터 절단되어 고립되어 있으며, 상기 일 데이터 라인의 제1 부분은 상기 제1 서브 와이어, 상기 일 연결 라인의 상기 제4 부분, 상기 제6 부분, 상기 제5 부분, 상기 제2 서브 와이어를 통해 상기 일 데이터 라인의 제2 부분과 연결될 수 있다.

[0009] 상기 복수의 연결 라인들은 상기 복수의 데이터 라인과 동일한 층에 위치할 수 있다.

[0010] 상기 와이어는 상기 일 데이터 라인과 상기 일 연결 라인 상에 위치할 수 있다.

[0011] 상기 복수의 데이터 라인들 각각의 다른 부분의 표면은 모서리(corner)를 포함할 수 있다.

[0012] 상기 복수의 연결 라인들 각각의 다른 부분의 표면은 모서리를 포함할 수 있다.

[0013] 상기 복수의 박막 트랜지스터들은, 상기 기판 상에 위치하며 상기 유기 발광 소자와 연결된 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴의 일 단부와 연결되어 상기 데이터 라인과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터, 및 상기 제1 액티브 패턴의 타 단부와 연결되어 게이트 브릿지를 통해 상기 제1 게이트 전극과 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터를 포함할 수 있다.

[0014] 상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결될 수 있다.

[0015] 상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인을 더 포함할 수 있다.

[0016] 상기 화소 회로는, 상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 포함할 수 있다.

[0017] 상기 복수의 박막 트랜지스터들은, 상기 제3 액티브 패턴과 연결되고 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터를 더 포함하며, 상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인, 및 상기 제4 액티브 패턴과 연결된 초기화 전원 라인을 더 포함할 수 있다.

[0018] 상기 초기화 전원 라인은 상기 제2 방향과 나란한 방향으로 연장되어 상기 복수의 연결 라인들과 연결될 수 있다.

다.

[0019] 상기 복수의 박막 트랜지스터들은, 상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터, 및 상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터를 더 포함하며, 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함할 수 있다.

[0020] 상기 복수의 박막 트랜지스터들은, 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터를 더 포함하며, 상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함할 수 있다.

[0021] 또한, 본 발명의 타 측면은 기판 상의 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들과 연결된 일 부분의 표면이 곡면 형태를 가진 복수의 데이터 라인들 및 상기 복수의 화소 회로들과 연결된 일 부분의 표면이 곡면 형태를 가진 복수의 연결 라인들을 형성하는 단계, 상기 복수의 데이터 라인들 중 상기 복수의 화소 회로들 중 일 화소 회로와 연결된 일 데이터 라인의 일 부분과 상기 복수의 연결 라인들 중 일 연결 라인의 일 부분 사이를 와이어를 이용해 연결하는 단계를 포함하는 유기 발광 표시 장치의 리페어 방법을 제공한다.

[0022] 상기 복수의 데이터 라인들 및 상기 복수의 연결 라인들을 형성하는 단계는 하프톤 마스크를 이용해 수행할 수 있다.

[0023] 상기 일 화소 회로는 불량일 수 있다.

[0024] 상기 복수의 데이터 라인들 및 상기 복수의 연결 라인들을 형성하는 단계는, 상기 복수의 데이터 라인들 각각의 제1 부분과 상기 제1 부분과 이격된 제2 부분 각각의 표면이 곡면 형태를 가지도록 상기 복수의 데이터 라인들을 형성하는 단계, 및 상기 복수의 연결 라인들 각각의 제4 부분과 상기 제4 부분과 이격된 제5 부분 각각의 표면이 곡면 형태를 가지도록 상기 복수의 연결 라인들을 형성하는 단계를 포함하며, 상기 와이어를 이용해 연결하는 단계는, 상기 일 데이터 라인의 상기 제1 부분과 상기 일 연결 라인의 상기 제4 부분 사이를 제1 서브 와이어를 이용해 직접 연결하는 단계, 및 상기 일 데이터 라인의 상기 제2 부분과 상기 일 연결 라인의 상기 제5 부분 사이를 제2 서브 와이어를 이용해 직접 연결하는 단계를 포함할 수 있다.

[0025] 상기 와이어를 이용해 연결하는 단계는, 상기 일 데이터 라인의 상기 제1 부분과 상기 제2 부분 사이의 제3 부분을 상기 일 화소 회로와 연결된 상태로 상기 제1 부분 및 상기 제2 부분으로부터 절단하여 고립(isolate)시키는 단계, 및 상기 일 연결 라인의 상기 제4 부분, 상기 제5 부분, 상기 제4 부분과 상기 제5 부분 사이의 제6 부분을 다른 부분으로부터 절단하여 고립시키는 단계를 포함할 수 있다.

발명의 효과

[0026] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 불량량이 발생된 하나 이상의 화소가 용이하게 리페어된 유기 발광 표시 장치 및 불량량이 발생된 하나 이상의 화소를 용이하게 리페어하는 유기 발광 표시 장치의 리페어 방법이 제공된다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다.

도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.

도 3은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수의 화소들 중 제1 화소, 제2 화소, 제3 화소를 나타낸 배치도이다.

도 4는 도 3의 IV-IV를 따른 단면도이다.

도 5는 도 3의 V-V를 따른 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 나타낸 순서도이다.

도 7 및 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 설명하기 위해 유기 발광

표시 장치의 복수의 화소들 중 제1 화소, 제2 화소, 제3 화소를 나타낸 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0031] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0032] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0033] 이하, 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다. 이하에서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.
- [0035] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관(SUB), 복수의 화소들(PXn), 복수의 데이터 라인들(DA), 복수의 연결 라인들(CL), 데이터 구동부(DD)를 포함한다.
- [0036] 기관(SUB)은 이미지(image)를 표시하는 표시 영역(DIA) 및 표시 영역(DIA)과 이웃하는 비표시 영역(NDA)을 포함한다. 비표시 영역(NDA)은 표시 영역(DIA)의 테두리를 둘러싸도록 위치할 수 있으나, 이에 한정되지 않고 기관(SUB) 상에서 다양한 영역에 위치할 수 있다. 기관(SUB)은 유리, 폴리머 또는 스테인리스 강 등을 포함하는 절연성 기관이다. 기관(SUB)은 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)할 수 있다. 기관(SUB)이 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)함으로써, 유기 발광 표시 장치 전체가 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)할 수 있다.
- [0037] 복수의 화소들(PXn)은 기관(SUB)의 표시 영역(DIA)에 대응하여 기관(SUB) 상에 위치하고 있다. 복수의 화소들(PXn) 각각은 복수의 데이터 라인들(DA) 각각과 복수의 연결 라인들(CL) 각각과 연결되어 있으며, 데이터 라인들(DA) 각각으로부터 공급된 데이터 신호에 대응하는 구동 전류에 상응하는 휘도로 발광하는 유기 발광 소자, 유기 발광 소자에 흐르는 구동 전류를 제어하기 위한 복수의 박막 트랜지스터 및 하나 이상의 커패시터를 포함하는 화소 회로를 포함한다. 복수의 화소들(PXn) 각각은 유기 발광 소자 및 유기 발광 소자와 연결된 상기 화소 회로를 포함한다.
- [0038] 설명의 편의를 위해 도 1에는 도시하지 않았지만 복수의 화소들(PXn) 각각은 서로 다른 스캔 신호를 공급하는 게이트 구동부와 연결된 복수의 스캔 라인들 각각과 연결될 수 있으며, 나아가 전압을 공급하는 구동 전원 라인 및 연결 라인(CL)과 연결된 초기화 전원 라인과 연결될 수 있다. 또한, 복수의 화소들(PXn) 각각에 포함된 유기 발광 소자의 캐소드 전극인 제2 전극은 공통 전원과 연결될 수 있다. 이러한 복수의 화소들(PXn) 각각의 자세한 구조에 대해서는 후술한다. 상술한 게이트 구동부, 복수의 스캔 라인들, 구동 전원 라인, 초기화 전원 라인은 후술하나, 이에 한정되지 않고 다양한 배선들이 공지된 다양한 형태로 복수의 화소들(PXn) 각각과 연결될 수 있다.
- [0039] 데이터 구동부(DD)는 기관(SUB)의 비표시 영역(NDA) 상에 위치하며, 복수의 데이터 라인들(DA) 및 복수의 연결 라인들(CL)과 연결되어 있다. 한편, 본 발명의 다른 실시예에서, 복수의 데이터 라인들(DA) 및 복수의 연결 라

인들(CL) 각각은 데이터 구동부(DD)에 연결되지 않고 다른 구동부와 연결될 수 있다.

- [0040] 복수의 데이터 라인들(DA) 각각은 기관(SUB) 상에서 일 방향으로 연장되어 일 방향과 교차하는 타 방향으로 상호 이격되어 배치되며, 복수의 화소들(PX_n) 각각의 화소 회로와 연결된다.
- [0041] 복수의 연결 라인들(CL) 각각은 데이터 라인(DA)과 이웃하여 상기 일 방향과 나란한 방향으로 연장되며, 복수의 화소들(PX_n) 각각의 화소 회로와 연결된다.
- [0042] 이하, 도 2를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소(PX_n)의 회로를 설명한다.
- [0043] 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.
- [0044] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소(PX_n)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7) 및 커패시터(Cst)를 포함하는 화소 회로(PC), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(S_n, S_{n-1}, S_{n-2}, EM, Vin, CL, DA, ELVDD), 유기 발광 소자(OLED)를 포함한다.
- [0045] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.
- [0046] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.
- [0047] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(S_n)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0048] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(S_n)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0049] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(S_{n-1})과 연결되어 있고, 제4 소스 전극(S4)은 연결 라인(CL)에 연결된 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0050] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0051] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0052] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(S_{n-2})과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0053] 상술한 복수의 스캔 라인들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(S_n), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(S_{n-1}), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(S_{n-2}), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM)을 포함한다.
- [0054] 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극 및 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T

3)의 제3 드레인 전극(D3)과 연결된 타 전극을 포함한다.

- [0055] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.
- [0056] 이러한 화소 회로(PC), 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, CL, DA, ELVDD), 유기 발광 소자(OLED)를 포함하는 일 화소(PXn)의 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.
- [0057] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 연결 라인(CL)을 통해 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0058] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Vd+Vth, Vth는 (-)의 값)이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압(Vd+Vth)은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극에도 공급된다.
- [0059] 다음, 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Vel)이 공급되고, 타 전극에는 상술한 보상 전압(Vd+Vth)이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0060] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Vel)이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.
- [0061] 그러면, 구동 전압(Vel)이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압(Vel) 간의 전압차에 대응하는 구동 전류(Id)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(Id)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.
- [0062] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 및 커패시터(Cst)를 포함하는 화소 회로(PC) 및 이와 연결된 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin), 연결 라인(CL)으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 복수의 박막 트랜지스터와 하나 이상의 커패시터를 포함하는 화소 회로 및 이와 연결된 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.
- [0063] 이하, 도 3을 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수의 화소들(PXn) 중 기관(SUB)의 표시 영역(DIA)에 위치하는 서로 이웃하는 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3)의 배치를 설명한다.
- [0064] 도 3은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수의 화소들 중 제1 화소, 제2 화소, 제3 화소를 나타낸 배치도이다.
- [0065] 도 3에 도시된 바와 같이, 기관(SUB) 상에 위치하여 서로 이웃하는 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 각각은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn),

제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB), 연결 라인(CL), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제1 화소(PX1)는 제2 화소(PX2) 및 제3 화소(PX3)와 다르게 와이어(WI)를 더 포함한다.

[0066] 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 각각의 복수의 박막트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 게이트 브릿지(GB), 커패시터(Cst)는 화소 회로(PC)를 형성할 수 있다.

[0067] 제1 박막 트랜지스터(T1)는 기관(SUB) 상에 위치하며, 제1 액티브층(A1) 및 제1 게이트 전극(G1)을 포함한다.

[0068] 제1 액티브층(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브층(A1)의 채널 영역인 제1 채널(C1)은 한 번 이상 절곡 연장된 형태를 가지고 있으며, 제1 채널(C1)이 한정된 공간인 제1 게이트 전극(G1)과 중첩하는 공간 내에서 한 번 이상 절곡 연장되어 있음으로써, 제1 채널(C1)의 길이를 길게 형성할 수 있기 때문에, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 형성할 수 있다. 이로 인해, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 넓은 구동 범위 내에서 변화시켜 유기 발광 소자(OLED)로부터 발광되는 빛의 계조를 보다 세밀하게 제어함으로써, 유기 발광 표시 장치로부터 표시되는 이미지의 품질이 향상될 수 있다. 이러한 제1 액티브층(A1)은 그 형태가 다양하게 변형될 수 있으며, 일례로 '역S', 'S', 'M', 'W' 등의 다양한 형태로 변형될 수 있다.

[0069] 제1 액티브층(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브층(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0070] 제1 액티브층(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.

[0071] 제1 게이트 전극(G1)은 제1 액티브층(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 콘택홀(contact hole)(CNT)을 통하는 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 타 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다.

[0072] 제2 박막 트랜지스터(T2)는 기관(SUB) 상에 위치하며, 제2 액티브층(A2) 및 제2 게이트 전극(G2)을 포함한다. 제2 액티브층(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 콘택홀을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브층(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브층(A2)은 제1 액티브층(A1)과 연결되어 있다.

- [0073] 제2 액티브층(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브층(A2)은 제1 액티브층(A1)과 동일한 층에 위치하며, 제1 액티브층(A1)과 동일한 재료로 형성되며, 제1 액티브층(A1)과 일체로 형성되어 있다.
- [0074] 제2 게이트 전극(G2)은 제2 액티브층(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.
- [0075] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브층(A3) 및 제3 게이트 전극(G3)을 포함한다.
- [0076] 제3 액티브층(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 컨택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브층(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브층(A3)은 제1 액티브층(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.
- [0077] 제3 액티브층(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브층(A3)은 제1 액티브층(A1) 및 제2 액티브층(A2)과 동일한 층에 위치하며, 제1 액티브층(A1) 및 제2 액티브층(A2)과 동일한 재료로 형성되며, 제1 액티브층(A1) 및 제2 액티브층(A2)과 일체로 형성되어 있다.
- [0078] 제3 게이트 전극(G3)은 제3 액티브층(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0079] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브층(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0080] 제4 액티브층(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 컨택홀을 통해 연결 라인(CL)과 연결된 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 컨택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브층(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브층(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브층(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0081] 제4 액티브층(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브층(A4)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 일체로 형성되어 있다.
- [0082] 제4 게이트 전극(G4)은 제4 액티브층(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0083] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브층(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0084] 제5 액티브층(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 컨택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브층(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브층(A5)은 구동 전원 라인(ELVDD)과 제1 액티브층(A1) 사이를 연결하고 있다.
- [0085] 제5 액티브층(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브층(A5)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3),

제4 액티브층(A4)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 일체로 형성되어 있다.

[0086] 제5 게이트 전극(G5)은 제5 액티브층(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0087] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브층(A6) 및 제6 게이트 전극(G6)을 포함한다.

[0088] 제6 액티브층(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 컨택홀을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브층(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브층(A6)은 제1 액티브층(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.

[0089] 제6 액티브층(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브층(A6)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 일체로 형성되어 있다.

[0090] 제6 게이트 전극(G6)은 제6 액티브층(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0091] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브층(A7) 및 제7 게이트 전극(G7)을 포함한다.

[0092] 제7 액티브층(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 화소(도 3에 도시된 화소의 상측에 위치하는 화소일 수 있다.)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브층(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브층(A7)은 유기 발광 소자의 제1 전극과 제4 액티브층(A4) 사이를 연결하고 있다.

[0093] 제7 액티브층(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브층(A7)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 일체로 형성되어 있다.

[0094] 제7 게이트 전극(G7)은 제7 액티브층(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.

[0095] 제1 스캔 라인(Sn)은 제2 액티브층(A2) 및 제3 액티브층(A3) 상에 위치하여 제2 액티브층(A2) 및 제3 액티브층(A3)을 가로지르는 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.

[0096] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제4 액티브층(A4) 상에 위치하며, 제4 액티브층(A4)을 가로지르는 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다.

[0097] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 제7 액티브층(A7) 상에 위치하며, 제7 액티브층(A7)을 가로지르는 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다.

- [0098] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제5 액티브층(A5) 및 제6 액티브층(A6) 상에 위치하며, 제5 액티브층(A5) 및 제6 액티브층(A6)을 가로지르는 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.
- [0099] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0100] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있다.
- [0101] 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터 전극(CE) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성되어 있다.
- [0102] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분을 노출하는 개구부(OA)를 포함하며, 이 개구부(OA)를 통해 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 연결되어 있다.
- [0103] 데이터 라인(DA)은 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 일 방향으로 연장되어 있으며, 복수의 데이터 라인들(DA) 각각은 일 방향과 교차하는 타 방향으로 상호 이격되어 배치된다. 데이터 라인(DA)은 콘택홀을 통해 제2 액티브층(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 초기화 전원 라인(Vin)을 가로질러 연장되어 있다.
- [0104] 구동 전원 라인(ELVDD)은 데이터 라인(DA)과 이격되어 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 일 방향으로 연장되어 있으며, 콘택홀을 통해 커패시터 전극(CE) 및 제1 액티브층(A1)과 연결된 제5 액티브층(A5)의 제5 소스 전극(S5)과 연결되어 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 초기화 전원 라인(Vin)을 가로질러 연장되어 있다.
- [0105] 게이트 브릿지(GB)는 구동 전원 라인(ELVDD)과 이격되어 있으며, 콘택홀을 통해 제3 액티브층(A3)의 제3 드레인 전극(D3) 및 제4 액티브층(A4)의 제4 드레인 전극(D4) 각각과 연결되어 콘택홀을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결되어 있다. 즉, 게이트 브릿지(GB)는 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 중 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제3 박막 트랜지스터(T3)의 사이와 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제4 박막 트랜지스터(T4) 사이 각각을 연결하고 있다.
- [0106] 연결 라인(CL)은 이웃하는 데이터 라인(DA) 사이에 배치되어 데이터 라인(DA)의 연장 방향인 일 방향과 나란한 방향으로 연장되어 있다. 연결 라인(CL)은 초기화 전원 라인(Vin)과 연결되어 있으며, 초기화 전원 라인(Vin)을 통해 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 각각과 연결되어 있다. 연결 라인(CL)은 일 방향과 나란한 방향으로 연장되고 초기화 전원 라인(Vin)은 연결 라인(CL)과 교차하는 방향으로 연장되어 있음으로써, 연결 라인(CL)과 초기화 전원 라인(Vin)은 기판(SUB) 전체에 걸쳐서 평면적으로 매트릭스(matrix) 형태를 가지고 있다.
- [0107] 연결 라인(CL)은 상술한 게이트 브릿지(GB), 데이터 라인(DA), 구동 전원 라인(ELVDD)과 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 연결 라인(CL), 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0108] 초기화 전원 라인(Vin)은 연결 라인(CL)의 연장 방향과 교차하는 방향으로 연장되어 있으며, 복수의 데이터 라인들(DA) 각각의 배치 방향인 상술한 타 방향과 나란한 방향으로 연장되어 있다. 초기화 전원 라인(Vin)은 콘택홀을 통해 연결 라인(CL)과 연결되는 동시에 콘택홀을 통해 제4 액티브층(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 전원 라인(Vin)은 커패시터 전극(CE)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 커패시터 전극(CE)과 다른 층에 위치하여 다른 재료

로 형성될 수 있다.

- [0109] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층, 제2 전극을 포함한다. 제1 전극(E1)은 컨택홀을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 제1 전극(E1), 유기 발광층, 제2 전극은 순차적으로 적층될 수 있으며, 제1 전극(E1) 및 제2 전극 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극 중 어느 하나 이상의 방향으로 방출될 수 있다.
- [0110] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는 봉지 기판이 위치할 수 있다.
- [0111] 이하, 도 3 내지 도 5를 참조하여 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 중 제2 화소(PX2) 및 제3 화소(PX3) 대비 와이어(WI)를 더 포함하는 제1 화소(PX1)에 대해 구체적으로 설명한다.
- [0112] 도 4는 도 3의 IV-IV를 따른 단면도이다. 도 5는 도 3의 V-V를 따른 단면도이다. 도 4 및 도 5 각각은 설명의 편의를 위해 데이터 라인, 연결 라인 및 와이어의 단면을 도시하였다.
- [0113] 도 3 내지 도 5에 도시된 바와 같이, 제1 화소(PX1)는 후술할 유기 발광 표시 장치의 리페어 방법에 의해 리페어된 화소이며, 제1 화소(PX1)에 포함된 데이터 라인(DA) 및 연결 라인(CL)은 제2 화소(PX2) 및 제3 화소(PX3) 대비 다른 구조를 가지고 중간이 절단(CUT)되어 있으나, 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 각각에 포함된 데이터 라인(DA) 및 연결 라인(CL)의 표면 형태는 모두 동일한 형태를 가지고 있다.
- [0114] 제1 화소(PX1)의 화소 회로(PC)는 제2 화소(PX2) 및 제3 화소(PX3) 각각의 화소 회로(PC)와는 다르게 불량일 수 있으며, 제1 화소(PX1)의 화소 회로(PC)는 유기 발광 소자(OLED)와 절단(CUT)되어 있다.
- [0115] 제1 화소(PX1)는 데이터 라인(DA)의 일 부분과 연결 라인(CL)의 일 부분 사이를 직접 연결하는 와이어(WI)를 더 포함하며, 와이어(WI)와 접하는 데이터 라인(DA)의 일 부분 및 연결 라인(CL)의 일 부분 중 하나 이상의 표면은 곡면 형태를 가지고 있다.
- [0116] 또한, 제1 화소(PX1)와 연결된 일 데이터 라인(DA)의 일 부분과 대응하는 제2 화소(PX2) 및 제3 화소(PX3) 각각과 연결된 복수의 데이터 라인들(DA) 각각의 일 부분의 표면도 곡면 형태를 가지고 있다.
- [0117] 또한, 제1 화소(PX1)와 연결된 일 연결 라인(CL)의 일 부분과 대응하는 복수의 연결 라인들(CL) 각각의 일 부분의 표면도 곡면 형태를 가지고 있다.
- [0118] 구체적으로, 제1 화소(PX1)의 데이터 라인(DA)은 제1 부분(PA1), 제2 부분(PA2), 제3 부분(PA3)을 포함하며, 연결 라인(CL)은 제4 부분(PA4), 제5 부분(PA5), 제6 부분(PA6)을 포함한다. 와이어(WI)는 제1 서브 와이어(W1) 및 제2 서브 와이어(W2)를 포함한다.
- [0119] 데이터 라인(DA)의 제1 부분(PA1)은 제1 서브 와이어(W1)를 통해 연결 라인(CL)의 제4 부분(PA4)과 연결되어 있으며, 제1 서브 와이어(W1)는 서로 동일한 층에 위치하는 데이터 라인(DA)의 제1 부분(PA1)과 연결 라인(CL)의 제4 부분(PA4) 사이를 직접 연결하고 있다. 제1 서브 와이어(W1)는 데이터 라인(DA)과 연결 라인(CL) 상에 위치하며, 데이터 라인(DA) 및 연결 라인(CL) 각각과 직접 접촉하고 있다.
- [0120] 데이터 라인(DA)의 제2 부분(PA2)은 제2 서브 와이어(W2)를 통해 연결 라인(CL)의 제5 부분(PA5)과 연결되어 있으며, 제2 서브 와이어(W2)는 서로 동일한 층에 위치하는 데이터 라인(DA)의 제2 부분(PA2)과 연결 라인(CL)의 제5 부분(PA5) 사이를 직접 연결하고 있다. 제2 서브 와이어(W2)는 데이터 라인(DA)과 연결 라인(CL) 상에 위치하며, 데이터 라인(DA) 및 연결 라인(CL) 각각과 직접 접촉하고 있다.
- [0121] 제1 서브 와이어(W1)에 의해 연결되는 데이터 라인(DA)의 제1 부분(PA1) 및 제2 부분(PA2) 각각과 제2 서브 와이어(W2)에 의해 연결되는 연결 라인(CL)의 제4 부분(PA4) 및 제5 부분(PA5) 각각은 표면은 곡면 형태를 가지고 있으며, 이와 동일하게, 복수의 데이터 라인들(DA) 각각의 제1 부분(PA1) 및 제2 부분(PA2) 각각의 표면도 곡면 형태를 가지고 있으며, 복수의 연결 라인들(CL) 각각의 제4 부분(PA4) 및 제5 부분(PA5) 각각의 표면도 곡면 형태를 가지고 있다.
- [0122] 이와 같이, 제1 서브 와이어(W1)와 직접 연결되는 데이터 라인(DA)의 제1 부분(PA1) 및 연결 라인(CL)의 제4 부분(PA4) 각각의 표면이 곡면 형태를 가지고 제1 서브 와이어(W1)와 직접 접촉하고 있고, 제2 서브 와이어(W2)와 직접 연결되는 데이터 라인(DA)의 제2 부분(PA2) 및 연결 라인(CL)의 제5 부분(PA5) 각각의 표면이 곡면 형태를

가지고 있음으로써, 제1 서브 와이어(W1) 및 제2 서브 와이어(W2) 각각은 데이터 라인(DA)과 연결 라인(CL) 사이를 용이하게 연결한다. 구체적으로, 와이어(WI)가 직접 연결되는 연결 라인(CL) 및 데이터 라인(DA) 각각의 표면이 모서리(corner)를 가질 경우, 이 모서리에 의해 와이어(WI)가 의도치 않게 절단(CUT)되어 와이어(WI)에 의한 데이터 라인(DA)과 연결 라인(CL) 사이의 연결이 수행되지 않을 수 있으나, 본 발명의 일 실시예에서는 와이어(WI)가 직접 연결되는 데이터 라인(DA)의 제1 부분(PA1) 및 제2 부분(PA2) 각각과 연결 라인(CL)의 제4 부분(PA4) 및 제5 부분(PA5) 각각의 표면이 곡면 형태를 가지고 있기 때문에, 와이어(WI)에 의해 데이터 라인(DA)과 연결 라인(CL) 사이가 용이하게 연결된다.

[0123] 데이터 라인(DA)의 제1 부분(PA1) 및 제2 부분(PA2) 외의 데이터 라인(DA)의 다른 부분의 표면은 제1 부분(PA1) 및 제2 부분(PA2)과 달리 모서리(corner)를 가지며, 연결 라인(CL)의 제4 부분(PA4) 및 제5 부분(PA5) 외의 연결 라인(CL)의 다른 부분의 표면은 제4 부분(PA4) 및 제5 부분(PA5)과 달리 모서리를 가진다.

[0124] 데이터 라인(DA)의 제1 부분(PA1)과 제2 부분(PA2) 사이에 위치하는 제3 부분(PA3)은 화소 회로(PC)와 연결된 상태로 제1 부분(PA1) 및 제2 부분(PA2)으로부터 절단(CUT)되어 고립되어 있으며, 연결 라인(CL)의 제4 부분(PA4), 제5 부분(PA5), 제4 부분(PA4)과 제5 부분(PA5) 사이의 제6 부분(PA6)은 다른 부분으로부터 절단(CUT)되어 고립되어 있다.

[0125] 이로 인해, 제1 화소(PX1)의 데이터 라인(DA)의 제1 부분(PA1)은 제1 서브 와이어(W1), 연결 라인(CL)의 제4 부분(PA4), 제6 부분(PA6), 제5 부분(PA5), 제2 서브 와이어(W2)를 통해 데이터 라인(DA)의 제2 부분(PA2)과 연결된다. 또한, 제1 화소(PX1)와 연결된 데이터 라인(DA)을 통한 데이터 신호는 데이터 라인(DA)의 제1 부분(PA1), 제1 서브 와이어(W1), 연결 라인(CL)의 제4 부분(PA4), 제6 부분(PA6), 제5 부분(PA5), 제2 서브 와이어(W2), 데이터 라인(DA)의 제2 부분(PA2)을 통해 제1 화소(PX1)의 화소 회로(PC)를 우회하여 제1 화소(PX1) 아래의 다른 화소로 공급된다.

[0126] 즉, 불량이 발생된 제1 화소(PX1)의 화소 회로(PC)는 데이터 라인(DA)과 연결되지 않게 되며, 데이터 라인(DA)을 통하는 데이터 신호는 와이어(WI) 및 연결 라인(CL)을 통해 제1 화소(PX1)가 아닌 다른 화소로 공급된다. 이로 인해, 복수의 화소들이 발광할 때, 제1 화소(PX1)는 발광하지 않음으로써, 제1 화소(PX1)가 시인되는 것이 억제된다.

[0127] 즉, 불량이 발생된 제1 화소(PX1)가 리페어됨으로써, 불량인 제1 화소(PX1)가 시인되는 것이 억제된 유기 발광 표시 장치가 제공된다.

[0128] 종래의 유기 발광 표시 장치는 와이어와 직접 접촉하는 데이터 라인의 표면이 모서리를 포함함으로써, 이 모서리에 의해 와이어가 의도치 않게 절단되어 와이어에 의한 데이터 라인과 연결 라인 사이의 연결이 수행되지 않는다.

[0129] 이와 다르게, 본 발명의 일 실시예에서는 와이어가 직접 연결되는 데이터 라인의 표면이 곡면 형태를 가지고 있음으로써, 와이어에 의해 데이터 라인과 연결 라인 사이가 용이하게 연결된다.

[0130] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 와이어(WI)와 접하는 데이터 라인(DA)의 일 부분 및 연결 라인(CL)의 일 부분 중 하나 이상의 표면이 곡면 형태를 가짐으로써, 와이어(WI)에 의해 데이터 라인(DA)과 연결 라인(CL) 사이가 용이하게 연결된다. 즉, 리페어가 용이하게 수행된 유기 발광 표시 장치가 제공된다.

[0131] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 와이어(WI)에 의해 연결되는 일 데이터 라인(DA)의 일 부분의 표면 및 일 연결 라인(CL)의 일 부분의 표면 각각만이 곡면 형태를 가지는 것뿐만 아니라, 일 데이터 라인(DA)의 일 부분과 대응하는 복수의 데이터 라인들(DA) 각각의 일 부분의 표면 및 일 연결 라인(CL)의 일 부분과 대응하는 복수의 연결 라인들(CL) 각각의 일 부분의 표면 각각도 곡면 형태를 가지기 때문에, 와이어(WI)를 이용해 데이터 라인(DA)과 연결 라인(CL) 사이를 연결하기 전에 데이터 라인(DA)과 연결 라인(CL) 각각의 표면을 곡면 처리할 필요가 없다. 즉, 리페어가 용이하게 수행된 유기 발광 표시 장치가 제공된다.

[0132] 이하, 도 6 내지 도 8을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 설명한다. 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 이용해 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 제공될 수 있다.

[0133] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 나타낸 순서도이다. 도 7 및 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 설명하기 위해 유기 발광 표시 장치의

복수의 화소들 중 제1 화소, 제2 화소, 제3 화소를 나타낸 배치도이다.

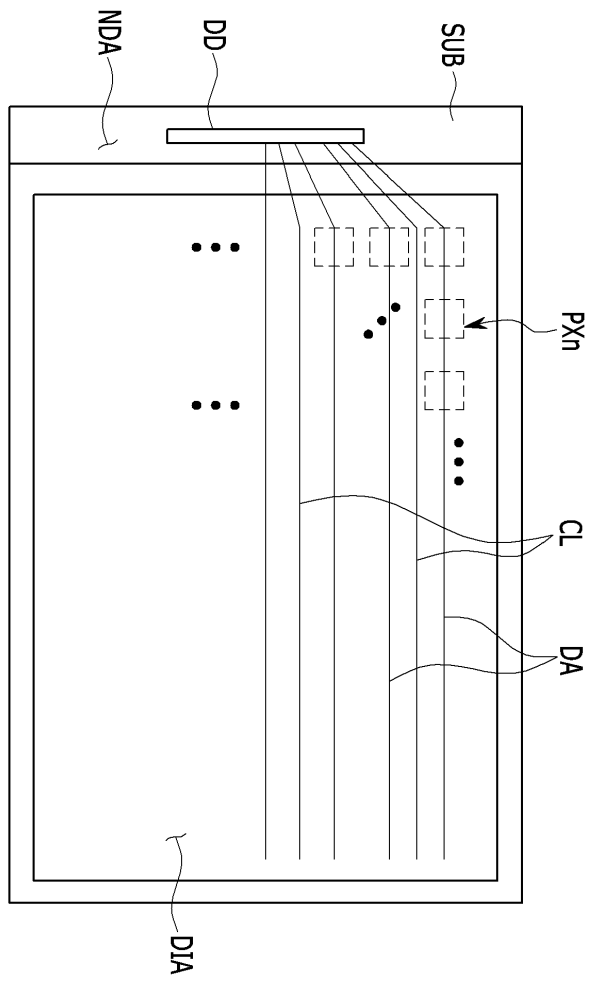
- [0134] 우선, 도 6 및 도 7에 도시된 바와 같이, 일 부분의 표면이 곡면 형태를 가진 복수의 데이터 라인들 및 일 부분의 표면이 곡면 형태를 가진 복수의 연결 라인들을 형성한다(S100).
- [0135] 구체적으로, 유기 발광 표시 장치를 제조하면서, 복수의 데이터 라인들(DA) 및 복수의 연결 라인들(CL)을 형성할 때, 복수의 데이터 라인들(DA) 각각의 제1 부분(PA1) 및 제2 부분(PA2) 각각의 표면과 복수의 연결 라인들(CL) 각각의 제4 부분(PA4) 및 제5 부분(PA5) 각각의 표면이 곡면 형태를 가지도록 형성한다.
- [0136] 일례로, 포토리소그래피 공정을 이용해 복수의 데이터 라인들(DA) 및 복수의 연결 라인들(CL)을 형성할 때, 하프톤 마스크를 이용해 복수의 데이터 라인들(DA) 각각의 제1 부분(PA1) 및 제2 부분(PA2) 각각의 표면을 곡면 형태를 가지도록 형성하고, 하프톤 마스크를 이용해 복수의 연결 라인들(CL) 각각의 제4 부분(PA4) 및 제5 부분(PA5) 각각의 표면을 곡면 형태를 가지도록 형성한다.
- [0137] 다음, 도 8에 도시된 바와 같이, 일 데이터 라인의 일 부분과 일 연결 라인의 일 부분 사이를 와이어를 이용해 연결한다(S200).
- [0138] 구체적으로, 유기 발광 표시 장치에 포함된 복수의 화소들인 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 각각의 복수의 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)을 포함하는 화소 회로(PC)의 불량 유무를 확인하기 위해 점등 검사를 수행하고, 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 중 제1 화소(PX1)가 불량인 발생한 불량 화소임을 확인하면, 일 화소 회로인 제1 화소(PX1)의 화소 회로(PC)와 연결된 일 데이터 라인(DA)의 일 부분과 일 연결 라인(CL)의 일 부분 사이를 와이어(WI)를 이용해 연결한다.
- [0139] 구체적으로, 증착 공정을 이용해 데이터 라인(DA)의 제1 부분(PA1)과 연결 라인(CL)의 제4 부분(PA4) 사이를 제1 서브 와이어(W1)를 이용해 직접 연결하고, 데이터 라인(DA)의 제2 부분(PA2)과 연결 라인(CL)의 제5 부분(PA5) 사이를 제2 서브 와이어(W2)를 이용해 직접 연결한다.
- [0140] 또한, 제1 화소(PX1)의 데이터 라인(DA)의 제1 부분(PA1)과 제2 부분(PA2) 사이의 제3 부분(PA3)을 일 화소 회로(PC)와 연결된 상태로 제1 부분(PA1) 및 제2 부분(PA2)으로부터 절단(CUT)하여 고립시키고, 연결 라인(CL)의 제4 부분(PA4), 제5 부분(PA5), 제4 부분(PA4)과 제5 부분(PA5) 사이의 제6 부분(PA6)을 다른 부분으로부터 절단(CUT)하여 고립시킨다.
- [0141] 이상과 같은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법을 이용해 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 제공될 수 있다.
- [0142] 한편, 본 발명의 다른 실시예에서 데이터 라인(DA)은 와이어(WI)에 의해 연결 라인(CL)과 연결되나, 본 발명의 또 다른 실시예에서 데이터 라인(DA)은 와이어(WI)에 의해 구동 전원 라인(ELVDD) 또는 데이터 라인(DA)과 동일한 층에 위치하는 다른 라인 등과 연결될 수 있다. 이 경우, 데이터 라인(DA)의 제1 부분(PA1) 및 제2 부분(PA2)에 대응하는 구동 전원 라인(ELVDD)의 일 부분의 표면은 곡면 형태를 가질 수 있으며, 또한 데이터 라인(DA)의 제1 부분(PA1) 및 제2 부분(PA2)에 대응하는 다른 라인의 일 부분의 표면은 곡면 형태를 가질 수 있다.
- [0143] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 리페어 방법은 데이터 라인(DA)의 일 부분 및 연결 라인(CL)의 일 부분 중 하나 이상의 표면이 곡면 형태로 이미 형성되어 있고, 와이어(WI)를 이용해 곡면 형태의 표면을 가지는 데이터 라인(DA)의 일 부분과 연결 라인(CL)의 일 부분을 연결함으로써, 와이어(WI)에 의해 데이터 라인(DA)과 연결 라인(CL) 사이가 용이하게 연결된다. 즉, 와이어(WI)에 의한 리페어가 용이하게 수행되는 유기 발광 표시 장치의 리페어 방법이 제공된다.
- [0144] 본 발명을 앞서 기재한 바에 따라 여러 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

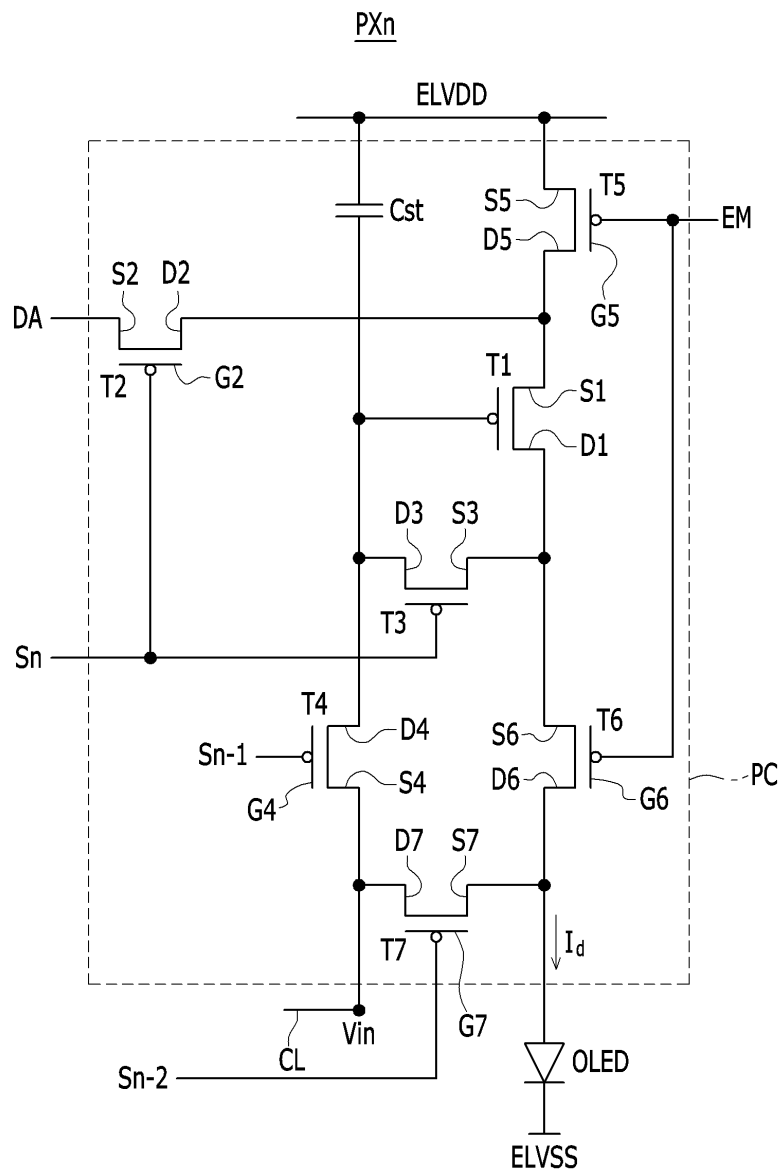
- [0145] 기관(SUB), 유기 발광 소자(OLED), 화소 회로(PC), 데이터 라인(DA), 연결 라인(CL), 와이어(WI)

도면

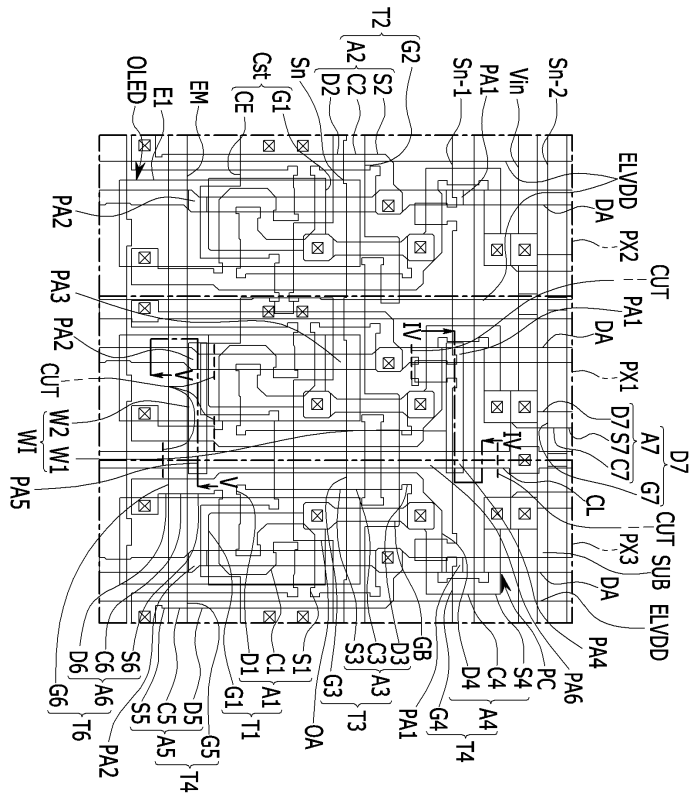
도면1



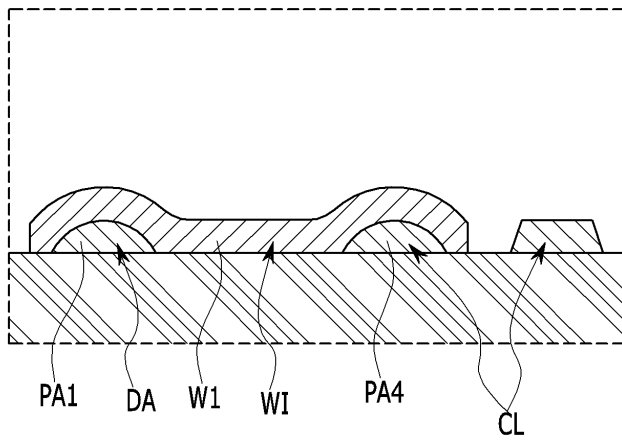
도면2



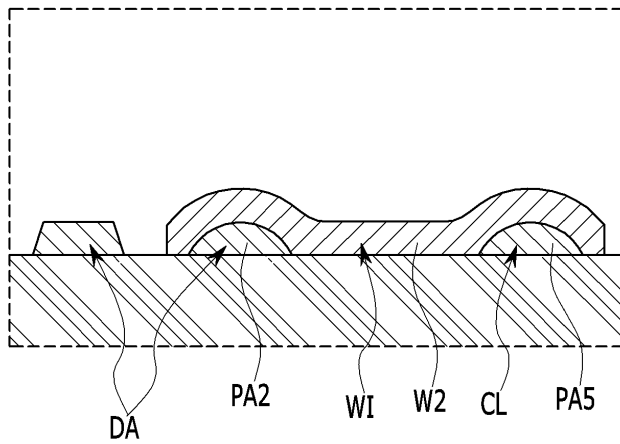
도면3



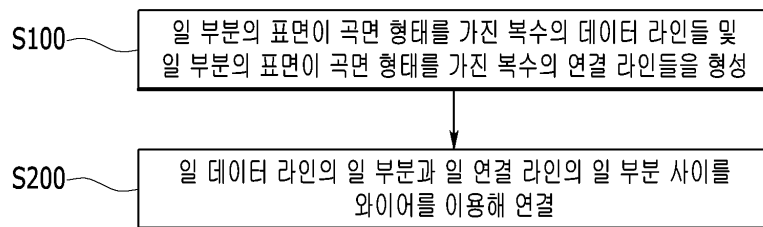
도면4



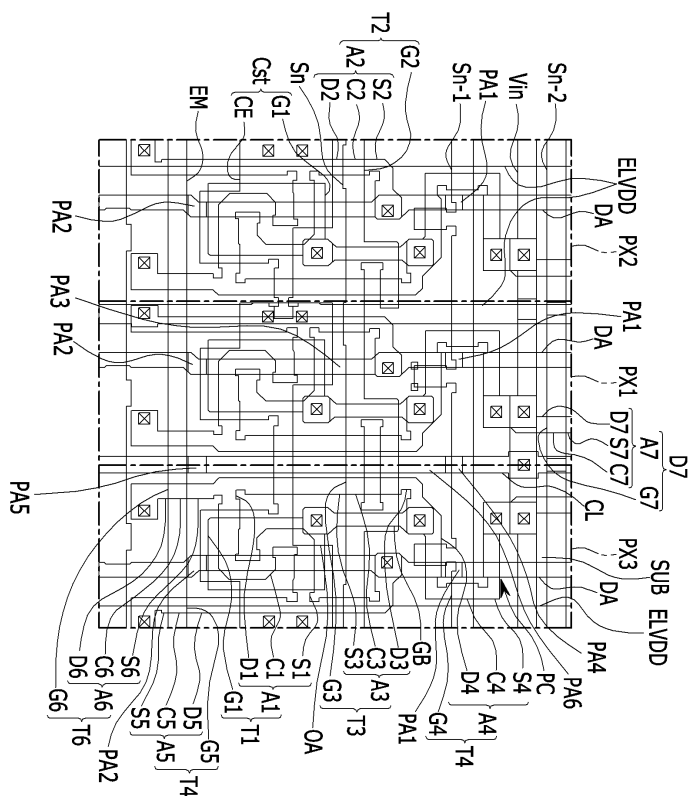
도면5



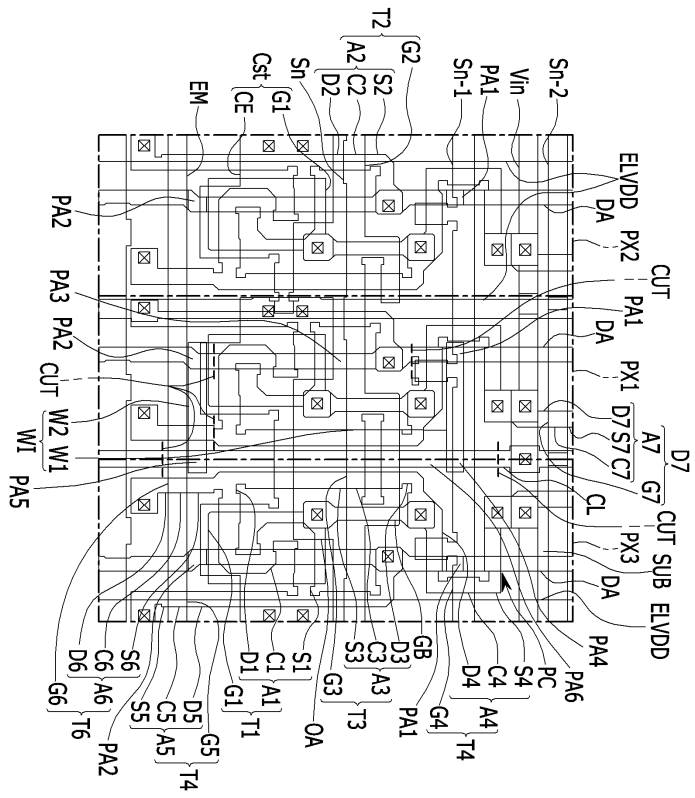
도면6



도면7



도면8



专利名称(译)	标题：有机发光显示装置和修复有机发光显示装置的方法		
公开(公告)号	KR1020160130073A	公开(公告)日	2016-11-10
申请号	KR1020150062086	申请日	2015-04-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM TAE GON 김태곤 KIM YONG CHUL 김용철		
发明人	김태곤 김용철		
IPC分类号	H01L27/32		
CPC分类号	H01L27/326 H01L27/3248 H01L27/3246 H01L27/3262 H01L2227/32		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括连接在多个像素电路的一个部分之间的直接导线，每个部分在基板上延伸到第一方向，并且与第一方向交叉的第二方向上相互分离，并且每个都被布置，并且它与数据线相邻，多条数据线与多个像素电路相连，每条数据线沿第一方向平行延伸，与多条连接线的一部分连接多条像素电路相邻，任务数据线相邻。多条数据线数据线和多条连接线。在包括基板的任务连接中，多个有机发光装置位于基板的表面上并且彼此分离，并且每个都是多个有机发光装置，并且连接的多个薄的多个有机发光装置薄膜晶体管。

