



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0129186
(43) 공개일자 2016년11월09일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/326 (2013.01)

(21) 출원번호 10-2015-0060660

(22) 출원일자 2015년04월29일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이성민

충청남도 아산시 배방읍 호서로 460, 128동 404호
(배방자이1차아파트)

김효민

충청남도 천안시 서북구 1공단4길 11-3 센트리빌
407호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

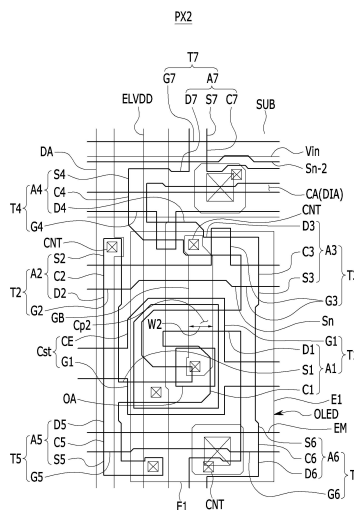
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 전극들 각각을 포함하는 복수의 유기 발광 소자들, 상기 기관의 상기 표시 영역 상에 위치하며 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 연결하며 상기 전극과 일부 이상 중첩되어 상기 전극과 기생 커패시터를 형성하는 노드 라인을 포함하는 복수의 화소 회로들을 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 2227/32 (2013.01)

(72) 발명자

이예지

서울특별시 강북구 인수봉로72가길 17 3층 (수유동)

전혁상

경기도 수원시 영통구 매영로310번길 12 554동
1503호 (영통동, 신나무실5단지아파트)

명세서

청구범위

청구항 1

이미지를 표시하는 표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 전극들 각각을 포함하는 복수의 유기 발광 소자들;

상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 연결하며 상기 전극과 일부 이상 중첩되어 상기 전극과 기생 커패시턴스를 형성하는 노드 라인을 포함하는 복수의 화소 회로들

을 포함하며,

상기 표시 영역의 중앙 영역에 형성되는 상기 기생 커패시턴스는 상기 표시 영역의 외곽 영역에 형성되는 상기 기생 커패시턴스 대비 큰 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 복수의 화소 회로들 중 상기 표시 영역의 상기 중앙 영역에 위치하는 일 화소 회로의 노드 라인은 상기 표시 영역의 상기 외곽 영역에 위치하는 타 화소 회로의 노드 라인 대비 상기 전극과 더 넓은 면적으로 중첩되는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 일 화소 회로의 노드 라인은 상기 타 화소 회로의 노드 라인 대비 더 큰 너비를 가지는 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 복수의 전극들 중 상기 일 화소 회로의 노드 라인과 중첩하는 일 전극의 면적은 상기 타 화소 회로의 노드 라인과 중첩하는 타 전극의 면적 대비 넓은 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 복수의 화소 회로들 중 상기 표시 영역의 상기 중앙 영역에 위치하는 일 화소 회로의 노드 라인과 상기 전극 사이의 간격은 상기 표시 영역의 상기 외곽 영역에 위치하는 타 화소 회로의 노드 라인과 상기 전극 사이의 간격 대비 좁은 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 복수의 화소 회로들 중 상기 표시 영역의 상기 중앙 영역에 위치하는 일 화소 회로의 노드 라인과 상기 전극 사이에 위치하는 일 절연층의 유전 상수는 상기 표시 영역의 상기 외곽 영역에 위치하는 타 화소 회로의 노드 라인과 상기 전극 사이에 위치하는 타 절연층의 유전 상수 대비 큰 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 기판은 상기 표시 영역과 이웃하는 비표시 영역을 더 포함하며,

상기 기판 상에서 일 방향으로 연장되어 상기 복수의 박막 트랜지스터와 연결된 복수의 데이터 라인들; 및

상기 기판의 상기 비표시 영역 상에 위치하며, 상기 복수의 데이터 라인들과 연결된 데이터 구동부를 더 포함하며,

상기 외곽 영역은 상기 데이터 구동부와 이웃하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 복수의 박막 트랜지스터들은,

상기 기판 상에 위치하며 상기 유기 발광 소자와 연결된 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브 패턴의 일 단부와 연결되어 상기 데이터 라인과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터; 및

상기 제1 액티브 패턴의 타 단부와 연결되어 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 노드 라인은 상기 제1 게이트 전극 및 상기 제3 액티브 패턴 각각과 콘택홀을 통해 연결된 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 노드 라인은 상기 데이터 라인과 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 11

제8항에서,

상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인; 및

상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 더 포함하는 유기 발광 표시 장치.

청구항 13

제11항에서,

상기 복수의 박막 트랜지스터들은, 상기 제3 액티브 패턴과 연결되고 상기 노드 라인을 통해 상기 제1 게이트

전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터를 더 포함하며,

상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인; 및

상기 제4 액티브 패턴과 연결된 초기화 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 복수의 박막 트랜지스터들은,

상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터; 및

상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터

를 더 포함하며,

상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 복수의 박막 트랜지스터들은, 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터를 더 포함하며,

상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터 및 이에 연결된 복수의 유기 발광 소자를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 기관 및 기관 전체에 걸쳐서 기관 상에 형성된 복수의 박막 트랜지스터들 및 복수의 유기 발광 소자들을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 실시예는, 기관 전체에 걸쳐서 형성된 복수의 유기 발광 소자 각각으로 공급되는 전류에 의도치 않은 편차가 발생하는 것이 억제된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

- [0005] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 이미지를 표시하는 표시 영역을 포함하는 기관, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 서로 이격된 복수의 전극들 각각을 포함하는 복수의 유기 발광 소자들, 상기 기관의 상기 표시 영역 상에 위치하며, 각각이 상기 복수의 유기 발광 소자들 각각과 연결된 복수의 박막 트랜지스터들 및 상기 복수의 박막 트랜지스터들 중 어느 하나와 다른 하나 사이를 연결하며 상기 전극과 일부 이상 중첩되어 상기 전극과 기생 커패시턴스를 형성하는 노드 라인을 포함하는 복수의 화소 회로들을 포함하며, 상기 표시 영역의 중앙 영역에 형성되는 상기 기생 커패시턴스는 상기 표시 영역의 외곽 영역에 형성되는 상기 기생 커패시턴스 대비 큰 유기 발광 표시 장치를 제공한다.
- [0006] 상기 복수의 화소 회로들 중 상기 표시 영역의 상기 중앙 영역에 위치하는 일 화소 회로의 노드 라인은 상기 표시 영역의 상기 외곽 영역에 위치하는 타 화소 회로의 노드 라인 대비 상기 전극과 더 넓은 면적으로 중첩될 수 있다.
- [0007] 상기 일 화소 회로의 노드 라인은 상기 타 화소 회로의 노드 라인 대비 더 큰 너비를 가질 수 있다.
- [0008] 상기 복수의 전극들 중 상기 일 화소 회로의 노드 라인과 중첩하는 일 전극의 면적은 상기 타 화소 회로의 노드 라인과 중첩하는 타 전극의 면적 대비 넓을 수 있다.
- [0009] 상기 복수의 화소 회로들 중 상기 표시 영역의 상기 중앙 영역에 위치하는 일 화소 회로의 노드 라인과 상기 전극 사이의 간격은 상기 표시 영역의 상기 외곽 영역에 위치하는 타 화소 회로의 노드 라인과 상기 전극 사이의 간격 대비 좁을 수 있다.
- [0010] 상기 복수의 화소 회로들 중 상기 표시 영역의 상기 중앙 영역에 위치하는 일 화소 회로의 노드 라인과 상기 전극 사이에 위치하는 일 절연층의 유전 상수는 상기 표시 영역의 상기 외곽 영역에 위치하는 타 화소 회로의 노드 라인과 상기 전극 사이에 위치하는 타 절연층의 유전 상수 대비 클 수 있다.
- [0011] 상기 기관은 상기 표시 영역과 이웃하는 비표시 영역을 더 포함하며, 상기 기관 상에서 일 방향으로 연장되어 상기 복수의 박막 트랜지스터와 연결된 복수의 데이터 라인들, 및 상기 기관의 상기 비표시 영역 상에 위치하며, 상기 복수의 데이터 라인들과 연결된 데이터 구동부를 더 포함하며, 상기 외곽 영역은 상기 데이터 구동부와 이웃할 수 있다.
- [0012] 상기 복수의 박막 트랜지스터들은, 상기 기관 상에 위치하며 상기 유기 발광 소자와 연결된 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴의 일 단부와 연결되어 상기 데이터 라인과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터, 및 상기 제1 액티브 패턴의 타 단부와 연결되어 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터를 포함할 수 있다.
- [0013] 상기 노드 라인은 상기 제1 게이트 전극 및 상기 제3 액티브 패턴 각각과 접촉홀을 통해 연결될 수 있다.
- [0014] 상기 노드 라인은 상기 데이터 라인과 동일한 층에 위치할 수 있다.
- [0015] 상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인, 및 상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인을 더 포함할 수 있다.
- [0016] 상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 더 포함할 수 있다.
- [0017] 상기 복수의 박막 트랜지스터들은, 상기 제3 액티브 패턴과 연결되고 상기 노드 라인을 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터를 더 포함하며, 상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인, 및 상기 제4 액티브 패턴과 연결된 초기화 전원 라인을 더 포함할 수 있다.
- [0018] 상기 복수의 박막 트랜지스터들은, 상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터, 및 상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는

제6 게이트 전극을 포함하는 제6 박막 트랜지스터를 더 포함하며, 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함할 수 있다.

[0019] 상기 복수의 박막 트랜지스터들은, 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터를 더 포함하며, 상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함할 수 있다.

발명의 효과

[0020] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 기판 전체에 걸쳐서 형성된 복수의 유기 발광 소자 각각으로 공급되는 전류에 의도치 않은 편차가 발생되는 것이 억제된 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다.
 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.
 도 3은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다.
 도 4는 도 3의 IV-IV를 따른 단면도이다.
 도 5는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다.
 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 단면도이다.
 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 단면도이다.
 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 단면도이다.
 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0024] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 그 외의 실시예에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.

[0025] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0026] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0027] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

- [0028] 이하, 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다. 이하에서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.
- [0030] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관(SUB), 복수의 화소들(PXn), 복수의 데이터 라인들(DA), 데이터 구동부(DD)를 포함한다.
- [0031] 기관(SUB)은 이미지(image)를 표시하는 표시 영역(DIA) 및 표시 영역(DIA)과 이웃하는 비표시 영역(NDA)을 포함한다. 비표시 영역(NDA)은 표시 영역(DIA)의 테두리를 둘러싸도록 위치할 수 있다. 기관(SUB)은 유리, 폴리머 또는 스테인리스 강 등을 포함하는 절연성 기관이다. 기관(SUB)은 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)할 수 있다. 기관(SUB)이 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)함으로써, 유기 발광 표시 장치 전체가 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 폴더블(foldable)하거나, 벤더블(bendable)하거나, 롤러블(rollable)할 수 있다.
- [0032] 복수의 화소들(PXn)은 기관(SUB)의 표시 영역(DIA)에 대응하여 기관(SUB) 상에 위치하고 있다. 복수의 화소들(PXn) 각각은 복수의 데이터 라인들(DA) 각각과 연결되어 있으며, 데이터 라인들(DA) 각각으로부터 공급된 데이터 신호에 대응하는 구동 전류에 상응하는 휘도로 발광하는 유기 발광 소자, 유기 발광 소자에 흐르는 구동 전류를 제어하기 위한 복수의 박막 트랜지스터 및 하나 이상의 캐패시터를 포함하는 화소 회로를 포함한다. 복수의 화소들(PXn) 각각은 유기 발광 소자를 포함하며, 이로 인해 기관(SUB)의 표시 영역(DIA) 상에는 복수의 유기 발광 소자들 및 각각이 복수의 유기 발광 소자들 각각에 연결된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들이 위치하고 있다.
- [0033] 설명의 편의를 위해 도 1에는 도시하지 않았지만 복수의 화소들(PXn) 각각은 서로 다른 스캔 신호를 공급하는 게이트 구동부와 연결된 복수의 스캔 라인들 각각과 연결될 수 있으며, 나아가 전압을 공급하는 구동 전원 라인 및 초기화 전원 라인과 연결될 수 있다. 또한, 복수의 화소들(PXn) 각각에 포함된 유기 발광 소자의 캐소드 전극인 제2 전극은 공통 전원과 연결될 수 있다. 이러한 복수의 화소들(PXn) 각각의 자세한 구조에 대해서는 후술한다. 상술한 게이트 구동부, 복수의 스캔 라인들, 구동 전원 라인, 초기화 전원 라인은 후술하나, 이에 한정되지 않고 공지된 다양한 형태로 복수의 화소들(PXn) 각각과 연결될 수 있다.
- [0034] 복수의 화소들(PXn)은 기관(SUB)의 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1) 및 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)를 포함한다.
- [0035] 여기서, 기관(SUB)의 표시 영역(DIA)의 외곽 영역(EA)은 데이터 구동부(DD)와 이웃하는 영역일 수 있으나, 이에 한정되지 않고 기관(SUB)의 표시 영역(DIA)의 중앙 영역(CA)과 이웃하는 영역이라면 기관(SUB)의 표시 영역(DIA) 내에서 어떠한 영역에도 해당될 수 있다.
- [0036] 복수의 데이터 라인들(DA) 각각은 기관(SUB) 상에서 일 방향으로 연장되어 복수의 화소들(PXn) 각각과 연결되어 있다.
- [0037] 데이터 구동부(DD)는 기관(SUB)의 비표시 영역(NDA) 상에 위치하며, 복수의 데이터 라인들(DA)과 연결되어 있다. 데이터 구동부(DD)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 복수의 데이터 라인들(DA) 각각으로 데이터 신호를 공급한다. 데이터 구동부(DD)로부터 데이터 라인(DA)으로 공급된 데이터 신호는 선택된 일 화소(PXn)에 스캔 라인으로부터 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 일 화소(PXn)로 공급된다. 그러면, 일 화소(PXn)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0038] 이하, 도 2를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소(PXn)의 회로를 설명한다.
- [0039] 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.
- [0040] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소(PXn)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7) 및 캐패시터(Cst)를 포함하는 화소 회로(PC), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 유기 발광 소자(OLED)를 포함한다.

- [0041] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.
- [0042] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.
- [0043] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0044] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0045] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0046] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0047] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0048] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0049] 상술한 복수의 스캔 라인들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM)을 포함한다.
- [0050] 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극 및 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결된 타 전극을 포함한다.
- [0051] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.
- [0052] 이러한 화소 회로(PC), 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 유기 발광 소자(OLED)를 포함하는 일 화소(PXn)의 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.
- [0053] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가

턴 온된다.

- [0054] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Vd+Vth, Vth는 (-)의 값)이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압(Vd+Vth)은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극에도 공급된다.
- [0055] 다음, 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 공급되고, 타 전극에는 상술한 보상 전압(Vd+Vth)이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0056] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.
- [0057] 그러면, 구동 전압(Ve1)이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압(Ve1) 간의 전압차에 대응하는 구동 전류(Id)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(Id)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.
- [0058] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 및 커패시터(Cst)를 포함하는 화소 회로(PC) 및 이와 연결된 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin)으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 복수의 박막 트랜지스터와 하나 이상의 커패시터를 포함하는 화소 회로 및 이와 연결된 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.
- [0059] 이하, 도 3 내지 도 6을 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수의 화소들(PXn) 중 기관(SUB)의 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1) 및 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2) 각각의 배치를 설명한다.
- [0060] 이하에서 설명하는 서로 다른 층에 위치하는 구성들 사이에는 절연층들이 위치하며, 이 절연층은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0061] 도 3은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다. 도 4는 도 3의 IV-IV를 따른 단면도이다.
- [0062] 도 3 및 도 4에 도시된 바와 같이, 기관(SUB)의 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제1 화소(PX1)의 복수의 박막트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)와 노드 라인(GB) 및 커패시터(Cst)는 화소 회로를 형성할 수 있다.
- [0063] 제1 박막 트랜지스터(T1)는 기관(SUB) 상에 위치하며, 제1 액티브층(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0064] 제1 액티브층(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브층(A1)의 채널

영역인 제1 채널(C1)은 한 번 이상 절곡 연장된 형태를 가지고 있으며, 제1 채널(C1)이 한정된 공간인 제1 게이트 전극(G1)과 중첩하는 공간 내에서 한 번 이상 절곡 연장되어 있음으로써, 제1 채널(C1)의 길이를 길게 형성할 수 있기 때문에, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 형성할 수 있다. 이로 인해, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 넓은 구동 범위 내에서 변화시켜 유기 발광 소자(OLED)로부터 발광되는 빛의 계조를 보다 세밀하게 제어함으로써, 유기 발광 표시 장치로부터 표시되는 이미지의 품질이 향상될 수 있다. 이러한 제1 액티브층(A1)은 그 형태가 다양하게 변형될 수 있으며, 일례로 '역S', 'S', 'M', 'W' 등의 다양한 형태로 변형될 수 있다.

[0065] 제1 액티브층(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), 하프늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브층(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0066] 제1 액티브층(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.

[0067] 제1 게이트 전극(G1)은 제1 액티브층(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 컨택홀(contact hole)(CNT)을 통하는 노드 라인(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 타 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다.

[0068] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 액티브층(A2) 및 제2 게이트 전극(G2)을 포함한다. 제2 액티브층(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 컨택홀(CNT)을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브층(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브층(A2)은 제1 액티브층(A1)과 연결되어 있다.

[0069] 제2 액티브층(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브층(A2)은 제1 액티브층(A1)과 동일한 층에 위치하며, 제1 액티브층(A1)과 동일한 재료로 형성되며, 제1 액티브층(A1)과 일체로 형성되어 있다.

[0070] 제2 게이트 전극(G2)은 제2 액티브층(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.

[0071] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브층(A3) 및 제3 게이트 전극(G3)을 포함한다.

[0072] 제3 액티브층(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 컨택홀(CNT)을 통하는 노드 라인(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브층(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉,

제3 액티브층(A3)은 제1 액티브층(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.

[0073] 제3 액티브층(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브층(A3)은 제1 액티브층(A1) 및 제2 액티브층(A2)과 동일한 층에 위치하며, 제1 액티브층(A1) 및 제2 액티브층(A2)과 동일한 재료로 형성되며, 제1 액티브층(A1) 및 제2 액티브층(A2)과 일체로 형성되어 있다.

[0074] 제3 게이트 전극(G3)은 제3 액티브층(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.

[0075] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브층(A4) 및 제4 게이트 전극(G4)을 포함한다.

[0076] 제4 액티브층(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 컨택홀을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 컨택홀을 통하는 노드 라인(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브층(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브층(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브층(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.

[0077] 제4 액티브층(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브층(A4)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 일체로 형성되어 있다.

[0078] 제4 게이트 전극(G4)은 제4 액티브층(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.

[0079] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브층(A5) 및 제5 게이트 전극(G5)을 포함한다.

[0080] 제5 액티브층(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 컨택홀(CNT)을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브층(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브층(A5)은 구동 전원 라인(ELVDD)과 제1 액티브층(A1) 사이를 연결하고 있다.

[0081] 제5 액티브층(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브층(A5)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 일체로 형성되어 있다.

[0082] 제5 게이트 전극(G5)은 제5 액티브층(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0083] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브층(A6) 및 제6 게이트 전극(G6)을 포함한다.

[0084] 제6 액티브층(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 컨택홀(CNT)을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브층(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브층(A6)은 제1 액티브층(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.

- [0085] 제6 액티브층(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브층(A6)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 일체로 형성되어 있다.
- [0086] 제6 게이트 전극(G6)은 제6 액티브층(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0087] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브층(A7) 및 제7 게이트 전극(G7)을 포함한다.
- [0088] 제7 액티브층(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 화소(도 2에 도시된 화소의 상측에 위치하는 화소일 수 있다.)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브층(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브층(A7)은 유기 발광 소자의 제1 전극과 제4 액티브층(A4) 사이를 연결하고 있다.
- [0089] 제7 액티브층(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브층(A7)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 일체로 형성되어 있다.
- [0090] 제7 게이트 전극(G7)은 제7 액티브층(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.
- [0091] 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6), 제7 액티브층(A7) 상으로 순차적으로, 복수의 절연층들이 적층되어 있다. 복수의 절연층들 각각은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0092] 제1 스캔 라인(Sn)은 제2 액티브층(A2) 및 제3 액티브층(A3) 상에 위치하여 제2 액티브층(A2) 및 제3 액티브층(A3)을 가로지르는 일 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.
- [0093] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제4 액티브층(A4) 상에 위치하며, 제4 액티브층(A4)을 가로지르는 일 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다.
- [0094] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 제7 액티브층(A7) 상에 위치하며, 제7 액티브층(A7)을 가로지르는 일 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다.
- [0095] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제5 액티브층(A5) 및 제6 액티브층(A6) 상에 위치하며, 제5 액티브층(A5) 및 제6 액티브층(A6)을 가로지르는 일 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.
- [0096] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트

전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.

- [0097] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있다.
- [0098] 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터 전극(CE) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성되어 있다.
- [0099] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분을 노출하는 개구부(OA)를 포함하며, 이 개구부(OA)를 통해 노드 라인(GB)이 제1 게이트 전극(G1)과 연결되어 있다.
- [0100] 데이터 라인(DA)은 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있으며, 콘택홀(CNT)을 통해 제2 액티브층(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.
- [0101] 구동 전원 라인(ELVDD)은 데이터 라인(DA)과 이격되어 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있으며, 콘택홀(CNT)을 통해 커패시터 전극(CE) 및 제1 액티브층(A1)과 연결된 제5 액티브층(A5)의 제5 소스 전극(S5)과 연결되어 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.
- [0102] 노드 라인(GB)은 제1 스캔 라인(Sn) 상에 위치하여 구동 전원 라인(ELVDD)과 이격되어 있으며, 콘택홀(CNT)을 통해 제3 액티브층(A3)의 제3 드레인 전극(D3) 및 제4 액티브층(A4)의 제4 드레인 전극(D4) 각각과 연결되어 콘택홀을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결되어 있다. 즉, 노드 라인(GB)은 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 중 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제3 박막 트랜지스터(T3)의 사이와 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제4 박막 트랜지스터(T4) 사이 각각을 연결하고 있다. 노드 라인(GB)은 유기 발광 소자(OLED)의 전극인 제1 전극(E1)과 커패시터 전극(CE) 사이에 위치하고 있으며, 제1 너비(W1)를 가지고 일 방향으로 연장되어 있다.
- [0103] 노드 라인(GB)은 유기 발광 소자(OLED)의 전극인 제1 전극(E1)과 중첩하고 있으며, 노드 라인(GB)과 제1 전극(E1) 사이에는 하나의 절연층(IL)이 위치하고 있다. 이로 인해, 노드 라인(GB)과 제1 전극(E1) 사이의 절연층(IL)에는 노드 라인(GB)과 제1 전극(E1)이 중첩하는 영역에 대응하는 크기의 제1 기생 커패시턴스(Cp1)가 형성되며, 이 제1 기생 커패시턴스(Cp1)에 비례하여 제1 전극(E1)에 흐르는 전류가 상승한다.
- [0104] 본 발명의 일 실시예에서, 노드 라인(GB)은 노드 라인(GB) 전체가 제1 전극(E1)과 중첩하고 있으나, 본 발명의 다른 실시예에서 노드 라인은 노드 라인의 일부가 제1 전극과 중첩할 수 있다. 즉, 노드 라인(GB)의 일부 이상은 제1 전극(E1)과 중첩할 수 있다.
- [0105] 노드 라인(GB)과 상술한 데이터 라인(DA) 및 구동 전원 라인(ELVDD)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0106] 초기화 전원 라인(Vin)은 제2 스캔 라인(Sn-1) 상에 위치하며, 콘택홀을 통해 제4 액티브층(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 전원 라인(Vin)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.
- [0107] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 콘택홀(CNT)을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0108] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는

봉지 기관이 위치할 수 있다.

- [0109] 상술한 기관(SUB)의 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1)와 이격되어 기관(SUB)의 표시 영역(DIA)의 중앙 영역(CA)에 제2 화소(PX2)가 위치하고 있다.
- [0110] 도 5는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
- [0111] 이하에서는 상술한 제1 화소(PX1)와 대비한 제2 화소(PX2)의 다른 부분에 대해서 설명한다.
- [0112] 도 5에 도시된 바와 같이, 기관(SUB)의 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 노드 라인(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제2 화소(PX2)의 복수의 박막트랜지스터들인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)와 노드 라인(GB) 및 커패시터(Cst)는 화소 회로를 형성할 수 있다.
- [0113] 제2 화소(PX2)의 노드 라인(GB)은 제1 스캔 라인(Sn) 상에 위치하여 구동 전원 라인(ELVDD)과 이격되어 있으며, 컨택홀(CNT)을 통해 제3 액티브층(A3)의 제3 드레인 전극(D3) 및 제4 액티브층(A4)의 제4 드레인 전극(D4) 각각과 연결되어 컨택홀을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결되어 있다. 즉, 노드 라인(GB)은 복수의 박막 트랜지스터들인 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 중 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제3 박막 트랜지스터(T3)의 사이와 어느 하나인 제1 박막 트랜지스터(T1)와 다른 하나인 제4 박막 트랜지스터(T4) 사이 각각을 연결하고 있다. 노드 라인(GB)은 유기 발광 소자(OLED)의 전극인 제1 전극(E1)과 커패시터 전극(CE) 사이에 위치하고 있으며, 상술한 제1 화소(PX1)의 노드 라인(GB)의 제1 너비(W1) 대비 더 큰 제2 너비(W2)를 가지고 일 방향으로 연장되어 있다.
- [0114] 노드 라인(GB)은 유기 발광 소자(OLED)의 전극인 제1 전극(E1)과 중첩하고 있으며, 노드 라인(GB)과 제1 전극(E1) 사이에는 절연층에는 노드 라인(GB)과 제1 전극(E1)이 중첩하는 영역에 대응하는 크기의 제2 기생 커패시턴스(Cp2)가 형성되며, 이 제2 기생 커패시턴스(Cp2)에 비례하여 제1 전극(E1)에 흐르는 전류가 상승한다.
- [0115] 제2 화소(PX2)의 노드 라인(GB)이 상술한 제1 화소(PX1)의 노드 라인(GB)의 제1 너비(W1) 대비 더 큰 제2 너비(W2)를 가지고 일 방향으로 연장되어 제1 전극(E1)과 중첩하고 있음으로써, 제2 화소(PX2)의 노드 라인(GB)은 상술한 제1 화소(PX1)의 노드 라인(GB) 대비 유기 발광 소자(OLED)의 제1 전극(E1)과 더 넓은 면적으로 중첩된다. 이로 인해, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)는 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성된다.
- [0116] 이와 같이, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제1 화소(PX1)의 제1 전극(E1) 대비 제2 화소(PX2)의 제1 전극(E1)에 흐르는 전류가 기생 커패시턴스에 의해 더 상승한다.
- [0117] 한편, 본 발명의 일 실시예에서는 2개의 화소(PXn)인 제1 화소(PX1)와 제2 화소(PX2)만을 설명하였으나, 본 발명의 다른 실시예에서는 데이터 구동부(DD)로부터 멀어질수록 각 화소의 노드 라인과 제1 전극 사이에 형성되는 기생 커패시턴스의 크기가 점진적으로 커질 수 있다.
- [0118] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제2 기생 커패시턴스(Cp2)가 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제2 화소(PX2)의 유기 발광 소자(OLED) 및 제1 화소(PX1)의 유기 발광 소자(OLED) 각각으로 공급되는 전류에 의도치 않은 편차가 발생하는 것이 억제된다.
- [0119] 구체적으로, 데이터 구동부(DD)로부터 데이터 라인(DA)을 통해 각 화소(PXn)들로 공급되는 데이터 신호는 전기적 저항에 의해 데이터 구동부(DD)로부터 멀어질수록 전압이 강하되는데, 데이터 구동부(DD)와 이격된 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)의 유기 발광 소자(OLED)의 제1 전극(E1)과 노드 라인(GB) 사이에 형성되는 제2 기생 커패시턴스(Cp2)가 데이터 구동부(DD)와 이웃하는 표시 영역(DIA)의 외곽 영역에 위치하는 제1 화소(PX1)의 유기 발광 소자(OLED)의 제1 전극(E1)과 노드 라인(GB) 사이에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성되어 제2 화소(PX2)의 제1 전극(E1)에 흐르는 전류가 제1 화소(PX1) 대비 기생 커패

시턴스에 의해 더 상승함으로써, 데이터 라인(DA)을 통한 데이터 신호의 전압 강하가 기생 커패시턴스에 의해 보상되기 때문에, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED) 각각으로 공급되는 전류에 의도치 않은 편차가 발생하는 것이 억제된다.

- [0120] 이로 인해, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 각각 간의 휘도 차이가 최소화됨으로써, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.
- [0121] 요컨대, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 중 최초 신호가 공급되는 위치로부터 멀어져 유기 발광 소자(OLED)로 공급되는 신호에 전압 강하가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자(OLED)들 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0122] 이하, 도 6 및 도 7을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.
- [0123] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 배치도이다. 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 배치도이다.
- [0124] 도 6 및 도 7에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소(PX2)의 노드 라인(GB)과 중첩하는 제1 전극(E1)의 면적이 제1 화소(PX1)의 노드 라인(GB)과 중첩하는 제1 전극(E1)의 면적 대비 넓게 형성되어 있다. 즉, 기관(SUB) 전체에 걸쳐서 형성된 복수의 전극들인 복수의 제1 전극(E1)들 중 일 화소인 제2 화소(PX2)의 노드 라인(GB)과 중첩하는 일 전극인 제1 전극(E1)의 면적은 타 화소인 제1 화소(PX1)의 노드 라인(GB)과 중첩하는 타 전극인 제1 전극(E1)의 면적 대비 넓게 형성되어 있다. 이로 인해, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성된다.
- [0125] 이와 같이, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제1 화소(PX1)의 제1 전극(E1) 대비 제2 화소(PX2)의 제1 전극(E1)에 흐르는 전류가 기생 커패시턴스에 의해 더 상승한다.
- [0126] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제2 기생 커패시턴스(Cp2)가 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제2 화소(PX2)의 유기 발광 소자(OLED) 및 제1 화소(PX1)의 유기 발광 소자(OLED) 각각으로 공급되는 전류에 의도치 않은 편차가 발생하는 것이 억제된다.
- [0127] 이로 인해, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 각각 간의 휘도 차이가 최소화됨으로써, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.
- [0128] 요컨대, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 중 최초 신호가 공급되는 위치로부터 멀어져 유기 발광 소자(OLED)로 공급되는 신호에 전압 강하가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자(OLED)들 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0129] 이하, 도 8 및 도 9를 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.
- [0130] 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 단면도이다. 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 단면도이다.
- [0131] 도 8 및 도 9에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이의 간격인 제2 간격(GA2)이 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이의 간격인 제1 간격(GA1) 대비 좁게 형성되어 있다. 즉, 기관(SUB) 전체에 걸쳐서 형성된 복수의 전극들인 복수의 제1 전극(E1)들 중 일 화소인 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이의 간격이 타 화소인 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이의 간격 대비 좁게 형성되어 있다. 이로 인해, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성된다.

- [0132] 이와 같이, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제1 화소(PX1)의 제1 전극(E1) 대비 제2 화소(PX2)의 제1 전극(E1)에 흐르는 전류가 기생 커패시턴스에 의해 더 상승한다.
- [0133] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제2 기생 커패시턴스(Cp2)가 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제2 화소(PX2)의 유기 발광 소자(OLED) 및 제1 화소(PX1)의 유기 발광 소자(OLED) 각각으로 공급되는 전류에 의도치 않은 편차가 발생하는 것이 억제된다.
- [0134] 이로 인해, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 각각 간의 휘도 차이가 최소화됨으로써, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.
- [0135] 요컨대, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 중 최초 신호가 공급되는 위치로부터 멀어져 유기 발광 소자(OLED)로 공급되는 신호에 전압 강하가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자(OLED)들 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0136] 이하, 도 10 및 도 11을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.
- [0137] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 화소를 나타낸 단면도이다. 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제2 화소를 나타낸 단면도이다.
- [0138] 도 10 및 도 11에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이에 위치하는 제2 절연층(IL2)의 유전 상수는 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이에 위치하는 제1 절연층(IL1)의 유전 상수 대비 크다. 즉, 기관(SUB) 전체에 걸쳐서 형성된 복수의 전극들인 복수의 제1 전극(E1)들 중 일 화소인 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이에 위치하는 일 절연층인 제2 절연층(IL2)의 유전 상수가 타 화소인 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이에 위치하는 타 절연층인 제1 절연층(IL1)의 유전 상수 대비 크다. 이로 인해, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성된다.
- [0139] 한편, 제1 절연층(IL1) 및 제2 절연층(IL2) 각각은 단층 또는 복층으로 형성될 수 있으며, 제1 절연층(IL1) 및 제2 절연층(IL2) 각각은 서로 일체로 형성되거나, 또는 서로 다른 층으로 형성될 수 있다. 제2 절연층(IL2)이 복층으로 형성될 경우, 제2 절연층(IL2)은 제1 절연층(IL1)과 구분되는 고 유전 상수를 가지는 하나 이상의 층을 더 포함할 수 있다.
- [0140] 이와 같이, 제2 화소(PX2)에 형성되는 제2 기생 커패시턴스(Cp2)가 제1 화소(PX1)에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제1 화소(PX1)의 제1 전극(E1) 대비 제2 화소(PX2)의 제1 전극(E1)에 흐르는 전류가 기생 커패시턴스에 의해 더 상승한다.
- [0141] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 표시 영역(DIA)의 중앙 영역(CA)에 위치하는 제2 화소(PX2)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제2 기생 커패시턴스(Cp2)가 표시 영역(DIA)의 외곽 영역(EA)에 위치하는 제1 화소(PX1)의 노드 라인(GB)과 제1 전극(E1) 사이에 형성되는 제1 기생 커패시턴스(Cp1) 대비 크게 형성됨으로써, 제2 화소(PX2)의 유기 발광 소자(OLED) 및 제1 화소(PX1)의 유기 발광 소자(OLED) 각각으로 공급되는 전류에 의도치 않은 편차가 발생하는 것이 억제된다.
- [0142] 이로 인해, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 각각 간의 휘도 차이가 최소화됨으로써, 이미지의 표시 품질 저하가 최소화된 유기 발광 표시 장치가 제공된다.
- [0143] 요컨대, 기관(SUB) 전체에 걸쳐서 형성된 복수의 유기 발광 소자(OLED)들 중 최초 신호가 공급되는 위치로부터 멀어져 유기 발광 소자(OLED)로 공급되는 신호에 전압 강하가 발생되더라도, 기관(SUB) 전체에 걸쳐서 복수의 유기 발광 소자(OLED)들 각각으로 공급되는 전류의 값에 차이가 발생하는 것이 억제된 유기 발광 표시 장치가 제공된다.
- [0144] 본 발명을 앞서 기재한 바에 따라 여러 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이

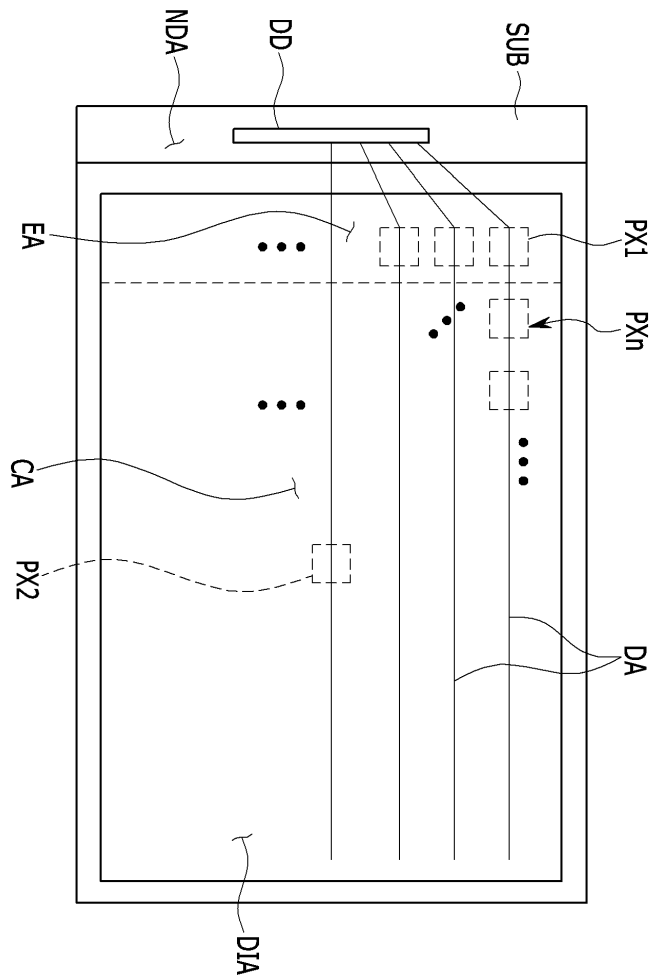
속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

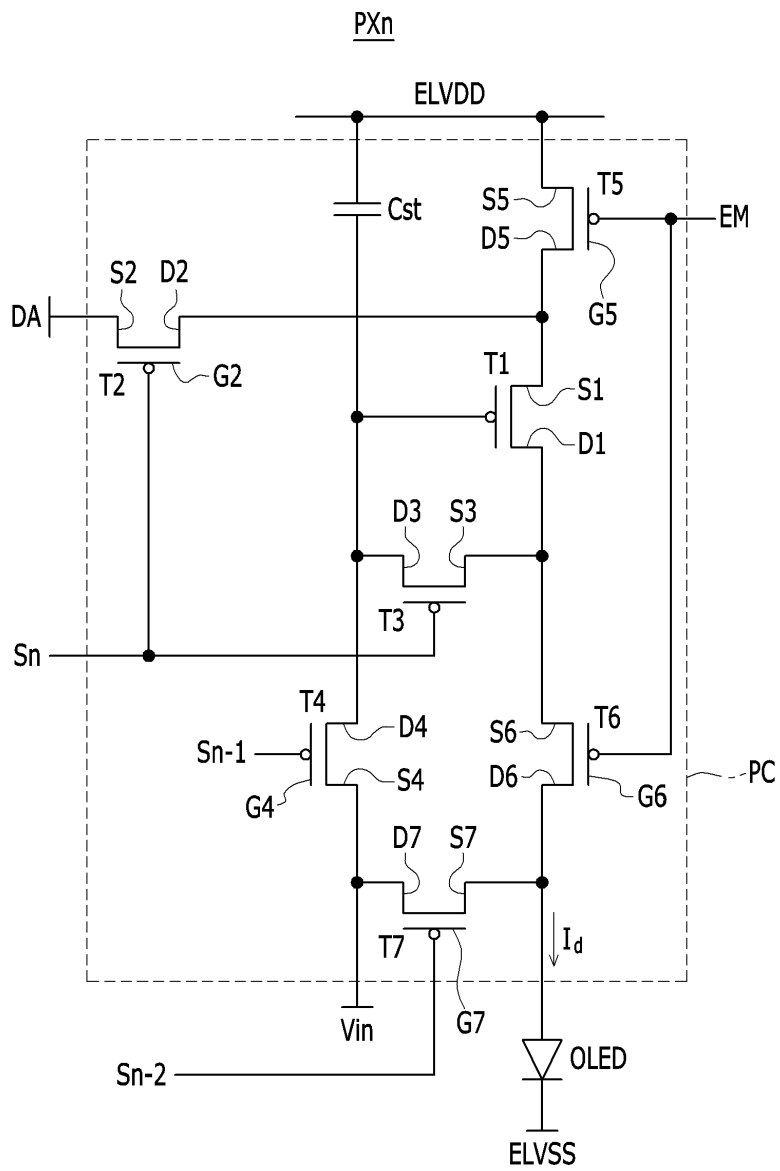
[0145] 기판(SUB), 유기 발광 소자(OLED), 노드 라인(GB), 화소 회로(PC), 표시 영역(DIA), 중앙 영역(CA), 외곽 영역(EA)

도면

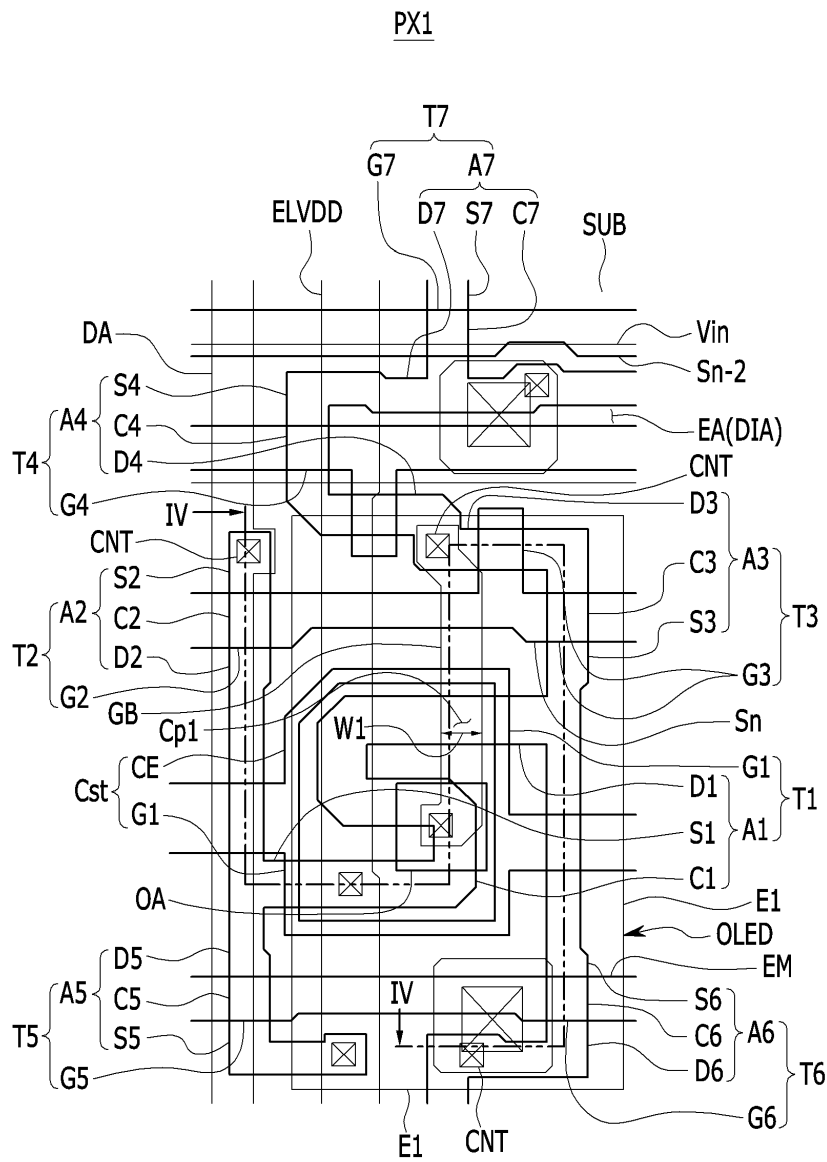
도면1



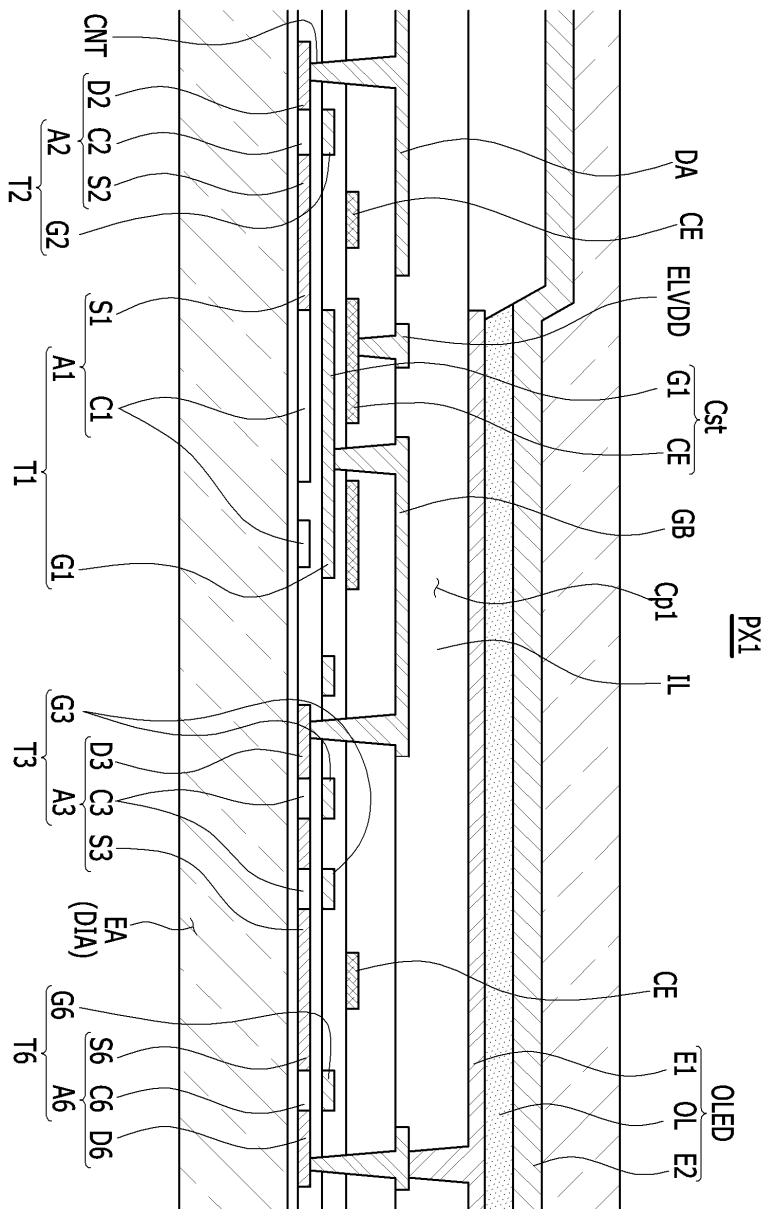
도면2



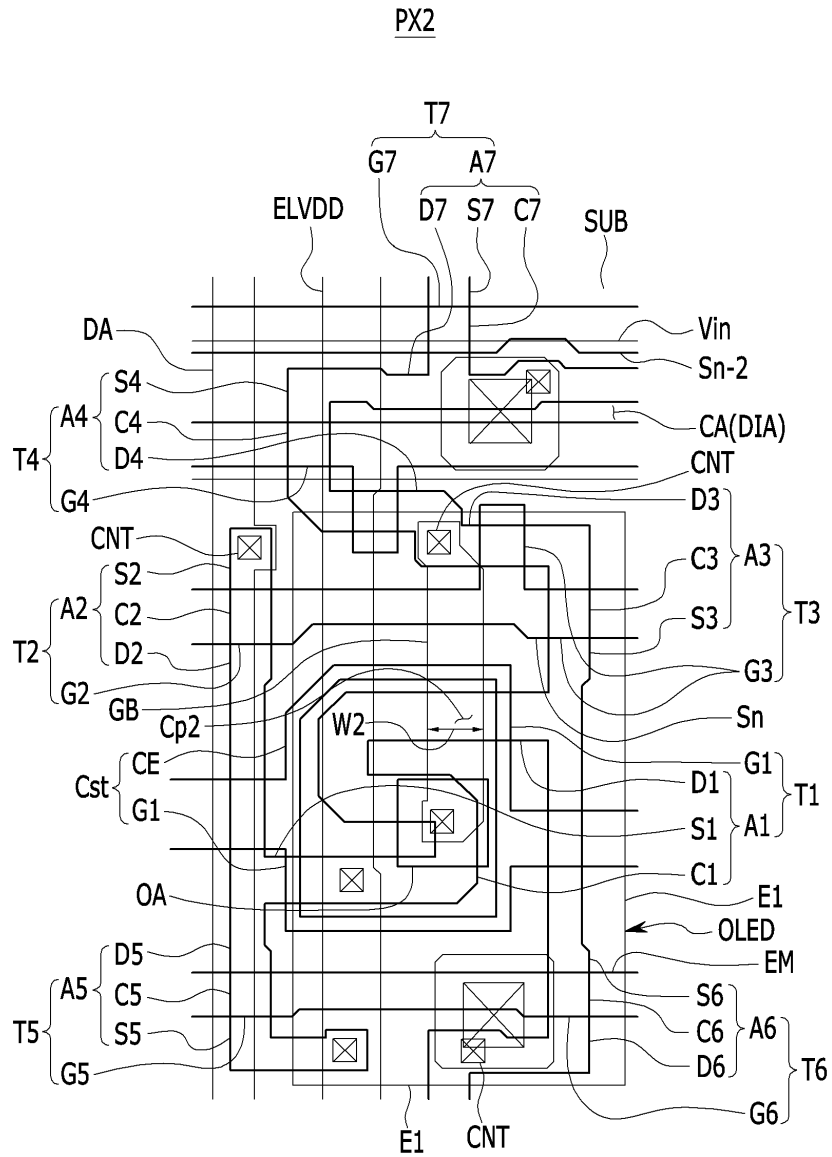
도면3



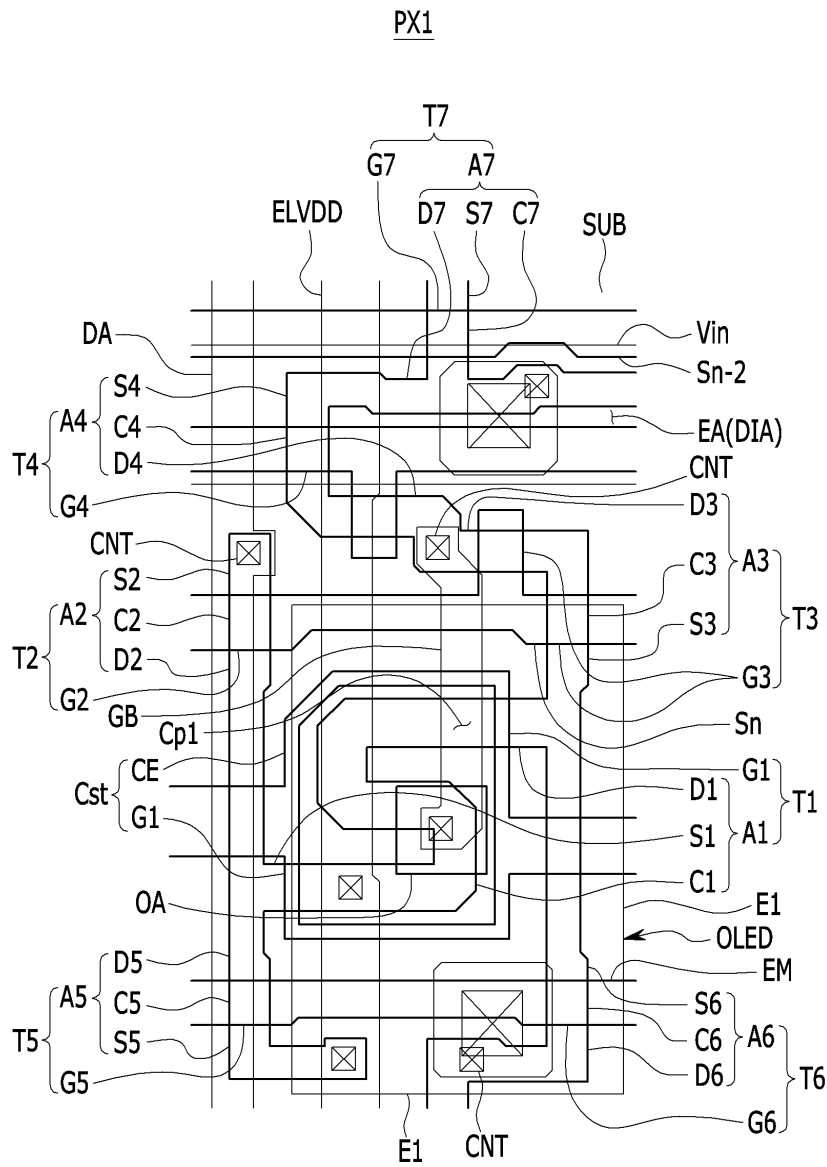
도면4



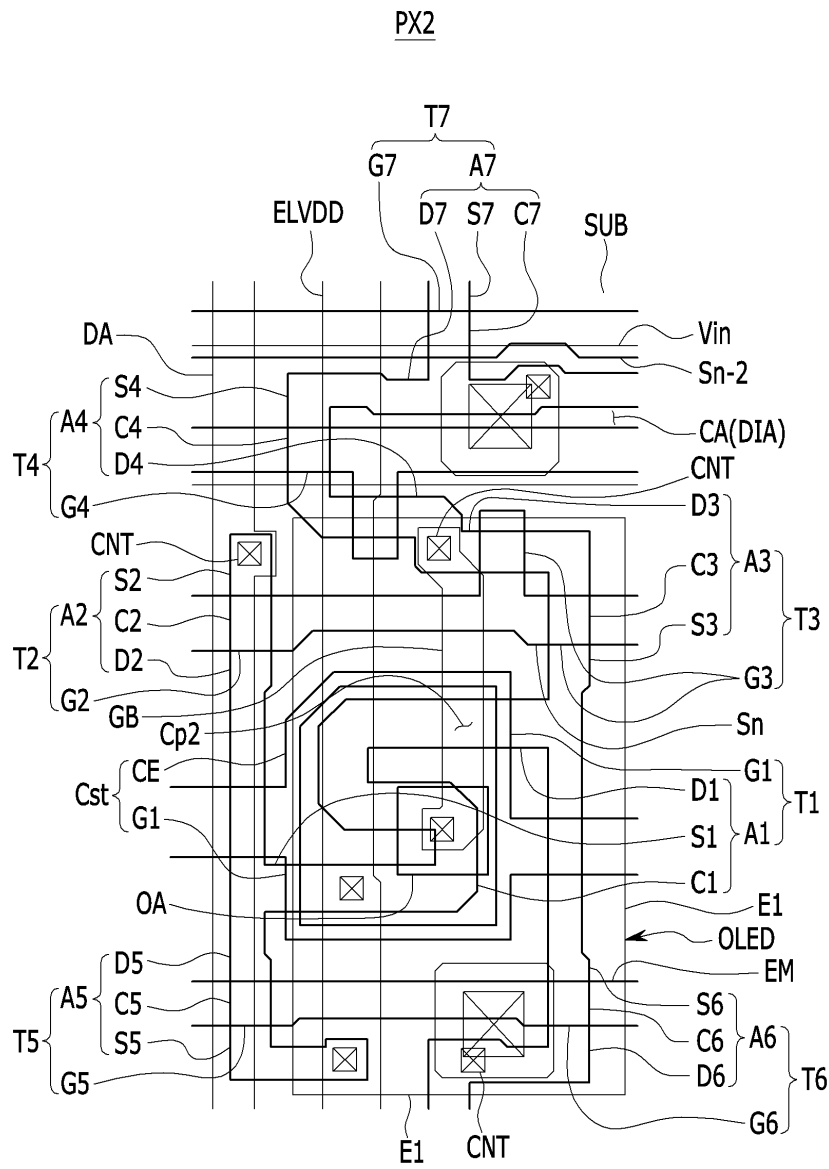
도면5



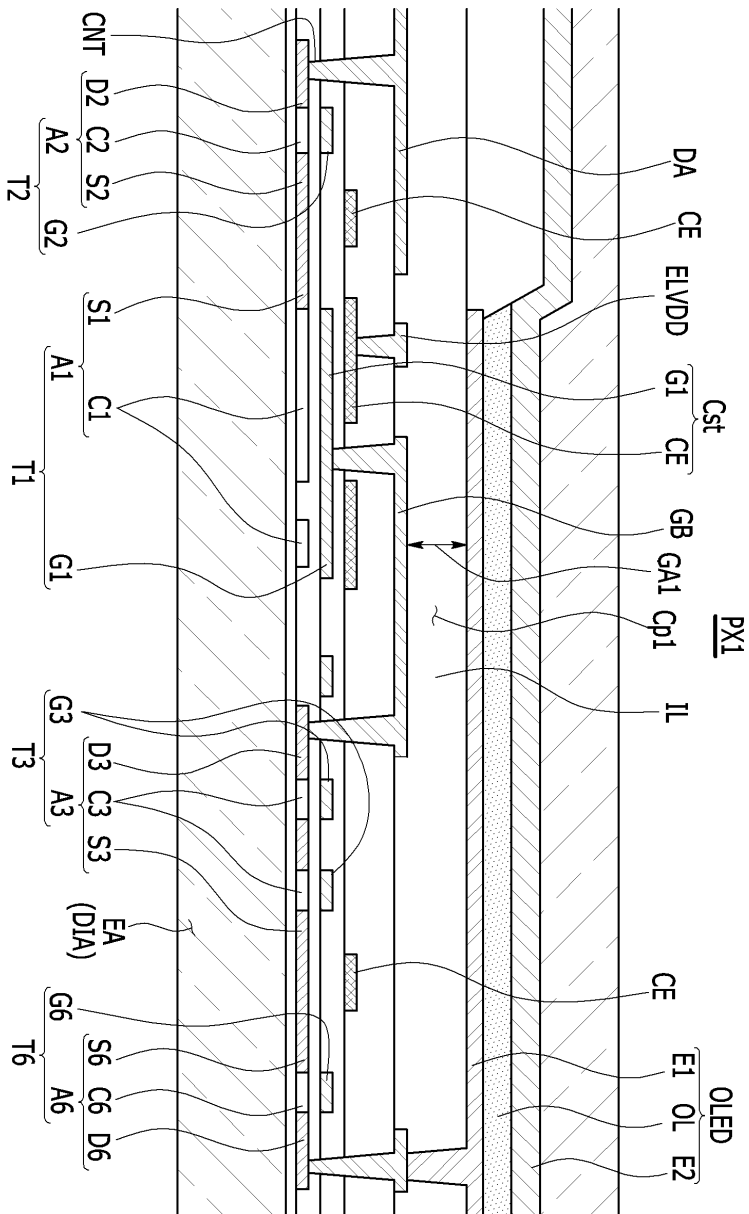
도면6



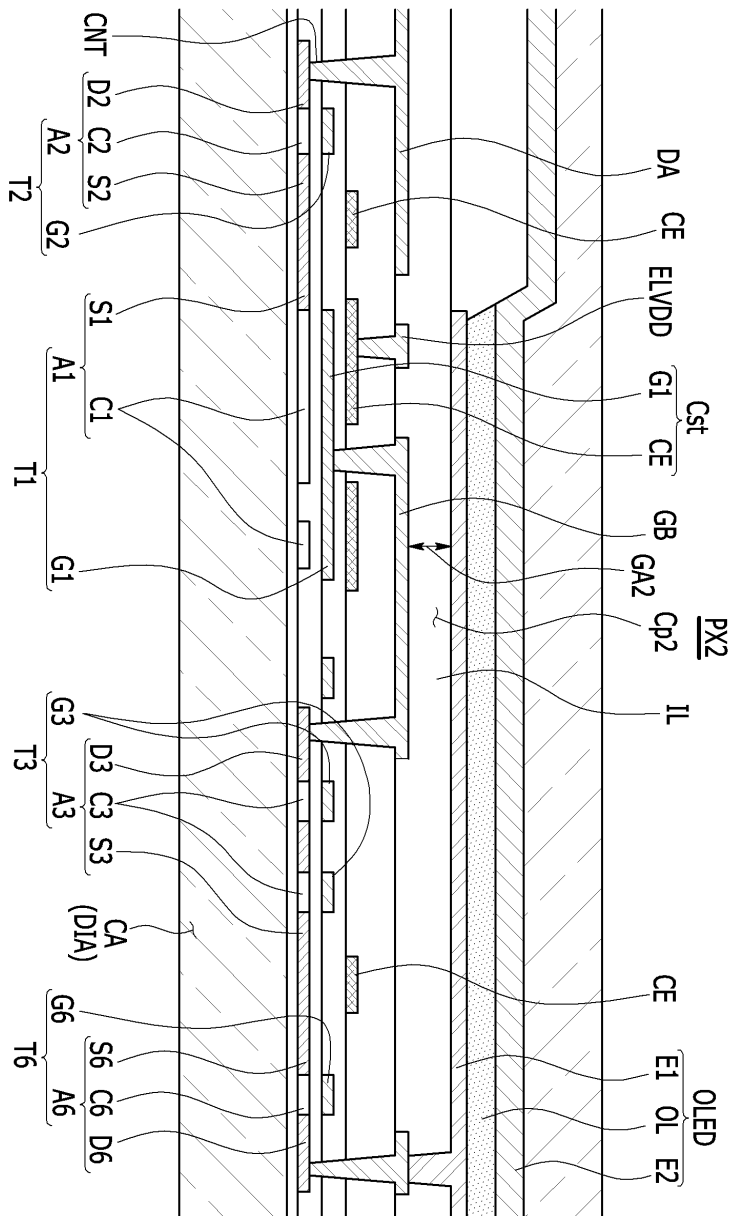
도면7



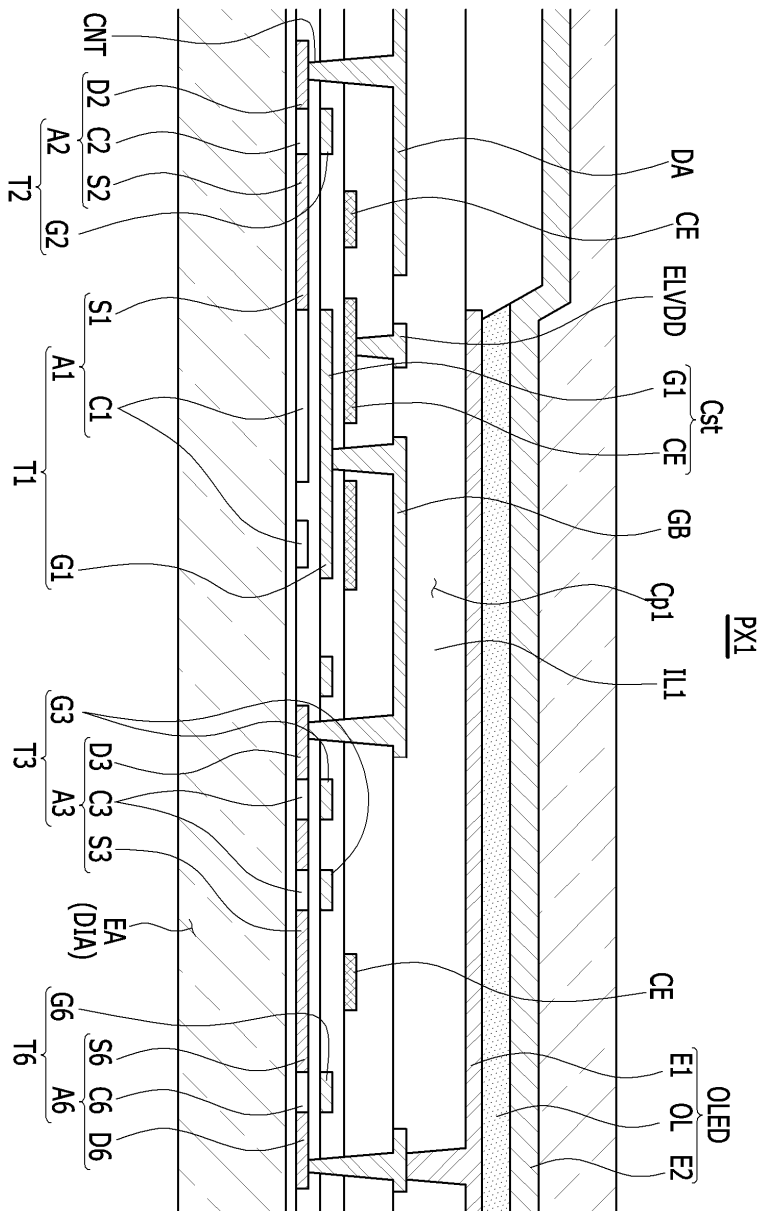
도면8



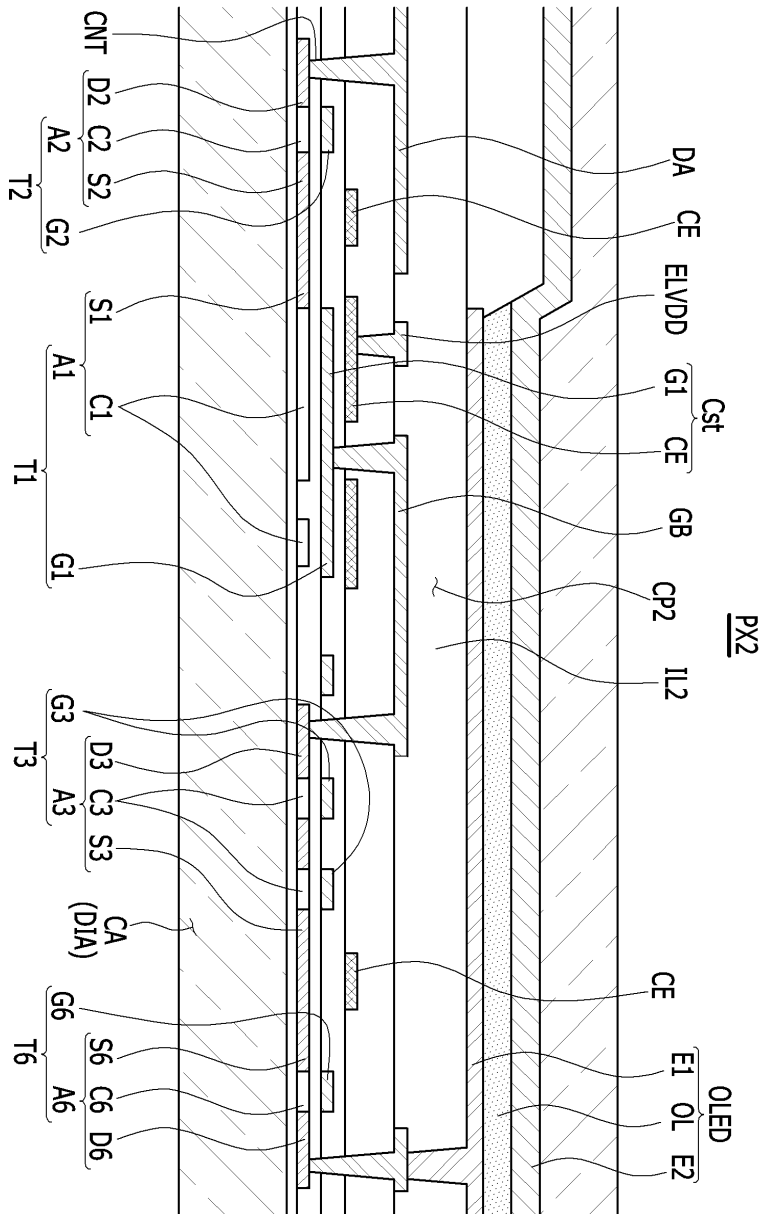
도면9



도면10



도면11



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160129186A	公开(公告)日	2016-11-09
申请号	KR1020150060660	申请日	2015-04-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEONG MIN 이성민 KIM HYO MIN 김효민 LEE YE JI 이예지 JUN HYUK SANG 전혁상		
发明人	이성민 김효민 이예지 전혁상		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/326 H01L2227/32 G09G3/3258 G09G3/2007 G09G3/3233 G09G3/3291 G09G2300/0408 G09G2300/0819 G09G2300/0842 G09G2310/0251 G09G2310/0262 G09G2320/045 G09G2380/02 H01L27/3265 H01L27/3276		
外部链接	Espacenet		

摘要(译)

有机发光显示装置被布置在基板的显示区域中，基板包括显示区域显示图像，多个有机发光装置，其中的每一个包括多个电极，每个电极相互隔开衬底的分开，并且多个有机层设置在显示区域上，连接到每个发光元件的多个薄膜晶体管 and 彼此连接的多个薄膜晶体管以及与电极的一部分重叠并与电极形成寄生电容的节点线，像素电路。所有hyeoksang

