



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0079544  
(43) 공개일자 2016년07월06일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/32* (2006.01) *H01L 51/56* (2006.01)  
(21) 출원번호 10-2014-0191060  
(22) 출원일자 2014년12월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
권마르딘  
서울특별시 영등포구 도림로143길 32 삼환아파트  
104동 1102호  
유준석  
경기도 고양시 일산서구 고양대로255번길 45 대화  
마을9단지아파트 903동 1101호  
(74) 대리인  
오세일

전체 청구항 수 : 총 13 항

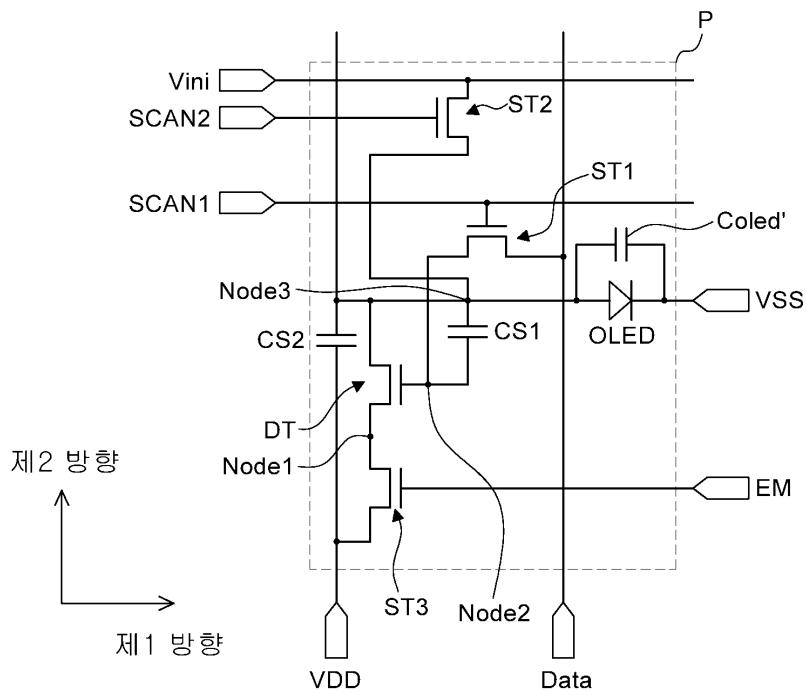
(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 구동 방법

### (57) 요 약

유기 발광 표시 장치 및 유기 발광 표시 장치의 구동 방법이 제공된다. 플렉서블 기판에 복수의 화소가 정의된다. 복수의 화소 각각에 유기 발광 소자가 배치된다. 제1 스캔 라인, 제2 스캔 라인, 발광 신호 라인 및 초기화 전압 공급 라인이 복수의 화소 각각에서 제1 방향으로 연장하고, 데이터 라인 및 Vdd 전압 공급 라인이

(뒷면에 계속)

**대 표 도** - 도4



복수의 화소 각각에서 제2 방향으로 연장한다. 복수의 화소 각각은 제1 스위칭 박막 트랜지스터, 제2 스위칭 박막 트랜지스터, 제3 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다. 제1 스위칭 박막 트랜지스터는 제1 스캔 라인 및 데이터 라인과 연결되고, 제2 스위칭 박막 트랜지스터는 제2 스캔 라인 및 초기화 전압 공급 라인과 연결되고, 제3 스위칭 박막 트랜지스터는 발광 신호 라인 및 Vdd 전압 공급 라인과 연결된다. 구동 박막 트랜지스터는 제1 스위칭 박막 트랜지스터와 연결된 게이트 전극, 제2 스위칭 박막 트랜지스터 및 유기 발광 소자와 연결된 소스 전극 및 제3 스위칭 박막 트랜지스터와 연결된 드레인 전극을 갖는다. 복수의 화소 각각의 평면 상에서 제1 스캔 라인 및 제2 스캔 라인은 그룹화되어 일 측에 배치되고, 구동 박막 트랜지스터 및 발광 신호 라인은 그룹화되어 타 측에 배치된다.. 이에 따라, 발광 구간 동안 하이 레벨 신호가 인가되는 구성요소들을 그룹화하여 화소의 일 측에 배치하고 발광 구간 동안 로우 레벨 신호가 인가되는 구성요소들을 그룹화하여 화소의 타 측에 배치하여, 박막 트랜지스터의 문턱 전압( $V_{th}$ )이 시프트되는 것이 최소화될 수 있다.

---

## 명세서

### 청구범위

#### 청구항 1

복수의 화소가 정의된 플렉서블 기판;

상기 복수의 화소 각각에 배치된 유기 발광 소자;

상기 복수의 화소 각각에서 제1 방향으로 연장하는 제1 스캔 라인, 제2 스캔 라인, 발광 신호 라인 및 초기화 전압 공급 라인; 및

상기 복수의 화소 각각에서 제2 방향으로 연장하는 데이터 라인 및 Vdd 전압 공급 라인을 포함하고,

상기 복수의 화소 각각은,

상기 제1 스캔 라인 및 상기 데이터 라인과 연결된 제1 스위칭 박막 트랜지스터;

상기 제2 스캔 라인 및 상기 초기화 전압 공급 라인과 연결된 제2 스위칭 박막 트랜지스터;

상기 발광 신호 라인 및 상기 Vdd 전압 공급 라인과 연결된 제3 스위칭 박막 트랜지스터; 및

상기 제1 스위칭 박막 트랜지스터와 연결된 게이트 전극, 상기 제2 스위칭 박막 트랜지스터 및 상기 유기 발광 소자와 연결된 소스 전극 및 상기 제3 스위칭 박막 트랜지스터와 연결된 드레인 전극을 갖는 구동 박막 트랜지스터를 포함하고,

상기 제1 스캔 라인 및 상기 제2 스캔 라인은 그룹화되어 상기 복수의 화소 각각에서 평면 상에서 일 측에 배치되고, 상기 구동 박막 트랜지스터 및 상기 발광 신호 라인은 그룹화되어 상기 복수의 화소 각각에서 타 측에 배치된 것을 특징으로 하는, 유기 발광 표시 장치.

#### 청구항 2

제1항에 있어서,

상기 복수의 화소 각각에서 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 구동 박막 트랜지스터 및 상기 발광 신호 라인은 평면 상에서 상기 제2 스캔 라인, 상기 제1 스캔 라인, 상기 구동 박막 트랜지스터, 상기 발광 신호 라인의 순서로 배치된 것을 특징으로 하는, 유기 발광 표시 장치.

#### 청구항 3

제1항에 있어서,

상기 유기 발광 소자가 빛을 발광하는 때에,

상기 제1 스캔 라인 및 상기 제2 스캔 라인은 로우(low) 레벨 신호를 전달하고,

상기 발광 신호 라인은 하이(high) 레벨 신호를 전달하고,

상기 구동 박막 트랜지스터의 소스 전극에는 하이 레벨 신호가 전달되는 것을 특징으로 하는, 유기 발광 표시 장치.

#### 청구항 4

제1항에 있어서,

상기 플렉서블 기판은 수분을 함유하는 플라스틱 기판인 것을 특징으로 하는, 유기 발광 표시 장치.

#### 청구항 5

제4항에 있어서,

상기 플렉서블 기판은 폴리이미드(polyimide)로 이루어진 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 6

제1항에 있어서,

상기 제1 스위칭 박막 트랜지스터의 게이트 전극이 상기 제1 스캔 라인과 연결되고,

상기 제2 스위칭 박막 트랜지스터의 게이트 전극이 상기 제2 스캔 라인과 연결되고,

상기 제3 스위칭 박막 트랜지스터의 게이트 전극이 상기 발광 신호 라인과 연결된 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 7

제1항에 있어서,

상기 제1 스위칭 박막 트랜지스터, 상기 제2 스위칭 박막 트랜지스터, 상기 제3 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터는 LTPS(Low Temperature Poly Silicon) 박막 트랜지스터인 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 8

제1항에 있어서,

상기 복수의 화소 각각에 배치된 유기 발광 소자를 더 포함하고,

상기 구동 박막 트랜지스터의 소스 전극이 상기 유기 발광 소자와 연결된 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 9

제1항에 있어서,

상기 복수의 화소 각각에서 상기 초기화 전압 공급 라인은 상기 제2 스캔 라인에 인접하게 배치된 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 10

제1항에 있어서,

상기 구동 박막 트랜지스터의 게이트 전극과 상기 구동 박막 트랜지스터의 소스 전극 사이에 연결된 제1 커패시터; 및

상기 Vdd 전압 공급 라인과 상기 구동 박막 트랜지스터의 드레인 전극 사이에 연결된 제2 커패시터를 더 포함하는 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 11

제1항에 있어서,

상기 구동 박막 트랜지스터의 소스 전극이 상기 제1 스캔 라인과 상기 발광 신호 라인 사이에 배치된 것을 특징으로 하는, 유기 발광 표시 장치.

### 청구항 12

제1항 내지 제11항에 기재된 유기 발광 표시 장치의 구동 방법으로서,

초기화 구간, 샘플링 구간, 프로그래밍 구간 및 발광 구간 동안 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 발광 신호 라인을 통해 펠스 신호를 인가하는 단계를 포함하고,

상기 발광 구간 동안, 상기 제1 스캔 라인 및 상기 제2 스캔 라인은 로우(low) 레벨 신호를 전달하고, 상기 발광 신호 라인은 하이(high) 레벨 신호를 전달하는 것을 특징으로 하는, 유기 발광 표시 장치의 구동 방법.

## 청구항 13

제12항에 있어서,

상기 발광 구간 동안, 상기 구동 박막 트랜지스터의 소스 전극에는 하이 레벨 신호가 전달되는 것을 특징으로 하는, 유기 발광 표시 장치의 구동 방법.

### 발명의 설명

#### 기술 분야

- [0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 구동 방법에 관한 것으로서, 보다 상세하게는 복원 잔상이 최소화된 유기 발광 표시 장치 및 유기 발광 표시 장치의 구동 방법에 관한 것이다.

#### 배경 기술

- [0002] 유기 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 유기 발광 표시 장치는 저전압 구동에 의해 소비 전력 측면에서 유리할 뿐만 아니라, 색상 구현, 응답 속도, 시야각, 명암 대비비(contrast ratio; CR)도 우수하여, 차세대 디스플레이로서 연구되고 있다.

- [0003] 이러한 유기 발광 표시 장치에서 복원 잔상이 중요한 기술적 이슈로 대두되고 있다. 복원 잔상은 유기 발광 표시 장치에 특정 시간 동안 동일한 정지 화면을 표시한 후 특정 계조의 전체 화면으로 전환 시 이전 화면의 윤곽이 시인되는 현상을 의미한다. 이와 같은 복원 잔상이 발생함에 따라, 유기 발광 표시 장치의 표시 품질이 감소되고, 화질 문제가 발생할 수 있다.

- [0004] 이에, 유기 발광 표시 장치에서 복원 잔상이 사라지는 시간을 감소시키기 위한 연구가 계속되고 있다.

- [0005] [관련기술문헌]

- [0006] 1. 유기발광다이오드 표시소자의 구동방법 및 장치(특허출원번호 제10-2004-0111510호)

### 발명의 내용

#### 해결하려는 과제

- [0007] 본 발명의 발명자들은 표시 화면의 특정 부분에는 백색 패턴을 표시하고 표시 화면의 다른 특정 부분에는 흑색 패턴을 표시한 후 특정 계조의 전체 화면으로 전환하는 방식의 복원 잔상 테스트에서, 백색 패턴이 표시되는 부분에 배치된 박막 트랜지스터의 문턱 전압(Vth)이 시프트되어, 백색 패턴이 표시되는 부분에 배치된 박막 트랜지스터의 문턱 전압(Vth)과 흑색 패턴이 표시되는 부분에 배치된 박막 트랜지스터의 문턱 전압(Vth)의 차이가 발생하는 것을 인식하였다. 또한, 본 발명의 발명자들은 박막 트랜지스터들이 배치된 기판이 수분을 머금고 있는 경우, 기판의 수분이 전하를 갖게 되어 박막 트랜지스터 주변의 전위차에 의해 기판 내에 전기 장이 발생하고, 발생된 전기장이 박막 트랜지스터에도 인가되고, 이에 의해 백색 패턴이 표시되는 부분에 배치된 박막 트랜지스터의 문턱 전압(Vth)이 증가되거나 감소된다는 것을 인식하였다.

- [0008] 이에, 본 발명의 발명자들은 유기 발광 표시 장치의 발광 구간 동안 각각의 배선 및 박막 트랜지스터에 인가되는 신호의 크기 차이에 의해 기판 내에 발생될 수 있는 전기장을 고려하여, 박막 트랜지스터의 문턱 전압(Vth)이 시프트되는 것을 최소화할 수 있는 새로운 화소 구조를 갖는 유기 발광 표시 장치 및 그 구동 방법을 발명하였다.

- [0009] 이에, 본 발명이 해결하고자 하는 과제는 유기 발광 표시 장치의 유기 발광 소자가 동일한 계조의 화면을 오랜 시간 발광하더라도 해당 유기 발광 소자를 구동하기 위한 박막 트랜지스터들의 문턱 전압(Vth)이 시프트되는 것이 최소화된 유기 발광 표시 장치 및 유기 발광 표시 장치의 구동 방법을 제공하는 것이다.

- [0010] 또한, 본 발명이 해결하고자 하는 다른 과제는 복원 잔상이 빠르게 제거되어 화질이 개선된 유기 발광 표시 장치 및 유기 발광 표시 장치의 구동 방법을 제공하는 것이다.

- [0011] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

## 과제의 해결 수단

[0012]

본 발명의 일 실시예에 따른 유기 발광 표시 장치가 제공된다. 플렉서블 기판에 복수의 화소가 정의된다. 복수의 화소 각각에 유기 발광 소자가 배치된다. 제1 스캔 라인, 제2 스캔 라인, 발광 신호 라인 및 초기화 전압 공급 라인이 복수의 화소 각각에서 제1 방향으로 연장하고, 데이터 라인 및 Vdd 전압 공급 라인이 복수의 화소 각각에서 제2 방향으로 연장한다. 복수의 화소 각각은 제1 스위칭 박막 트랜지스터, 제2 스위칭 박막 트랜지스터, 제3 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다. 제1 스위칭 박막 트랜지스터는 제1 스캔 라인 및 데이터 라인과 연결되고, 제2 스위칭 박막 트랜지스터는 제2 스캔 라인 및 초기화 전압 공급 라인과 연결되고, 제3 스위칭 박막 트랜지스터는 발광 신호 라인 및 Vdd 전압 공급 라인과 연결된다. 구동 박막 트랜지스터는 제1 스위칭 박막 트랜지스터와 연결된 게이트 전극, 제2 스위칭 박막 트랜지스터 및 유기 발광 소자와 연결된 소스 전극 및 제3 스위칭 박막 트랜지스터와 연결된 드레인 전극을 갖는다. 복수의 화소 각각의 평면 상에서 제1 스캔 라인 및 제2 스캔 라인은 그룹화되어 일 측에 배치되고, 구동 박막 트랜지스터 및 발광 신호 라인은 그룹화되어 타 측에 배치된다. 이에 따라, 발광 구간 동안 하이 레벨 신호가 인가되는 구성요소들을 그룹화하여 화소의 일 측에 배치하고 발광 구간 동안 로우 레벨 신호가 인가되는 구성요소들을 그룹화하여 화소의 타 측에 배치하여, 박막 트랜지스터의 문턱 전압(V<sub>th</sub>)이 시프트되는 것이 최소화될 수 있다.

[0013]

본 발명의 다른 특징에 따르면, 복수의 화소 각각에서 제1 스캔 라인, 제2 스캔 라인, 구동 박막 트랜지스터 및 발광 신호 라인은 평면 상에서 제2 스캔 라인, 제1 스캔 라인, 구동 박막 트랜지스터, 발광 신호 라인의 순서로 배치된 것을 특징으로 한다.

[0014]

본 발명의 다른 특징에 따르면, 유기 발광 소자가 빛을 발광하는 때에, 제1 스캔 라인 및 제2 스캔 라인은 로우 (low) 레벨 신호를 전달하고, 발광 신호 라인은 하이 (high) 레벨 신호를 전달하고, 구동 박막 트랜지스터의 소스 전극에는 하이 레벨 신호가 전달되는 것을 특징으로 한다.

[0015]

본 발명의 또 다른 특징에 따르면, 플렉서블 기판은 수분을 함유하는 플라스틱 기판인 것을 특징으로 한다.

[0016]

본 발명의 또 다른 특징에 따르면, 플렉서블 기판은 폴리이미드(polyimide)로 이루어진 것을 특징으로 한다.

[0017]

본 발명의 또 다른 특징에 따르면, 제1 스위칭 박막 트랜지스터의 게이트 전극이 제1 스캔 라인과 연결되고, 제2 스위칭 박막 트랜지스터의 게이트 전극이 제2 스캔 라인과 연결되고, 제3 스위칭 박막 트랜지스터의 게이트 전극이 발광 신호 라인과 연결된 것을 특징으로 한다.

[0018]

본 발명의 또 다른 특징에 따르면, 제1 스위칭 박막 트랜지스터, 제2 스위칭 박막 트랜지스터, 제3 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터는 LTPS(Low Temperature Poly Silicon) 박막 트랜지스터인 것을 특징으로 한다.

[0019]

본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는 복수의 화소 각각에 배치된 유기 발광 소자를 더 포함하고, 구동 박막 트랜지스터의 소스 전극이 유기 발광 소자와 연결된 것을 특징으로 한다.

[0020]

본 발명의 또 다른 특징에 따르면, 복수의 화소 각각에서 초기화 전압 공급 라인은 제2 스캔 라인에 인접하게 배치된 것을 특징으로 한다.

[0021]

본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는 구동 박막 트랜지스터의 게이트 전극과 구동 박막 트랜지스터의 소스 전극 사이에 연결된 제1 커페시터 및 Vdd 전압 공급 라인과 구동 박막 트랜지스터의 드레인 전극 사이에 연결된 제2 커페시터를 더 포함하는 것을 특징으로 한다.

[0022]

본 발명의 또 다른 특징에 따르면, 구동 박막 트랜지스터의 소스 전극이 제1 스캔 라인과 발광 신호 라인 사이에 배치된 것을 특징으로 한다.

[0023]

본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 방법이 제공된다. 유기 발광 표시 장치의 구동 방법은 초기화 구간, 샘플링 구간, 프로그래밍 구간 및 발광 구간 동안 제1 스캔 라인, 제2 스캔 라인, 발광 신호 라인을 통해 펄스 신호를 인가하는 단계를 포함하고, 발광 구간 동안, 제1 스캔 라인 및 제2 스캔 라인은 로우 (low) 레벨 신호를 전달하고, 발광 신호 라인은 하이 (high) 레벨 신호를 전달한다.

[0024]

본 발명의 다른 특징에 따르면, 발광 구간 동안, 구동 박막 트랜지스터의 소스 전극에는 하이 레벨 신호가 전달되는 것을 특징으로 한다.

[0025]

기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

## 발명의 효과

- [0026] 본 발명은 발광 구간 동안 로우(low) 레벨 신호를 전달하는 배선과 하이(high) 레벨 신호를 전달하는 배선을 분리하여 배치하여, 기판 내의 수분에 의해 발생된 전기장이 박막 트랜지스터 주변의 전위차에 의해 박막 트랜지스터 주변에 발생하는 것을 억제할 수 있다.
- [0027] 또한, 본 발명은 유기 발광 소자를 구동하기 위한 박막 트랜지스터, 특히, 스위칭 박막 트랜지스터의 문턱 전압( $V_{th}$ )이 시프트되는 것을 최소화할 수 있다.
- [0028] 또한, 본 발명은 유기 발광 표시 장치의 복원 잔상이 발생하는 것을 저감시키고, 나아가 복원 잔상이 발생하더라도 복원 잔상의 유지 시간을 최소화할 수 있다.
- [0029] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

## 도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 개략적인 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 방법을 설명하기 위한 개략적인 타이밍 다이어그램이다.
- 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 대한 개략적인 회로도이다.
- 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 비교예 및 실시예에 대한 개략적인 회로도이다.
- 도 6은 복원 잔상 테스트의 평가 방법을 설명하기 위한 개략적인 도면이다.
- 도 7은 비교예 및 실시예에 대한 복원 잔상 테스트 결과를 설명하기 위한 표이다.
- 도 8a 내지 도 8d는 비교예 및 실시예에 대한 복원 잔상 테스트 결과를 설명하기 위한 그래프이다.

## 발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0032] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 헤릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0033] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0034] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0035] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0036] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라

서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0037] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0038] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0039] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0040] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0041] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 개략적인 평면도이다. 도 1은 유기 발광 표시 장치(100)의 다양한 구성요소들 중 플렉서블 기판(110)만을 도시하였다.

[0042] 플렉서블 기판(110)은 유기 발광 표시 장치(100)의 여러 구성요소들을 지지하고 보호하기 위한 기판이다. 플렉서블 기판(110)은 플렉서빌리티를 갖는 절연 물질로 구성될 수 있다. 예를 들어, 플렉서블 기판(110)은 폴리아미드(polyimide) 등과 같은 플라스틱으로 이루어질 수 있으나, 이에 제한되는 것은 아니다.

[0043] 플렉서블 기판(110)이 플라스틱 기판으로 구성되는 경우, 플라스틱 물질의 물성에 따라 플렉서블 기판(110)은 플렉서블 기판(110) 내에 전기장을 유발할 수 있는 물질을 함유할 수 있다. 예를 들어, 플렉서블 기판(110)은 수분을 함유할 수 있다.

[0044] 플렉서블 기판(110)은 표시 영역(DA) 및 표시 영역(DA)을 둘러싸는 비표시 영역(NA)을 갖는다. 표시 영역(DA)은 유기 발광 표시 장치(100)에서 영상이 표시되는 영역으로서, 표시 영역(DA)에는 복수의 화소(P)가 정의된다. 또한, 복수의 화소(P) 각각에는 유기 발광 소자(OLED) 및 유기 발광 소자(OLED)를 구동하기 위한 다양한 구동 소자들이 배치된다. 유기 발광 소자(OLED)를 구동하기 위한 다양한 구동 소자들에 대해서는 도 2 내지 도 4를 참조하여 상세히 후술한다. 비표시 영역(NA)은 유기 발광 표시 장치(100)에서 영상이 표시되지 않는 영역으로서, 배선 또는 회로부가 형성되는 영역이다. 또한, 비표시 영역(NA)에 복수의 패드 전극이 형성될 수 있고, 이에 따라 패드 전극과 본딩되는(bonded) 외부 모듈, 예를 들어, FPCB(flexible printed circuit board), COF(chip on film) 등이 비표시 영역(NA)에 배치될 수 있다.

[0045] 이하에서는 본 발명의 유기 발광 표시 장치(100)의 복수의 화소(P) 각각에 배치된 구동 소자들 및 이들의 구동 방법을 보다 상세히 설명하기 위해 도 2 및 도 3을 함께 참조한다.

[0046] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 회로도이다. 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 방법을 설명하기 위한 개략적인 타이밍 다이어그램이다. 도 2를 참조하면, 유기 발광 표시 장치(100)의 각각의 화소(P)는 유기 발광 소자(OLED), 제1 스위칭 박막 트랜지스터(ST1), 제2 스위칭 박막 트랜지스터(ST2), 제3 스위칭 박막 트랜지스터(ST3), 구동 박막 트랜지스터(DT), 제1 커퍼시터(CS1) 및 제2 커퍼시터(CS2)를 포함한다. 이러한 화소(P)는 본 명세서에서 4T2C 화소 회로를 갖는 것으로 지칭될 수 있다.

[0047] 화소(P)는 화소 회로로 공급되는 복수의 스캔 신호들에 따라 나누어진 복수의 구간들, 즉, 초기화 구간(t1), 샘플링 구간(t2), 프로그래밍 구간(t3) 및 발광 구간(t4)에서 동작한다. 또한, 제1 스캔 라인(SCAN1), 제2 스캔 라인(SCAN2), 발광 신호 라인(EM) 및 초기화 전압 공급 라인(Vini)은 복수의 구간들 각각에서 하이 레벨 신호 및 로우 레벨 신호로 이루어지는 웨尔斯 신호를 화소 회로에 인가한다.

[0048] 도 2를 참조하면, 제1 스위칭 박막 트랜지스터(ST1)는 제1 스캔 라인(SCAN1) 및 데이터 라인(Data)과 연결된다. 구체적으로, 제1 스위칭 박막 트랜지스터(ST1)의 게이트 전극이 제1 스캔 라인(SCAN1)과 연결되고, 제1 스위칭 박막 트랜지스터(ST1)의 일 단자가 데이터 라인(Data)과 연결되며, 제1 스위칭 박막 트랜지스터(ST1)의 다른 단자가 구동 박막 트랜지스터(DT)의 게이트 전극과 연결된다. 여기서, 일 단자 및 다른 단자는 소스 전극 및 드레인 전극 중 하나일 수 있다.

[0049] 도 2 및 도 3을 참조하면, 제1 스위칭 박막 트랜지스터(ST1)는 제1 스캔 라인(SCAN1)으로부터의 제1 스캔 신호의 상태에 기초하여 턴-온(turn-on)되거나 턴-오프(turn-off)된다. 제1 스위칭 박막 트랜지스터(ST1)를 턴-온하는 동작은 구동 박막 트랜지스터(DT)의 게이트 전극과 연결되는 제2 노드(Node2)와 데이터 라인(Data)을 연결한다. 하이 레벨의 제1 스캔 신호는 제1 스위칭 박막 트랜지스터(ST1)를 턴-온시키도록 초기화 구간(t1) 및 샘플

텅 구간(t2) 동안 제1 스위칭 박막 트랜지스터(ST1)에 공급된다. 또한, 하이 레벨의 제1 스캔 신호는 프로그래밍 구간(t3) 동안에도 제1 스위칭 박막 트랜지스터(ST1)에 공급된다. 프로그래밍 구간(t3) 동안, 데이터 라인(Data)이 데이터 전압(Vdata)을 제공하여, 제1 스위칭 박막 트랜지스터(ST1)가 데이터 전압(Vdata)을 제2 노드(Node2)로 공급한다.

[0050] 도 2를 참조하면, 제2 스위칭 박막 트랜지스터(ST2)는 제2 스캔 라인(SCAN2) 및 초기화 전압 공급 라인(Vini)과 연결된다. 구체적으로, 제2 스위칭 박막 트랜지스터(ST2)의 게이트 전극이 제2 스캔 라인(SCAN2)과 연결되고, 제2 스위칭 박막 트랜지스터(ST2)의 일 단자가 초기화 전압 공급 라인(Vini)과 연결되며, 제2 스위칭 박막 트랜지스터(ST2)의 다른 단자가 제3 노드(Node3)와 연결된다. 여기서, 일 단자 및 다른 단자는 소스 전극 및 드레인 전극 중 하나일 수 있다.

[0051] 도 2 및 도 3을 참조하면, 제2 스위칭 박막 트랜지스터(ST2)는 제2 스캔 라인(SCAN2)으로부터의 제2 스캔 신호의 상태에 기초하여 턴-온되거나 턴-오프된다. 초기화 구간(t1) 동안 하이 레벨의 제2 스캔 신호가 공급되어 제2 스위칭 박막 트랜지스터(ST2)가 턴-온되고, 초기화 전압이 구동 박막 트랜지스터(DT)의 소스 전극과 연결되는 제3 노드(Node3)로 제공된다.

[0052] 도 2를 참조하면, 제3 스위칭 박막 트랜지스터(ST3)는 발광 신호 라인(EM) 및 Vdd 전압 공급 라인(VDD)과 연결된다. 구체적으로, 제3 스위칭 박막 트랜지스터(ST3)의 게이트 전극이 발광 신호 라인(EM)과 연결되고, 제3 스위칭 박막 트랜지스터(ST3)의 일 단자가 Vdd 전압 공급 라인(VDD)과 연결되며, 제3 스위칭 박막 트랜지스터(ST3)의 다른 단자가 제1 노드(Node1)와 연결된다. 여기서, 일 단자 및 다른 단자는 소스 전극 및 드레인 전극 중 하나일 수 있다.

[0053] 도 2 및 도 3을 참조하면, 제3 스위칭 박막 트랜지스터(ST3)는 발광 신호 라인(EM)으로부터의 발광 신호의 상태에 기초하여 턴-온되거나 턴-오프된다. 샘플링 구간(t2) 및 발광 구간(t4) 동안 하이 레벨의 발광 신호가 공급되어 제3 스위칭 박막 트랜지스터(ST3)가 턴-온되고, 제3 스위칭 박막 트랜지스터(ST3)는 Vdd 전압 공급 라인(VDD)으로부터 구동 박막 트랜지스터(DT)의 드레인 전극으로 Vdd 전압을 제공한다.

[0054] 도 2를 참조하면, 구동 박막 트랜지스터(DT)는 제1 스위칭 박막 트랜지스터(ST1), 제2 스위칭 박막 트랜지스터(ST2), 제3 스위칭 박막 트랜지스터(ST3) 및 유기 발광 소자(OLED)와 연결된다. 구체적으로, 구동 박막 트랜지스터(DT)의 게이트 전극은 제1 스위칭 박막 트랜지스터(ST1)의 하나의 단자와 연결되고, 구동 박막 트랜지스터(DT)의 드레인 전극은 제3 스위칭 박막 트랜지스터(ST3)의 하나의 단자와 연결되고, 구동 박막 트랜지스터(DT)의 소스 전극은 제2 스위칭 박막 트랜지스터(ST2)의 하나의 단자 및 유기 발광 소자(OLED)와 연결된다.

[0055] 여기서, 제1 스위칭 박막 트랜지스터(ST1), 제2 스위칭 박막 트랜지스터(ST2), 제3 스위칭 박막 트랜지스터(ST3) 및 구동 박막 트랜지스터(DT)는 LTPS(low-temperature polycrystalline silicon) 박막 트랜지스터이다. 즉, 제1 스위칭 박막 트랜지스터(ST1), 제2 스위칭 박막 트랜지스터(ST2), 제3 스위칭 박막 트랜지스터(ST3) 및 구동 박막 트랜지스터(DT) 각각의 액티브층은 다결정 실리콘으로 이루어질 수 있고, 예를 들어, 비정질 실리콘층을 레이저 빔 등을 사용하여 열처리하는 방식으로 형성된 저온 다결정 실리콘으로 이루어진 액티브층이 사용될 수 있다.

[0056] 유기 발광 소자(OLED)는 Vdd 전압을 수신하는 애노드, Vss 전압을 수신하는 캐소드 및 애노드와 캐소드 사이에 배치된 유기 발광층을 포함한다. 유기 발광 소자(OLED)는 Vdd 전압 공급 라인(VDD)과 Vss 전압 공급 라인(VSS) 사이에서 구동 박막 트랜지스터(DT)와 직렬로 연결된다. 구체적으로, 유기 발광 소자(OLED)의 애노드는 제3 노드(Node3)를 통해 구동 박막 트랜지스터(DT)의 소스 전극과 연결되고, 유기 발광 소자(OLED)의 캐소드는 Vss 전압 공급 라인(VSS)과 연결된다. 구동 박막 트랜지스터(DT)는 구동 박막 트랜지스터(DT)의 소스 전극과 게이트 전극 사이의 전압 차이에 따라 유기 발광 소자(OLED)에 흐르는 전류량을 제어한다. 구동 박막 트랜지스터(DT)는 유기 발광 소자(OLED)가 발광하는 발광 구간(t4) 동안 유기 발광 소자(OLED)에 구동 전류를 공급한다.

[0057] 도 2를 참조하면, 제1 커패시터(CS1)는 제2 노드(Node2)와 제3 노드(Node3) 사이에서 연결된다. 구체적으로, 제1 커패시터(CS1)는 구동 박막 트랜지스터(DT)의 소스 전극과 구동 박막 트랜지스터(DT)의 게이트 전극 사이에 연결된다. 제1 커패시터(CS1)는 샘플링 구간(t2)에서 구동 박막 트랜지스터(DT)의 문턱 전압(Vth)을 저장한다.

[0058] 도 2를 참조하면, 제2 커패시터(CS2)는 Vdd 전압 공급 라인(VDD)과 제2 노드(Node2) 사이에서 연결된다. 구체적으로, 제2 커패시터(CS2)는 Vdd 전압 공급과 구동 박막 트랜지스터(DT)의 드레인 전극 사이에 연결된다. 제2 커패시터(CS2)는 제1 커패시터(CS1)와 직렬로 연결되어, 제1 커패시터(CS1)의 커패시턴스 비를 감소시킨다. 이와 같이 제2 커패시터(CS2)가 제1 커패시터(CS1)의 커패시턴스 비를 감소시킴에 따라, 프로그래밍 구간(t3) 동안

제2 노드(Node2)로 인가되는 데이터 전압(Vdata)의 사용을 보다 효율적으로 할 수 있다. 이에 따라, 제2 커패시터(CS2)는 동일한 데이터 전압(Vdata) 대비 유기 발광 소자(OLED)의 휘도를 향상시킬 수 있다.

[0059] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 구체적인 구동과 관련하여, 제1 스위칭 박막 트랜지스터(ST1) 및 제2 스위칭 박막 트랜지스터(ST2)가 초기화 구간(t1)에 터-온된다. 이에 따라, 데이터 라인(Data)을 통한 기준 전압(Vref)이 제1 스위칭 박막 트랜지스터(ST1)를 통해 제2 노드(Node2)로 공급된다. 또한, 초기화 전압 공급 라인(Vini)을 통한 초기화 전압이 제3 노드(Node3)로 공급된다. 이에 따라, 화소(P)가 초기화된다.

[0060] 이어서, 샘플링 구간(t2)에서, 제1 스위칭 박막 트랜지스터(ST1) 및 제3 스위칭 박막 트랜지스터(ST3)가 터-온된다. 제2 노드(Node2)는 기준 전압(Vref)을 유지한다. 구동 박막 트랜지스터(DT)에서, 하이 레벨의 Vdd 전압에 의해 구동 박막 트랜지스터(DT)의 드레인 전극이 플로팅되는(floated) 상태에서 전류가 구동 박막 트랜지스터(DT)의 소스 전극을 향해 흐른다. 구동 박막 트랜지스터(DT)의 소스 전극의 전압이 "Vref-Vth"와 동일한 경우, 구동 박막 트랜지스터(DT)는 터-오프된다. 여기서, "Vth"는 구동 박막 트랜지스터(DT)의 문턱 전압(Vth)을 나타낸다.

[0061] 이어서, 프로그래밍 구간(t3)에서, 제1 스위칭 박막 트랜지스터(ST1)가 터-온되며, 데이터 전압(Vdata)은 데이터 라인(Data)을 통해 제1 스위칭 박막 트랜지스터(ST1)를 통해 제2 노드(Node2)로 공급된다. 이에 따라, 제3 노드(Node3)의 전압은 화소 회로 내의 커플링 현상에 의해 "Vref-Vth+C'(Vdata-Vref)"로 변한다. 이는 제1 커패시터(CS1) 및 제2 커패시터(CS2)의 직렬 연결에 의한 전압 분배로부터 도출된다. 여기서, "C'"는 "CS1/(CS1+CS2+Coled')"를 나타낸다. "Coled'"는 OLED의 커패시턴스를 나타낸다.

[0062] 이어서, 발광 구간(t4)에서, 제3 스위칭 박막 트랜지스터(ST3)가 터-온된다. 다음으로, Vdd 전압은 제3 스위칭 박막 트랜지스터(ST3)를 통해 구동 박막 트랜지스터(DT)의 드레인 전극에 인가된다. 이에 따라, 구동 박막 트랜지스터(DT)는 구동 전류를 유기 발광 소자(OLED)로 공급한다. 이러한 구성에서, 구동 박막 트랜지스터(DT)에서 유기 발광 소자(OLED)로 공급되는 구동 전류는 다음의 식으로 표현된다:  $1/2*K(Vdata-Vref-C(Vdata-Vref))^2$ . 여기서, "K"는 구동 박막 트랜지스터(DT)의 이동도와 구동 박막 트랜지스터(DT)의 기생 커패시턴스에 따라 결정되는 상수를 나타낸다.

[0063] 이하에서는 본 발명의 유기 발광 표시 장치(100)의 복수의 화소(P) 각각에 배치된 구동 소자들의 평면 상에서의 배치 관계를 보다 상세히 설명하기 위해 도 4를 함께 참조한다.

[0064] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 하나의 화소에 대한 개략적인 회로도이다. 도 4는 유기 발광 표시 장치(100)의 플렉서블 기판(110) 상에 정의된 하나의 화소(P)에서의 각각의 배선, 박막 트랜지스터 및 커패시터의 평면 상의 예시적인 실제 배치 구조를 도시하였다.

[0065] 도 4를 참조하면, 제1 스캔 라인(SCAN1), 제2 스캔 라인(SCAN2), 발광 신호 라인(EM) 및 초기화 전압 공급 라인(Vini)은 플렉서블 기판(110) 상에서 제1 방향으로 연장하도록 배치된다. 이에 따라, 제1 스캔 라인(SCAN1), 제2 스캔 라인(SCAN2), 발광 신호 라인(EM) 및 초기화 전압 공급 라인(Vini)은 복수의 화소(P) 각각에서도 제1 방향으로 연장한다. 또한, 데이터 라인(Data) 및 Vdd 전압 공급 라인(VDD)은 플렉서블 기판(110) 상에서 제2 방향으로 연장하도록 배치된다. 이에 따라, 데이터 라인(Data) 및 Vdd 전압 공급 라인(VDD)은 복수의 화소(P) 각각에서도 제2 방향으로 연장된다. 제2 방향은 제1 방향과 상이한 방향으로서, 예를 들어, 도 4에 도시된 바와 같이, 제1 방향은 x축 방향이고, 제2 방향은 y축 방향일 수 있다.

[0066] 도 4를 참조하면, 평면 상에서 화소(P) 상부에 제2 스캔 라인(SCAN2)이 배치되고, 제2 스캔 라인(SCAN2) 아래에 제1 스캔 라인(SCAN1)이 배치되고, 제1 스캔 라인(SCAN1) 아래에 구동 박막 트랜지스터(DT)가 배치되고, 구동 박막 트랜지스터(DT) 아래에 발광 신호 라인(EM)이 배치된다. 특히, 구동 박막 트랜지스터(DT)의 소스 전극이 제1 스캔 라인(SCAN1)과 발광 신호 라인(EM) 사이에 배치된다. 추가적으로, 초기화 전압 공급 라인(Vini)이 화소(P) 내에서 가장 상부에 배치되고, 초기화 전압 라인은 제2 스캔 라인(SCAN2)에 인접하게 배치된다. 이에 따라, 제2 스위칭 박막 트랜지스터(ST2)가 초기화 전압 공급 라인(Vini)과 제1 스캔 라인(SCAN1) 사이에 배치되고, 제1 스위칭 박막 트랜지스터(ST1)와 구동 박막 트랜지스터(DT)가 제1 스캔 라인(SCAN1)과 발광 신호 라인(EM) 사이에 배치된다.

[0067] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 구동 방법에서는 도 3에 도시된 바와 같이 발광 구간(t4)에서 제1 스캔 라인(SCAN1)이 로우 레벨 신호인 제1 스캔 신호를 전달하고, 제2 스캔 라인(SCAN2)이 로우 레벨 신호인 제2 스캔 신호를 전달하고, 발광 신호 라인(EM)이 하이 레벨 신호인 발광 신호를 전달한다. 또한, 발광 구간(t4) 동안 구동 박막 트랜지스터(DT)가 터-온됨에 따라, 구동 박막 트랜지스터(DT)의 소스 전극에는

하이 레벨 신호가 전달된다. 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 발광 구간(t4) 동안 하이 레벨 신호를 전달하는 발광 신호 라인(EM) 및 하이 레벨 신호가 전달되는 구동 박막 트랜지스터(DT)가 화소(P) 내에서 평면 상으로 하부에 배치되고, 발광 구간(t4) 동안 로우 레벨 신호를 전달하는 제1 스캔 라인(SCAN1), 제2 스캔 라인(SCAN2) 및 초기화 전압 전달 라인이 화소(P) 내에서 평면 상으로 상부에 배치된다. 즉, 하이 레벨 신호가 인가되는 구성요소와 로우 레벨 신호가 인가되는 구성요소가 교대로 배치되는 경우 전위차에 의한 전기장이 기판 내에 발생하고, 발생된 전기장에 의해 박막 트랜지스터의 문턱 전압(Vth)이 시프트될 수 있다. 따라서, 발광 구간(t4) 동안 하이 레벨 신호가 인가되는 구성요소들을 그룹화하여 화소(P)의 일 측에 배치하고 발광 구간(t4) 동안 로우 레벨 신호가 인가되는 구성요소들을 그룹화하여 화소(P)의 타 측에 배치하여, 박막 트랜지스터의 문턱 전압(Vth)이 시프트되는 것이 최소화될 수 있다.

[0068] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100) 및 유기 발광 표시 장치(100)의 구동 방법의 효과에 대한 보다 상세한 설명을 위해 도 5를 함께 참조한다.

[0069] 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 비교예 및 실시예에 대한 개략적인 회로도이다.

[0070] 도 5에 도시된 실시예는 도 4에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 일 화소(P)의 회로도와 동일하다.

[0071] 도 5에 도시된 비교예는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 일 화소(P)의 회로도와 등가 회로를 갖는 화소(P')이나, 평면 상에서의 배선 및 박막 트랜지스터의 배치 위치가 상이한 화소(P')의 회로도이다. 구체적으로, 비교예에서는 평면 상에서 화소(P') 상부로부터 초기화 전압 공급 라인(Vini), 제2 스캔 라인(SCAN2), 구동 박막 트랜지스터(DT), 제1 스캔 라인(SCAN1), 발광 신호 라인(EM) 순서로 배치된다. 즉, 비교예에서는 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)가 구동 박막 트랜지스터(DT)와 발광 신호 라인(EM) 사이에 배치되는 반면, 실시예에서는 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)가 제2 스캔 라인(SCAN2)과 구동 박막 트랜지스터(DT) 사이에 배치된다. 이에 따라, 실시예에서는 발광 구간(t4) 동안 로우 레벨 신호가 인가되는 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)가 로우 레벨 신호가 인가되는 제2 스캔 라인(SCAN2)과 하이 레벨 신호가 인가되는 구동 박막 트랜지스터(DT)의 소스 전극 사이에 배치되는 반면, 비교예에서는 발광 구간(t4) 동안 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)가 하이 레벨 신호가 인가되는 발광 신호 라인(EM)과 하이 레벨 신호가 인가되는 구동 박막 트랜지스터(DT)의 소스 전극 사이에 배치된다. 이에 따라, 제1 스위칭 박막 트랜지스터(ST1)와 주변 구성요소들 사이의 전위차가 실시예보다 비교예에서 더 크다. 따라서, 제1 스위칭 박막 트랜지스터(ST1)에 인가되는 전기장의 세기 또한 실시예보다 비교예에서 더 크므로, 실시예의 제1 스위칭 박막 트랜지스터(ST1)가 비교예에서의 제1 스위칭 박막 트랜지스터(ST1)보다 주변의 전위차에 의한 전기장에 의한 영향을 적게 받는다. 따라서, 실시예는 비교예보다 제1 스위칭 박막 트랜지스터(ST1)의 문턱 전압(Vth)의 시프트가 적다.

[0072] 상술한 비교예와 실시예에서의 박막 트랜지스터의 문턱 전압(Vth)의 시프트에 대한 보다 상세한 설명을 위해 도 6 내지 도 8d를 함께 참조한다.

[0073] 도 6은 복원 잔상 테스트의 평가 방법을 설명하기 위한 개략적인 도면이다.

[0074] 복원 잔상 테스트는 유기 발광 표시 장치에 특정 시간 동안 백색 패턴과 흑색 패턴을 포함하는 정지 화면을 표시한 후 특정 계조의 화면으로 화면 전환 시 이전 화면의 잔상이 얼마나 지속되는지를 측정하는 테스트이다. 이와 같은 복원 잔상 테스트로서 화면 전환 후 이전 화면의 윤곽이 시인되는 정도를 육안으로 판단하는 육안 평가가 사용될 수도 있으나, 본 명세서에서는 보다 객관화된 수치를 사용하여 평가하기 위해 전류 측정 결과로 잔상을 판단하는 복원 잔상 테스트를 사용하였다.

[0075] 구체적으로, 본 명세서에서는 비교예와 실시예의 복원 잔상을 비교하기 위해, 비교예의 화소(P')가 적용된 유기 발광 표시 장치와 실시예의 화소(P)가 적용된 유기 발광 표시 장치(100)에 도 6에 도시된 바와 같은 백색 패턴과 흑색 패턴이 교대로 배치된 체스 패턴을 3분 동안 표시한 후, 각각의 화면을 31 계조의 전체 화면으로 전환하거나 127 계조의 전체 화면으로 전환하였다. 이후, 특정 시간이 경과한 후 흑색 패턴이 표시되었던 부분(A)에 배치된 화소(P, P')에 흐르는 전류(Ia)와 백색 패턴이 표시되었던 부분(B)에 배치된 화소(P, P')에 흐르는 전류(Ib)를 측정하여 ISC(Image Sticking Current) 팩터를 계산하는 방식으로 복원 잔상 테스트가 수행되었다. 구체적으로, 31 계조의 전체 화면으로 전환한 경우에는 화면 전환 후 30초가 경과된 후의 전류(Ia, Ib)를 측정하여 ISC 팩터를 계산하였으며, 127 계조의 전체 화면으로 전환한 경우에는 화면 전환 후 5초가 경과된 후의 전류

(Ia, Ib)를 측정하여 ISC 팩터를 계산하였다.

[0076] ISC 팩터는 다음과 같은 수학식을 사용하여 계산하였다.

[수학식 1]

$$\text{ISC 팩터} = (I_b - I_a)/(I_a + I_b)$$

[0079] 또한, 본 명세서에서의 복원 잔상 테스트에서는 ISC 팩터 값이  $\pm 7.5 \times 10^{-3}$  이내에 있는 경우 정상 샘플로 판단하였으며,  $\pm 7.5 \times 10^{-3}$ 을 벗어나는 경우 비정상 샘플로 판단하였다.

[0080] 도 7은 비교예 및 실시예에 대한 복원 잔상 테스트 결과를 설명하기 위한 표이다. 도 8a 내지 도 8d는 비교예 및 실시예에 대한 복원 잔상 테스트 결과를 설명하기 위한 그라프이다.

[0081] 복원 잔상 테스트의 정확성을 높이기 위해 본 명세서에서는 비교예 및 실시예 각각에 대해 30개의 샘플에 대한 전류 측정을 수행하였으며, 각각의 샘플 번호는 도 7에서 “#N”으로 표시하였다. 도 7에서 “G127@5s”는 비교예 및 실시예 각각에서 127 계조의 전체 화면으로 전환 후 5초가 경과된 상태에서의 ISC 팩터 값을 나타내고, “G31@30s”는 비교예 및 실시예 각각에서 31 계조의 전체 화면으로 전환 후 30초가 경과된 상태에서의 ISC 팩터 값을 나타낸다. 또한, 도 7에서는 비정상 샘플로 판단된 경우 사각형 내에 ISC 팩터 값을 표시하였다. 도 8a는 비교예의 화소(P')가 적용된 30개의 샘플에 체스 패턴을 3분 동안 표시한 후 127 계조의 전체 화면으로 전환한 경우의 시간에 따른 ISC 팩터 값의 변화를 나타낸 그라프이고, 도 8b는 비교예의 화소(P')가 적용된 30개의 샘플에 체스 패턴을 3분 동안 표시한 후 31 계조의 전체 화면으로 전환한 경우의 시간에 따른 ISC 팩터 값의 변화를 나타낸 그라프이고, 도 8c는 실시예의 화소(P)가 적용된 30개의 샘플에 체스 패턴을 3분 동안 표시한 후 127 계조의 전체 화면으로 전환한 경우의 시간에 따른 ISC 팩터 값의 변화를 나타낸 그라프이고, 도 8d는 비교예의 화소(P)가 적용된 30개의 샘플에 체스 패턴을 3분 동안 표시한 후 31 계조의 전체 화면으로 전환한 경우의 시간에 따른 ISC 팩터 값의 변화를 나타낸 그라프이고,

[0082] 먼저, 도 7, 도 8a 및 도 8b를 참조하면, 비교예의 화소(P')가 적용된 30개의 샘플에 대한 복원 잔상 테스트 결과 다수의 샘플들이 비정상 샘플로 판정되었다. 특히, 도 8a를 참조하면, 127 계조의 전체 화면으로 전환하는 경우 기준 시점인 5초 경과 후에도 ISC 팩터 값이 기준 범위를 벗어나지만, 30개의 샘플 모두의 ISC 팩터 값이 기준 범위 내로 들어오는 데 약 200초 이상의 시간이 소요된다. 또한, 도 8b를 참조하면, 31 계조의 전체 화면으로 전환하는 경우 기준 시점인 30초 경과 후에도 ISC 팩터 값이 기준 범위를 벗어나지만, 30개의 샘플 모두의 ISC 팩터 값이 기준 범위 내로 들어오는데 약 400초 이상의 시간이 소요된다. 이러한 복원 잔상 테스트 결과로, 비교예의 화소(P')가 적용된 샘플들에서는 복원 잔상이 소멸하는데 상당한 시간이 요구됨을 확인할 수 있다.

[0083] 다음으로, 도 7, 도 8c 및 도 8d를 참조하면, 실시예의 화소(P)가 적용된 30개의 샘플에 대한 복원 잔상 테스트 결과 비정상 샘플이 존재하지 않았다. 이러한 복원 잔상 테스트 결과로, 실시예의 화소(P)가 적용된 샘플들에서는 복원 잔상이 목표된 시간 내에 소멸됨을 확인할 수 있다.

[0084] 정리하면, 도 6 내지 도 8d에서 설명된 복원 잔상 테스트 결과 비교예에서는 복원 잔상이 소멸하는데 상당한 시간이 소요되는 반면, 실시예에서는 비교적 짧은 시간 내에 복원 잔상이 소멸됨을 확인할 수 있다. 이는 상술한 바와 같은 비교예의 화소(P')와 실시예의 화소(P)가 상이하기 때문이다.

[0085] 구체적으로, 비교예에서는 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)가 구동 박막 트랜지스터(DT)와 발광 신호 라인(EM) 사이에 배치된다. 또한, 발광 구간(t4) 동안 로우 레벨 신호가 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)에 인가되는 반면 구동 박막 트랜지스터(DT)의 소스 전극 및 발광 신호 라인(EM)에는 하이 레벨의 신호가 인가된다. 또한, 플렉서블 기판(110)에는 수분이 함유되어 있으므로, 제1 스위칭 박막 트랜지스터(ST1)와 구동 박막 트랜지스터(DT)의 소스 전극 사이 그리고 제1 스위칭 박막 트랜지스터(ST1)와 발광 신호 라인(EM) 사이에 플렉서블 기판(110)의 수분에 의한 전기장이 발생한다. 이에 따라, 체스 패턴 중 백색 패턴이 표시되었던 부분에 배치된 화소(P') 내의 제1 스위칭 박막 트랜지스터(ST1)의 문턱 전압(Vth)은 시프트되는 반면, 흑색 패턴이 표시되었던 부분에 배치된 화소(P')는 발광하지 않았으므로 해당 화소(P') 내의 제1 스위칭 박막 트랜지스터(ST1)의 문턱 전압(Vth)은 시프트되지 않는다. 이에 따라, 화면 내에 배치된 화소(P')의 위치에 따라 제1 스위칭 박막 트랜지스터(ST1)의 문턱 전압(Vth)이 상이하므로, 각각의 화소(P')의 유기 발광 소자(OLED)에 흐르는 전류의 양도 상이하게 된다. 따라서, 모든 화소(P')가 동일한 계조의 화면을 표시하기 위한 신호가 인가되나, 실제로는 각각의 화소(P')가 나타내는 계조가 상이하게 되고, 육안으로는 복원 잔상이 시인되게 된다.

[0086]

반면에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)가 제2 스캔 라인(SCAN2)과 구동 박막 트랜지스터(DT) 사이에 배치된다. 또한, 발광 구간(t4) 동안 로우 레벨 신호가 제2 스캔 라인(SCAN2), 제1 스캔 라인(SCAN1) 및 제1 스위칭 박막 트랜지스터(ST1)에 인가되는 반면 구동 박막 트랜지스터(DT)의 소스 전극에는 하이 레벨의 신호가 인가된다. 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 발광 구간(t4) 동안 하이 레벨 신호가 인가되는 구성요소들이 그룹화되어 화소(P)의 일 측에 배치되고 발광 구간(t4) 동안 로우 레벨 신호가 인가되는 구성요소들이 그룹화되어 화소(P)의 타 측에 배치된다. 따라서, 전위 차에 의한 전기장의 발생이 최소화되고, 전기장에 의한 제1 스위칭 박막 트랜지스터(ST1)의 문턱 전압(Vth)의 시프트가 최소화될 수 있다. 이에 따라, 도 7, 도 8c 및 도 8에서 확인한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 복원 잔상이 확인되지 않음을 확인할 수 있다.

[0087]

이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

### 부호의 설명

[0088]

110: 플렉서블 기판

100: 유기 발광 표시 장치

OLED: 유기 발광 소자

DA: 표시 영역

NA: 비표시 영역

P: 화소

Data: 데이터 라인

VDD: Vdd 전압 공급 라인

VSS: Vss 전압 공급 라인

Vini: 초기화 전압 공급 라인

EM: 발광 신호 라인

SCAN1: 제1 스캔 라인

SCAN2: 제2 스캔 라인

CS1: 제1 커패시터

CS2: 제2 커패시터

Coled': 유기 발광 소자의 커패시터

ST1: 제1 스위칭 박막 트랜지스터

ST2: 제2 스위칭 박막 트랜지스터

ST3: 제3 스위칭 박막 트랜지스터

DT: 구동 박막 트랜지스터

Node1: 제1 노드

Node2: 제2 노드

Node3: 제3 노드

t1: 초기화 구간

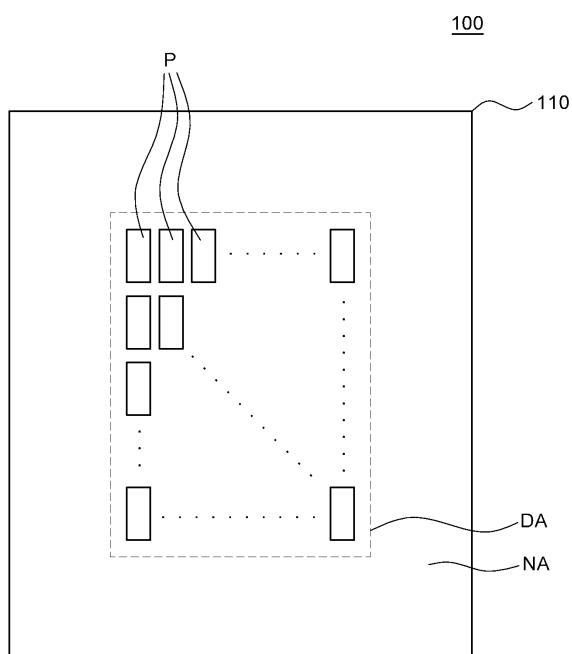
t2: 샘플링 구간

t3: 프로그래밍 구간

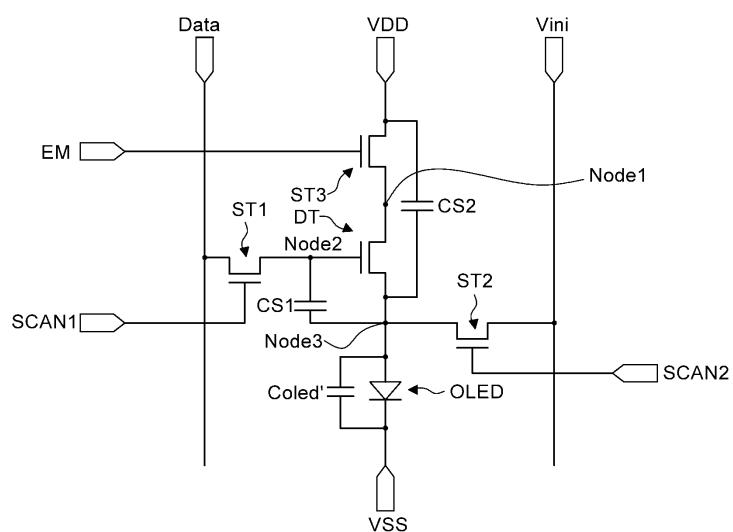
t4: 발광 구간

## 도면

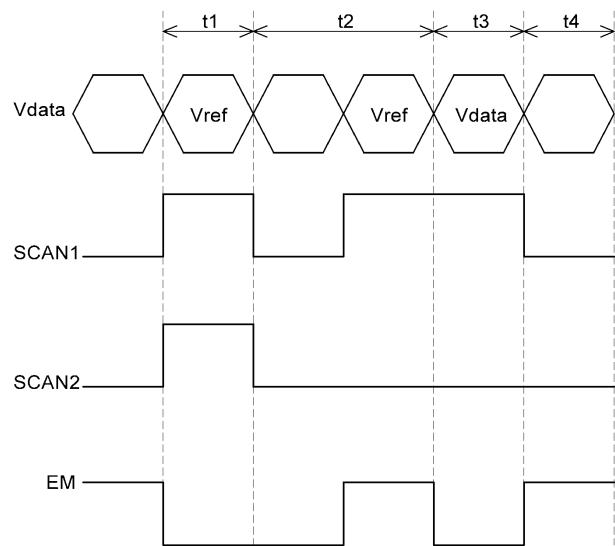
### 도면1



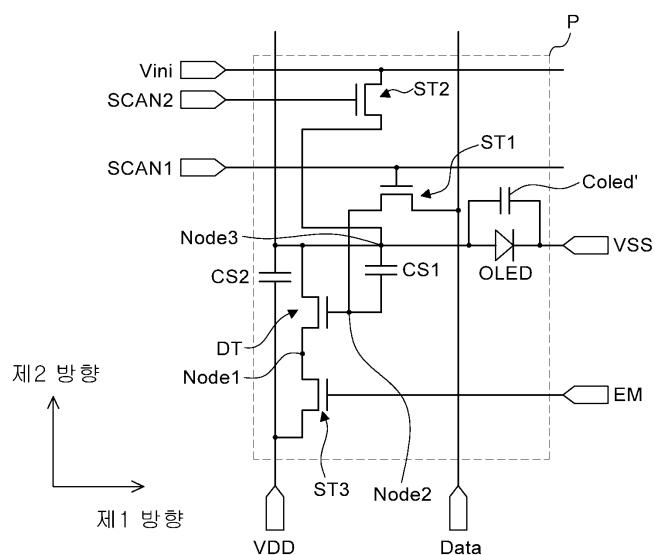
### 도면2



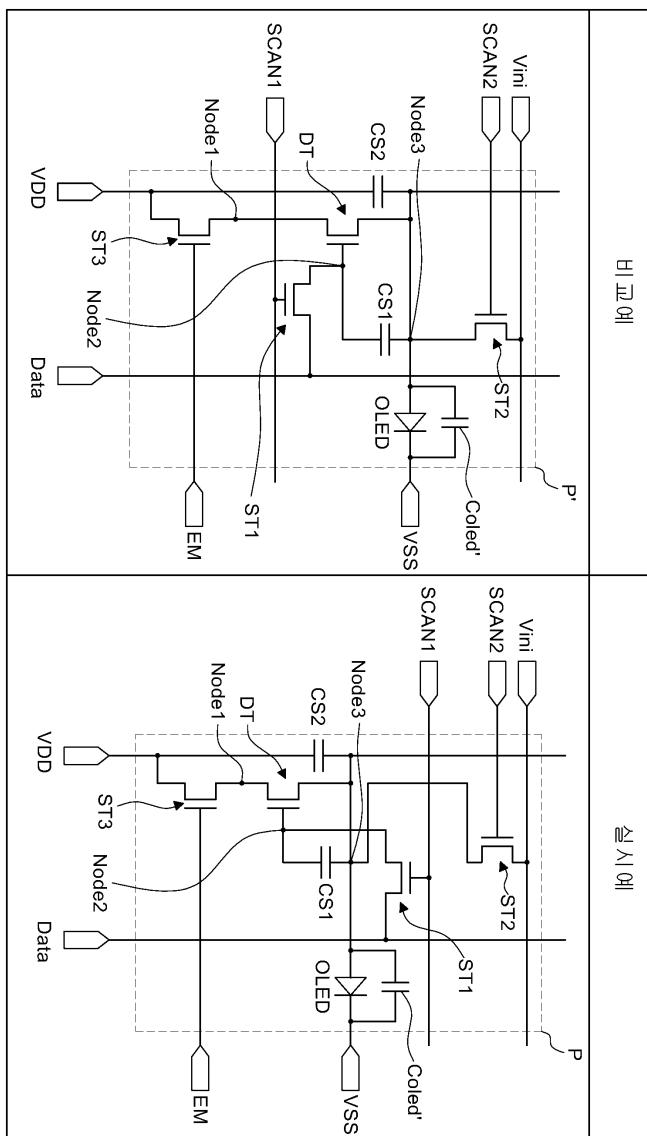
## 도면3



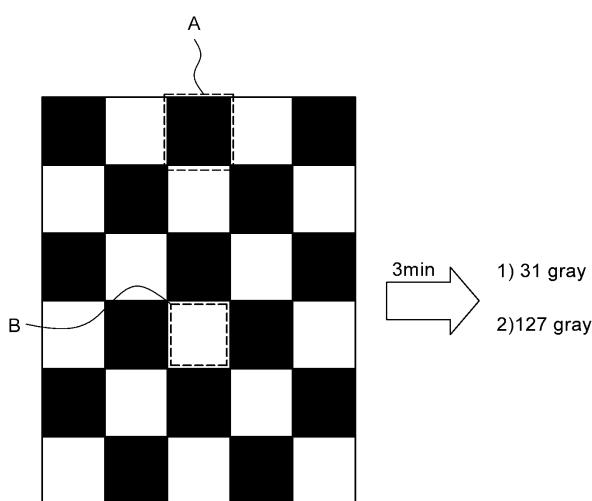
## 도면4



도면5



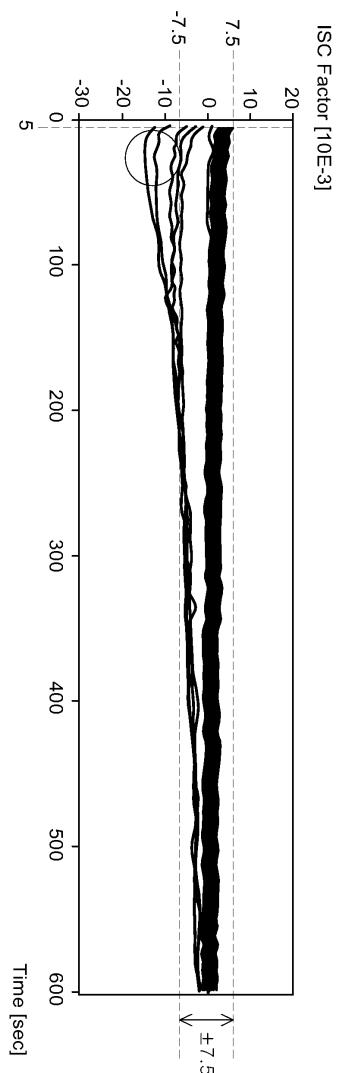
도면6



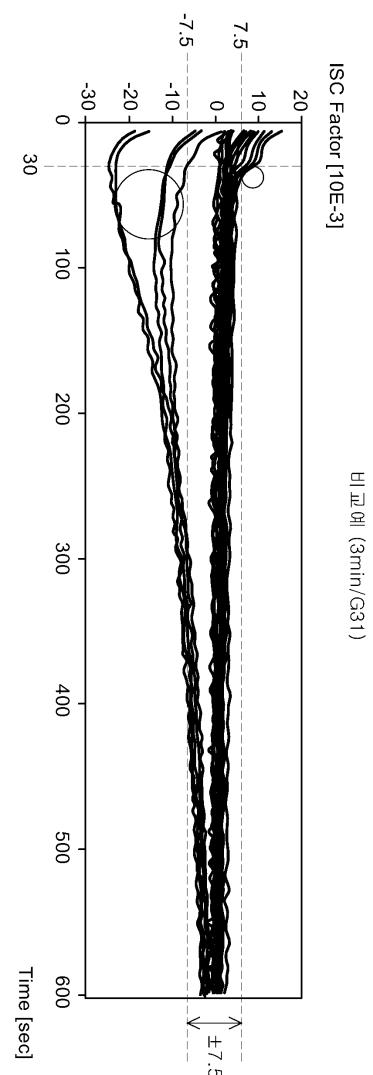
## 도면7

NO.	비교예		실시예	
	G127@5s	G31@30s	G127@5s	G31@30s
#1	5.1	7.3	3.4	5.3
#2	-5.1	-12.9	4.3	6.2
#3	-12.6	-25.8	2.8	5.1
#4	-9.1	-24.2	3.4	5.5
#5	-1.1	-8.7	3.1	5.1
#6	5.8	10.1	3.5	6.7
#7	4.8	8.0	3.2	4.4
#8	-3.1	-12.9	3.0	4.4
#9	2.2	2.7	1.3	2.8
#10	2.8	8.4	1.8	2.6
#11	1.0	6.1	1.2	1.9
#12	5.7	3.4	1.2	1.9
#13	4.9	7.3	4.0	3.3
#14	3.1	4.8	4.1	5.5
#15	2.7	4.6	3.9	5.2
#16	3.4	5.9	3.3	4.9
#17	3.6	4.6	3.4	4.2
#18	3.6	4.9	3.1	4.9
#19	0.7	0.8	2.8	4.0
#20	1.2	1.8	4.6	5.9
#21	3.3	1.3	3.2	2.4
#22	3.9	5.4	3.3	2.1
#23	4.0	5.9	1.3	2.0
#24	1.3	3.4	3.6	2.7
#25	0.9	3.3	1.3	5.8
#26	1.0	2.1	3.5	6.0
#27	3.9	6.9	3.1	4.7
#28	3.3	5.4	3.2	5.6
#29	3.9	7.5	2.8	4.4
#30	0.9	2.8	3.3	5.3

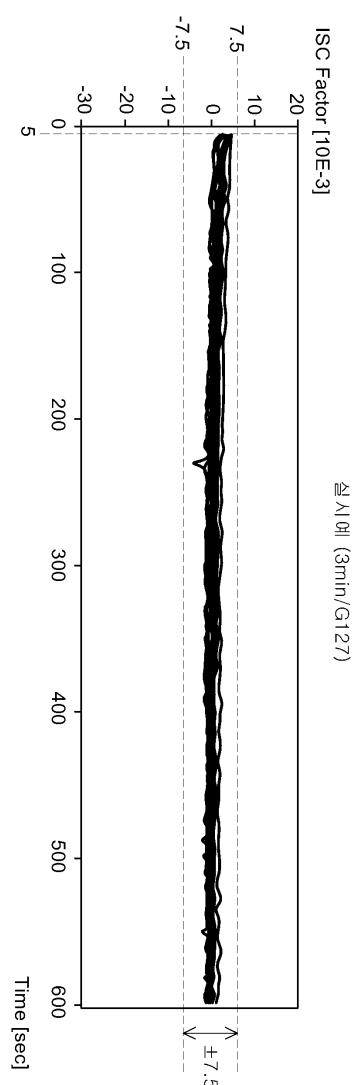
도면8a



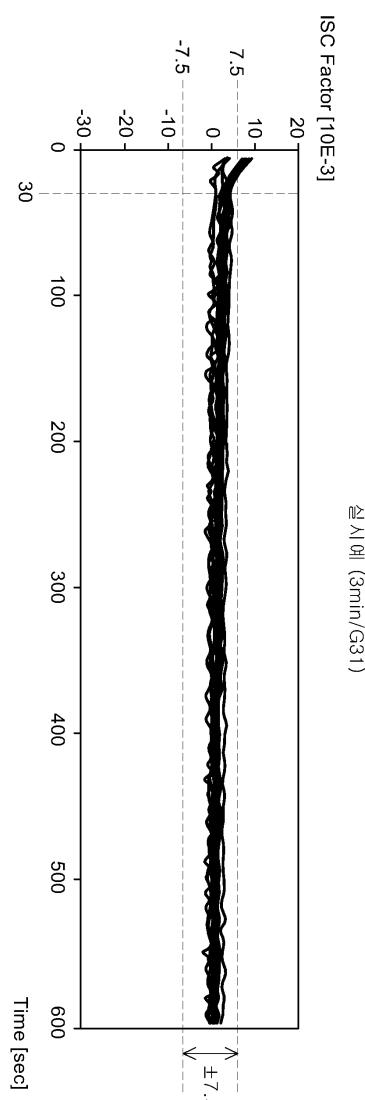
도면8b



도면8c



도면8d



专利名称(译)	标题 : OLED显示器的OLED显示和操作方法		
公开(公告)号	<a href="#">KR1020160079544A</a>	公开(公告)日	2016-07-06
申请号	KR1020140191060	申请日	2014-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON MARDIN 권마르딘 YOO JUHN SUK 유준석		
发明人	권마르딘 유준석		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L27/3202		
代理人(译)	Ohseil		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

提供有机发光显示器和有机发光显示器的驱动方法。在柔性基板上进行多个像素假设。有机发光元件设置在多个像素中的每个像素中。第一延伸在第一扫描线和第二扫描线，发光信号线和所述初始化电压电源线从所述多个像素中的延伸在第一方向上，数据线并与多个像素分别在第二方向上的Vdd的电压供应线。多个像素中的每一个包括第一开关薄膜晶体管，第二开关薄膜晶体管，第三开关薄膜晶体管和驱动薄膜晶体管。第一开关薄膜晶体管包括：第一扫描线，并且连接到所述数据线，第二开关薄膜晶体管包括：第二扫描线，并且被连接到初始化电压供给线，第三开关薄膜晶体管包括：发光信号线和Vdd电压供应线；驱动薄膜晶体管具有连接到第一开关薄膜晶体管和连接到所述第二开关薄膜晶体管的栅电极和连接到有机发光元件电极和第三开关薄膜晶体管的源极电极。的第一扫描线和上的多个各平面的像素的第二扫描线被分成多个组，并布置在一侧上，驱动TFT和发光信号线的光被在发光期间高电平排列成组被布置在另一侧。以这种方式，组合在一起，其中信号被布置在像素上的一侧，并设置在所述像素的另一侧，其在发光周期的低电平信号，该薄膜晶体管的阈值电压( $V_{th}$ )偏移组组件的组件可以最小化。

