



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0067636
(43) 공개일자 2016년06월14일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0173271

(22) 출원일자 2014년12월04일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정상훈

경기도 고양시 일산서구 강선로 141 (일산동, 후곡마을16단지아파트) 1605동 601호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

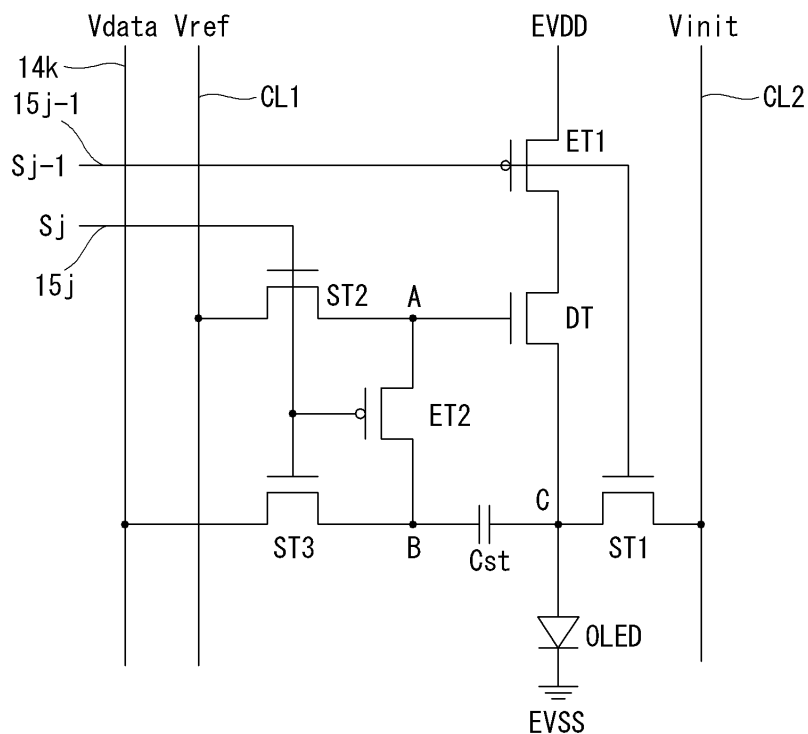
(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명은 1 수평기간이 짧은 고해상도 모델에서, 전력 소모를 줄이고, 정해진 시간 내에서 구동 TFT의 문턱전압이 충분히 보상하기 위한 유기발광 표시장치에 관한 것이다.

이 유기발광 표시장치에서 j(j는 2 이상의 자연수)번째 화소행에 배치되어 j-1 번째 스캔 라인과 j번째 스캔 라 (뒷면에 계속)

대표도 - 도4



인에 접속된 화소들 각각은, 노드 C와 저전위 구동전압의 입력단 사이에 접속된 유기발광다이오드와, 노드 A에 접속된 게이트, 상기 노드 C에 접속된 소스를 포함하여 상기 유기발광다이오드에 인가되는 구동전류를 제어하는 구동 TFT와, 초기화 전압이 공급되는 초기화 라인과 상기 노드 C 사이에 접속되며, 상기 j-1번째 스캔 라인으로부터의 제j-1 스캔 구동신호에 따라 스위칭 되는 제1 스캔 TFT와, 기준 전압이 공급되는 기준 라인과 상기 노드 A 사이에 접속되며, 상기 j번째 스캔 라인으로부터의 제j 스캔 구동신호에 따라 스위칭 되는 제2 스캔 TFT와, 상기 데이터라인들 중 어느 하나와 노드 B 사이에 접속되며, 상기 제j 스캔 구동신호에 따라 스위칭 되는 제3 스캔 TFT와, 고전위 구동전압의 입력단과 구동 TFT의 드레인 사이에 접속되며, 상기 제j-1 스캔 구동신호에 따라 상기 제1 스캔 TFT와 반대로 스위칭 되는 제1 에미션 TFT와, 상기 노드 A와 상기 노드 B 사이에 접속되며, 상기 제j 스캔 구동신호에 따라 상기 제2 및 제3 스위치 TFT와 반대로 스위칭 되는 제2 에미션 TFT와, 상기 노드 B와 상기 노드 C 사이에 접속된 스토리지 커패시터를 구비한다.

명세서

청구범위

청구항 1

다수의 화소들이 구비된 표시패널;

상기 표시패널의 스캔 라인들을 구동하는 게이트 구동회로; 및

상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고;

j (j 는 2 이상의 자연수)번째 화소행에 배치되어 $j-1$ 번째 스캔 라인과 j 번째 스캔 라인에 접속된 화소들 각각은,

노드 C와 저전위 구동전압의 입력단 사이에 접속된 유기발광다이오드와;

노드 A에 접속된 게이트, 상기 노드 C에 접속된 소스를 포함하여 상기 유기발광다이오드에 인가되는 구동전류를 제어하는 구동 TFT와;

초기화 전압이 공급되는 초기화 라인과 상기 노드 C 사이에 접속되며, 상기 $j-1$ 번째 스캔 라인으로부터의 제 $j-1$ 스캔 구동신호에 따라 스위칭 되는 제1 스캔 TFT와;

기준 전압이 공급되는 기준 라인과 상기 노드 A 사이에 접속되며, 상기 j 번째 스캔 라인으로부터의 제 j 스캔 구동신호에 따라 스위칭 되는 제2 스캔 TFT와;

상기 데이터라인들 중 어느 하나와 노드 B 사이에 접속되며, 상기 제 j 스캔 구동신호에 따라 스위칭 되는 제3 스캔 TFT와;

고전위 구동전압의 입력단과 구동 TFT의 드레인 사이에 접속되며, 상기 제 $j-1$ 스캔 구동신호에 따라 상기 제1 스캔 TFT와 반대로 스위칭 되는 제1 에미션 TFT와;

상기 노드 A와 상기 노드 B 사이에 접속되며, 상기 제 j 스캔 구동신호에 따라 상기 제2 및 제3 스위치 TFT와 반대로 스위칭 되는 제2 에미션 TFT와;

상기 노드 B와 상기 노드 C 사이에 접속된 스토리지 커패시터를 구비하는 것을 특징으로 하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 기준 라인은 상기 데이터라인들과 별개로 구비되고,

상기 제1 내지 제3 스위치 TFT는 N 타입으로 구현되고, 상기 제1 및 제2 에미션 TFT는 P 타입으로 구현되는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

한 프레임기간은,

상기 초기화 라인으로부터의 상기 초기화 전압을 상기 노드 C에 인가하는 초기화 기간;

상기 기준 라인으로부터의 상기 기준 전압을 상기 노드 A에 인가하고, 상기 데이터라인들 중 어느 하나로부터의 데이터전압을 상기 노드 B에 인가하여, 상기 구동 TFT의 문턱전압을 샘플링함과 아울러 상기 구동 TFT의 문턱 전압을 포함한 보상 전압을 프로그래밍 전압으로서 상기 스토리지 커패시터에 저장하는 샘플링&프로그래밍 기간; 및

상기 프로그래밍 전압에 따른 구동 전류를 상기 유기발광다이오드에 인가하여 상기 유기발광다이오드를 발광시

키는 발광 기간을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 제j-1 스캔 구동신호는 상기 초기화 기간 동안 하이 레벨로 인가되며, 상기 샘플링&프로그래밍 기간 및 상기 발광 기간 동안 로우 레벨로 인가되고;

상기 제j 스캔 구동신호는 상기 샘플링&프로그래밍 기간 동안 하이 레벨로 인가되며, 상기 초기화 기간 및 상기 발광 기간 동안 로우 레벨로 인가되며;

상기 데이터전압은 상기 샘플링&프로그래밍 기간 동안 데이터라인으로부터 화소에 인가되는 것을 특징으로 하는 유기발광 표시장치.

청구항 5

다수의 화소들이 구비된 표시패널;

상기 표시패널의 스캔 라인들과 에미션 라인들을 구동하는 게이트 구동회로; 및

상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고;

j(j는 2 이상의 자연수)번째 화소행에 배치되어 j-1 번째 스캔 라인과 j번째 스캔 라인, 및 j-1 번째 에미션 라인과 j번째 에미션 라인에 접속된 화소들 각각은,

노드 C와 저전위 구동전압의 입력단 사이에 접속된 유기발광다이오드와;

노드 A에 접속된 게이트, 상기 노드 C에 접속된 소스를 포함하여 상기 유기발광다이오드에 인가되는 구동전류를 제어하는 구동 TFT와;

초기화 전압이 공급되는 초기화 라인과 상기 노드 C 사이에 접속되며, 상기 j-1번째 스캔 라인으로부터의 제j-1 스캔 구동신호에 따라 스위칭 되는 제1 스캔 TFT와;

기준 전압이 공급되는 기준 라인과 상기 노드 A 사이에 접속되며, 상기 j번째 스캔 라인으로부터의 제j 스캔 구동신호에 따라 스위칭 되는 제2 스캔 TFT와;

상기 데이터라인들 중 어느 하나와 노드 B 사이에 접속되며, 상기 제j 스캔 구동신호에 따라 스위칭 되는 제3 스캔 TFT와;

고전위 구동전압의 입력단과 구동 TFT의 드레인 사이에 접속되며, 상기 제j-1 번째 에미션 라인으로부터의 제j-1 에미션 구동신호에 따라 스위칭되는 제1 에미션 TFT와;

상기 노드 A와 상기 노드 B 사이에 접속되며, 상기 제j 에미션 라인으로부터의 제j 에미션 구동신호에 따라 스위칭 되는 제2 에미션 TFT와;

상기 노드 B와 상기 노드 C 사이에 접속된 스토리지 커패시터를 구비하는 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 기준 라인은 상기 데이터라인들과 별개로 구비되고,

상기 제1 내지 제3 스위치 TFT와 상기 제1 및 제2 에미션 TFT는 N 타입으로 구현되는 것을 특징으로 하는 유기발광 표시장치.

청구항 7

제 5 항에 있어서,

한 프레임기간은,

상기 초기화 라인으로부터의 상기 초기화 전압을 상기 노드 C에 인가하는 초기화 기간;

상기 기준 라인으로부터의 상기 기준 전압을 상기 노드 A에 인가하고, 상기 데이터라인들 중 어느 하나로부터의 데이터전압을 상기 노드 B에 인가하여, 상기 구동 TFT의 문턱전압을 샘플링함과 아울러 상기 구동 TFT의 문턱 전압을 포함한 보상 전압을 프로그래밍 전압으로서 상기 스토리지 커패시터에 저장하는 샘플링&프로그래밍 기간; 및

상기 프로그래밍 전압에 따른 구동 전류를 상기 유기발광다이오드에 인가하여 상기 유기발광다이오드를 발광시키는 발광 기간을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 제j-1 스캔 구동신호는 상기 초기화 기간 동안 하이 레벨로 인가되며, 상기 샘플링&프로그래밍 기간 및 상기 발광 기간 동안 로우 레벨로 인가되고;

상기 제j 스캔 구동신호는 상기 샘플링&프로그래밍 기간 동안 하이 레벨로 인가되며, 상기 초기화 기간 및 상기 발광 기간 동안 로우 레벨로 인가되고;

상기 제j-1 에미션 구동신호는 상기 초기화 기간 동안 로우 레벨로 인가되며, 상기 샘플링&프로그래밍 기간 및 상기 발광 기간 동안 하이 레벨로 인가되고;

상기 제j 에미션 구동신호는 상기 샘플링&프로그래밍 기간 동안 로우 레벨로 인가되며, 상기 초기화 기간 및 상기 발광 기간 동안 하이 레벨로 인가되며;

상기 데이터전압은 상기 샘플링&프로그래밍 기간 동안 데이터라인으로부터 화소에 인가되는 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 도 1과 같은 구조를 갖는다. OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor), 구동 TFT의 게이트-소스 간 전압을 한 프레임 동안 일정하게 유지시키는 커패시터, 및 게이트신호에 응답하여 구동 TFT의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스위치 TFT를 포함한다. 구동전류는 데이터전압에 따른 구동 TFT의 게이트-소스 간 전압에 의해 결정되며, 화소의 휘도는 OLED에 흐르는 구동전류의 크기에 비례한다.

[0005] 이러한 유기발광 표시장치에서는, 공정 편차, 구동시간 경과에 따른 게이트-바이어스 스트레스(Gate-Bias Stress) 등의 이유로 화소들 간 구동 TFT의 문턱전압이 달라져 동일 데이터전압에 대응되는 구동전류에 편차가 발생하는 문제가 있다.

[0006] 이를 해결하기 위하여, 각 화소에 추가된 보상용 TFT 또는 보상용 커패시터 등을 이용하여 구동 TFT의 게이트-소스 간 전압을 프로그래밍하고, 이 프로그래밍 결과에 따라 구동 TFT의 문턱전압 변화가 구동전류에 미치는 영향을 제거하는 다양한 내부 보상용 화소 구조가 알려져 있다. 이 중에서 작은 화소 사이즈 구현을 위해 최근 제안된 기술에서는 동일한 데이터라인을 통해 번갈아 기준전압과 데이터전압을 인가받는 화소 구조를 채택한 바 있다. 이 종래 기술은 1 수평라인분의 화소들의 구동에 할당되는 1 수평기간을 제1 기간과 제2 기간으로 2분할하고, 제1 기간 동안 각 데이터라인을 통해 기준전압을 해당 화소에 인가하여 그 화소에서의 구동 TFT의 문턱전압을 샘플링하고, 제2 기간 동안 각 데이터라인을 통해 데이터전압을 상기 해당 화소에 인가하여 그 화소에서의 구동 TFT의 게이트-소스 간 전압을 원하는 구동 전류에 맞게 프로그래밍한다.

[0007] 이 종래 기술은 1 수평기간 주기로 기준전압과 데이터전압을 번갈아 동일 데이터라인을 통해 화소에 공급해야 하기 때문에, 각 데이터라인을 통해 공급되는 신호의 트랜지션 량이 증가하여 전력 소모가 커진다.

[0008] 표시패널이 고해상도로 발전해 감에 따라 1 수평기간은 점점 줄어들고 있다. 패널 해상도가 낮은 경우에는 1 수평기간이 비교적 길어 종래 기술과 같은 2분할 구동에도 불구하고 문턱전압 보상에 문제가 없었다. 하지만, 패널 해상도가 높은 경우에는 1 수평기간이 짧기 때문에 종래 기술과 같이 2분할 구동하면 구동 TFT의 문턱전압을 샘플링하는 데 필요한 시간이 모자라 불충분한 보상을 초래할 수 있다.

발명의 내용

해결하려는 과제

[0009] 따라서, 본 발명의 목적은 1 수평기간이 짧은 고해상도 모델에서, 전력 소모를 줄이고, 정해진 시간 내에서 구동 TFT의 문턱전압이 충분히 보상될 수 있도록 한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 유기발광 표시장치는 다수의 화소들이 구비된 표시패널과, 상기 표시패널의 스캔 라인들을 구동하는 게이트 구동회로와, 상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비한다. j (j 는 2 이상의 자연수)번째 화소행에 배치되어 $j-1$ 번째 스캔 라인과 j 번째 스캔 라인에 접속된 화소들 각각은, 노드 C와 저전위 구동전압의 입력단 사이에 접속된 유기발광다이오드와, 노드 A에 접속된 게이트, 상기 노드 C에 접속된 소스를 포함하여 상기 유기발광다이오드에 인가되는 구동전류를 제어하는 구동 TFT와, 초기화 전압이 공급되는 초기화 라인과 상기 노드 C 사이에 접속되며, 상기 $j-1$ 번째 스캔 라인으로부터의 제 $j-1$ 스캔 구동신호에 따라 스위칭 되는 제1 스캔 TFT와, 기준 전압이 공급되는 기준 라인과 상기 노드 A 사이에 접속되며, 상기 j 번째 스캔 라인으로부터의 제 j 스캔 구동신호에 따라 스위칭 되는 제2 스캔 TFT와, 상기 데이터라인들 중 어느 하나와 노드 B 사이에 접속되며, 상기 제 j 스캔 구동신호에 따라 스위칭 되는 제3 스캔 TFT와, 고전위 구동전압의 입력단과 구동 TFT의 드레인 사이에 접속되며, 상기 제 $j-1$ 스캔 구동신호에 따라 상기 제1 스캔 TFT와 반대로 스위칭 되는 제1 에미션 TFT와, 상기 노드 A와 상기 노드 B 사이에 접속되며, 상기 제 j 스캔 구동신호에 따라 상기 제2 및 제3 스위치 TFT와 반대로 스위칭 되는 제2 에미션 TFT와, 상기 노드 B와 상기 노드 C 사이에 접속된 스토리지 커패시터를 구비한다.

[0011] 상기 기준 라인은 상기 데이터라인들과 별개로 구비되고, 상기 제1 내지 제3 스위치 TFT는 N 타입으로 구현되고, 상기 제1 및 제2 에미션 TFT는 P 타입으로 구현된다.

[0012] 한 프레임기간은, 상기 초기화 라인으로부터의 상기 초기화 전압을 상기 노드 C에 인가하는 초기화 기간과, 상기 기준 라인으로부터의 상기 기준 전압을 상기 노드 A에 인가하고, 상기 데이터라인들 중 어느 하나로부터의 데이터전압을 상기 노드 B에 인가하여, 상기 구동 TFT의 문턱전압을 샘플링함과 아울러 상기 구동 TFT의 문턱전압을 포함한 보상 전압을 프로그래밍 전압으로서 상기 스토리지 커패시터에 저장하는 샘플링&프로그래밍 기간과, 상기 프로그래밍 전압에 따른 구동 전류를 상기 유기발광다이오드에 인가하여 상기 유기발광다이오드를 발광시키는 발광 기간을 포함한다.

[0013] 상기 제 $j-1$ 스캔 구동신호는 상기 초기화 기간 동안 하이 레벨로 인가되며, 상기 샘플링&프로그래밍 기간 및 상기 발광 기간 동안 로우 레벨로 인가되고, 상기 제 j 스캔 구동신호는 상기 샘플링&프로그래밍 기간 동안 하이 레벨로 인가되며, 상기 초기화 기간 및 상기 발광 기간 동안 로우 레벨로 인가되며, 상기 데이터전압은 상기 샘플링&프로그래밍 기간 동안 데이터라인으로부터 화소에 인가된다.

[0014] 본 발명의 다른 실시예에 따른 유기발광 표시장치는 다수의 화소들이 구비된 표시패널과, 상기 표시패널의 스캔 라인들과 에미션 라인들을 구동하는 게이트 구동회로와, 상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비한다. j (j 는 2 이상의 자연수)번째 화소행에 배치되어 $j-1$ 번째 스캔 라인과 j 번째 스캔 라인, 및 $j-1$ 번째 에미션 라인과 j 번째 에미션 라인에 접속된 화소들 각각은, 노드 C와 저전위 구동전압의 입력단 사이에 접속된 유기발광다이오드와, 노드 A에 접속된 게이트, 상기 노드 C에 접속된 소스를 포함하여 상기 유기발광다이오드에 인가되는 구동전류를 제어하는 구동 TFT와, 초기화 전압이 공급되는 초기화 라인과 상기 노드 C 사이에 접속되며, 상기 $j-1$ 번째 스캔 라인으로부터의 제 $j-1$ 스캔 구동신호에 따라 스위칭 되는 제1 스캔 TFT와, 기준 전압이 공급되는 기준 라인과 상기 노드 A 사이에 접속되며, 상기 j 번째 스캔 라인으로부터의 제 j 스캔 구동신호에 따라 스위칭 되는 제2 스캔 TFT와, 상기 데이터라인들 중 어느 하나와 노드 B 사이에 접속되며, 상기 제 j 스캔 구동신호에 따라 스위칭 되는 제3 스캔 TFT와, 고전위 구동전압의 입력단과 구동 TFT의 드레인 사이에 접속되며, 상기 제 $j-1$ 번째 에미션 라인으로부터의 제 $j-1$ 에미션 구동신호에 따라 스위칭되는 제1 에미션 TFT와, 상기 노드 A와 상기 노드 B 사이에 접속되며, 상기 제 j 에미션 라인으로부터의 제 j 에미션 구동신호에 따라 스위칭 되는 제2 에미션 TFT와, 상기 노드 B와 상기 노드 C 사이에 접속된 스토리지 커패시터를 구비한다.

발명의 효과

[0015] 본 발명은 데이터전압이 공급되는 데이터라인과 별도로 기준전압 공급을 위한 기준 라인을 구비하고, 보상에 필요한 데이터전압과 기준전압을 동시에 화소에 인가함으로써 보상에 필요한 문턱전압 샘플링 시간을 충분히 확보할 수 있다. 그에 따라 본 발명은 고해상도 모델에서 보상의 정확도를 크게 높임으로써 선명한 화질 구현이 가능하다. 또한, 본 발명은 종래 기술과 달리 데이터라인에서 데이터전압과 기준전압 간에 전압을 스윙시킬 필요가 없어 전력 소모를 크게 줄일 수 있다.

도면의 간단한 설명

[0016] 도 1은 OLED와 그 발광원리를 보여주는 도면.
 도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.
 도 3은 본 발명의 일 실시예에 따른 화소 어레이를 보여주는 도면.
 도 4는 도 3의 화소 어레이에 포함된 일 화소의 등가 회로를 보여주는 도면.
 도 5는 도 4의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 도면.
 도 6a는 이전 프레임의 발광 기간에 대응되는 화소의 등가 회로도.
 도 6b는 현재 프레임의 초기화 기간에 대응되는 화소의 등가 회로도.
 도 6c는 현재 프레임의 샘플링&프로그래밍 기간에 대응되는 화소의 등가 회로도.
 도 6d는 현재 프레임의 발광 기간에 대응되는 화소의 등가 회로도.
 도 7은 초기화 기간, 샘플링&프로그래밍 기간, 및 발광 기간에 대응하여 화소의 특정 노드들의 전위 변화를 보여주는 도면.
 도 8은 본 발명의 다른 실시예에 따른 화소 어레이를 보여주는 도면.
 도 9는 도 8의 화소 어레이에 포함된 일 화소의 등가 회로를 보여주는 도면.
 도 10은 도 9의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 도면.
 도 11은 화이트 영상을 표시한 상태에서 구동 TFT의 문턱전압을 보상하는 시뮬레이션 결과를 보여주는 도면.
 도 12는 블랙 영상을 표시한 상태에서 구동 TFT의 문턱전압을 보상하는 시뮬레이션 결과를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 도 2 내지 도 12를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

- [0018] 도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- [0019] 도 2를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 화소들(PXL)이 매트릭스 형태로 배열되는 표시 패널(10)과, 데이터라인들(14)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(15)을 구동시키기 위한 게이트 구동회로(13)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.
- [0020] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 화소(PXL)들이 매트릭스 형태로 배치된다. 각 게이트라인(15)은 도 3과 같이 1개의 스캔 라인으로 구성될 수도 있고, 도 8과 같이 1개의 스캔 라인과 1개의 에미션 라인으로 구성될 수도 있다.
- [0021] 각 화소(PXL)는 해당 데이터라인(14)과, 해당 게이트라인(15)에 접속될 수 있다. 또한, 각 화소(PXL)은 기준 라인에 공통으로 접속되어, 기준 라인을 통해 기준 전압(Vref)을 공급받을 수 있다. 각 화소(PXL)은 초기화 라인에 공통으로 접속되어, 초기화 라인을 통해 초기화 전압(Vinit)을 공급받을 수 있다. 또한, 각 화소(PXL)은 전원 라인에 공통으로 접속되어, 전원 라인을 통해 고전위 및 저전위 구동전압(EVDD, EVSS)을 공급받을 수 있다. OLED의 불필요한 발광이 방지되도록 초기화전압(Vinit)은 저전위 구동전압(EVSS)보다 충분히 낮은 범위 내에서 설정될 수 있다. 초기화 전압(Vinit)을 생성하는 초기화 전압원과, 기준 전압(Vref)을 생성하는 기준 전압원은 데이터 구동회로(12)에 내장될 수도 있고, 별도의 전원 회로(미도시)에 내장될 수도 있다. 그리고, 고전위 및 저전위 구동전압(EVDD, EVSS)을 생성하는 구동전압원은 전원 회로에 내장될 수 있다.
- [0022] 본 발명에서는 기준 라인을 데이터라인들(14)과 별개로 형성하고 이 기준 라인을 통해 기준 전압(Vref)을 화소에 공급한다. 본 발명은 기준 전압(Vref)을 화소(PXL)에 공급하는 신호 배선(기준 라인)과 데이터전압을 화소(PXL)에 공급하는 신호 배선(데이터 라인)을 물리적으로 분리한다. 그에 따라 본 발명은, 종래 기술과 같은 데이터라인에서의 전압 스윙으로 인한 전력 소모 즉, 동일한 데이터라인을 통해 기준 전압(Vref)과 데이터전압을 일정 주기마다 번갈아 화소(PXL)에 공급함으로써 생기는 전력 소모를 방지할 수 있다. 또한, 후술하겠지만 본 발명에서는 기준 전압(Vref)과 데이터전압을 화소에 동시에 인가하여 구동 TFT의 문턱전압을 샘플링하는 데 활용되는 시간을 최대한 길게 확보함으로써, 정해진 시간 내에서 구동 TFT의 문턱전압이 충분히 보상되도록 한다.
- [0023] 화소(PXL)를 구성하는 TFT들은 산화물 반도체층을 포함한 산화물 TFT로 구현될 수 있다. 산화물 TFT는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 TFT의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.
- [0024] 화소(PXL)를 구성하는 TFT들은 도 4와 같이 N 타입과 P 타입을 포함하여 CMOS로 구현될 수도 있고, 도 9와 같이 N 타입만을 포함하여 NMOS로 구현될 수도 있다. 또한, 도면에 도시되지는 않았지만 화소(PXL)를 구성하는 TFT들은 P 타입만을 포함하여 PMOS로 구현될 수도 있다. TFT들을 CMOS로 구현하는 경우에는 화소 어레이의 신호 배선 개수를 줄일 수 있어 개구율을 높이는 데 유리하고, 고해상도 패널을 구현하기가 용이해진다. 반면, TFT들을 NMOS(또는 PMOS)로 구현하는 경우에는 TFT 공정이 일원화되어 제조 공정이 간소해지는 잇점이 있다.
- [0025] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0026] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한 후, 그 데이터전압을 데이터라인들(14)에 공급한다.
- [0027] 게이트 구동회로(13)는 도 3과 같은 화소 어레이에 대응하여, 게이트 제어신호(GDC)를 기반으로 스캔 구동신호($S_{j-1}, S_j, S_{j+1}, \dots$)를 생성하여 라인 순차($R_{\#j-1}, R_{\#j}, \dots$) 방식으로 스캔 라인들($15_{j-1}, 15_j, 15_{j+1}, \dots$)에 공급할 수 있다. 또한 게이트 구동회로(13)는 도 8과 같은 화소 어레이에 대응하여, 게이트 제어신호(GDC)를 기반으로 스캔 구동신호($S_{j-1}, S_j, S_{j+1}, \dots$)와 에미션 구동신호($E_{j-1}, E_j, E_{j+1}, \dots$)를 각각 생성하고, 스캔 구동신호($S_{j-1}, S_j, S_{j+1}, \dots$)를 라인 순차($R_{\#j-1}, R_{\#j}, \dots$) 방식으로 스캔 라인들($15_{j-1}, 15_j, 15_{j+1}, \dots$)에 공급함과 아울러 에미션 구동신호($E_{j-1}, E_j, E_{j+1}, \dots$)를 라인 순차($R_{\#j-1}, R_{\#j}, \dots$) 방식으로 에미션 라인들($16_{j-1}, 16_j, 16_{j+1}, \dots$)에 공급할 수 있다.
- [0028] 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비 표시영역 상에 직접 형성될

수 있다.

- [0029] [제1 실시예]
- [0030] 본 발명의 제1 실시예에서는 각 화소(PXL)를 CMOS로 구현한다. 이하, 도 3 내지 도 7을 결부하여 제1 실시예를 설명한다.
- [0031] 도 3은 본 발명의 일 실시예에 따른 화소 어레이를 보여준다. 그리고, 도 4는 도 3의 화소 어레이에 포함된 일 화소의 등가 회로를 보여준다.
- [0032] 도 3의 화소 어레이에 포함된 각 화소(PXL)는 2개의 스캔 라인들(예컨대, 15j-1, 15j)과 1개의 데이터라인(예컨대, 14i)에 접속됨과 아울러, 기준 라인(CL1)과 초기화 라인(CL2)에 공통으로 접속된다.
- [0033] 도 3의 화소 어레이에서 j(j는 자연수)번째 화소 행과 j번째 화소 열에 배치된 화소(PXL[j,k])에 대한 접속 구성이 도 4에 도시되어 있다.
- [0034] 도 4를 참조하면, 화소(PXL[j,k])는 OLED, 구동 TFT(DT), 제1 스캔 TFT(ST1), 제2 스캔 TFT(ST2), 제3 스캔 TFT(ST3), 제1 에미션 TFT(ET1), 제2 에미션 TFT(ET2), 스토리지 커패시터(Cst)를 포함하여 6T1C 구조(6개의 TFT들과 1개의 커패시터로 구현됨)를 가질 수 있다. 여기서, CMOS 구현을 위해, 구동 TFT(DT)와 제1 내지 제3 스캔 TFT(ST1~ST3)는 N 타입으로 구현되고, 제1 및 제2 에미션 TFT(ET1, ET2)는 P 타입으로 구현될 수 있다. 또한, 도면에 도시되지는 않았지만 구동 TFT(DT)와 제1 내지 제3 스캔 TFT(ST1~ST3)는 P 타입으로 구현되고, 제1 및 제2 에미션 TFT(ET1, ET2)는 N 타입으로 구현될 수도 있다.
- [0035] OLED는 구동 TFT(DT)로부터 공급되는 구동 전류에 의해 발광한다. 도 1과 같이 OLED의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. OLED의 애노드전극은 노드 C에 접속되고, 그의 캐소드전극은 저전위 구동전압(EVSS)의 입력단에 접속된다.
- [0036] 구동 TFT(DT)는 자신의 게이트-소스 간 전압(Vgs)에 따라 OLED에 인가되는 구동전류를 제어한다. 구동 TFT(DT)의 게이트전극은 노드 A에 접속되고, 드레인전극은 제1 에미션 TFT(ET1)에 접속되며, 소스전극은 노드 C에 접속된다.
- [0037] 제1 스캔 TFT(ST1)는 j-1 번째 스캔 라인(15j-1)으로부터의 제j-1 스캔 구동신호(Sj-1)에 응답하여 스위칭됨으로써 초기화 라인(CL2)과 노드 C 사이의 전류 흐름을 온/오프 한다. 제1 스캔 TFT(ST1)의 게이트전극은 j-1 번째 스캔 라인(15j-1)에 접속되고, 드레인전극은 초기화 라인(CL2)에 접속되며, 소스전극은 노드 C에 접속된다.
- [0038] 제2 스캔 TFT(ST2)는 j 번째 스캔 라인(15j)으로부터의 제j 스캔 구동신호(Sj)에 응답하여 스위칭됨으로써 기준 라인(CL1)과 노드 A 사이의 전류 흐름을 온/오프 한다. 제2 스캔 TFT(ST2)의 게이트전극은 j 번째 스캔 라인(15j)에 접속되고, 드레인전극은 기준 라인(CL1)에 접속되며, 소스전극은 노드 A에 접속된다.
- [0039] 제3 스캔 TFT(ST3)는 j 번째 스캔 라인(15j)으로부터의 제j 스캔 구동신호(Sj)에 응답하여 스위칭됨으로써 데이터 라인(14k)과 노드 B 사이의 전류 흐름을 온/오프 한다. 제3 스캔 TFT(ST3)의 게이트전극은 j 번째 스캔 라인(15j)에 접속되고, 드레인전극은 데이터 라인(14k)에 접속되며, 소스전극은 노드 B에 접속된다.
- [0040] 제1 에미션 TFT(ET1)는 j-1 번째 스캔 라인(15j-1)으로부터의 제j-1 스캔 구동신호(Sj-1)에 응답하여 제1 스캔 TFT(ST1)와 반대로 스위칭됨으로써 고전위 구동전압(EVDD)을 구동 TFT(DT)의 드레인전극에 인가한다. 제1 에미션 TFT(ET1)의 게이트전극은 j-1 번째 스캔 라인(15j-1)에 접속되고, 소스전극은 고전위 구동전압(EVDD)의 입력단에 접속되며, 드레인전극은 구동 TFT(DT)에 접속된다.
- [0041] 제2 에미션 TFT(ET2)는 j 번째 스캔 라인(15j)으로부터의 제j 스캔 구동신호(Sj)에 응답하여 제2 및 제3 스캔 TFT(ST2, ST3)와 반대로 스위칭됨으로써 노드 A와 노드 B 사이의 전류 흐름을 온/오프한다. 제2 에미션 TFT(ET2)의 게이트전극은 j 번째 스캔 라인(15j)에 접속되고, 소스전극은 노드 A에 접속되며, 드레인전극은 노드 B에 접속된다.
- [0042] 스토리지 커패시터(Cst)는 노드 B와 노드 C 사이에 접속된다. 스토리지 커패시터(Cst)는 구동 TFT(DT)의 문턱전압 샘플링하는 데 이용됨과 아울러, 구동 TFT(DT)의 게이트-소스 간 전압을 프로그래밍하는 데 이용된다.

- [0043] 도 5는 도 4의 화소에 인가되는 데이터신호와 게이트신호를 보여준다. 도 6a 내지 도 6d는 도 5의 구동 기간들에 대응되는 화소의 등가 회로를 보여준다. 그리고, 도 7은 도 5의 각 구동 기간에서 화소의 특정 노드들의 전위 변화를 보여준다.
- [0044] 도 5 내지 도 7을 결부하여 도 4에 도시된 화소(PXL)의 동작을 설명하면 다음과 같다.
- [0045] 한 프레임기간은, 도 5와 같이 초기화 기간(Ti), 샘플링&프로그래밍 기간(Ts), 및 발광 기간(Te)을 포함하여 이루어질 수 있다.
- [0046] 제j-1 스캔 구동신호(Sj-1)는 초기화 기간(Ti) 동안 하이 레벨(H)로 인가되며, 상기 샘플링&프로그래밍 기간(Ts) 및 발광 기간(Te) 동안 로우 레벨(L)로 인가되고, 상기 제j 스캔 구동신호(Sj)는 상기 샘플링&프로그래밍 기간(Ts) 동안 하이 레벨(H)로 인가되며, 초기화 기간(Ti) 및 발광 기간(Te) 동안 로우 레벨(L)로 인가된다. 그리고, 데이터전압(Vdata)은 샘플링&프로그래밍 기간(Ts) 동안 데이터라인으로부터 화소(PXL)에 인가된다.
- [0047] 도 6a와 같이 현재 프레임에 앞선 이전 프레임의 발광 기간(Tx)에서, 화소(PXL)의 노드 A 및 노드 B는 j-1번째 게이트전압(Vg(j-1))으로 유지되고, 화소(PXL)의 노드 C는 j-1번째 소스전압(Vs(j-1))으로 유지된다. 이전 프레임의 발광 기간(Tx)에서, 스토리지 커패시터(Cst)에는 "Vg(j-1)-Vs(j-1)"이 저장되게 된다.
- [0048] 이어서, 도 6b와 같이 현재 프레임의 초기화 기간(Ti)에서, 초기화 라인(CL2)으로부터의 초기화 전압(Vinit)이 노드 C에 인가된다. 이를 위해, 초기화 기간(Ti) 동안, 제j-1 스캔 구동신호(Sj-1)는 하이 레벨(H)로 입력되어 제1 스캔 TFT(ST1)를 턴 온 시키는 반면, 제1 에미션 TFT(ET1)를 턴 오프 시킨다. 그리고, 제j 스캔 구동신호(Sj)는 로우 레벨(L)로 입력되어 제1 및 제2 스캔 TFT(ST2,ST3)를 턴 오프 시키는 반면, 제2 에미션 TFT(ET2)를 턴 온 시킨다. 그 결과, 도 6b 및 도 7과 같이 초기화 기간(Ti) 동안, 노드 C는 초기화 전압(Vinit)에 의해 초기화되고, 노드 A와 노드 B는 쇼트되어 "Vg(j-1)-Vs(j-1)+Vinit"으로 전위가 변한다.
- [0049] 이어서, 도 6c와 같이 샘플링&프로그래밍 기간(Ts)에서, 기준 라인(CL1)으로부터의 기준 전압(Vref)이 노드 A에 인가되고, 그와 동시에 데이터라인(14k)으로부터의 데이터전압(Vdata)이 노드 B에 인가됨으로써, 구동 TFT(DT)의 문턱전압이 샘플링됨과 아울러 구동 TFT(DT)의 문턱전압을 포함한 보상 전압(Vc)이 프로그래밍 전압으로서 스토리지 커패시터(Cst)에 저장된다. 이를 위해, 샘플링&프로그래밍 기간(Ts)에서, 제j-1 스캔 구동신호(Sj-1)는 로우 레벨(L)로 입력되어 제1 에미션 TFT(ET1)를 턴 온 시키는 반면, 제1 스캔 TFT(ST1)를 턴 오프 시킨다. 그리고, 제j 스캔 구동신호(Sj)는 하이 레벨(H)로 입력되어 제1 및 제2 스캔 TFT(ST2,ST3)를 턴 온 시키는 반면, 제2 에미션 TFT(ET2)를 턴 오프 시킨다. 그 결과, 도 6c 및 도 7과 같이 샘플링&프로그래밍 기간(Ts) 동안, 노드 A에는 구동 TFT(DT)의 문턱전압(Vth)보다 높은 기준 전압(Vref)이 인가되고, 노드 B에는 데이터전압(Vdata)이 인가된다. 이때, 기준 전압(Vref) 및 고전위 구동전압(EVDD)의 인가로 인해 구동 TFT(DT)는 턴 온 되고, 구동 TFT(DT)의 드레인-소스 사이에는 전류가 흐르며, 이 드레인-소스 간 전류에 의해 노드 C의 전위는 구동 TFT(DT)의 게이트-소스 간 전위차가 문턱전압(Vth)이 될 때까지 상승한다. 이러한 소스 팔로워잉(source following)에 의해 노드 C의 전위는 "Vref-Vth"가 되며, 이때 스토리지 커패시터(Cst)의 양단 전위차는 "Vdata-Vref+Vth"에 해당되는 보상 전압(Vc)이 된다. 이 보상 전압(Vc)은 프로그래밍 전압으로서 스토리지 커패시터(Cst)에 저장 및 유지된다.
- [0050] 이러한 샘플링&프로그래밍 기간(Ts)에서 기준전압(Vref)과 데이터전압(Vdata)이 서로 다른 신호 배선을 통해 화소(PXL)에 동시에 인가되어, 구동 TFT(DT)에 대한 문턱전압 샘플링과 보상 전압(Vc) 프로그래밍이 동시에 이뤄진다. 이를 통해 본 발명은 구동 TFT의 문턱전압 샘플링에 1 수평 기간을 2 분할함이 없이 모두 할당할 있다. 즉, 본 발명은 구동 TFT의 문턱전압 샘플링에 충분한 시간을 할당함으로써 충분한 보상이 이뤄지게 할 수 있어 1 수평기간이 짧은 고해상도 모델에도 얼마든지 대응 가능하게 된다.
- [0051] 이어서, 도 6d와 같이 발광 기간(Te)에서, 스토리지 커패시터(Cst)에 저장된 보상 전압(Vc) 즉, 프로그래밍 전압에 따른 구동 전류가 OLED에 인가되어 OLED를 발광시킨다. 이를 위해, 발광 기간(Te)에서, 제j-1 스캔 구동신호(Sj-1)는 로우 레벨(L)로 입력되어 제1 에미션 TFT(ET1)를 턴 온 시키는 반면, 제1 스캔 TFT(ST1)를 턴 오프 시킨다. 그리고, 제j 스캔 구동신호(Sj)는 로우 레벨(L)로 입력되어 제2 에미션 TFT(ET2)를 턴 온 시키는 반면, 제1 및 제2 스캔 TFT(ST2,ST3)를 턴 오프 시킨다. 그 결과, 도 6d 및 도 7과 같이 발광 기간(Te) 동안, 노드 A 및 노드 B는 "Vs(j)+Vc"으로 유지되고, 노드 C는 "Vs(j)"으로 유지된다. 그리고, 발광 기간(Te)에서, 스토리지 커패시터(Cst)에는 "Vc"가 유지된다.
- [0052] 발광 기간(Te)에서 OLED에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학적 식 1과 같이 된다. OLED는 이러한 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.

수학식 1

$$I_{oled} = \frac{k}{2} [V_{data} - V_{ref}]^2$$

[0053]

[0054]

수학식 1에서, k는 구동 TFT(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다. 구동전류(I_{oled}) 관계식은 $k/2 (V_{gs} - V_{th})^2$ 인데, 샘플링&프로그래밍 기간(T_s)에서 셋팅되는 구동 TFT(DT)의 게이트-소스 전압(V_{gs})에는 V_{th} 성분이 포함되게 되므로 수학식 1과 같이 구동전류(I_{oled}) 관계식에서 V_{th} 성분은 소거되게 된다. 이를 통해, 문턱전압(V_{th}) 변화가 구동전류(I_{oled})에 미치는 영향이 제거되는 것이다.

[0055]

[제2 실시예]

[0056]

본 발명의 제2 실시예에서는 각 화소(PXL)를 NMOS로 구현한다. 이하, 도 8 내지 도 10을 결부하여 제2 실시예를 설명한다.

[0057]

도 8은 본 발명의 다른 실시예에 따른 화소 어레이를 보여준다. 도 9는 도 8의 화소 어레이에 포함된 일 화소의 등가 회로를 보여준다. 그리고, 도 10은 도 9의 화소에 인가되는 데이터신호와 게이트신호를 보여준다.

[0058]

도 8의 화소 어레이에 포함된 각 화소(PXL)는 2개의 스캔 라인들(예컨대, 15j-1, 15j)과 2개의 에미션 라인들(예컨대, 16j-1, 16j)과 1개의 데이터라인(예컨대, 141)에 접속됨과 아울러, 기준 라인(CL1)과 초기화 라인(CL2)에 공통으로 접속된다.

[0059]

도 8의 화소 어레이에서 j(j는 자연수)번째 화소 행과 j번째 화소 열에 배치된 화소(PXL[j,k])에 대한 접속 구성이 도 9에 도시되어 있다.

[0060]

도 9를 참조하면, 화소(PXL[j,k])는 OLED, 구동 TFT(DT), 제1 스캔 TFT(ST1), 제2 스캔 TFT(ST2), 제3 스캔 TFT(ST3), 제1 에미션 TFT(ET1), 제2 에미션 TFT(ET2), 스토리지 커패시터(Cst)를 포함하여 6T1C 구조(6개의 TFT들과 1개의 커패시터로 구현됨)를 가질 수 있다. 여기서, NMOS 구현을 위해, 구동 TFT(DT)와 제1 내지 제3 스캔 TFT(ST1~ST3), 및 제1 및 제2 에미션 TFT(ET1, ET2)는 모두 N 타입으로 구현될 수 있다.

[0061]

OLED, 구동 TFT(DT), 제1 내지 제3 스캔 TFT(ST1~ST3), 및 스토리지 커패시터(Cst)는 도 4와 동일하게 접속된다.

[0062]

제1 에미션 TFT(ET1)는 j-1 번째 에미션 라인(16j-1)으로부터의 제j-1 에미션 구동신호(E_{j-1})에 응답하여 스위칭됨으로써 고전위 구동전압(EVDD)을 구동 TFT(DT)의 드레인전극에 인가한다. 제1 에미션 TFT(ET1)의 게이트전극은 j-1 번째 에미션 라인(16j-1)에 접속되고, 소스전극은 고전위 구동전압(EVDD)의 입력단에 접속되며, 드레인전극은 구동 TFT(DT)에 접속된다.

[0063]

제2 에미션 TFT(ET2)는 j 번째 에미션 라인(16j)으로부터의 제j 에미션 구동신호(E_j)에 응답하여 노드A와 노드B 사이의 전류 흐름을 온/오프한다. 제2 에미션 TFT(ET2)의 게이트전극은 j 번째 에미션 라인(16j)에 접속되고, 소스전극은 노드 A에 접속되며, 드레인전극은 노드 B에 접속된다.

[0064]

한 프레임기간은, 도 10과 같이 초기화 기간(T_i), 샘플링&프로그래밍 기간(T_s), 및 발광 기간(T_e)을 포함하여 이루어질 수 있다.

[0065]

제j-1 스캔 구동신호(S_{j-1})는 초기화 기간(T_i) 동안 하이 레벨(H)로 인가되며, 샘플링&프로그래밍 기간(T_s) 및 발광 기간(T_e) 동안 로우 레벨(L)로 인가된다. 제j 스캔 구동신호(S_j)는 샘플링&프로그래밍 기간(T_s) 동안 하이 레벨(H)로 인가되며, 초기화 기간(T_i) 및 발광 기간(T_e) 동안 로우 레벨(L)로 인가된다. 제j-1 에미션 구동신호(E_{j-1})는 초기화 기간(T_i) 동안 로우 레벨(L)로 인가되며, 샘플링&프로그래밍 기간(T_s) 및 발광 기간(T_e) 동안 하이 레벨(H)로 인가된다. 그리고, 제j 에미션 구동신호(E_j)는 샘플링&프로그래밍 기간(T_s) 동안 로우 레벨(L)로 인가되며, 초기화 기간(T_i) 및 발광 기간(T_e) 동안 하이 레벨(H)로 인가되며, 데이터전압(V_{data})은 샘플링&프로그래밍 기간(T_s) 동안 데이터라인으로부터 화소(PXL)에 인가된다.

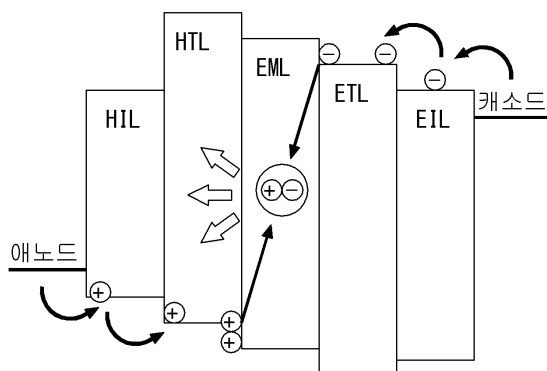
- [0066] 이 화소(PXL)의 동작은 도 5 내지 도 7을 통해 기술한 바와 동일하다. 따라서, 이 화소의 동작 설명은 생략한다.
- [0067] 도 11 및 도 12는 각각 화이트 영상 및 블랙 영상을 표시한 상태에서 구동 TFT의 문턱전압을 보상하는 시뮬레이션 결과를 보여주는 도면들이다.
- [0068] 도 11 및 도 12를 참조하면, 기술한 내부 보상 동작에 따라 노드 C의 전압(구동 TFT의 소스측 전압)이 문턱전압 변화량(ΔV_{th})에 맞춰 자동으로 보상되게 된다. 그에 따라, 구동 TFT(DT)의 문턱전압(V_{th}) 변화에 의한 계조 틀어짐(왜곡)이 자동으로 보상되는 것이다.
- [0069] 실험에 의하면, 화이트 영상에 기초한 구동 TFT의 문턱전압 보상률은 평균 97.27%로 나타났고, 블랙 영상에 기초한 구동 TFT의 문턱전압 보상률은 평균 98.96%로 나타났다.
- [0070]
- [0071] 상술한 바와 같이, 본 발명은 데이터전압이 공급되는 데이터라인과 별도로 기준전압 공급을 위한 기준 라인을 구비하고, 보상에 필요한 데이터전압과 기준전압을 동시에 화소에 인가함으로써 보상에 필요한 문턱전압 샘플링 시간을 충분히 확보할 수 있다. 그에 따라 본 발명은 고해상도 모델에서 보상의 정확도를 크게 높임으로써 선명한 화질 구현이 가능하다. 또한, 본 발명은 종래 기술과 달리 데이터라인에서 데이터전압과 기준전압 간에 전압을 스위칭할 필요가 없어 전력 소모를 크게 줄일 수 있다.
- [0072] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

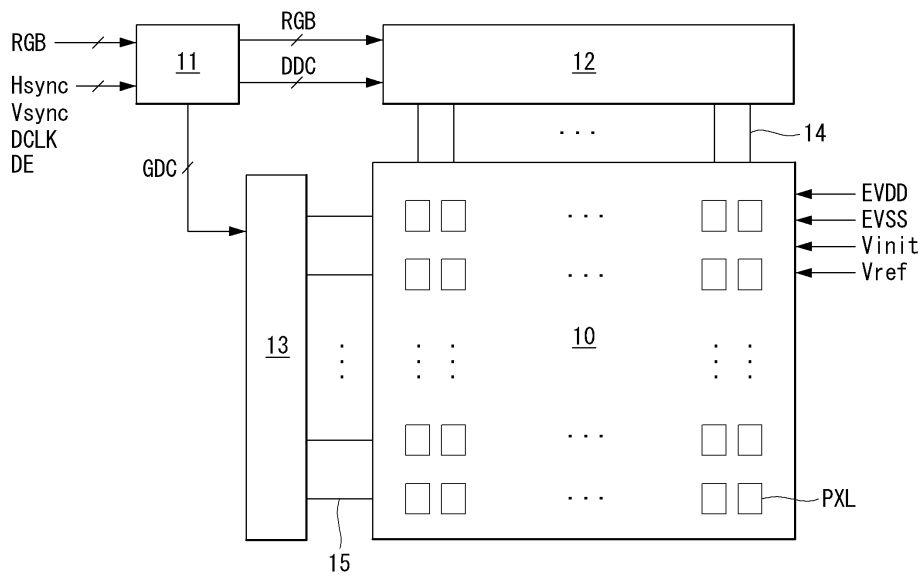
- [0073] 10 : 표시패널 11 : 타이밍 컨트롤러
12 : 데이터 구동회로 13 : 게이트 구동회로
14 : 데이터라인 15 : 게이트라인

도면

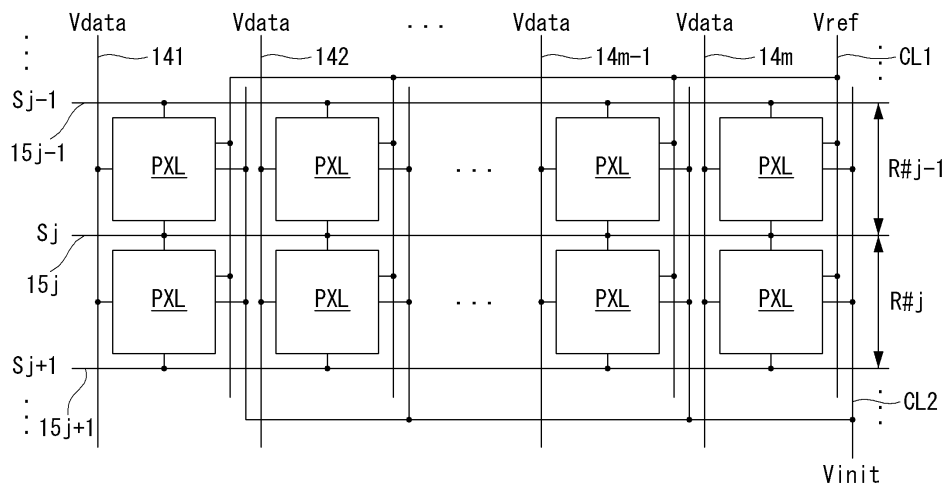
도면1



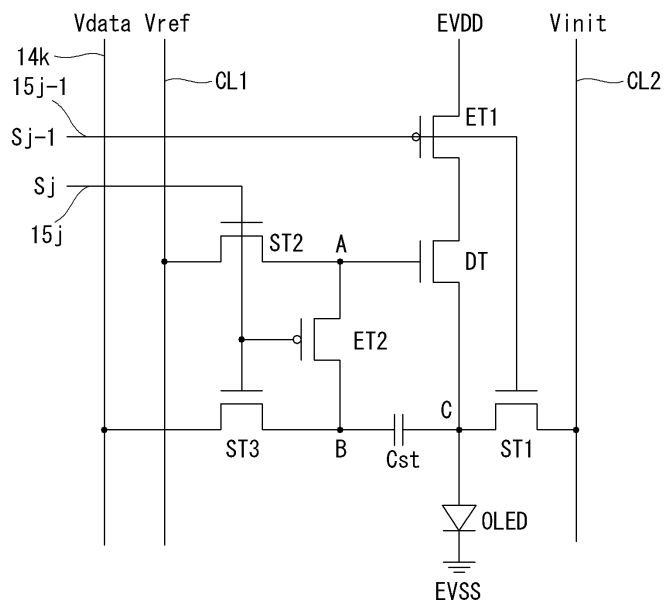
도면2



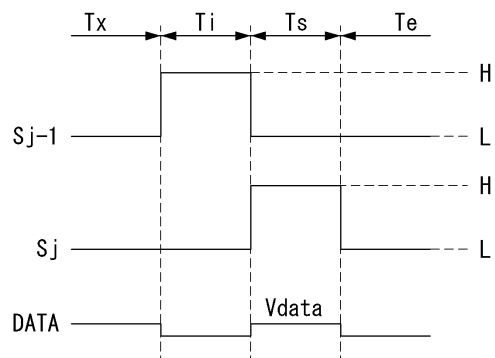
도면3



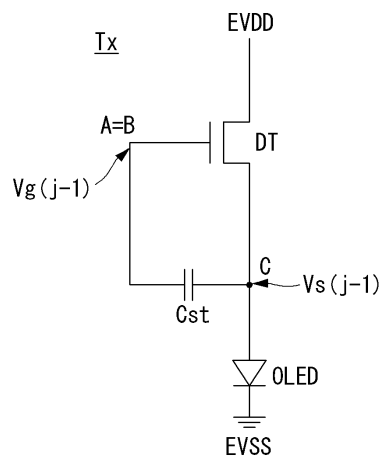
도면4



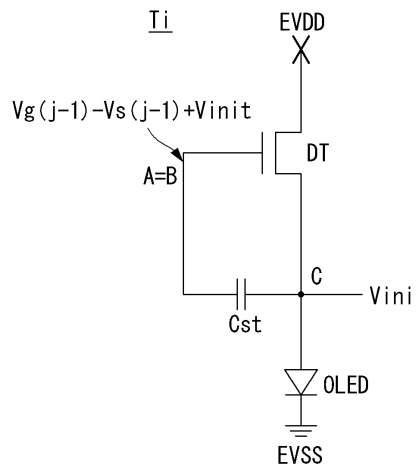
도면5



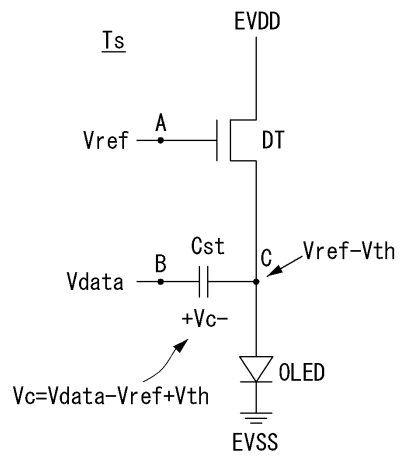
도면6a



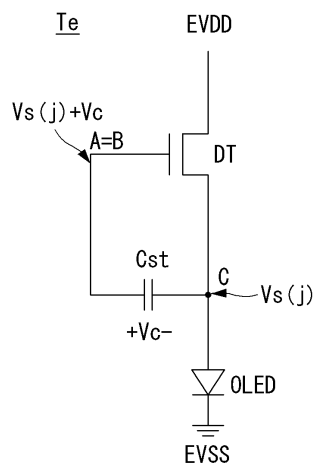
도면6b



도면6c



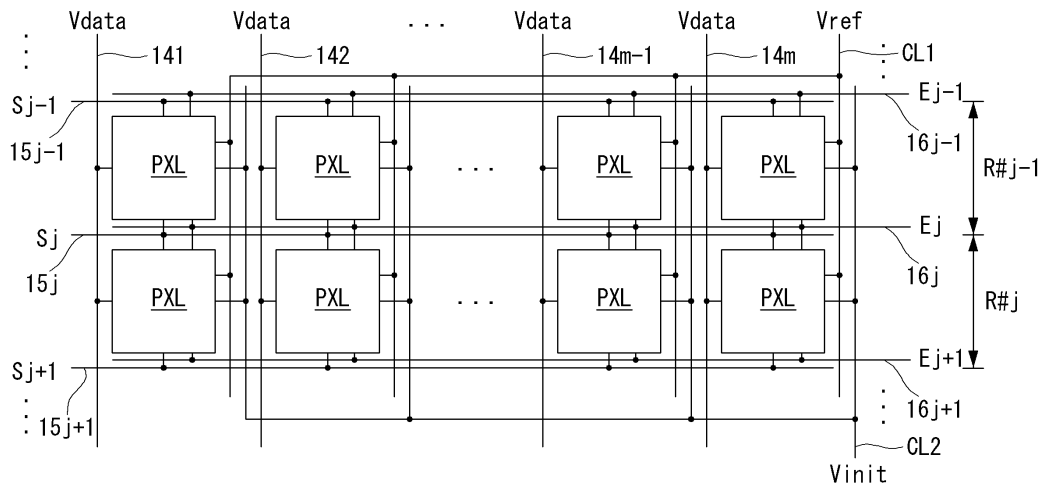
도면6d



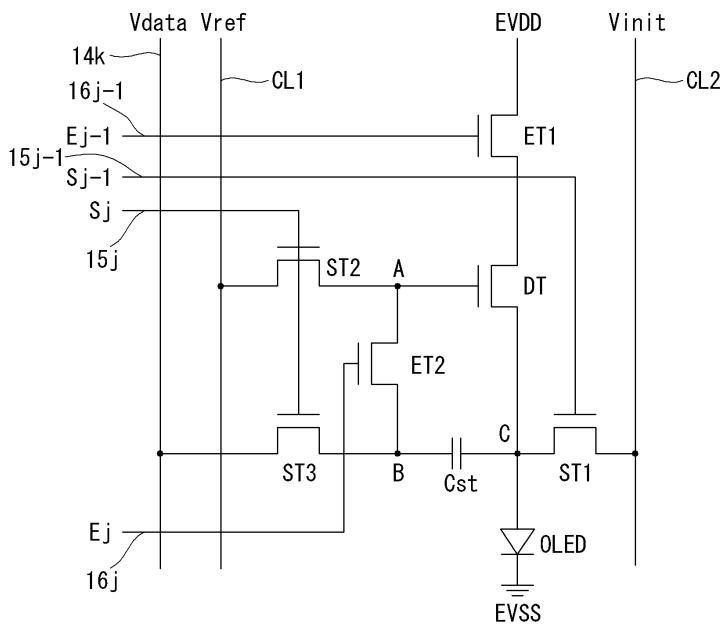
도면7

기간 노드	Ti	Ts	Te
A	$Vg(j-1) - Vs(j-1) + V_{init}$	V_{ref}	$V_{data} - V_{ref} + V_{th} + Vs(j)$
B	$Vg(j-1) - Vs(j-1) + V_{init}$	V_{data}	$V_{data} - V_{ref} + V_{th} + Vs(j)$
C	V_{init}	$V_{ref} - V_{th}$	$Vs(j)$

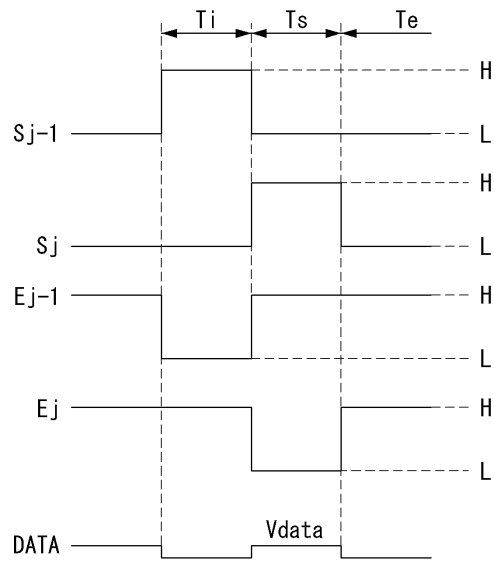
도면8



도면9



도면10



도면11

ΔV_{th} [V]	Vsource [V]	보상률 [%]	평균 [%]
+1.0	2.0544	97.97	97.27
+0.5	1.5631	97.68	
0	1.0747	-	
-0.5	0.5884	97.26	
-1.0	0.1127	96.20	

도면12

ΔV_{th} [V]	Vsource [V]	보상률 [%]	평균 [%]
+1.0	1.9765	99.04	98.96
+0.5	1.4810	98.98	
0	0.9861	-	
-0.5	0.4915	98.92	
-1.0	-0.0031	98.92	

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，其在1个水平周期短的高分辨率模型中降低功耗，并且驱动TFT的阈值电压在确定的时间内得到足够的补偿。它连接在第一扫描TFT中的任何一个之间，根据来自j-1的j-1扫描驱动信号切换它连接在驱动TFT之间的扫描线，控制施加到有机发光的驱动电流。二极管包括连接在低电位驱动电压的输入端和节点C之间的有机发光二极管，j-1扫描线和连接到j扫描线的像素，以及连接到节点A的栅极，并且连接到节点C的源在j中设置在该有机发光显示装置中（j是自然数大于2）数字像素行和初始化线以及提供初始电压的节点C和第二扫描TFT，第二扫描TFT连接在参考线和提供参考电压的节点A之间并被切换根据来自j号扫描线的j扫描驱动信号。并且数据线和节点B连接在第三扫描TFT的输入端的漏极之间，根据j扫描驱动信号和高电位驱动电压切换，驱动TFT和漏极连接在第一发射TFT之间根据与第一扫描TFT和节点A和节点B相反的j-1扫描驱动信号进行切换。根据j扫描驱动信号，第二发射TFT与第二和第三开关TFT相反地切换，并且连接在节点B和节点C之间的存储电容器是包括在内。

