(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0067279
(43) 공개일자 2016년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2014-0172197
(22) 출원일자 2014년12월03일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김강현
경기도 파주시 가람로116번길 130 (와동동, 가람마을7단지 한라비발디) 704동 2004호
이지혼
서울 은평구 연서로3길 25, 4층 (역촌동)
(74) 대리인
김기문

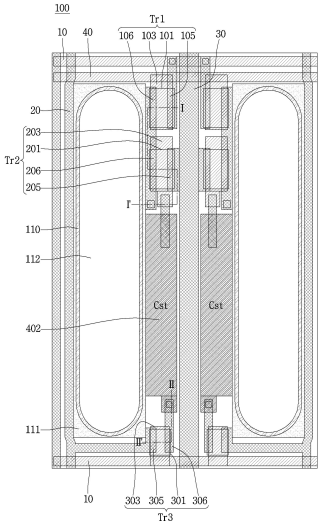
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치**

(57) 요 약

본 발명은 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치를 개시한다. 개시된 본 발명의 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치는 스캔 라인과 데이터 라인이 교차하여 정의되고, 구동부와 화소부를 포함하는 서브화소 영역을 포함하고, 상기 구동부에 배치되는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터를 포함하며, 상기 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터는 상기 데이터 라인과 평행하게 배치된다. 이를 통해, 서로 다른 서브화소 사이의 혼색을 방지할 수 있는 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치를 제공할 수 있다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

스캔 라인과 데이터 라인이 교차하여 정의되고, 구동부와 화소부를 포함하는 서브화소 영역;

상기 구동부에 배치되는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터;를 포함하고,

상기 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터는 상기 데이터 라인과 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 2

제 1항에 있어서,

상기 화소부는 상기 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터와 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 3

제 1항에 있어서,

상기 데이터 라인과 평행하게 배치되고, 상기 스캔 라인과 교차하는 전원 라인을 더 포함하고,

상기 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터는 상기 전원 라인과 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 4

제 1항에 있어서,

상기 제 1 박막 트랜지스터의 제 1 반도체층, 상기 제 2 박막 트랜지스터의 제 2 반도체층 및 상기 제 3 박막 트랜지스터의 제 3 반도체층은 상기 데이터 라인과 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 5

제 1항에 있어서,

상기 제 1 박막 트랜지스터의 제 1 게이트 전극, 상기 제 2 박막 트랜지스터의 제 2 게이트 전극 및 상기 제 3 박막 트랜지스터의 제 3 게이트 전극은 상기 데이터 라인과 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 6

제 1항에 있어서,

상기 제 1 박막 트랜지스터의 제 1 소스전극, 상기 제 2 박막 트랜지스터의 제 2 소스전극 및 상기 제 3 박막 트랜지스터의 제 3 소스전극은 상기 데이터 라인과 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 7

제 1항에 있어서,

상기 제 1 박막 트랜지스터의 제 1 드레인전극, 상기 제 2 박막 트랜지스터의 제 2 드레인전극 및 상기 제 3 박막 트랜지스터의 제 3 드레인전극은 상기 데이터 라인과 평행하게 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 8

제 1항에 있어서,

상기 데이터 라인과 평행하게 배치되고, 상기 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터 사이에 배치되는 커패시터를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 9

제 8항에 있어서,

상기 커패시터, 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터는 일렬로 배열되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 10

제 1항에 있어서,

상기 화소부 하부의 폭은 상기 구동부의 폭과 동일한 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 11

제 1항에 있어서,

상기 서브화소 영역에 배치되는 제 1 전극;

상기 제 1 전극의 상면의 일부를 노출하는 형태로 배치되는 제 1 뱅크 패턴;

상기 제 1 뱅크 패턴과 중첩하여 배치되는 제 2 뱅크 패턴; 및

상기 제 2 뱅크 패턴으로 둘러싸인 영역에 배치되는 유기발광층;을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 12

제 11항에 있어서,

상기 제 2 뱅크 패턴의 수평 방향의 폭과 수직 방향의 폭이 동일한 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 13

제 11항에 있어서,

상기 제 2 뱅크 패턴의 수평 방향의 폭과 수직 방향의 폭은 5 ㎛ 이상인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 14

제 11항에 있어서,

상기 유기발광층은 액상의 유기발광물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 15

제 1항 내지 제 14항 중 어느 한 항에 따른 박막 트랜지스터 어레이 기판;

상기 박막 트랜지스터 어레이 기판과 대향하여 배치되는 컬러필터 어레이 기판;을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치에 관한 것으로, 보다 구체적으로는 고해상도의 유기전계발광 표시장치에서 혼색을 방지하는 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정 표시장치(LCD: liquid crystal display), 플라즈마 표시장치(PDP: plasma display panel), 유기전계발광 표시장치 (OLED: organic light emitting diode display)와 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 유기전계발광 표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어, 최근에 널리 사용되고 있다. 유기전계발광 표시장치는 레드(red), 그린(green), 블루(blue) 서브화소에 대응되는 빛을 각각 발광하는 R, G, B 유기발광층을 형성하는 소위 RGB방식 또는, R, G, B 서브화소에 화이트(white)를 발광하는 유기발광층을 형성하고, R, G, B 컬러필터를 형성한 소위 W+CF(color filter) 방식을 사용한다.

[0004] 이러한 유기전계발광 표시장치의 해상도가 높아짐에 따라, 화소의 크기가 작아지고, 뱅크 패턴의 선폭 또한 매우 작아진다. 특히, 유기전계발광 표시장치의 유기발광층을 액상의 유기발광물질로 형성할 경우, 격벽 역할을 하는 뱅크 패턴의 선폭이 좁아짐으로 인해 서로 다른 서브화소에 형성되는 유기발광물질이 섞이는 문제가 있다.

[0005] 이와 같이, 유기전계발광 표시장치의 해상도가 높아질수록 R, G, B 서브화소의 간격이 작아짐에 따라, 시야각 내에서 서브화소 사이의 혼색이 발생하게 된다. 혼색이 발생하게 되면 제품을 보는 각도에 따라 색이 바뀌게 되어, 제품에 치명적인 화질 불량이 유발된다. 따라서, 이와 같은 결점을 방지할 수 있는 유기전계발과 표시장치의 설계 방안이 필요하다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터를 데이터 라인과 평행하게 배

치함으로써, 고해상도의 유기전계발광 표시장치에서 혼색을 방지하는 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0007] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치는, 스캔 라인과 데이터 라인이 교차하여 정의되고, 구동부와 화소부를 포함하는 서브화소 영역을 포함하고, 상기 구동부에 배치되는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터를 포함한다. 이 때, 상기 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터는 상기 데이터 라인과 평행하게 배치됨으로써, 고해상도의 유기전계발광 표시장치에서 서로 다른 서브화소 사이의 혼색을 방지할 수 있다.

발명의 효과

[0008] 본 발명에 따른 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치는, 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터를 데이터 라인과 평행하게 배치함으로써, 고해상도의 유기전계발광 표시장치에서 혼색을 방지하는 효과가 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 개략적으로 도시한 도면이다.

도 2는 본 발명에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 평면도이다.

도 3은 본 발명의 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 I-I'를 따라 절단한 단면도이다.

도 4는 본 발명의 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 Ⅱ-Ⅱ'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0011] 도 1은 본 발명의 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 개략적으로 도시한 도면이다. 도 1을 참조하면, 본 발명의 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판(100)은 다수개의 서브화소 영역을 포함한다. 그리고, 상기 서브화소 영역은 화소부(P)와 구동부를 포함한다. 상기 화소부(P)는 유기전계발광 소자를 포함하고, 상기 구동부는 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr2), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)를 포함한다.

[0012] 여기서, 상기 제 1 박막 트랜지스터(Tr1)는 센싱 박막 트랜지스터일 수 있다. 또한, 제 2 박막 트랜지스터(Tr2)는 드라이빙 박막 트랜지스터일 수 있다. 그리고, 제 3 박막 트랜지스터(Tr3)는 스위칭 박막 트랜지스터일 수 있다.

[0013] 상기 화소부(P)에 배치되는 유기전계발광 소자의 유기발광층은 액상의 유기발광물질로 이루어진다. 상기 유기발광층 형성 방법으로는 spin coating, ink-jet 또는 slot die 방식 등이 있으며, 액상의 유기발광물질을 제 2 뱅크 패턴으로 둘러싸인 영역에 상기 유기발광물질을 분사 또는 드롭핑 한 후 경화시키는 방법이 사용될 수 있다. 여기서, 상기 제 2 뱅크 패턴은 서로 다른 유기발광물질이 섞이지 않도록 격벽 역할을 할 수 있다. 또한, 상기 유기 뱅크 패턴 하부에 중첩하여 화소부(P)의 발광영역과 비 발광영역을 정의 하는 제 1 뱅크 패턴을 더 포함할

수 있다.

[0014] 고해상도의 유기전계발광 표시장치에서는 서브화소 영역이 작아짐에 따라, 화소부 및 구동부에 위치하는 구성요소들의 크기 역시 작아진다. 즉, 유기전계발광 표시장치의 해상도가 높아질수록 뱅크 패턴의 선폭 역시 작아진다. 따라서, 고해상도의 유기전계발광 표시장치에서 액상의 유기발광물질을 이용하여 유기발광층을 형성할 때, 뱅크 패턴의 선폭이 작아짐으로 인해 서로 다른 유기발광물질이 섞이는 문제가 발생한다.

[0015] 이를 해결하기 위해, 본 발명에 따른 유기전계발광 표시장치는 구동부에 배치되는 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr2), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)가 상기 화소부(P)와 평행하게 배치된다. 이 때, 구동부가 화소부 하부에 배치되는 경우에 비해서 상기 화소부(P)가 차지할 수 있는 영역이 더 커질 수 있다. 즉, 상기 화소부(P)의 영역이 커짐으로써, 뱅크 패턴의 선폭 역시 커질 수 있으므로, 고해상도에서도 유기발광물질이 섞이지 않을 수 있다.

[0016] 특히, 상기 화소부(P) 하부의 폭(A)과 구동부의 폭(B)이 동일할 때, 상기 제 2 뱅크 패턴의 폭이 넓게 이루어질 수 있다. 이를 통해, 고해상도에서도 액상의 유기발광물질을 이용한 유기전계발광 표시장치를 구현할 수 있다.

[0017] 본 발명에 따른 유기전계발광 표시장치는 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr2), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)가 상기 화소부(P)와 평행하게 배치됨으로써, 고해상도 유기전계발광 표시장치에서도 서로 다른 액상의 유기발광물질이 섞이지 않을 수 있다.

[0018] 이어서 도 2를 참조하여, 본 발명의 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 검토하면 다음과 같다. 도 2는 본 발명에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 평면도이다. 도 2를 참조하면, 본 발명에 따른 박막 트랜지스터 어레이 기판(100)은 스캔 라인(10), 데이터 라인(20), 전원 라인(30) 및 센싱 라인(40)을 포함한다.

[0019] 여기서, 상기 스캔 라인(10)과 센싱 라인(40)은 서로 평행하게 배치된다. 그리고 상기 데이터 라인(20)과 전원 라인(30)은 서로 평행하게 배치된다. 또한, 상기 스캔 라인(10) 및 센싱 라인(40)은 상기 데이터 라인(20) 및 전원 라인(30)과 서로 교차하여 배치된다.

[0020] 스캔 라인(10)과 데이터 라인(20)이 교차하여 서브화소 영역을 정의한다. 그리고, 상기 서브화소 영역은 구동부와 화소부를 포함한다.

[0021] 여기서, 상기 구동부는 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr3), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)를 포함한다. 그리고, 상기 화소부는 제 1 전극, 유기발광층 및 제 2 전극을 포함하는 유기전계발광 소자를 포함한다.

[0022] 상기 제 1 박막 트랜지스터(Tr1)는 센싱 박막 트랜지스터일 수 있다. 또한, 제 2 박막 트랜지스터(Tr2)는 드라이빙 박막 트랜지스터일 수 있다. 그리고, 제 3 박막 트랜지스터(Tr3)는 스위칭 박막 트랜지스터일 수 있다.

[0023] 상기 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr3), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)는 일렬로 배열될 수 있다. 그리고, 상기 커패시터(Cst)는 상기 제 2 박막 트랜지스터(Tr2)와 제 3 박막 트랜지스터(Tr3) 사이에 배치될 수 있다.

[0024] 상기 제 1 박막 트랜지스터(Tr1)는 제 1 반도체층(101), 제 1 게이트 전극(103), 제 1 소스전극(105) 및 제 1 드레인전극(106)을 포함한다. 상기 제 2 박막 트랜지스터(Tr2)는 제 2 반도체층(201), 제 2 게이트 전극(203), 제 2 소스전극(205) 및 제 2 드레인전극(206)을 포함한다. 상기 제 3 박막 트랜지스터(Tr3)는 제 3 반도체층(301), 제 3 게이트 전극(303), 제 3 소스전극(305) 및 제 3 드레인전극(306)을 포함한다.

[0025] 상기 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(103)은 스캔 라인(10) 하부에 배치되는 센싱 라인(40)으로부터 분기된다. 그리고 상기 제 1 소스전극(105)은 상기 스캔 라인(10)으로부터 분기된다. 또한 상기 제 1 박막 트랜지스터(Tr1)의 제 1 드레인전극(105)은 상기 제 2 박막 트랜지스터(Tr2)까지 연장되어 상기 제 2 박막 트랜지스터(Tr1)의 제 2 드레인전극(205) 역할을 할 수 있다. 또한, 상기 제 2 소스전극(206)은 전원라인(30)으로부터 분기된다. 그리고, 상기 제 2 박막 트랜지스터(Tr2)의 드레인전극(205)과 유기전계발광 소자는 컨택홀을 통해 연결된다.

[0026] 상기 커패시터(Cst)는 상기 제 2 박막 트랜지스터(Tr2)의 제 2 게이트 전극(203)과 연결된다. 그리고, 상기 커패시터는 상기 제 3 박막 트랜지스터(Tr3)의 제 3 드레인전극(306)과 연결된다. 상기 제 3 박막 트랜지스터

(Tr3)의 제 3 게이트 전극(303)은 상기 스캔 라인(10)으로부터 분기된다. 그리고 상기 제 3 소스전극(305)은 상기 데이터라인(20)으로부터 분기된다.

[0027] 이를 통해, 스캔 라인(10)을 통해 신호가 인가되면 제 3 박막 트랜지스터(Tr3)가 온(on)되고, 신호가 상기 제 3 박막 트랜지스터(Tr3)를 통해 상기 커패시터(Cst)에 저장된다. 상기 신호는 상기 제 2 박막 트랜지스터(Tr2)의 제 2 게이트 전극(203)에 전달되어 상기 제 2 박막 트랜지스터(Tr2)를 작동시키고, 상기 제 2 박막 트랜지스터(Tr2)는 유기전계발광 소자로부터 빛이 출력되게 한다.

[0028] 자세하게는, 상기 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr3), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)는 상기 데이터 라인(20)과 평행하게 배치된다. 이를 통해, 상기 화소부의 영역이 넓어질 수 있다. 또한, 상기 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr3), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)는 상기 전원 라인(30)과 평행하게 배치된다. 이를 통해, 하나의 서브화소 영역에 배치되는 구동부의 영역을 저감할 수 있다.

[0029] 더 자세하게는, 상기 제 1 박막 트랜지스터(Tr1)의 제 1 반도체층(101), 제 2 박막 트랜지스터(Tr2)의 제 2 반도체층(201), 제 3 박막 트랜지스터(Tr3)의 제 3 반도체층(301)은 상기 데이터 라인(20) 및 전원 라인(30)과 평행하게 배치된다. 이 때, 각 박막 트랜지스터의 반도체층이 데이터 라인(20) 및 전원 라인(30)과 수직으로 배치되는 경우에 비해서 상기 화소부가 차지할 수 있는 영역이 더 커질 수 있다.

[0030] 또한, 상기 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(103), 제 2 박막 트랜지스터(Tr2)의 제 2 게이트 전극(203), 제 3 박막 트랜지스터(Tr3)의 제 3 게이트 전극(303)은 상기 데이터 라인(20) 및 전원 라인(30)과 평행하게 배치된다. 이 때, 각 박막 트랜지스터의 게이트 전극이 데이터 라인(20) 및 전원 라인(30)과 수직으로 배치되는 경우에 비해서 상기 화소부가 차지할 수 있는 영역이 더 커질 수 있다.

[0031] 그리고, 상기 제 1 박막 트랜지스터(Tr1)의 제 1 소스전극(105), 제 2 박막 트랜지스터(Tr2)의 제 2 소스전극(205), 제 3 박막 트랜지스터(Tr3)의 제 3 소스 전극(305)은 상기 데이터 라인(20) 및 전원 라인(30)과 평행하게 배치된다. 이 때, 각 박막 트랜지스터의 소스전극이 데이터 라인(20) 및 전원 라인(30)과 평행하게 배치됨으로써, 상기 화소부의 영역이 넓어질 수 있다.

[0032] 또한, 상기 제 1 박막 트랜지스터(Tr1)의 제 1 드레인전극(106), 제 2 박막 트랜지스터(Tr2)의 제 2 드레인전극(206), 제 3 박막 트랜지스터(Tr3)의 제 3 드레인전극(306)은 상기 데이터 라인(20) 및 전원 라인(30)과 평행하게 배치된다. 이 때, 각 박막 트랜지스터의 드레인전극이 데이터 라인(20) 및 전원 라인(30)과 평행하게 배치됨으로써, 상기 화소부의 영역이 넓어질 수 있다.

[0033] 상기 화소부는 액상의 유기발광물질로 이루어지는 유기발광층(112)을 포함한다. 이 때, 상기 유기발광층(112)은 제 1 뱅크 패턴(110)과 제 2 뱅크 패턴(111)으로 둘러싸인 영역에 배치된다. 여기서, 상기 제 1 뱅크 패턴(110)은 무기절연물질로 이루어지고, 상기 제 2 뱅크 패턴(111)은 유기절연물질로 이루어질 수 있다.

[0034] 상기 제 2 뱅크 패턴(111)은 서로 다른 액상의 유기발광물질이 섞이지 않도록 격벽 역할을 한다. 여기서, 상기 화소부의 영역이 넓어짐으로써, 상기 제 2 뱅크 패턴(111)이 배치될 수 있는 영역 역시 넓어지므로 고해상도에서도 서로 다른 액상의 유기발광물질이 섞이지 않을 수 있는 선폭을 유지할 수 있다.

[0035] 즉, 구동부에 배치되는 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr2), 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)가 일렬로 배열되고, 상기 데이터 라인(20) 및 전원 라인(30)에 평행하게 배치됨으로써, 하나의 서브화소 영역에 배치되는 구동부의 영역이 저감될 수 있다. 이에 따라, 하나의 서브화소 영역에 배치되는 화소부의 영역은 구동부의 영역이 저감된 만큼 커질 수 있다.

[0036] 이를 통해, 본 발명에 따른 유기전계발광 표시장치는 화소부의 영역이 커짐으로써, 화소부에 배치되는 제 2 뱅크 패턴(111)의 선폭 역시 커질 수 있다. 따라서, 각각의 서브화소 영역이 작아지는 고해상도의 유기전계발광 표시장치에서도 다른 서브화소 영역에 배치되는 액상의 유기발광물질이 섞이지 않을 수 있다. 이를 통해, 유기전계발광 표시장치의 혼색을 방지할 수 있는 효과가 있다. 이를 I-I' 및 Ⅱ-Ⅱ'를 따라 절단한 단면도인 도 3 및 도 4를 참조하여 설명하면 다음과 같다.

[0037] 도 3은 본 발명의 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 I-I'를 따라 절단한 단면도이다. 도 3을 참조하면, 박막 트랜지스터 어레이 기판(100) 상에 제 1 박막 트랜지스터(Tr1), 제 2 박막 트랜지스터(Tr2) 및 유기전계발광 소자가 배치된다. 여기서, 상기 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)는 구동부에 배치되고, 상기 유기전계발광 소자는 화소부에 배치될 수 있다.

[0038] 상기 제 1 박막 트랜지스터(Tr1)는 제 1 반도체층(101), 제 1 게이트 전극(103), 제 1 소스전극(105) 및 제 1 드레인 전극(106)을 포함한다. 그리고, 제 2 박막 트랜지스터(Tr2)는 제 2 반도체층(201), 제 2 게이트 전극(203), 제 2 소스전극(205) 및 제 2 드레인전극(206)을 포함한다. 또한, 유기전계발광 소자는 제 1 전극(109), 유기발광층(112) 및 제 2 전극(113)을 포함한다.

[0039] 자세하게는, 기판(100) 상에 제 1 박막 트랜지스터(Tr1)의 제 1 반도체층(101) 및 제 2 박막 트랜지스터(Tr2)의 제 2 반도체층(201)이 배치된다. 상기 제 1 반도체층(101)은 제 1 소스영역(101a), 제 1 채널영역(101b) 및 제 1 드레인영역(101c)으로 이루어진다. 그리고 상기 제 2 반도체층(101)은 제 2 소스영역(201a), 제 2 채널영역(201b) 및 제 2 드레인영역(201c)으로 이루어진다.

[0040] 상기 제 1 반도체층(101) 및 제 2 반도체층(201)을 포함하는 기판(100) 상에 게이트 절연막(102)이 배치된다. 상기 게이트 절연막(102) 상에는 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(103) 및 제 2 박막 트랜지스터(Tr2)의 제 2 게이트 전극(203)이 배치된다. 여기서, 상기 제 1 게이트 전극(103)은 상기 제 1 채널영역(101b)과 중첩되어 배치되고, 상기 제 2 게이트 전극(203)은 상기 제 2 채널영역(201b)과 중첩되어 배치된다.

[0041] 상기 제 1 게이트 전극(103) 및 제 2 게이트 전극(203)을 포함하는 기판(100) 상에 층간절연막(104)이 배치된다. 상기 층간절연막(104) 상에는 상기 제 1 박막 트랜지스터(Tr1)의 제 1 소스전극(105)과 제 2 드레인 전극(106)이 배치되고, 상기 제 2 박막 트랜지스터(Tr2)의 제 2 소스전극(205)과 제 2 드레인전극(206)이 배치된다.

[0042] 이 때, 상기 제 1 소스전극(105)과 제 2 드레인전극(106)은 상기 층간절연막(104) 및 게이트 절연막(102)에 형성된 컨택홀을 통해 각각 상기 제 1 반도체층(101)의 제 1 소스영역(101a) 및 제 1 드레인영역(101c)과 연결된다. 그리고, 상기 제 2 소스전극(205)과 제 2 드레인전극(206)은 컨택홀을 통해 각각 상기 제 2 반도체층(201)의 제 2 소스영역(201a) 및 제 2 드레인영역(201c)과 연결된다.

[0043] 이와 같이, 상기 기판(100) 상에 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)가 배치된다. 여기서, 상기 제 1 박막 트랜지스터(Tr1)는 센싱 박막 트랜지스터이고, 제 2 박막 트랜지스터(Tr2)는 드라이빙 박막 트랜지스터일 수 있다.

[0044] 상기 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)가 배치된 기판(100) 상에 보호막(107)이 배치된다. 상기 보호막(107)에는 평탄화막(108)이 배치된다. 상기 평탄화막(108)의 상면에 일부에는 상기 제 2 박막 트랜지스터(Tr2)의 드레인전극(206)과 연결되는 유기전계발광 소자의 제 1 전극(109)이 배치된다. 상기 제 1 전극(109)은 유기전계발광 소자의 애노드(anode)일 수 있으나, 이에 한정되지 않고 캐소드(cathode)일 수도 있다.

[0045] 상기 제 1 전극(109)이 배치된 평탄화막(108) 상에 제 1 뱅크 패턴(110)이 배치된다. 이 때, 상기 제 1 뱅크 패턴(110)은 상기 제 1 전극(109)의 양 끝 단의 일부 영역과 중첩되어 배치될 수 있다. 즉, 상기 제 1 뱅크 패턴(110)은 상기 제 1 전극(109)의 상면의 일부를 노출하도록 배치될 수 있다. 그리고, 상기 제 1 뱅크 패턴(110)은 친수성의 무기절연물질로 이루어질 수 있다.

[0046] 여기서, 상기 제 1 뱅크 패턴(110)은 유기전계발광 표시장치의 발광 영역 및 비발광영역을 정의할 수 있다. 자세하게는, 상기 제 1 뱅크 패턴(110)이 배치되지 않은 영역은 발광영역이며, 상기 제 1 뱅크 패턴(110)이 배치된 영역은 비발광영역일 수 있다.

[0047] 상기 제 1 뱅크 패턴(110)과 중첩되어 제 2 뱅크 패턴(111)이 배치된다. 이 때, 상기 제 2 뱅크 패턴(111)은 상기 제 1 뱅크 패턴(110)에 비해서 두께가 두껍고, 폭이 좁게 이루어질 수 있다. 그리고, 상기 제 2 뱅크 패턴(111)은 소수성의 유기절연물질로 이루어질 수 있다.

[0048] 또한, 상기 제 2 뱅크 패턴(111)의 수평 방향의 폭과 수직 방향의 폭은 동일할 수 있다. 자세하게는, 상기 제 2 뱅크 패턴(111)의 수평 방향의 폭과 수직 방향의 폭은 5 ㎛ 이상일 수 있다. 상기 제 2 뱅크 패턴(111)의 폭이 5 ㎛ 미만일 경우, 유기전계발광 표시장치의 서로 다른 서브화소 사이에서 혼색이 발생할 수 있다.

[0049] 상기 제 2 뱅크 패턴(111)으로 둘러싸인 영역 상에는 유기발광층(112)이 배치된다. 여기서, 상기 제 2 뱅크 패턴(111)의 수평 방향의 폭과 수직 방향의 폭이 동일하게 이루어짐으로써, 상기 유기발광층(112)의 평탄도가 향상될 수 있다.

[0050] 상기 유기발광층(112)은 액상의 유기발광물질로 형성될 수 있다. 상기 유기발광층(112)을 액상의 유기발광물질로 형성할 경우, 대면적 표시장치 형성에 효과적일 수 있으며, 공정이 간단해지는 효과가 있다. 이 때, 상기 제 1 뱅크 패턴(110)및 상기 제 1 뱅크 패턴(110)과 중첩되어 배치되는 제 2 뱅크 패턴(111)을 통해서 상기 유기발

광층(112)이 평탄하게 이루어질 수 있다. 또한, 상기 제 2 뱅크 패턴(111)은 서로 다른 서브화소 영역에 토출되는 유기발광물질이 서로 섞이지 않도록 격벽 역할을 할 수 있다.

[0051] 그러나, 유기전계발광 표시장치가 고해상도일수록 제 2 뱅크 패턴의 선폭이 줄어듦으로써, 격벽 역할을 하는데 한계가 있다. 자세하게는, 상기 제 2 뱅크 패턴의 선폭이 5 ㎛ 미만일 경우, 서로 다른 서브화소 영역에 토출된 유기발광물질이 섞임으로써, 유기전계발광 표시장치의 혼색이 발생한다. 따라서, 고해상도에서도 유기발광물질이 섞이지 않는 제 2 뱅크 패턴의 선폭 확보가 필요하다.

[0052] 본 발명에서는 상기 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)가 상기 화소부와 평행하게 배치됨으로써, 고해상도에서도 제 2 뱅크 패턴(111)의 선폭을 증가시킬 수 있다. 자세하게는, 구동부에 배치되는 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)가 일렬로 배열되고, 상기 화소부와 평행하게 배치됨으로써, 하나의 서브화소 영역에 배치되는 구동부의 영역이 저감될 수 있다. 이에 따라, 하나의 서브화소 영역에 배치되는 화소부의 영역은 구동부의 영역이 저감된 만큼 커질 수 있다. 이를 통해, 본 발명에 따른 유기전계발광 표시장치는 화소부의 영역이 커짐으로써, 화소부에 배치되는 제 2 뱅크 패턴(111)의 선폭 역시 커질 수 있다.

[0053] 도 4는 본 발명의 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 Ⅱ-Ⅱ'를 따라 절단한 단면도이다. 도 4를 참조하면, 박막 트랜지스터 어레이 기판(100) 상에 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)가 배치된다. 여기서, 상기 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)는 구동부에 배치될 수 있다.

[0054] 상기 제 3 박막 트랜지스터(Tr3)는 제 3 반도체층(301), 제 3 게이트 전극(303), 제 3 소스전극(305) 및 제 3 드레인 전극(306)을 포함한다. 그리고, 상기 커패시터(Cst)는 제 1 커패시터 전극(401) 및 제 2 커패시터 전극(402)을 포함한다,

[0055] 자세하게는, 기판(100) 상에 제 3 박막 트랜지스터(Tr3)의 제 3 반도체층(301)이 배치된다. 이 때, 상기 제 3 반도체층(301)은 제 3 소스영역(301a), 제 3 채널영역(301b) 및 제 3 드레인영역(301c)으로 이루어진다.

[0056] 상기 제 3 반도체층(301)이 배치된 기판(100) 상에 게이트 절연막(102)이 배치된다. 상기 게이트 절연막(102) 상에는 제 3 박막 트랜지스터(Tr3)의 제 3 게이트 전극(305) 및 커패시터(Cst)의 제 1 커패시터 전극(401)이 배치된다. 제 3 게이트 전극(305) 및 제 1 커패시터 전극(401)은 동일물질로 이루어질 수 있다.

[0057] 상기 제 3 게이트 전극(305) 및 제 1 커패시터 전극(401)이 배치된 기판(100) 상에 층간절연막(104)이 배치된다. 상기 층간절연막(104) 상에는 제 3 박막 트랜지스터(Tr3)의 제 3 소스전극(305)과 제 3 드레인전극(306)이 배치되고, 상기 커패시터(Cst)의 제 3 커패시터 전극(402)이 배치된다.

[0058] 이 때, 상기 제 3 소스전극(305) 및 제 3 드레인전극(306)은 상기 층간절연막(104) 및 게이트 절연막(102)에 형성된 컨택홀을 통해 각각 제 3 반도체층(301)의 제 3 소스영역(301a) 및 제 3 드레인영역(301c)과 연결된다. 또한, 상기 제 2 커패시터 전극(402)은 상기 제 1 커패시터 전극(401)과 중첩하여 배치될 수 있다. 또한, 상기 제 3 소스전극(305) 및 제 3 드레인전극(306)은 상기 제 2 커패시터 전극(402)과 동일물질로 이루어질 수 있다.

[0059] 이와 같이, 상기 제 3 박막 트랜지스터(Tr3)와 커패시터(Cst)가 배치될 수 있다. 상기 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)를 포함하는 기판(100) 상에는 상기 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)를 보호하는 보호막(107)이 형성될 수 있다.

[0060] 또한, 도면에는 도시하지 않았으나, 박막 트랜지스터 어레이 기판(100)에 대향하여 컬러필터 어레이 기판이 더 배치될 수 있다. 상기 박막 트랜지스터 어레이 기판(100) 및 컬러필터 어레이 기판을 합착하여 유기전계발광 표시장치를 구현할 수 있다.

[0061] 본 발명에 따른 상기 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)를 포함하는 구동부는 화소부와 평행하게 배치될 수 있다. 자세하게는, 구동부에 배치되는 제 3 박막 트랜지스터(Tr3) 및 커패시터(Cst)가 일렬로 배열되고, 상기 화소부와 평행하게 배치됨으로써, 하나의 서브화소 영역에 배치되는 구동부의 영역이 저감될 수 있다.

[0062] 이에 따라, 하나의 서브화소 영역에 배치되는 화소부의 영역은 구동부의 영역이 저감된 만큼 커질 수 있다. 이를 통해, 본 발명에 따른 유기전계발광 표시장치는 화소부의 영역이 커짐으로써, 화소부에 배치되는 제 2 뱅크 패턴의 선폭 역시 커질 수 있다. 즉, 상기 제 2 뱅크 패턴의 선폭이 커짐으로써, 서로 다른 서브화소 간의 혼색을 방지할 수 있다.

[0063] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이

가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0064] 10: 스캔 라인 20: 데이터 라인

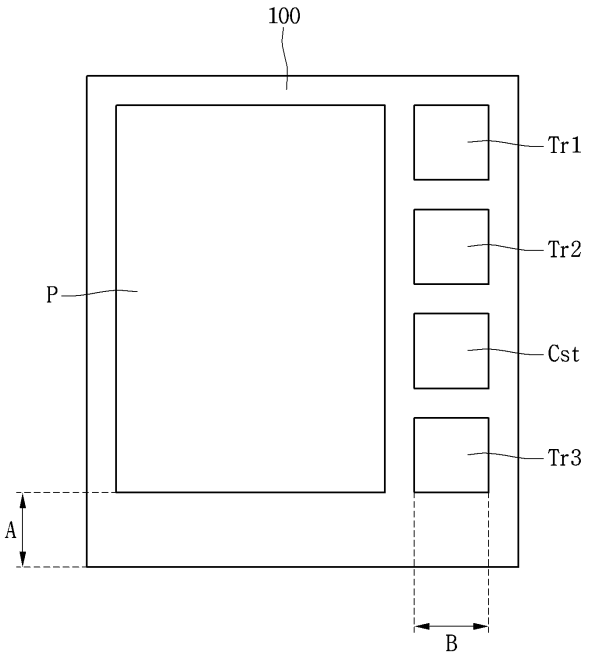
30: 전원 라인 40: 센싱 라인

110: 제 1 뱅크 패턴 111: 제 2 뱅크 패턴

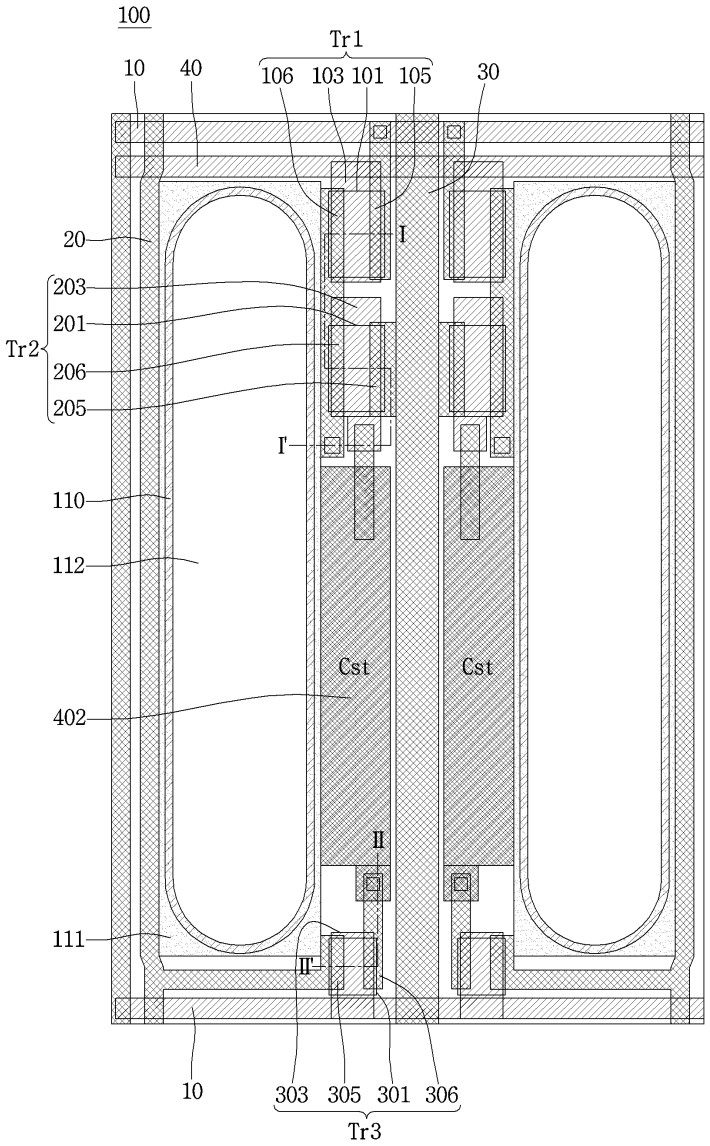
112: 유기발광층

도면

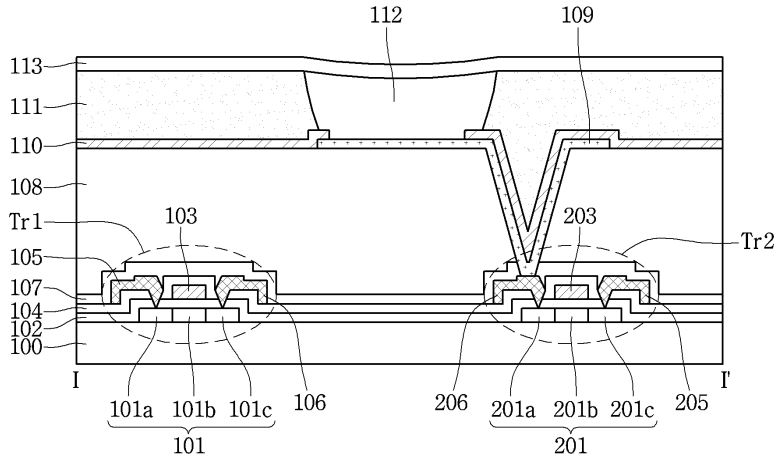
도면1



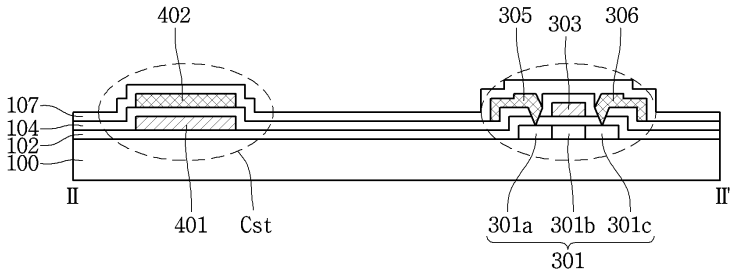
도면2


100
Tr1
10
40
106
103
101
105
30
20
I
203
201
Tr2
206
205
I'
110
112
Cst
Cst
402
II
111
II'
10
303
305
301
306
Tr3

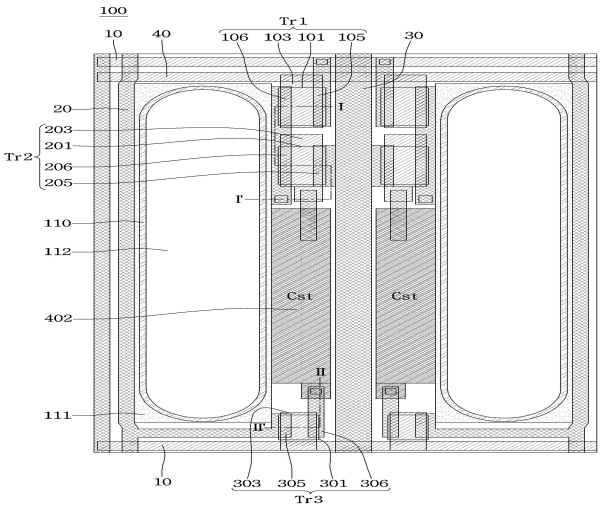
도면3


112
109
113
111
110
108
Tr1
103
203
Tr2
105
107
104
102
100
I
I'
101a
101b
101c
106
206
201a
201b
201c
205
101
201

도면4



专利名称(译)	标题：薄膜晶体管阵列基板和具有该基板的有机发光显示装置		
公开(公告)号	KR1020160067279A	公开(公告)日	2016-06-14
申请号	KR1020140172197	申请日	2014-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KANG HYUN 김강현 LEE JI HEUN 이지흔		
发明人	김강현 이지흔		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/32 H01L29/786 H01L27/3202		
代理人(译)	金kimoon		
外部链接	Espacenet		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板和包括该基板的有机电致发光显示装置。扫描线和数据线交叉并且限定包括其的本发明的薄膜晶体管阵列基板和有机电致发光显示装置，并且包括包括驱动器和像素的子像素区域，并且布置有薄膜晶体管。包括驱动器，第二薄膜晶体管和第三薄膜晶体管，薄膜晶体管，第二薄膜晶体管和第三薄膜晶体管排列成数据线。由此，可以提供防止不同子像素之间的颜色混合的薄膜晶体管阵列基板和包括其的有机电致发光显示装置。