



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0057015
(43) 공개일자 2016년05월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
H01L 51/56 (2006.01)

(21) 출원번호 10-2014-0157167

(22) 출원일자 2014년11월12일
 심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
양희정
경기 양주시 삼승로58번길 141, 704동 1105호 (삼승동, 양주자이7단지아파트)

한규원
경기도 여주군 대신면 초현리 200(37)
(뒷면에 계속)

(74) 대리인
김기문

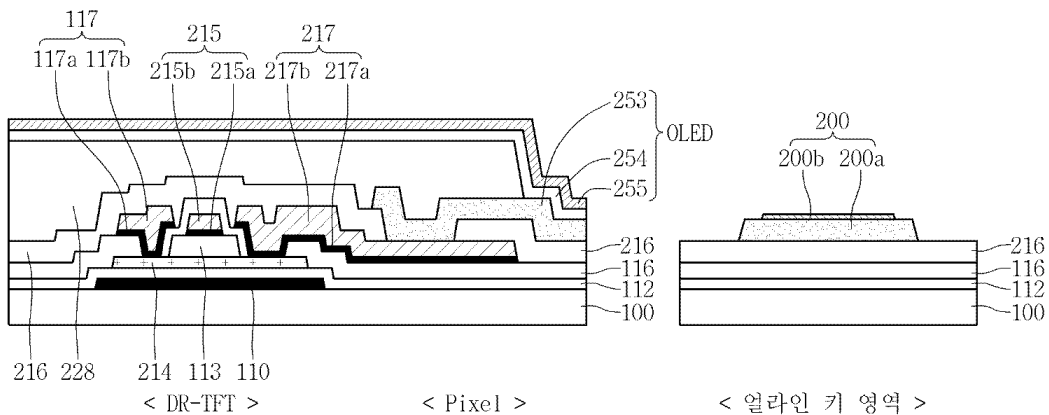
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그 제조방법을 개시한다. 개시된 본 발명의 유기전계발광표시장치는, 발광영역과 발광영역의 외곽 둘레를 따라 비발광영역이 구획되고, 상기 발광영역은 박막트랜지스터와 유기발광다이오드를 포함하는 복수의 화소 영역들로 구획된 기판을 포함하고, 상기 박막 트랜지스터 영역의 기판 상에 배치된 광차단층과 상기 광차단층과 대응되도록 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 포함하며, 상기 박막 트랜지스터의 드레인 전극과 연결된 화소전극, 상기 화소전극 상에 배치된 유기발광층 및 전극을 포함하는 유기발광다이오드를 포함하고, 상기 비발광영역과 대응되는 기판 상에 제1얼라인패턴과 제2얼라인패턴이 적층된 적어도 하나 이상의 얼라인 키를 포함함으로써, 얼라인 키의 인식율을 높인 효과가 있다.

대표도



(72) 발명자

호원준

전북 전주시 완산구 거마평로 125, 102동 1206호
(효자동1가, 상산타운)

김아라

서울 강서구 강서로56나길 110, 103동 606호 (등촌
동, 부영아파트)

명세서

청구범위

청구항 1

기관에 복수의 화소영역을 포함하는 발광영역과 상기 발광영역의 외곽 둘레를 따라 구획된 비 발광 영역;

상기 발광 영역에 배치된 광차단층과 상기 광차단층에 대응 되도록 배치된 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터의 드레인 전극과 연결된 화소전극, 상기 화소전극 상에 배치된 유기발광층 및 전극을 포함하는 유기발광다이오드; 및

상기 비발광영역에 제1열라인패턴과 제2열라인패턴이 적층된 적어도 하나 이상의 열라인 키를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서, 상기 열라인 키의 제1열라인패턴은 상기 화소전극과 동일층에 배치된 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서, 상기 열라인 키의 제2 열라인패턴은 상기 제1열라인패턴 보다 높은 반사율 특성을 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서, 상기 광차단층은 적어도 하나의 층이 절연층을 포함하는 복수의 적층구조를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

복수의 화소영역을 포함하는 발광영역과 상기 발광영역의 외곽 둘레를 따라 구획된 비 발광 영역을 포함하는 기관을 제공하는 단계;

상기 발광 영역에 배치된 광차단층과 상기 광차단층에 대응 되도록 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터가 형성된 기관의 화소 영역에 상기 박막 트랜지스터의 드레인 전극과 연결되는 화소전극, 상기 화소전극 상에 형성되는 유기발광층 및 전극을 형성하는 단계; 및

상기 비발광영역과 대응되는 기관 상에 제1열라인패턴과 제2열라인패턴이 적층된 적어도 하나 이상의 열라인 키를 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 6

제5항에 있어서, 상기 열라인 키를 형성하는 단계는,

상기 박막 트랜지스터가 형성된 기관 상에 제1금속층과 제2 금속층을 순차적으로 형성한 다음, 회절마스크 또는 하프톤 마스크를 포함하는 마스크 공정으로 화소 영역과 대응되는 영역에 제1 및 제2 화소전극패턴들을 형성하

고, 상기 제2 화소전극패턴을 제거하여 화소 전극을 형성하는 단계; 및

상기 얼라인 키 영역에 제1 및 제2 얼라인패턴들이 적층된 얼라인 키를 형성하는 단계를 포함하는 유기전계발광 표시장치 제조방법.

청구항 7

제6항에 있어서, 상기 얼라인 키의 제2 얼라인패턴은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta), 바나듐(Vanadium; V), 은(Ag), 금(Au), 망가니즈(Magnesium; Mn), 지르코늄(Zr), 철(Fe), 코발트(Co) 중 어느 하나의 금속 또는 이들의 합금으로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 8

제6항에 있어서, 상기 얼라인 키의 제1 얼라인패턴은 ITO, IZO 또는 ITZO 중 어느 하나로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 9

제5항에 있어서, 상기 얼라인 키 형성단계는,

상기 박막 트랜지스터의 채널층 형성을 위해 반도체층을 패터닝할 때, 상기 제1 얼라인패턴을 형성하는 단계; 및

상기 제1 얼라인패턴 표면에 플라즈마 처리를 하여 상기 제2 얼라인패턴을 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 10

제5항에 있어서, 상기 화소전극 형성시, 상기 제2 얼라인패턴 상에 제3 얼라인패턴을 더 형성하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 11

제5항에 있어서, 상기 박막 트랜지스터의 소스 전극 및 드레인 전극 형성시, 상기 제2 얼라인패턴 상에 제3 및 제4 얼라인패턴을 더 형성하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 12

제5항에 있어서, 상기 광차단층은 적어도 하나의 층이 절연층을 포함하는 복수의 적층구조를 갖는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 13

기관에 복수의 화소영역을 포함하는 발광영역과 상기 발광영역의 외곽 둘레를 따라 구획된 비 발광 영역;

상기 발광 영역에 배치된 광차단층과 상기 광차단층에 대응 되도록 배치된 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터의 드레인 전극과 연결된 화소전극, 상기 화소전극 상에 배치된 유기발광층 및 전극을 포함하는 유기발광다이오드; 및

상기 비발광영역과 대응되는 기판 상에 복수의 얼라인패턴들이 적층된 적어도 하나 이상의 얼라인 키를 포함하는 유기전계발광표시장치.

청구항 14

제13항에 있어서, 상기 얼라인 키는 제1 내지 제3 얼라인패턴들이 적층된 구조인 것을 특징으로 하는 유기전계발광표시장치.

청구항 15

제14항에 있어서, 상기 제1 얼라인패턴은 상기 박막 트랜지스터의 채널층과 동일한 층에 배치되고, 상기 제2 얼라인패턴은 상기 제1 얼라인패턴의 표면이 플라즈마 표면 처리된 헤이즈 막이며, 상기 제3 얼라인패턴은 상기 화소전극과 동일층에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

제14항에 있어서, 상기 제3 얼라인패턴은 개구부를 통해 상기 제2 얼라인패턴과 접촉되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 17

제13항에 있어서, 상기 얼라인 키는 제1 내지 제4 얼라인패턴들이 적층된 구조인 것을 특징으로 하는 유기전계발광표시장치.

청구항 18

제17항에 있어서, 상기 얼라인 키의 제1 얼라인패턴은 상기 박막 트랜지스터의 채널층과 동일한 층에 배치되고, 상기 제2 얼라인패턴은 상기 제1 얼라인패턴의 표면이 플라즈마 표면 처리된 헤이즈 막이며, 상기 제3 및 제4 얼라인패턴들은 상기 박막 트랜지스터의 소스/드레인 전극과 동일한 구조인 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것으로, 보다 구체적으로는 저반사 전극 및 배선 적용에 따른 얼라인 키(Align Key) 인식 오류를 개선한 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에, 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Display Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

- [0003] 이들 중, 액정표시장치는 음극선관에 비하여 시인성이 우수하고, 평균소비전력 및 발열량이 작으며, 또한, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어, 차세대 평판 표시 장치로 주목받고 있다.
- [0004] 상기 유기전계발광표시장치는 박막 트랜지스터를 포함하는 기관 상에 제 1 전극을 형성하고, 새도우 마스크를 이용하여 발광층을 증착하고 제 2 전극을 형성하여 제조할 수 있다.
- [0005] 유기전계발광표시장치를 양산하는 공정 전에, 유기발광층을 기관 상에 증착할 때, 새도우 마스크와 기관의 얼라인 정도를 측정하여 얼라인을 조정한다. 그리고, 새도우 마스크와 기관의 얼라인이 조정되면, 점등용 패널을 형성하고, 점등 검사를 통해 마스크 교체 및 얼라인 조정 여부를 검사하게 된다. 이후 문제가 발생하지 않으면, 양산 공정을 시작하게 된다.
- [0006] 도 1은 종래 기술에 따른 유기전계발광표시장치의 평면도이고, 도 2a 및 도 2b는 상기 도 1에 배치된 얼라인 키(Align Key)의 구조를 도시한 도면이다.
- [0007] 도 1 내지 도 2b를 참조하면, 종래 유기전계발광표시장치(10)는 기관(30) 상에 발광영역(A) 및 비발광영역(B)을 포함한다. 상기 발광영역(A)은 적색(R), 녹색(G), 청색(B)의 복수의 서브 화소들이 위치하여 화상을 표시하는 영역이고, 비발광영역(B)은 전원 및 신호들이 공급되는 패드 영역이다.
- [0008] 또한, 기관(30)의 비발광영역(B)에는 얼라인 키(20: Align Key)가 배치될 수 있는데, 상기 얼라인 키(20)는 기관(30) 상에 유기발광다이오드의 유기발광층을 증착할 때, 기관(20)을 얼라인하는데 사용된다.
- [0009] 도 2a에 도시된 바와 같이, 저반사 배선을 사용할 경우, 상기 얼라인 키(20)는 버퍼층(31) 및 층간절연막(32)이 적층된 기관(30) 상에 형성된다.
- [0010] 상기 얼라인 키(20)는 박막 트랜지스터의 소스/드레인 전극 형성시, 동시에 형성되는데, 저반사 배선을 사용할 경우, 상기 얼라인 키(20)의 구조도 제1 얼라인 패턴(20a)과 저반사 패턴이 포함된 제2 얼라인 패턴(20b)의 이중 구조를 갖는다.
- [0011] 상기 제1 얼라인패턴(20a)은 소스/드레인 전극을 구성하는 반사율이 높은 금속으로 형성되기 때문에 상기 기관(30) 상부에서 얼라인 키(20)를 바라보면, 도 2a의 (a)에 도시된 바와 같이, 얼라인 키(20)의 제1 얼라인패턴(20a)이 명확하게 인식된다.
- [0012] 하지만, 상기 얼라인 키(20) 하부에 배치된 제2 얼라인패턴(20b)은 저반사 금속막으로 형성되기 때문에 기관(30)의 배면에서 얼라인 키(20)를 바라보면, 얼라인 키(20)의 인식이 어려운 단점이 있다.
- [0013] 도 2b의 (b)에 도시된 바와 같이, 상기 기관(30) 배면에서 얼라인 키(20)를 바라보면, 제2 얼라인 패턴(20b)은 반사율이 낮은 패턴(검은색 패턴)으로 보이기 때문에 얼라인 키(20) 인식이 어렵다.
- [0014] 상기와 같이, 기관에 형성된 얼라인 키의 인식이 어려우면 유기전계발광표시장치의 제조 수율이 저하되는 등 다양한 문제가 발생된다.

발명의 내용

해결하려는 과제

- [0015] 본 발명은, 저반사 배선을 사용하는 유기전계발광표시장치에서 화소 전극 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식율을 높인 유기전계발광표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.
- [0016] 또한, 본 발명은, 유기전계발광표시장치에서 박막 트랜지스터의 채널층 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식 오류를 방지한 유기전계발광표시장치 및 그 제조방법을 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0017] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 유기전계발광표시장치는, 발광영역과 발광영역의 외곽 둘레를 따라 비발광영역이 구획되고, 상기 발광영역은 박막트랜지스터와 유기발광다이오드를 포함하는 복수의 화소 영역들로 구획된 기관을 포함하고, 상기 박막 트랜지스터 영역의 기관 상에 배치된 광차단층과 상기 광

차단층과 대응되도록 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 포함하며, 상기 박막 트랜지스터의 드레인 전극과 연결된 화소전극, 상기 화소전극 상에 배치된 유기발광층 및 전극을 포함하는 유기발광다이오드를 포함하고, 상기 비발광영역과 대응되는 기판 상에 제1얼라인패턴과 제2얼라인패턴이 적층된 적어도 하나 이상의 얼라인 키를 포함함으로써, 얼라인 키의 인식율을 높인 효과가 있다.

[0018] 또한, 본 발명의 다른 실시예에 따른 유기전계발광표시장치 제조방법은, 발광영역과 발광영역의 외곽 둘레를 따라 비발광영역이 구획되고, 상기 발광영역은 박막트랜지스터와 유기발광다이오드를 포함하는 복수의 화소 영역들로 구획된 기판을 제공하는 단계를 포함하고, 상기 박막 트랜지스터 영역과 대응되는 기판 상에 광차단층, 상기 광차단층과 대응되도록 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계를 포함하며, 상기 박막 트랜지스터가 형성된 기판의 화소 영역에 상기 박막 트랜지스터의 드레인 전극과 연결되는 화소전극, 상기 화소전극 상에 형성되는 유기발광층 및 전극을 형성하는 단계를 포함하고, 상기 비발광영역과 대응되는 기판 상에 제1얼라인패턴과 제2얼라인패턴이 적층된 적어도 하나 이상의 얼라인 키를 형성하는 단계를 포함함으로써, 얼라인 키의 인식율을 높인 효과가 있다.

[0019] 또한, 본 발명의 또 다른 실시예에 따른 유기전계발광표시장치는, 발광영역과 발광영역의 외곽 둘레를 따라 비발광영역이 구획되고, 상기 발광영역은 박막트랜지스터와 유기발광다이오드를 포함하는 복수의 화소 영역들로 구획된 기판을 포함하고, 상기 박막 트랜지스터 영역의 기판 상에 배치된 광차단층과 상기 광차단층과 대응되도록 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 포함하며, 상기 박막 트랜지스터의 드레인 전극과 연결된 화소전극, 상기 화소전극 상에 배치된 유기발광층 및 전극을 포함하는 유기발광다이오드를 포함하고, 상기 비발광영역과 대응되는 기판 상에 복수의 얼라인패턴들이 적층된 적어도 하나 이상의 얼라인 키를 포함함으로써, 저반사 배선을 사용하는 유기전계발광표시장치에서 박막 트랜지스터의 채널층 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식 오류를 방지한 효과가 있다.

발명의 효과

[0020] 본 발명의 유기전계발광표시장치 및 그 제조방법은, 저반사 배선을 사용하는 유기전계발광표시장치에서 화소 전극 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식율을 높인 효과가 있다.

[0021] 또한, 본 발명의 유기전계발광표시장치 및 그 제조방법은, 저반사 배선을 사용하는 유기전계발광표시장치에서 박막 트랜지스터의 채널층 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식 오류를 방지한 효과가 있다.

도면의 간단한 설명

[0022] 도 1은 종래 기술에 따른 유기전계발광표시장치의 평면도이다.

도 2a 및 도 2b는 상기 도 1에 배치된 얼라인 키(Align Key)의 구조를 도시한 도면이다.

도 3a 및 도 3b는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 도면이다.

도 4a 내지 도 4e는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 얼라인 키 제조공정을 도시한 도면이다.

도 5는 본 발명의 제1실시예에 따라 유기전계발광표시장치에 배치된 얼라인 키의 인식 모습을 도시한 도면이다.

도 6은 본 발명의 제2실시예에 따른 유기전계발광표시장치를 도시한 도면이다.

도 7a는 상기 도 6의 X 영역을 도시한 단면도이다.

도 7b는 본 발명의 제2실시예에 따라 유기전계발광표시장치에 배치된 얼라인 키의 인식 모습을 도시한 도면이다.

도 8은 본 발명의 제3실시예에 따른 유기전계발광표시장치를 도시한 도면이다.

도 9a는 상기 도 8의 Y 영역을 도시한 단면도이다.

도 9b는 본 발명의 제3실시예에 따라 유기전계발광표시장치에 배치된 얼라인 키의 인식 모습을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0024] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0025] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0026] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0027] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0028] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0029] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0031] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0032] 도 3a 및 도 3b는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 도면이다.
- [0033] 도 3a 및 도 3b를 참조하면, 본 발명의 유기전계발광표시장치는 발광영역과 비발광영역으로 구분되고, 상기 발광영역에는 복수의 서브 화소 영역(이하, 화소 영역이라 한다)이 매트릭스 형태로 정의된다.
- [0034] 상기 화소 영역은 데이터 라인, 게이트 라인 및 전원라인(미도시)에 의해 정의되고, 상기 데이터 라인, 게이트 라인 및 전원라인들이 교차하는 영역에는 스위칭 박막 트랜지스터(SW-TFT) 및 구동 박막 트랜지스터(DR-TFT)들이 배치된다. 또한, 화소 영역에는 유기발광다이오드(OLED)가 구동 박막 트랜지스터(DR-TFT)와 전기적으로 연결된다.
- [0035] 따라서, 여기서는 유기전계발광표시장치의 구동 박막 트랜지스터(DR-TFT) 영역 및 유기발광다이오드(OLED)가 배치된 화소(Pixel) 영역을 중심으로 설명한다.
- [0036] 본 발명의 상기 구동 박막 트랜지스터(DR-TFT)와 구동 박막 트랜지스터(DR-TFT)와 중첩되도록 배치되는 광차단

층의 구조 및 형성 방법은 스위칭 박막 트랜지스터(SW-TFT) 영역에도 동일하게 적용된다.

- [0037] 먼저, 상기 구동 박막 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판(100) 상에 금속막을 형성하고, 마스크 공정을 진행하여 광차단층(110)을 형성한다.
- [0038] 상기 광차단층(110)은 복수의 층으로 구성될 수 있다.
- [0039] 또한, 상기 광차단층(110)은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), MoTi, 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질중 어느 하나의 금속으로 형성할 수 있다.
- [0040] 또한, 상기 광차단층(110)은 적어도 한층이 투명성 도전물질로 된 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 또는 ITZO으로 형성할 수 있다.
- [0041] 또한, 광차단층(110)은 적어도 한층이 실리콘 옥사이드(Silicon Oxide), 나이트라이드(Nitride) 계열의 절연물질로 형성할 수 있다.
- [0042] 또한, 상기 광차단층(110)은 접촉되는 산화물 절연층과의 화학적 반응에 의해 산화막(O_2)이 형성되지 않는 몰리브덴(Mo) 또는 텅스텐(W) 또는 이중 어느 하나를 포함하는 합금으로 형성된 층을 포함할 수 있다.
- [0043] 상기와 같이, 기판(100) 상에 광차단층(110)이 형성되면, 상기 기판(100)의 전면에 버퍼층(112)을 형성한다.
- [0044] 상기 버퍼층(112)은 실리콘 산화물(SiO_x , SiO_2)의 단일층으로 형성하거나, 실리콘 질화물(SiN_x) 및 실리콘 산화물(SiO_x)을 연속적으로 증착하여 형성할 수 있다.
- [0045] 그런 다음, 기판(100)의 전면에 반도체층을 형성하고, 마스크 공정을 진행하여 구동 박막 트랜지스터(DR-TFT) 영역에 채널층(214)을 형성한다.
- [0046] 상기 반도체층은 산화물 반도체층일 수 있다. 예를 들어, 인듐(In), 아연(Zn), 갈륨(Ga) 또는 하프늄(Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 예컨대 스퍼터링(sputtering) 공정으로 Ga-In-Zn-O 산화물 반도체를 형성할 경우, In_2O_3 , Ga_2O_3 및 ZnO 로 형성된 각각의 타겟을 이용하거나, Ga-In-Zn 산화물의 단일 타겟을 이용할 수 있다. 또한, 스퍼터링(sputtering) 공정으로 hf-In-Zn-O 산화물 반도체를 형성할 경우, HfO_2 , In_2O_3 및 ZnO로 형성된 각각의 타겟을 이용하거나, Hf-In-Zn 산화물의 단일 타겟을 이용할 수 있다.
- [0047] 상기와 같이, 기판(100) 상에 채널층(214)이 형성되면, 기판(100)의 전면에 절연막을 형성한 다음, 마스크 공정에 따라 상기 채널층(214) 상에 게이트절연막(113)을 형성한다. 상기 게이트절연막(113)은 실리콘 산화물(SiO_x)의 단일층으로 형성하거나, 실리콘 질화물(SiN_x) 및 실리콘 산화물(SiO_x)을 연속으로 증착하여 형성할 수 있다.
- [0048] 상기와 같이, 기판(100) 상에 게이트절연막(113)이 형성되면, 게이트금속막을 상기 기판(100)의 전면에 형성한 다음, 마스크 공정을 진행하여 상기 게이트절연막(113) 상에 게이트 전극(215)을 형성한다.
- [0049] 상기 게이트금속막은 제1 및 제2 게이트금속막들이 연속하여 적층된막들일 수 있고, 상기 제1 게이트금속막은 크롬(Cr)과 같이 빛의 반사율이 낮은 도전성 물질로 형성될 수 있다.
- [0050] 또한, 상기 제2 게이트금속막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질중 어느 하나의 금속막 또는 이들 물질의 합금을 포함한 이중막 구조 또는 적어도 2개 이상의 금속막이 적층된 구조로 형성될 수 있다.
- [0051] 따라서, 상기 게이트 전극(215)은 제1 및 제2 게이트패턴(215a, 215b)으로 패턴닝되고, 상기 제1 게이트패턴(215a)은 저반사 기능을 하기 때문에 기판(100) 배면을 통하여 반사되는 반사광이 줄어들어 화면 품질을 개선할 수 있다.
- [0052] 도면에서는 게이트 전극(215)을 중심으로 설명하였지만, 게이트 전극(215)과 동일층에 동일한 물질로 형성되는 게이트 라인, 게이트 패드 등도 상기 게이트 전극(215)과 같이 다수의 패턴층들로 이루어진다.
- [0053] 상기와 같이, 기판(100) 상에 게이트 전극(215)이 형성되면, 기판(100)의 전면에 층간절연막(116)을 형성하고, 마스크 공정을 진행하여 상기 채널층(214)의 일부를 노출하는 콘택홀 공정을 진행한다.

- [0054] 그런 다음, 상기 기관(100)의 전면에 소스/드레인 금속막을 형성하고, 마스크 공정을 진행하여 소스전극(117), 드레인 전극(217)을 형성한다.
- [0055] 상기 소스/드레인 금속막은 제1 및 제2 소스/드레인 금속막들이 연속하여 적층된막들일 수 있고, 상기 제1 소스/드레인 금속막은 크롬(Cr)과 같이 빛의 반사율이 낮은 도전성 물질일 수 있다.
- [0056] 상기 제2 소스/드레인 금속막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투명한 도전물질과 불투명 도전물질이 적층된 다층 구조로 형성할 수 있다.
- [0057] 따라서, 상기 소스전극(117)은 제1 및 제2 소스전극패턴(117a, 117b)들이 적층된 구조로 형성되고, 맨 하단에 배치되는 제1 소스전극패턴(117a)은 저반사 기능을 하기 때문에(반사율이 낮기 때문에) 기관(100) 배면을 통하여 반사광이 출사되어 화면 품질을 저하시키는 문제를 개선할 수 있다.
- [0058] 또한, 상기 드레인전극(217)은 제1 및 제2 드레인전극패턴(217a, 217b)들이 적층된 구조로 형성되고, 맨 하단에 배치되어 있는 제1 드레인전극패턴(217a)은 저반사 기능을 하기 때문에 기관(100) 배면을 통하여 반사광이 출사되어 화면 품질을 저하시키는 문제를 개선할 수 있다.
- [0059] 상기 게이트 전극(215), 채널층(214), 게이트 절연막(113), 소스전극(117) 및 드레인 전극(217)들은 구동 박막 트랜지스터(DR-TFT)를 구성한다.
- [0060] 상기와 같이, 기관(100) 상에 구동 박막 트랜지스터가 완성되면, 기관(100)의 전면에 보호막(216)을 형성한다. 상기 보호막(216)이 형성되면, 마스크 공정을 진행하여 상기 드레인 전극(217)의 일부를 노출하는 콘택홀 공정을 진행한다.
- [0061] 또한, 상기 화소 영역(Pixel)의 보호막(216) 상에는 컬러필터 레진을 이용하여 컬러필터층(미도시)을 형성할 수 있다.
- [0062] 하지만, 각 화소 영역당 적색(R), 녹색(G) 및 청색(B) 광을 발생하는 경우에는 별도의 컬러필터층을 형성하지 않는다.
- [0063] 즉, 컬러필터층을 형성하면, 유기발광다이오드의 유기발광층은 백색광을 발생하는 층으로 형성할 수 있다.
- [0064] 상기와 같이, 기관(100) 상에 보호막(216)이 형성되면, 기관(100) 전면에 투명성 도전물질(ITO, ITZO, IZO)로 된 제1층과 반사율이 높은 금속으로 구성된 제2층을 연속으로 형성한다.
- [0065] 상기 제2층은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta), 바나듐(Vanadium; V), 은(Ag), 금(Au), 망가니즈(Magnesium; Mn), 지르코늄(Zr), 철(Fe), 코발트(Co) 등과 같은 저저항 불투명 도전물질 중 어느 하나의 금속막 또는 이들 물질의 합금을 포함한 이중막 구조 또는 적어도 2개 이상의 금속막이 적층된 구조로 형성될 수 있다.
- [0066] 그런 다음, 하프톤 마스크 또는 회절 마스크를 이용한 마스크 공정을 진행하여, 상기 화소 영역에 화소 전극(253)을 형성한다. 상기 화소 전극(253)은 유기발광다이오드의 제1전극 역할을 하며, 하부의 드레인 전극(217)과 전기적으로 연결된다.
- [0067] 또한, 얼라인 키 영역에는 기관(100) 상에 버퍼층(112), 층간절연막(116), 보호막(216)이 적층되어 있고, 상기 보호막(216) 상에 얼라인 키(200)가 형성된다. 상기 얼라인 키(200)는 도 1에서 설명한 바와 같이, 기관(100)의 네 모서리 영역에 배치되거나, 기관의 모서리를 따라 선택적으로 복수개가 배치될 수 있다.
- [0068] 또한, 유기전계발광표시장치의 발광영역 또는 비발광영역에 선택적으로 적어도 하나 이상이 배치될 수 있다.
- [0069] 본 발명에서는 저반사 배선을 사용하는 유기전계발광표시장치에서 얼라인 키(200)의 인식율을 높이기 위해 화소 전극(253) 형성시, 제1얼라인패턴(200a)과 제2 얼라인패턴(200b)이 적층된 얼라인 키(200)를 보호막(216) 상에 형성하였다.
- [0070] 상기와 같이, 기관(100) 상에 화소 전극(253)과 얼라인 키(200)가 형성되면, 기관(100)의 전면에 절연층을 형성한 다음, 마스크 공정을 진행하여 화소 영역을 구획하는 बैं크층(228)을 형성한다.

- [0071] 또한, 하부발광 방식 유기발광표시장치의 경우에는 상기 화소 전극(253)은 유기발광다이오드의 캐소드 전극(Cathode)일 수 있다.
- [0072] 그런 다음, 상기 기판(100) 상에 유기발광층(254) 및 제2 전극(255)을 형성하여, 유기발광다이오드(OLED)를 완성한다.
- [0073] 상기 유기발광층(254)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL)을 포함할 수 있다. 상기 정공수송층에는 전자차단층(EBL)을 더 포함할 수 있고, 상기 전자수송층(ETL)은 PBD, TAZ, Alq3, BA1q, TPBI, Bepp2와 같은 저분자재료를 사용하여 형성할 수 있다.
- [0074] 상기 유기발광층(254)의 발광층은 유기물에 따라 발광하는 색이 달라지므로, 각각의 화소 영역별로 적색(R), 녹색(G), 청색(B) 발광층을 형성하여, 풀컬러(Full color)를 구현하거나, 상기 발광층을 적색(R), 녹색(G), 청색(B) 유기물질들이 적층된 백색 발광층으로 구현할 수 있다.
- [0075] 본 발명의 유기전계발광표시장치 및 그 제조방법은, 저반사 배선을 사용하는 유기전계발광표시장치에서 화소 전극 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식율을 높인 효과가 있다.
- [0076] 또한, 본 발명의 유기전계발광표시장치 및 그 제조방법은, 저반사 배선을 사용하는 유기전계발광표시장치에서 박막 트랜지스터의 채널층 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식 오류를 방지한 효과가 있다.
- [0077] 도 4a 내지 도 4e는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 얼라인 키 제조공정을 도시한 도면이다.
- [0078] 도 3a와 함께 도 4a 내지 도 4e를 참조하면, 기판(100) 상에 박막 트랜지스터가 완성되며, 기판(100) 전면 보호막(216)이 형성되고, 콘택홀 공정에 따라 드레인 전극의 일부가 노출된다.
- [0079] 그런 다음, 기판(100)의 전면 제1 및 제2층(250, 251)을 순차적으로 형성한 다음, 하프톤 마스크 또는 회절 마스크를 이용한 포토리소그래피 공정에 따라 상기 화소 영역에 제1 감광막패턴(400a)을 형성한다. 이때, 얼라인 키 영역의 제2층(251) 상에는 제2 감광막패턴(400b)을 형성한다.
- [0080] 상기 제1 및 제2 감광막패턴들(400a, 400b)은 서로 상이한 두께로 형성된다.
- [0081] 상기와 같이, 기판(100) 상에 제1 및 제2 감광막패턴들(400a, 400b)이 형성되면, 식각 공정을 진행하여 상기 화소 영역에 제1 화소전극패턴(250a)과 제2 화소전극패턴(251a)을 형성한다.
- [0082] 상기 얼라인 키 영역에는 제1 얼라인금속패턴(311)과 제2 얼라인금속패턴(312)을 형성한다.
- [0083] 그런 다음, 에칭 공정(ashing)을 진행하여 상기 제2 화소전극패턴(251a) 상의 제1 감광막패턴(400a)을 제거하고, 상기 제2얼라인금속패턴(312) 상에 제3 감광막패턴(400c)을 형성한다.
- [0084] 이후, 상기 제3 감광막패턴(400c)을 마스크로 식각 공정을 진행하여, 화소 영역의 제2 화소전극패턴(251a)을 제거하여, 상기 보호막(216) 상에 화소 전극(253)을 형성한다.
- [0085] 얼라인 키 영역에서는 상기 제3 감광막패턴(400c)에 의해 상기 제1 얼라인금속패턴(311)과 제2 얼라인금속패턴(312)이 식각되면서, 제1 얼라인패턴(200a)과 제2 얼라인패턴(200b)이 형성된다.
- [0086] 그런 다음, 도 4e에 도시한 바와 같이, 제3 감광막패턴(400c)을 제거하여 상기 화소 영역에 화소 전극(253)을 형성하고, 얼라인 키 영역에 얼라인 키(200)를 형성한다.
- [0087] 따라서, 상기 얼라인 키(200)는 하부에 투명성 도전물질로 형성된 제1 얼라인패턴(200a)과 반사율이 높은 제2 얼라인패턴(200b)이 중첩된 구조로 형성된다.
- [0088] 따라서, 본 발명에서는 기판(100)의 상부 방향에서는 얼라인 키(200)를 볼 때, 반사율이 높은 제2 얼라인패턴(200b)이 인식되고, 기판(100)의 하부 방향에서 얼라인 키(200)를 볼 때, 상기 제2 얼라인패턴(200b)이 투명한 제1 얼라인패턴(200a)을 선명하게 인식할 수 있다.
- [0089] 도 5는 본 발명의 제1실시예에 따라 유기전계발광표시장치에 배치된 얼라인 키의 인식 모습을 도시한 도면이다.
- [0090] 도 3b와 함께 도 5를 참조하면, 본 발명의 제1실시예에 따른 얼라인 키(200)는 보호막(216) 상에 제1 얼라인패

틴(200a)과 제2 얼라인패턴(200b)이 중첩된 구조로 형성된다.

- [0091] 도 5의 (a)는 기판(100)의 상부 방향에서 얼라인 키(200)를 볼때, 얼라인 키(200)의 상부층인 반사율이 높은 제1 얼라인패턴(200b)이 인식되기 때문에 선명한 얼라인 키(200)를 인식할 수 있다.
- [0092] 또한, 도 5의 (b)는 기판(100)의 하부 방향(배면 외측)에서 얼라인 키(200)를 볼 때, 상기 제1 얼라인패턴(200a)은 투명한 도전금속이기 때문에 제2 얼라인패턴(200b)이 반사율 저하 없이 그대로 인식된다.
- [0093] 이와 같이, 본 발명에서는 얼라인 키를 기판의 상부 방향 또는 하부 방향에서 바라볼 때, 모두 선명하게 인식할 수 있어, 유기발광다이오드의 유기발광층을 증착하기 위한 기판의 얼라인 공정시 공정 정밀도를 높일 수 있는 효과가 있다.
- [0094] 도 6은 본 발명의 제2실시예에 따른 유기전계발광표시장치를 도시한 도면이고, 도 7a는 상기 도 6의 X 영역을 도시한 단면도이며, 도 7b는 본 발명의 제2실시예에 따라 유기전계발광표시장치에 배치된 얼라인 키의 인식 모습을 도시한 도면이다.
- [0095] 본 발명의 제2실시예는 본 발명의 제1실시예의 유기전계발광표시장치의 구조에서 얼라인 키의 형성층만 구분되는 것이다. 따라서, 도 3a 및 도 3b와 동일한 도면 부호는 동일한 구성을 지칭하므로 이하, 구별되는 부분을 중심으로 설명한다.
- [0096] 도 6 내지 도 7b를 참조하면, 본 발명의 유기전계발광표시장치의 구동 박막 트랜지스터(DR-TFT)와 화소(Pixel) 영역에는 기판(100) 상에 광차단층(110)과 상기 광차단층(110) 상에 버퍼층(112)이 형성된다.
- [0097] 상기 광차단층(110)과 대응되는 버퍼층(112) 상에는 채널층(214), 게이트 전극(215), 소스 전극(117) 및 드레인 전극(217)으로 구성된 구동 박막 트랜지스터가 배치되어 있다.
- [0098] 상기 구동 박막 트랜지스터의 상기 드레인 전극(217)은 화소 전극(253)과 전기적으로 연결되어 있다.
- [0099] 또한, 도 6과 도 7a를 참조하면, 얼라인 키 영역에는 기판(100)의 버퍼층(112) 상에 얼라인 키(300)가 형성되는데, 구체적인 단면(X 영역)을 보면, 얼라인 키(300)는 제1 내지 제3 얼라인패턴들(300a, 300b, 300c)이 중첩된 구조로 형성된다.
- [0100] 상기 얼라인 키(300)는 구동 박막 트랜지스터(DR-TFT)의 채널층(214) 형성시, 얼라인 키 영역에 제1 얼라인패턴(300a)을 형성한다. 따라서, 상기 제1 얼라인패턴(300a)은 채널층(214)과 동일한 산화물 반도체층으로 형성될 수 있다.
- [0101] 상기 제1 얼라인패턴(300a)이 형성되면, 이후, 보호막(216) 상에 콘택홀을 형성하는 공정에서 상기 얼라인 키 영역에 홀을 형성한 다음, 플라즈마(Plasma) 처리에 의해 상기 제1 얼라인패턴(300a)의 표면 상에 제2 얼라인패턴(300b)을 형성한다. 상기 제2 얼라인패턴(300b)은 플라즈마에 의해 표면처리된 헤이즈(Haze) 처리막일 수 있다. 상기 제2 얼라인패턴(300b)은 고반사율 특성을 갖는다.
- [0102] 따라서, 상기 제1 얼라인패턴(300a)은 투명한 반도체층으로 형성되지만, 플라즈마 처리에 의해 제1 얼라인패턴(300a) 표면 상에 제2 얼라인패턴(300b)이 형성되므로 상기 제1 얼라인패턴(300a)과 제2 얼라인 패턴(300b)은 제2 얼라인 패턴(300b)으로 인식될 수 있다.
- [0103] 즉, 상기 제1 얼라인패턴(300a) 상에 형성된 제2 얼라인패턴(300b)은 헤이즈 처리의 정도에 따라 고반사율을 갖기 때문에 하나의 패턴으로 인식될 수 있다.
- [0104] 상기 제3 얼라인패턴(300c)은 화소전극(253) 형성시, 투명성 도전물질(ITO, ITZO, IZO)을 상기 제2 얼라인패턴(300b)과 접촉될 수 있도록 패터닝한다. 상기 제3 얼라인패턴(300c)은 도 7b에 도시된 바와 같이, 십자형 구조를 갖는 제1 및 제2 얼라인패턴들(300a, 300b)과 달리 사각형 구조로 형성될 수 있다.
- [0105] 따라서, 도 7b에 도시된 바와 같이, (a)는 기판(100)의 상부 방향에서 얼라인 키(300)를 볼때, 상기 얼라인 키(300)의 제3 얼라인패턴(300c)은 투명한 사각형 패턴으로 거의 인식되지 않고, 상기 제3 얼라인패턴(300c)의 중앙에 십자 형태로 헤이즈 처리된 제2 얼라인패턴(300b)이 인식된다.
- [0106] 상기 제2 얼라인패턴(300b)의 하부에는 제1 얼라인패턴(300a)이 배치되어 있지만, 상기 제1 얼라인패턴(300a)은 투명한 산화물 반도체로 형성되기 때문에 실질적으로 제2 얼라인패턴(300b)이 반사되어 인식된다.

- [0107] 또한, 도 7b의 (b)는 기관(100)의 하부 방향(배면 외측)에서 얼라인 키(300)를 볼 때, 상기 제1 얼라인패턴(300a)은 투명한 반도체층이기 때문에 헤이즈 처리된 제2 얼라인패턴(300b)이 반사율 저하 없이 그대로 인식된다.
- [0108] 이와 같이, 본 발명에서는 얼라인 키를 기관의 상부 방향 또는 하부 방향에서 바라볼 때, 선명하게 인식할 수 있어, 유기발광다이오드의 유기발광층을 증착하기 위한 기관의 얼라인 공정시 공정 정밀도를 높일 수 있는 효과가 있다.
- [0109] 본 발명의 유기전계발광표시장치 및 그 제조방법은, 저반사 배선을 사용하는 유기전계발광표시장치에서 박막 트랜지스터의 채널층 형성시 얼라인 키를 패터닝하여, 얼라인 키의 인식 오류를 방지한 효과가 있다.
- [0110] 도 8은 본 발명의 제3실시예에 따른 유기전계발광표시장치를 도시한 도면이고, 도 9a는 상기 도 8의 Y 영역을 도시한 단면도이며, 도 9b는 본 발명의 제3실시예에 따라 유기전계발광표시장치에 배치된 얼라인 키의 인식 모습을 도시한 도면이다.
- [0111] 본 발명의 제3실시예 역시, 제1실시예를 기본으로 얼라인 키를 반도체층과 저반사 금속층을 포함하는 소스/드레인 금속막으로 형성하였다. 따라서, 본 발명의 제1 실시예와 동일한 도면 부호는 동일한 구성부를 지칭하는 것이므로 이하, 구별되는 부분을 중심으로 설명한다.
- [0112] 도 8 내지 도 9b를 참조하면, 본 발명의 유기전계발광표시장치의 구동 박막 트랜지스터(DR-TFT)와 화소(Pixel) 영역에는 기관(100) 상에 광차단층(110)과 상기 광차단층(110) 상부에 채널층(214), 게이트 전극(215), 소스 전극(117), 드레인 전극(217)으로 구성된 구동 박막 트랜지스터가 배치되어 있다.
- [0113] 상기 구동 박막 트랜지스터의 드레인 전극(217)은 화소전극(253)과 전기적으로 연결되어 있다.
- [0114] 또한, 도 8과 도 9a를 참조하면, 얼라인 키 영역에는 기관(100)의 버퍼층(112) 상에 얼라인 키(420)가 형성되는데, 구체적인 단면(Y 영역)을 보면, 얼라인 키(420)는 제1 내지 제4 얼라인패턴들(420a, 420b, 420c, 420d)이 중첩된 구조로 형성된다.
- [0115] 상기 얼라인 키(420)는 구동 박막 트랜지스터(DR-TFT)의 채널층(214) 형성시, 얼라인 키 영역에 제1 얼라인패턴(420a)을 형성한다. 따라서, 상기 제1 얼라인패턴(420a)은 채널층(214)과 동일한 산화물 반도체층으로 형성될 수 있다.
- [0116] 상기 제1 얼라인패턴(420a)이 형성되면, 이후, 중간절연막(116)을 형성하고, 상기 제1 얼라인패턴(420a)을 노출시키는 콘택홀 공정을 진행한다.
- [0117] 상기와 같이, 버퍼층(420a) 상에 형성된 제1 얼라인패턴(420a)이 노출되면, 플라즈마(Plasma) 처리에 의해 상기 제1 얼라인패턴(420a)의 표면 상에 제2 얼라인패턴(420b)을 형성한다. 상기 제2 얼라인패턴(420b)은 플라즈마에 의해 표면처리된 헤이즈(Haze) 처리막일 수 있다.
- [0118] 그런 다음, 소스/드레인 전극(117, 217) 형성시, 저반사 금속층을 포함하는 소스/드레인 금속막으로 제 3 및 제 4 얼라인패턴들(420c, 420d)을 형성한다. 상기 제3 및 제4 얼라인패턴들(420c, 420d)은 본 발명의 제1 실시예에서 설명한 바와 같이, 제1 및 제2 소스/드레인 금속막들이 연속하여 적층된막으로 형성될 수 있다.
- [0119] 따라서, 상기 제1 소스/드레인 금속막은 크롬(Cr)과 같이 빛의 반사율이 낮은 도전성 물질로 형성되기 때문에 상기 제3 얼라인패턴(420c)은 저반사 패턴이다.
- [0120] 또한, 상기 제4 얼라인패턴(420d)은 반사율이 높은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 폴리브덴, 티타늄, 백금, 탄탈 등과 같은 저저항 불투명 도전물질로 된 제2 소스/드레인 금속막일 수 있다.
- [0121] 따라서, 상기 제1 얼라인패턴(420a)은 투명한 반도체층으로 형성되지만, 플라즈마 처리에 의해 제1 얼라인패턴(420a) 표면 상에 형성된 제2 얼라인패턴(420b)은 높은 반사율을 갖는다.
- [0122] 또한, 상기 제3 얼라인패턴(420c)은 저반사 금속으로 반사율이 낮지만, 상기 제3 얼라인패턴(420c) 상에 형성되는 제4 얼라인패턴(420d)은 고반사율을 갖기 때문에 기관(100)의 상부 방향에서 얼라인 키(420)를 바라볼 때, 도 9b의 (a)와 같이 얼라인 키(420)의 제4 얼라인패턴(420d)을 선명하게 인식할 수 있다.
- [0123] 또한, 상기 기관(100) 하부 방향(배면)에서 얼라인 키(420)를 바라볼 때, 상기 제1 얼라인패턴(420a)은 투명한

반도체층이기 때문에 헤이즈 처리된 제2 얼라인패턴(420b)이 반사율 저하 없이 인식된다.

[0124] 즉, 본 발명의 제3실시예에서는 기관(100)의 상부 방향에서는 얼라인 키(420)의 맨 상측에 배치된 제4 얼라인패턴(420d)이 인식되도록 하고, 기관의 하부 방향에서는 저반사 금속막으로 형성된 제3 얼라인패턴(420d)의 하부에 배치된 제2 얼라인패턴(420b)이 인식되도록 하였다.

[0125] 이와 같이, 본 발명에서는 얼라인 키를 기관의 상부 방향 또는 하부 방향에서 바라볼 때, 선명하게 인식할 수 있어, 유기발광다이오드의 유기발광층을 증착하기 위한 기관의 얼라인 공정시 공정 정밀도를 높일 수 있는 효과가 있다.

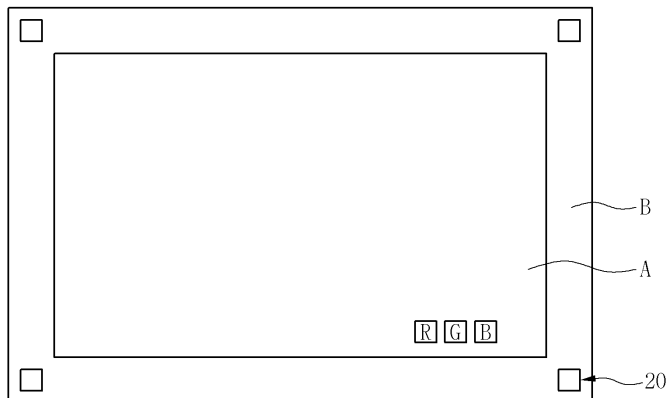
부호의 설명

[0126] 100: 기관 112: 버퍼층
116: 층간절연막 215: 게이트 전극
117: 소스 전극 217: 드레인 전극
216: 보호막 110: 광차단층
253: 화소전극 254: 유기발광층
255: 제2 전극

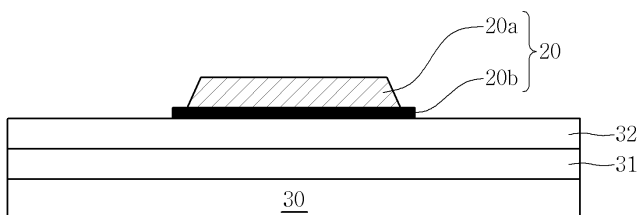
도면

도면1

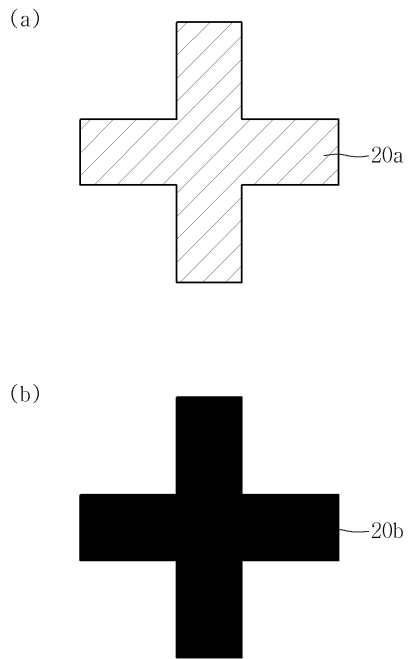
10



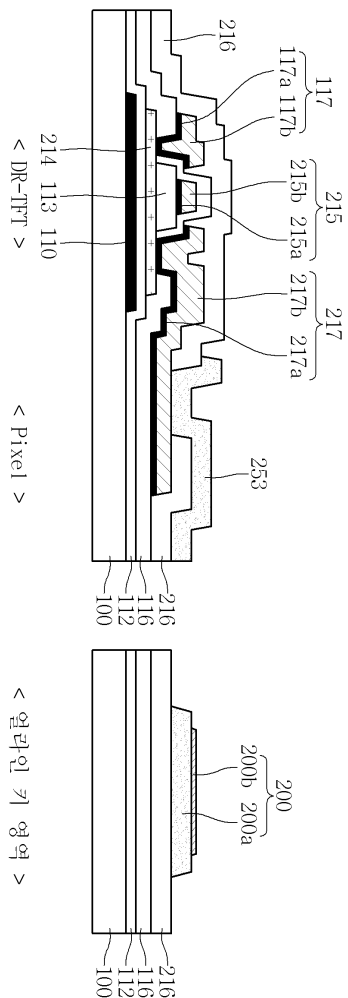
도면2a



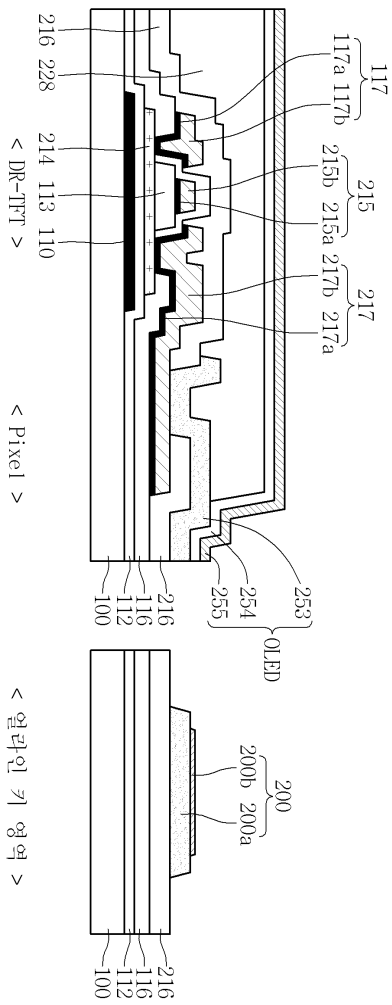
도면2b



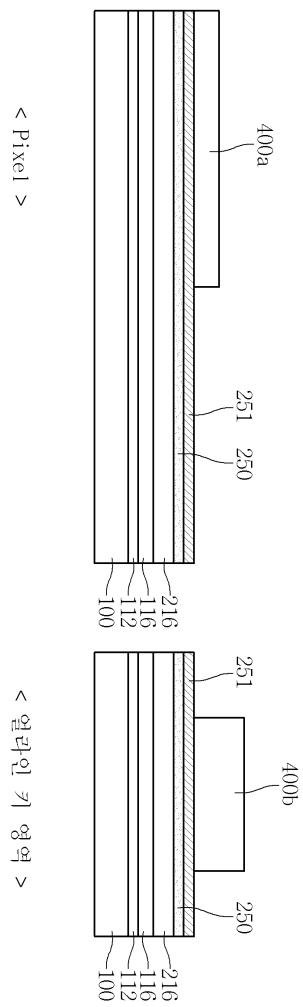
도면3a



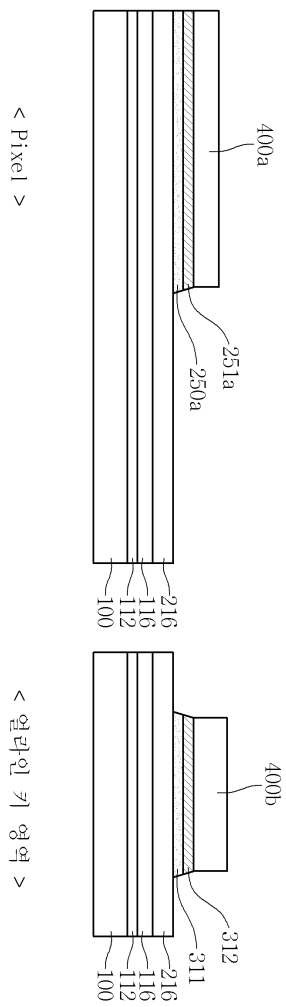
도면3b



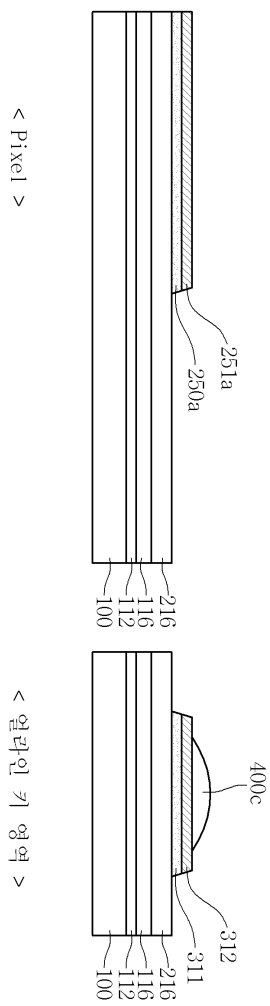
도면4a



도면4b

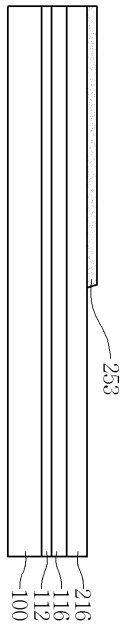


도면4c

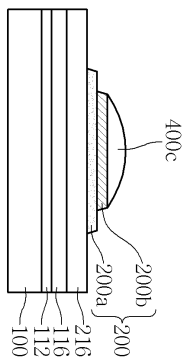


도면4d

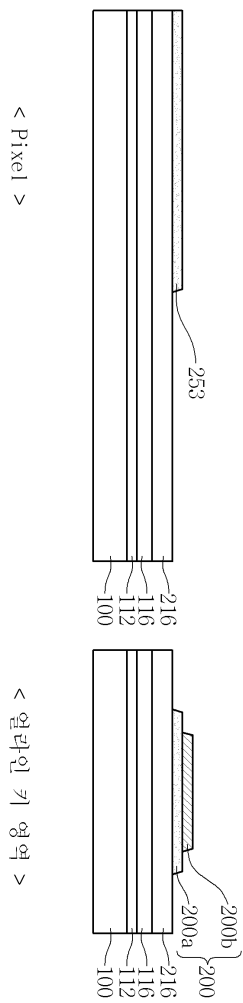
< Pixel >



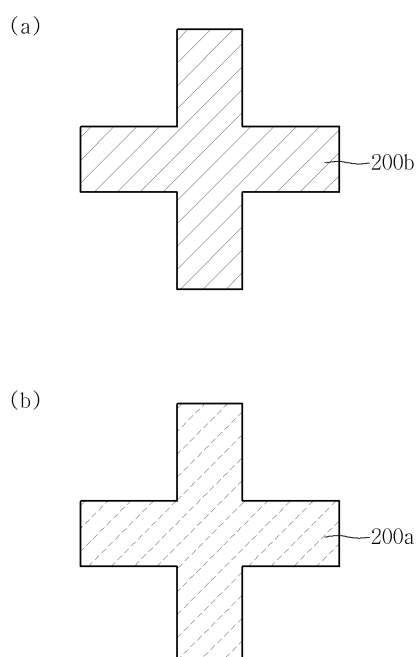
< 엘라인 키 영역 >



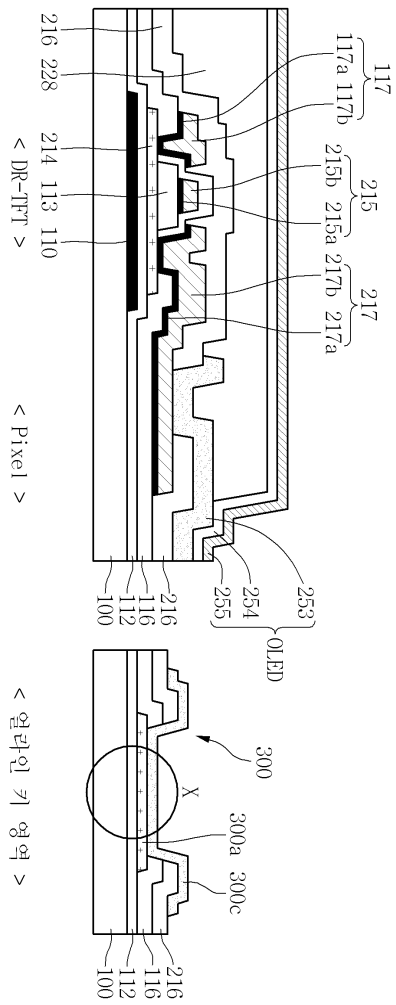
도면4e



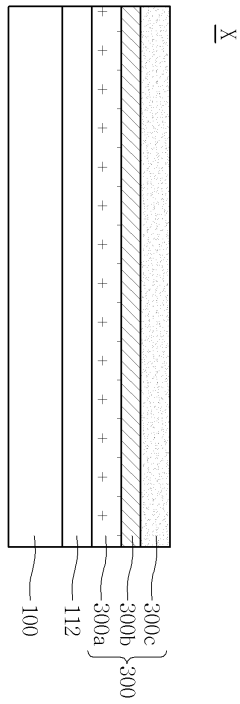
도면5



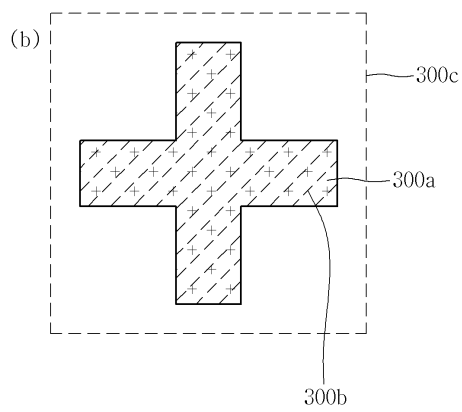
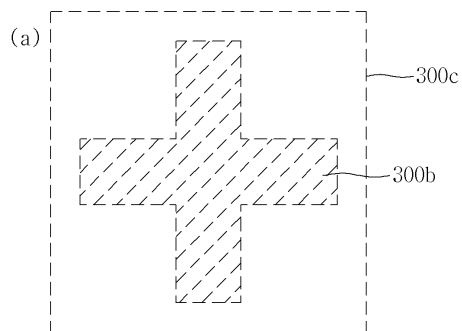
도면6



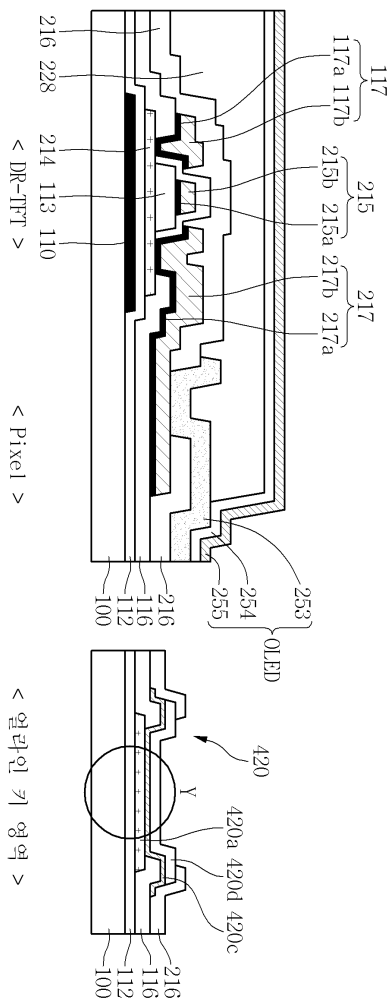
도면7a



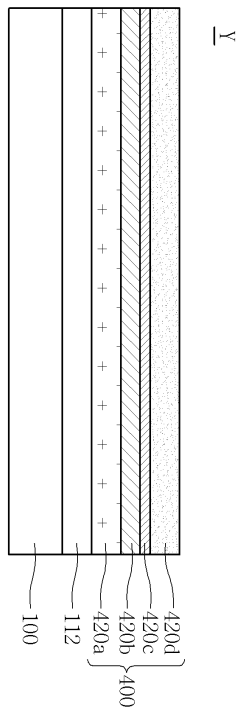
도면7b



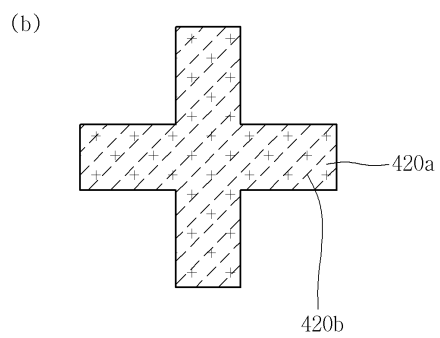
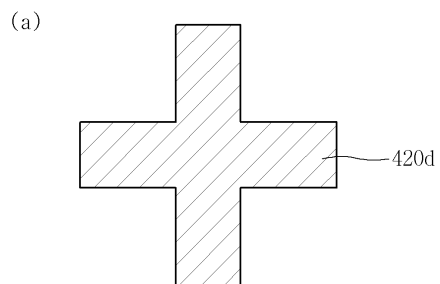
도면8



도면9a



도면9b



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020160057015A	公开(公告)日	2016-05-23
申请号	KR1020140157167	申请日	2014-11-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG HEE JUNG 양희정 HAN GYU WON 한규원 HO WON JOON 호원준 KIM A RA 김아라		
发明人	양희정 한규원 호원준 김아라		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3248 H01L23/544 H01L27/127		
代理人(译)	谁 김기문Ki月亮		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机电致发光显示器及其制造方法。本发明的有机发光显示器包括发光区域是薄膜晶体管，包括沟道层，栅电极和源电极，它对应于遮光层和漏电极，薄膜晶体管和有机发光二极管发光二极管根据发光区域和发光区域的外周分割非发光区域。并且具有如下效果：第一对准图案和第二对准图案是包括连接的像素电极的有机发光二极管和布置在像素电极和电极上的有机发光层的至少一个对准键其中包括层压在其包括的非发光区域相对应的基板上的薄膜晶体管。以这种方式，增强了对准键的识别率。图像的存在（专业参考）

