



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0054139
(43) 공개일자 2016년05월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0153029
(22) 출원일자 2014년11월05일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
양희정
경기 양주시 삼승로58번길 141, 704동 1105호 (삼승동, 양주자이7단지아파트)
호원준
전북 전주시 완산구 거마평로 125, 102동 1206호 (효자동1가, 상산타운)
김병서
충남 예산군 오가면 내량길 165-42
(74) 대리인
김기문

전체 청구항 수 : 총 6 항

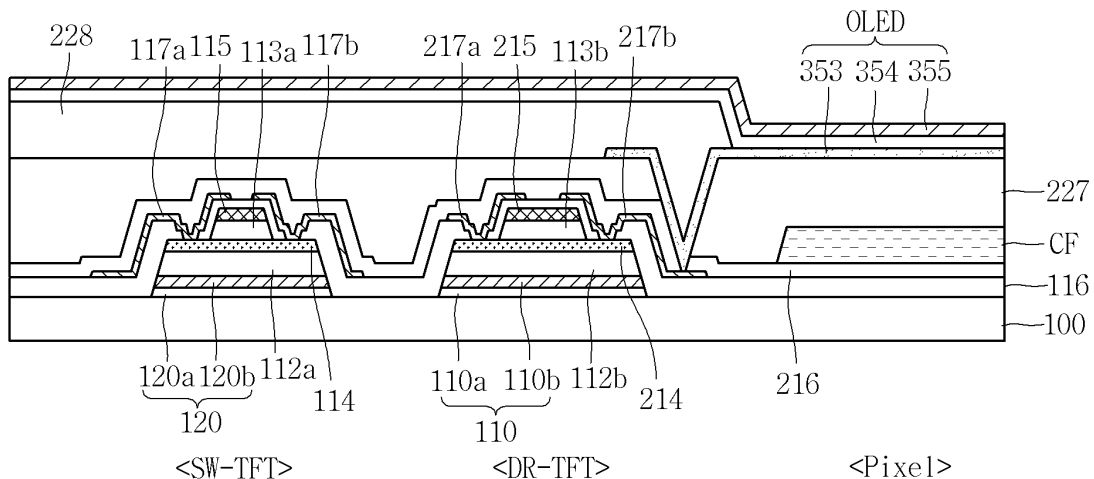
(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그 제조방법을 개시한다. 개시된 본 발명의 유기전계발광표시장치 제조방법은, 스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판을 제공하는 단계; 상기 기판 상에 제1 금속층, 제2 금속층, 버퍼층 및 반도체층을 순차적으로 형성하는 단계; 상기 반

(뒷면에 계속)

대표도 - 도3g



도체층이 형성된 기판 상에 마스크 공정을 이용하여, 상기 스위칭 트랜지스터(SW-TFT) 영역 및 구동 트랜지스터(DR-TFT) 영역에 각각 제1 및 제2 금속패턴들이 적층된 제1 광차단층, 제3 및 제4 금속패턴들이 적층된 제2 광차단층, 제1 채널층 및 제2 채널층을 형성하는 단계; 상기 제1 채널층과 제2 채널층에 각각 게이트 전극, 소스 및 드레인 전극을 형성하여 스위칭 트랜지스터 및 구동 트랜지스터를 완성하는 단계; 상기 스위칭 트랜지스터와 구동 트랜지스터가 형성된 기판 상에 보호막을 형성하고, 상기 화소 영역과 대응되는 보호막 상에 컬러필터층을 형성하는 단계; 및 상기 컬러필터층이 형성된 기판 상에 제1 전극, 유기발광층 및 제2 전극으로 구성된 유기발광다이오드를 형성하는 단계를 포함한다.

명세서

청구범위

청구항 1

스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판을 제공하는 단계;

상기 기판 상에 제1 금속층, 제2 금속층, 버퍼층 및 반도체층을 순차적으로 형성하는 단계;

상기 반도체층이 형성된 기판 상에 마스크 공정을 이용하여, 상기 스위칭 트랜지스터(SW-TFT) 영역 및 구동 트랜지스터(DR-TFT) 영역에 각각 제1 및 제2 금속패턴들이 적층된 제1 광차단층, 제3 및 제4 금속패턴들이 적층된 제2 광차단층, 제1 채널층 및 제2 채널층을 형성하는 단계;

상기 제1 채널층과 제2 채널층에 각각 게이트 전극, 소스 및 드레인 전극을 형성하여 스위칭 트랜지스터 및 구동 트랜지스터를 완성하는 단계;

상기 스위칭 트랜지스터와 구동 트랜지스터가 형성된 기판 상에 보호막을 형성하고, 상기 화소 영역과 대응되는 보호막 상에 컬러필터층을 형성하는 단계; 및

상기 컬러필터층이 형성된 기판 상에 제1 전극, 유기발광층 및 제2 전극으로 구성된 유기발광다이오드를 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 2

제1항에 있어서, 상기 제1 광차단층의 제1 금속패턴과 상기 제2 광차단층의 제3 금속패턴은 ITO, IZO 또는 ITZO 중 어느 하나로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 3

제1항에 있어서, 상기 제1 광차단층의 제2 금속패턴과 상기 제2 광차단층의 제4 금속패턴은 몰리브덴(Mo), 텅스텐(W) 또는 이들의 합금으로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 4

제1항에 있어서, 상기 제1 및 제2 광차단층들을 형성하는 마스크 공정에서는 하프톤 마스크 또는 회절 마스크를 사용하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 5

스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판;

상기 스위칭 트랜지스터 영역과 구동 트랜지스터 영역에 각각 배치된 제1 및 제2 금속패턴들이 적층된 제1 광차단층과 제3 및 제4 금속패턴들이 적층된 제2 광차단층;

상기 제1 광차단층 상에 배치된 스위칭 트랜지스터;

상기 제2 광차단층 상에 배치된 구동 트랜지스터;

상기 기판의 화소 영역에 배치된 컬러필터층; 및

상기 컬러필터층과 대응되도록 배치되고, 제1 전극, 유기발광층 및 제2 전극으로 구성된 유기발광다이오드를 포

합하는 유기전계발광표시장치.

청구항 6

제5항에 있어서, 상기 제1 광차단층 상에는 제1버퍼패턴과 스위칭 트랜지스터의 제1 채널층이 적층되고, 상기 제2 광차단층 상에는 제2버퍼패턴과 구동 트랜지스터의 제2 채널층이 적층된 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것으로, 보다 구체적으로는 박막 트랜지스터에 배치되는 광차단층이 잔막 없이 패터닝될 수 있도록 한 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시소자인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박형 평판표시소자(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다.

[0003] 이러한 평판표시소자 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시소자(Liquid Crystal Display Device; LCD)가 가장 주목받는 디스플레이 소자였지만, 상기 액정표시소자는 발광소자가 아니라 수광소자이며 밝기, 명암비(contrast ratio) 및 시야각 등에 단점이 있기 때문에 이러한 단점을 극복할 수 있는 새로운 디스플레이 소자에 대한 개발이 활발하게 전개되고 있다.

[0004] 새로운 디스플레이 소자 중 하나인 유기전계발광표시장치는 자체발광형이기 때문에 상기 액정표시소자에 비해 시야각과 명암비 등이 우수하며 백라이트(backlight)가 필요하지 않기 때문에 경량 박형이 가능하고, 소비 전력 측면에서도 유리하다. 그리고 직류 저전압 구동이 가능하고 응답속도가 빠르다는 장점이 있으며, 특히 제조비용 측면에서도 유리한 장점이 있다.

[0005] 이하, 상기 유기전계발광표시장치의 각 화소 영역에 형성되는 유기발광다이오드의 기본적인 구조 및 동작 특성에 대해서 도면을 참조하여 설명한다.

[0006] 도 1은 일반적으로 유기전계발광표시장치에 형성되는 유기발광다이오드의 발광원리를 설명하는 다이어그램이다.

[0007] 일반적인 유기전계발광표시장치는 상기 도 1과 같이, 유기발광다이오드를 구비한다. 상기 유기발광다이오드는 화소 전극인 양극(anode)(18)과 공통전극인 음극(cathode)(28) 사이에 형성된 유기 화합물층(30a, 30b, 30c, 30d, 30e)을 구비한다.

[0008] 이때, 상기 유기 화합물층(30a, 30b, 30c, 30d, 30e)은 정공주입층(hole injection layer)(30a), 정공수송층(hole transport layer)(30b), 발광층(emission layer)(30c), 전자수송층(electron transport layer)(30d) 및 전자주입층(electron injection layer)(30e)을 포함한다.

[0009] 상기 양극(18)과 음극(28)에 구동전압이 인가되면 상기 정공수송층(30b)을 통과한 정공과 상기 전자수송층(30d)을 통과한 전자가 발광층(30c)으로 이동되어 여기자를 형성하고, 그 결과 발광층(30c)이 가시광선을 발산하게 된다.

[0010] 유기전계발광표시장치는 전술한 구조의 유기발광다이오드를 가지는 화소를 매트릭스 형태로 배열하고 그 화소들을 데이터전압과 스캔전압으로 선택적으로 제어함으로써 화상을 표시한다.

[0011] 도 2는 일반적인 유기전계발광표시장치의 화소 영역에 대한 등가회로도이다.

[0012] 도 2를 참조하면, 능동 매트릭스 방식의 유기전계발광표시장치에 있어, 일반적인 2T1C(2개의 트랜지스터와 1개의 커패시터를 포함)의 화소에 대한 등가 회로도를 예를 들어 나타내고 있다.

- [0013] 능동 매트릭스 방식의 유기전계발광표시장치의 화소는 유기발광다이오드(OLED), 서로 교차하는 데이터라인(DL)과 게이트라인(GL), 스위칭 TFT(SW), 구동 TFT(DR) 및 스토리지 커패시터(Cst)를 구비한다.
- [0014] 이때, 상기 스위칭 TFT(SW)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 턴-온됨으로써 자신의 소오스전극과 드레인전극 사이의 전류패스를 도통시킨다. 상기 스위칭 TFT(SW)의 온-타임기간 동안 데이터라인(DL)으로부터의 데이터전압은 스위칭 TFT(SW)의 소오스전극과 드레인전극을 경유하여 구동 TFT(DR)의 게이트전극과 스토리지 커패시터(Cst)에 인가된다.
- [0015] 이때, 상기 구동 TFT(DR)는 자신의 게이트전극에 인가되는 데이터전압에 따라 상기 유기발광다이오드(OLED)에 흐르는 전류를 제어한다. 그리고 스토리지 커패시터(Cst)는 데이터전압과 저전위 전원전압(VSS) 사이의 전압을 저장한 후, 한 프레임기간동안 일정하게 유지시킨다.
- [0016] 상기 스위칭 TFT(SW), 구동 TFT(DR)에는 하부에 광차단층이 배치되는데, 상기 광차단층은 외부로부터 입사되는 광을 흡수하여 광차단층 상부에 배치되어 있는 TFT의 채널층에 영향을 주는 것을 방지하기 위함이다.
- [0017] 하지만, 상기 광차단층은 티타늄(Ti) 계열의 금속으로 형성되기 때문에 상부에 형성되는 버퍼층의 산소(O₂) 성분과 결합하여 상기 광차단층과 버퍼층 사이에 TiO₂ 막을 형성하는 문제가 있다.
- [0018] 이러한 TiO₂ 막은 빛을 받으면 화학 반응이 촉진되는 성질을 갖고 있기 때문에 유기전계발광표시장치의 소자들의 성능에 영향을 미칠수 있는 문제가 있다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은, 유기전계발광표시장치의 박막 트랜지스터 영역에 배치되는 광차단층을 이중 금속층으로 형성하여, 박막 트랜지스터의 채널층과 광차단층이 동시에 패터닝될 때, 잔막 불량이 발생하는 것을 방지한 유기전계발광표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.
- [0020] 또한, 본 발명은, 박막 트랜지스터 영역에 배치되는 광차단층이 식각 공정 중 결정화되어 식각 특성이 저하되는 것을 방지한 유기전계발광표시장치 및 그 제조방법을 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0021] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 유기전계발광표시장치 제조방법은, 스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판을 제공하는 단계를 포함하고, 상기 기판 상에 제1 금속층, 제2 금속층, 버퍼층 및 반도체층을 순차적으로 형성하는 단계를 포함하며, 상기 반도체층이 형성된 기판 상에 마스크 공정을 이용하여, 상기 스위칭 트랜지스터(SW-TFT) 영역 및 구동 트랜지스터(DR-TFT) 영역에 각각 제1 및 제2 금속패턴들이 적층된 제1 광차단층, 제3 및 제4 금속패턴들이 적층된 제2 광차단층, 제1 채널층 및 제2 채널층을 형성하는 단계를 포함하고, 상기 제1 채널층과 제2 채널층에 각각 게이트 전극, 소스 및 드레인 전극을 형성하여 스위칭 트랜지스터 및 구동 트랜지스터를 완성하는 단계를 포함하며, 상기 스위칭 트랜지스터와 구동 트랜지스터가 형성된 기판 상에 보호막을 형성하고, 상기 화소 영역과 대응되는 보호막 상에 컬러필터층을 형성하는 단계를 포함하고, 상기 컬러필터층이 형성된 기판 상에 제1 전극, 유기발광층 및 제2 전극으로 구성된 유기발광다이오드를 형성하는 단계를 포함함으로써, 박막 트랜지스터의 채널층과 광차단층이 동시에 패터닝될 때, 잔막 불량을 방지할 수 있다.
- [0022] 또한, 본 발명의 유기전계발광표시장치는, 스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판을 포함하고, 상기 스위칭 트랜지스터 영역과 구동 트랜지스터 영역에 각각 배치된 제1 및 제2 금속패턴들이 적층된 제1 광차단층과 제3 및 제4 금속패턴들이 적층된 제2 광차단층을 포함하며, 상기 제1 광차단층 상에 배치된 스위칭 트랜지스터와 상기 제2 광차단층 상에 배치된 구동 트랜지스터를 포함하고, 상기 기판의 화소 영역에 배치된 컬러필터층을 포함하며, 상기 컬러필터층과 대응되도록 배치되고, 제1 전극, 유기발광층 및 제2 전극으로 구성된 유기발광다이오드를 포함함으로써, 박막 트랜지스터의 채널층과 광차단층이 동시에 패터닝될 때, 잔막 불량을 방지할 수 있다.

발명의 효과

- [0023] 본 발명에 따른 유기전계발광표시장치 및 그 제조방법은, 유기전계발광표시장치의 박막 트랜지스터 영역에 배치되는 광차단층을 이중 금속층으로 형성하여, 박막 트랜지스터의 채널층과 광차단층이 동시에 패터닝될 때, 잔막 불량이 발생하는 것을 방지한 효과가 있다.
- [0024] 또한, 본 발명에 따른 유기전계발광표시장치 및 그 제조방법은, 박막 트랜지스터 영역에 배치되는 광차단층이 식각 공정 중 결정화되어 식각 특성이 저하되는 것을 방지한 효과가 있다.

도면의 간단한 설명

- [0025] 도 1은 일반적으로 유기전계발광표시장치에 형성되는 유기발광다이오드의 발광원리를 설명하는 다이어그램이다.
- 도 2는 일반적인 유기전계발광표시장치의 화소 영역에 대한 등가회로도이다.
- 도 3a 내지 도 3g는 본 발명의 유기전계발광표시장치의 제조 공정을 도시한 도면이다.
- 도 4 및 도 5는 본 발명의 광차단층 영역에서 콘택홀 또는 식각 공정을 진행하는 모습을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0027] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0028] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0029] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0030] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0031] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0032] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0033] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0034] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [0035] 도 3a 내지 도 3g는 본 발명의 유기전계발광표시장치의 제조 공정을 도시한 도면이다.
- [0036] 도 3a 내지 도 3g를 참조하면, 본 발명의 유기전계발광표시장치는 표시영역과 비표시영역으로 구분되고, 상기 표시영역에는 복수의 화소 영역이 매트릭스 형태로 정의된다.
- [0037] 상기 화소 영역은 데이터 라인, 게이트 라인 및 전원라인(미도시)에 의해 정의되고, 상기 데이터 라인, 게이트 라인 및 전원라인들이 교차하는 영역에는 스위칭 트랜지스터(SW-TFT) 및 구동 트랜지스터(DR-TFT)들이 배치된다. 또한, 화소 영역에는 유기발광다이오드(OLED)가 구동 트랜지스터(DR-TFT)와 전기적으로 연결된다.
- [0038] 따라서, 여기서는 유기전계발광표시장치의 화소 영역에서 스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 유기발광다이오드(OLED)가 배치된 화소 영역(Pixel)을 중심으로 설명한다.
- [0039] 먼저, 상기 스위칭 트랜지스터(SW-TFT) 영역, 구동 트랜지스터(DR-TFT) 영역 및 화소 영역(Pixel)이 구획된 기판(100) 상에 제1 금속층(101) 및 제2 금속층(102)을 순차적으로 적층한다.
- [0040] 상기 제1 금속층(101)은 투명성 도전물질로 된 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 또는 ITZO일 수 있다.
- [0041] 또한, 상기 제2 금속층(102)은 몰리브덴(Mo), 텅스텐(W) 또는 이 중 어느 하나를 포함하는 합금으로 형성될 수 있다. 특히, 상기 제2 금속층(102)은 접촉하는 산화물 절연막과 반응하지 않는 물질이 바람직하다.
- [0042] 그런 다음, 상기 제2 금속층(102) 상에 버퍼층(104)과 반도체층(105)을 연속으로 형성한다.
- [0043] 상기 버퍼층(104)은 실리콘 산화물(SiO_x , SiO_2)의 단일층으로 형성하거나, 실리콘 질화물(SiN_x) 및 실리콘 산화물(SiO_x)을 연속으로 증착하여 형성할 수 있다.
- [0044] 상기 반도체층(105)은 산화물 반도체층일 수 있다. 예를 들어, 인듐(In), 아연(Zn), 갈륨(Ga) 또는 hafnium(Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 예컨대 스퍼터링(sputtering) 공정으로 Ga-In-Zn-O 산화물 반도체를 형성할 경우, In_2O_3 , Ga_2O_3 및 ZnO 로 형성된 각각의 타겟을 이용하거나, Ga-In-Zn 산화물의 단일 타겟을 이용할 수 있다. 또한, 스퍼터링(sputtering) 공정으로 hf-In-Zn-O 산화물 반도체를 형성할 경우, HfO_2 , In_2O_3 및 ZnO로 형성된 각각의 타겟을 이용하거나, Hf-In-Zn 산화물의 단일 타겟을 이용할 수 있다.
- [0045] 상기와 같이, 기판(100) 상에 반도체층(105)이 형성되면, 도 3c에 도시한 바와 같이, 상기 반도체층(105), 버퍼층(104), 제2 금속층(102) 및 제1 금속층(101)을 일괄적으로 식각하여 스위칭 트랜지스터 영역(SW-TFT)과 구동 트랜지스터 영역(DR-TFT)에 각각 제1광차단층(120), 제1버퍼패턴(112a) 및 제1 채널층(114)과, 제2광차단층(110), 제2버퍼패턴(112b) 및 제2 채널층(214)을 동시에 형성한다.
- [0046] 이때, 상기 스위칭 트랜지스터(SW-TFT)와 구동 트랜지스터(DR-TFT)가 바텀 게이트 구조일 때, 하프톤 마스크 또는 회절 마스크를 이용할 수 있다.
- [0047] 하지만, 경우에 따라서는 상기 제1 광차단층(120)과 제2 광차단층(110)을 하나의 마스크로 형성한 후, 상기 제1 광차단층(120)과 제2 광차단층(110) 상에 제1 및 제 2 채널층들(114, 214)을 형성할 수 있다.
- [0048] 따라서, 본 발명의 스위칭 트랜지스터(SW-TFT)에 배치되는 제1 광차단층(120)은 제1 금속패턴(120a)과 제2 금속패턴(120b)으로 구성되고, 구동 트랜지스터(DR-TFT)에 배치되는 상기 제2 광차단층(110)은 제3 금속패턴(110a)과 제4 금속패턴(110b)으로 구성된다.
- [0049] 위에서 언급한 바와 같이, 상기 제1 금속패턴(120a)과 제3 금속패턴(110a)은 투명성 도전물질인 ITO, IZO 또는 ITZO로 형성되고, 상기 제2 금속패턴(120b)과 제4 금속패턴(110b)은 상부의 버퍼패턴과 접촉시 산화막이 형성되지 않는 몰리브덴(Mo), 텅스텐(W) 또는 이들 중 어느 하나를 포함하는 합금으로 형성한다.
- [0050] 따라서, 본 발명에서는 트랜지스터 영역(SW-TFT, DR-TFT)에서 버퍼패턴과 광차단층 사이에 산화막이 형성되지 않아, 박막 트랜지스터의 소자 특성이 저하되는 것을 방지할 수 있다.
- [0051] 또한, 본 발명의 트랜지스터 영역(SW-TFT, DR-TFT)에 배치된 광차단층은 하부층은 ITO, IZO 또는 ITZO 중 어느 하나로 형성되고, 상부층은 몰리브덴(Mo) 또는 텅스텐(W)으로 형성되기 때문에 상부층이 식각 선택비가 좋지 않

더라도 하부층에 의해 선택적 식각이 가능한 효과가 있다.

- [0052] 특히, 상기 광차단층의 하부층을 IZO와 같은 물질을 사용할 경우, IZO는 고온에서 결정화가 되지 않기 때문에 식각 진행시 잔막 불량이 발생되지 않는 이점이 있다.
- [0053] 상기와 같이, 스위칭 트랜지스터 영역(SW-TFT)과 구동 트랜지스터 영역(DR-TFT)에 제1 채널층(114)과 제2 채널층(214)이 형성되면, 도 3d에 도시한 바와 같이, 기판(100) 전면에 게이트 절연막과 게이트 금속막을 순차적으로 형성한 다음, 마스크 공정에 따라 상기 제1 채널층(114) 상부에 제1 게이트 전극(115)을 형성하고, 상기 제2 채널층(214) 상부에 제2 게이트 전극(215)을 형성한다.
- [0054] 상기 게이트 절연막은 실리콘 산화물(SiO_x)의 단일층으로 형성하거나, 실리콘 질화물(SiN_x) 및 실리콘 산화물(SiO_x)을 연속으로 증착하여 형성할 수 있다.
- [0055] 상기 제1 게이트 전극(115)과 제1 채널층(114) 사이에는 제1 게이트 절연막 패턴(113a)이 형성되고, 상기 제2 게이트 전극(215)과 제2 채널층(214) 사이에는 제2 게이트 절연막 패턴(113b)이 형성된다.
- [0056] 상기 게이트 금속막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질 중 어느 하나의 금속막 또는 이들 물질의 합금을 포함한 이중막 구조 또는 적어도 2개 이상의 금속막이 적층된 구조로 형성될 수 있다.
- [0057] 상기와 같이, 기판(100) 상에 제1 및 제2 게이트 전극(115, 215)이 형성되면, 도 3e에 도시한 바와 같이, 기판(100) 전면에 층간절연막(116)을 형성하고, 마스크 공정을 진행하여 상기 제1 채널층(114)과 제2 채널층(214)의 일부를 노출시키는 콘택홀을 형성한다.
- [0058] 그런 다음, 상기 기판(100)의 전면에 소스/드레인 금속막을 형성하고, 마스크 공정을 진행하여 제1 소스전극(117a), 제2 소스전극(217a), 제2 드레인 전극(117b) 및 제2 드레인전극(217b)들을 형성하여 스위칭 트랜지스터(SW-TFT) 및 구동 트랜지스터(DR-TFT)를 완성한다.
- [0059] 상기 소스/드레인 금속막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투명한 도전물질과 불투명 도전물질이 적층된 다층 구조로 형성할 수 있다.
- [0060] 상기 제1 게이트 전극(115), 제1 채널층(114), 제1 게이트 절연막패턴(113a), 제1 소스전극(117a) 및 제1 드레인전극(117b)들은 스위칭 트랜지스터(SW-TFT)를 구성하고, 상기 제2 게이트 전극(215), 제2 채널층(214), 제2 게이트 절연막패턴(113b), 상기 제2 소스전극(217a) 및 제2 드레인 전극(217b)들은 구동 트랜지스터(DR-TFT)를 구성한다.
- [0061] 상기와 같이, 기판(100) 상에 스위칭 트랜지스터와 구동 트랜지스터가 완성되면, 도 3f 및 도 3g에 도시한 바와 같이, 기판(100)의 전면에 보호막(216)을 형성한다. 또한, 상기 화소 영역(Pixel)의 보호막(216) 상에는 컬러필터 레진을 이용하여 컬러필터층(CF)을 형성한다.
- [0062] 그런 다음, 상기 기판(100) 전면에 오버코트층(227)을 형성하고, 마스크 공정을 진행하여 상기 제2 드레인 전극(217b)과 대응되는 층간절연막(116) 및 오버코트층(227)을 식각하여 상기 제2 드레인 전극(217b)의 일부를 노출시키는 콘택홀을 형성한다.
- [0063] 그런 다음, 기판(100) 전면에 투명성 도전물질을 형성한 다음, 마스크 공정에 따라 상기 컬러필터층(CF)과 대응되는 오버코트층(227) 상에 제1전극(353)을 형성한다. 상기 제1 전극(353)은 콘택홀에 의해 노출된 제2 드레인 전극(217b)과 전기적으로 연결된다.
- [0064] 또한, 하부발광 방식 유기발광표시장치의 경우에는 상기 제1 전극(353)은 유기발광다이오드의 캐소드 전극(Cathode)일 수 있다.
- [0065] 상기와 같이, 제 1 전극(353)이 화소 영역에 형성되면, 절연층을 기판(100) 전면에 형성하고, 마스크 공정에 따라 각각의 화소 영역이 노출된 뱅크층(228)을 형성한다.
- [0066] 상기와 같이, 뱅크층(228)이 기판(100) 상에 형성되면, 상기 기판(100) 전면에 유기발광층(354)과 제2 전극

(355)을 형성하여, 유기발광다이오드(OLED)를 완성한다.

- [0067] 상기 유기발광층(354)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL)을 포함할 수 있다. 상기 정공수송층에는 전자차단층(EBL)을 더 포함할 수 있고, 상기 전자수송층(ETL)은 PBD, TAZ, Alq3, BA1q, TPBI, Bepp2와 같은 저분자재료를 사용하여 형성할 수 있다.
- [0068] 상기 유기발광층(354)의 발광층은 유기물에 따라 발광하는 색이 달라지므로, 각각의 화소 영역별로 적색(R), 녹색(G), 청색(B) 발광층을 형성하여, 풀컬러(Full color)를 구현하거나, 상기 발광층을 적색(R), 녹색(G), 청색(B) 유기물질들이 적층된 백색 발광층으로 구현할 수 있다.
- [0069] 본 발명에서는 기관(100)의 화소 영역에 컬러필터들이 형성되기 때문에 발광층(EML)은 백색광을 발생하는 것이 바람직하다.
- [0070] 이와 같이, 본 발명에 따른 유기전계발광표시장치 및 그 제조방법은, 유기전계발광표시장치의 박막 트랜지스터 영역에 배치되는 광차단층을 이중 금속층으로 형성하여, 박막 트랜지스터의 채널층과 광차단층이 동시에 패터닝 될 때, 잔막 불량이 발생하는 것을 방지한 효과가 있다.
- [0071] 또한, 본 발명에 따른 유기전계발광표시장치 및 그 제조방법은, 박막 트랜지스터 영역에 배치되는 광차단층이 식각 공정 중 결정화되어 식각 특성이 저하되는 것을 방지한 효과가 있다.
- [0072] 도 4 및 도 5는 본 발명의 광차단층 영역에서 콘택홀 또는 식각 공정을 진행하는 모습을 도시한 도면이다.
- [0073] 도 3c와 함께 도 4를 참조하면, 본 발명의 유기전계발광표시장치의 구동 트랜지스터(DR-TFT) 영역에서는 제2 채널층(214), 제2 버퍼패턴(112b) 및 제2 광차단층(110)을 제1 감광막패턴(400)을 이용하여 일괄적으로 식각하였다.
- [0074] 상기 제1 감광막패턴(400)은 하프톤 마스크 또는 회절 마스크를 이용하여 형성할 수 있다.
- [0075] 본 발명의 제2 광차단층(110)은 제3금속패턴(110a)과 제4금속패턴(110b)의 이중층 구조로 형성되기 때문에 제4 금속패턴(110b)과 제2 버퍼패턴(112b)의 식각 선택비가 우수하지 않더라도 제3금속패턴(110a)에 의해 제2 광차단층(110)은 선택적 식각이 가능하다.
- [0076] 예를 들어, 상기 제2 광차단층(110)을 구동 트랜지스터(DR-TFT)의 듀얼(Dual) 게이트 전극으로 사용할 경우 또는 제2 광차단층(110)을 그라운드 또는 전원단자와 연결하는 경우, 상기 제2 광차단층(110)의 측면이 완만한 테이퍼를 유지하면서 식각되기 때문에 전기적 접촉 특성이 우수해진다.
- [0077] 또한, 상기 제2 광차단층(110)을 다른 배선과 연결하기 위해 콘택홀을 형성하는 경우, 제2 광차단층(110)의 제4 금속패턴(110b)은 식각되고, 제3 금속패턴(110a)은 남길 수 있다.
- [0078] 즉, 종래와 같이, 광차단층으로 티타늄(Ti)을 사용하면 버퍼패턴과 화학적 반응을 일으켜 광차단층 표면에 산화막(Oxide layer)이 형성되어 트랜지스터 성능을 저하시킨다.
- [0079] 하지만, 본 발명에서는 버퍼패턴과 화학 반응을 일으키지 않는 몰리브덴(Mo) 또는 텅스텐(W)으로 제4 금속패턴(110b)을 형성하고, 상기 제4 금속패턴(110b)의 낮은 식각 선택비를 보완하기 위해 상기 제4 금속패턴(110b) 하부에 투명성 도전물질로된 제3 금속패턴(110a)을 배치하였다.
- [0080] 따라서, 본 발명의 스위칭 트랜지스터(SW-TFT)와 구동 트랜지스터(DR-TFT) 영역에 배치되는 광차단층은 버퍼패턴과 화학 반응에 의해 산화막을 형성하지 않으면서 식각시 선택적 식각이 가능한 효과가 있다.
- [0081] 도 5는 본 발명의 다른 실시예로써, 유기전계발광표시장치의 스위칭 트랜지스터(SW-TFT)와 구동 트랜지스터(DR-TFT) 영역에 배치되는 광차단층(310)을 이중 금속패턴 구조로 형성한다.
- [0082] 상기 광차단층(310)의 제1광차단층패턴(310a)은 고온에서 결정화가 되지 않는 투명성 도전물질(IZO)을 사용하고, 상기 제2광차단층패턴(310b)은 버퍼패턴(315)과의 사이에서 산화막이 형성되지 않는 몰리브덴(Mo) 또는 텅스텐(W)을 사용한 경우이다.
- [0083] 따라서, 기관(G) 상에 형성된 트랜지스터의 채널층(314), 버퍼패턴(315) 및 광차단층(310)을 일괄적으로 식각할 경우, 식각 영역에서 상기 광차단층(310)의 제1 광차단패턴(310a)이 잔막 없이 식각되는 것을 볼 수 있다.

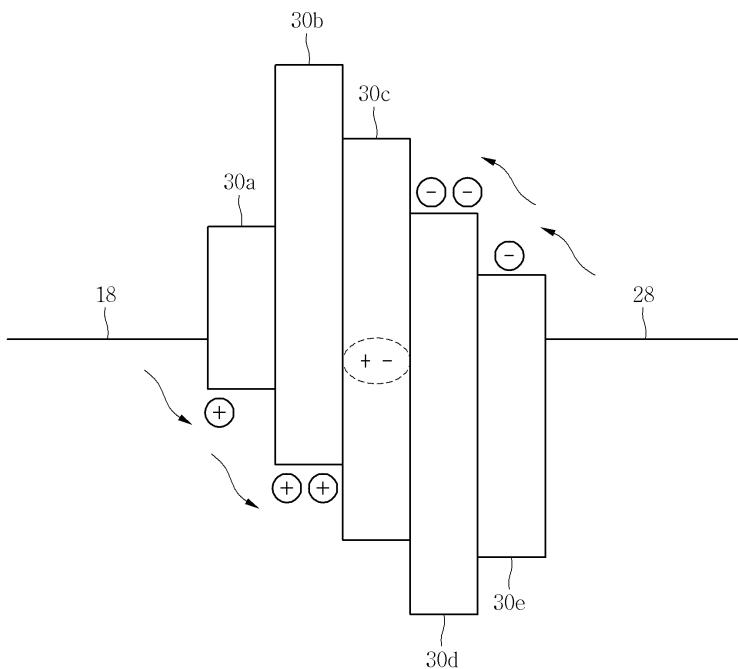
- [0084] 즉, 본 발명에서는 스위칭 트랜지스터(SW-TFT)와 구동 트랜지스터(DR-TFT) 영역에 이중층 구조를 갖는 광차단층을 배치하되, 기판과 접촉하는 하부의 광차단패턴을 고온에서 결정화되지 않는 물질을 사용하여 식각시 잔막 불량을 개선하였다.
- [0085] 본 발명에 따른 유기전계발광표시장치 및 그 제조방법은, 유기전계발광표시장치의 박막 트랜지스터 영역에 배치되는 광차단층을 이중 금속층으로 형성하여, 박막 트랜지스터의 채널층과 광차단층이 동시에 패터닝될 때, 잔막 불량이 발생하는 것을 방지한 효과가 있다.
- [0086] 또한, 본 발명에 따른 유기전계발광표시장치 및 그 제조방법은, 박막 트랜지스터 영역에 배치되는 광차단층이 식각 공정 중 결정화되어 식각 특성이 저하되는 것을 방지한 효과가 있다.

부호의 설명

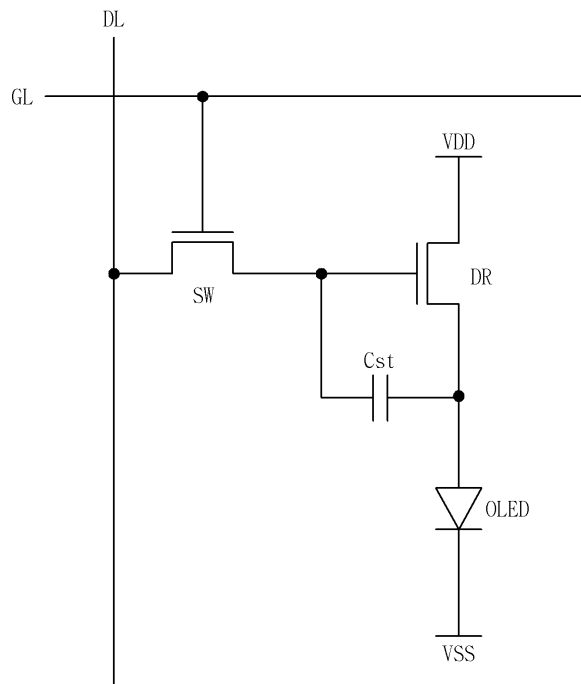
- [0087] 100: 기판 115: 제1 게이트 전극
215: 제2 게이트 전극 114: 제1 채널층
214: 제2 채널층 120: 제1 광차단층
110: 제2 광차단층 353: 제1 전극
354: 유기발광층 355: 제2 전극

도면

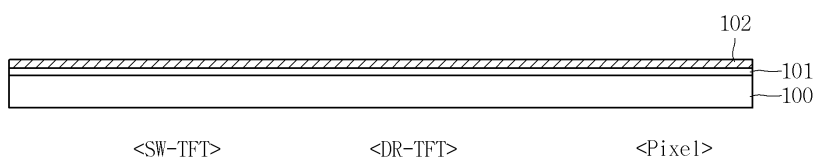
도면1



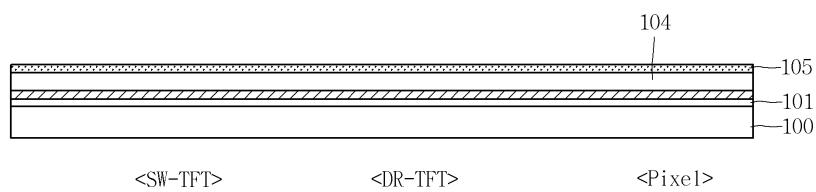
도면2



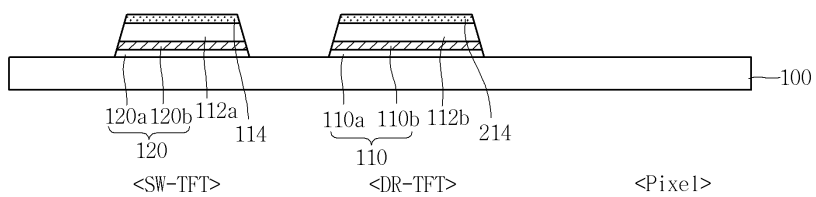
도면3a



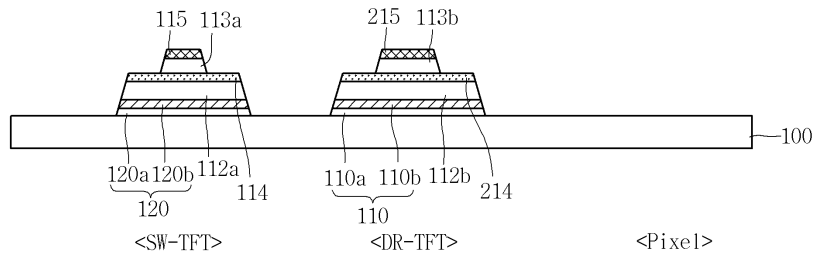
도면3b



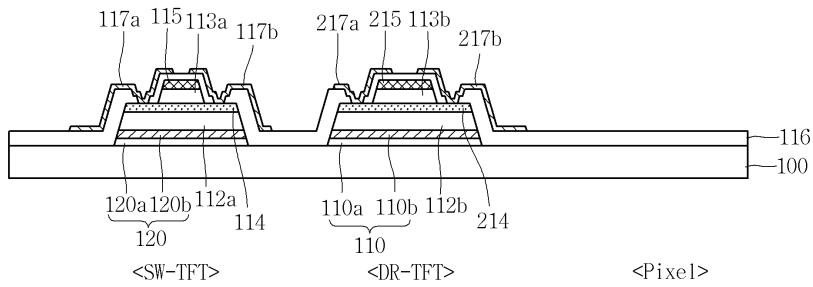
도면3c



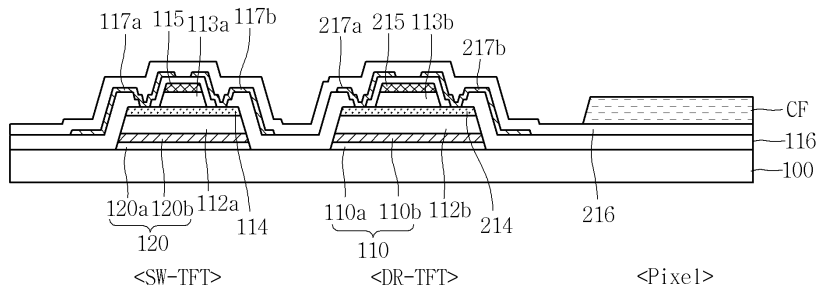
도면3d



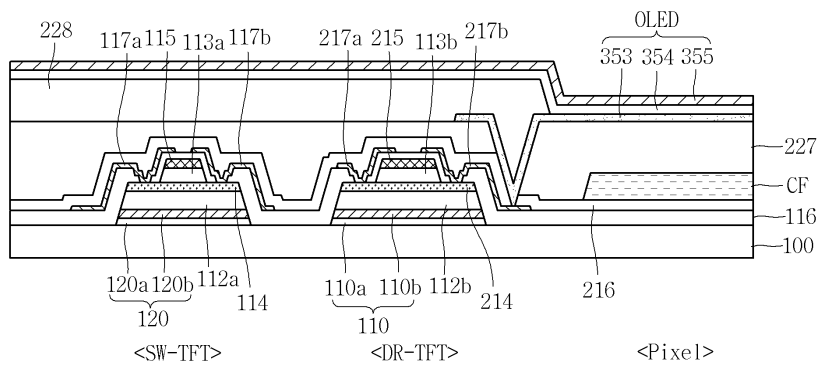
도면3e



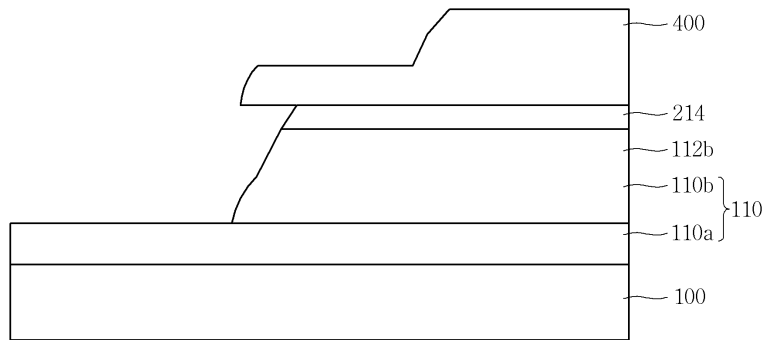
도면3f



도면3g

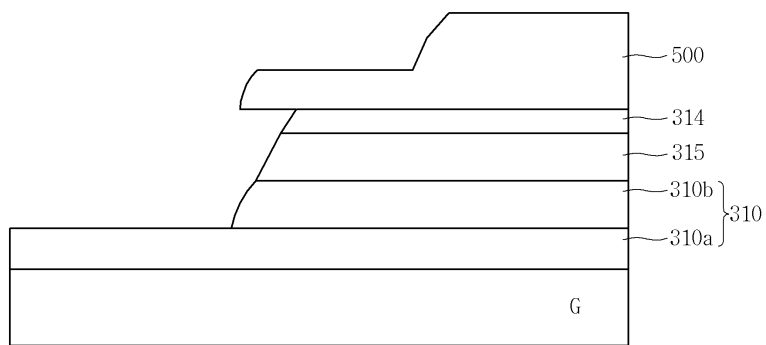


도면4



<홀 영역>

도면5



<식각영역>

专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020160054139A	公开(公告)日	2016-05-16
申请号	KR1020140153029	申请日	2014-11-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG HEE JUNG 양희정 HO WON JOON 호원준 KIM BYEONG SEO 김병서		
发明人	양희정 호원준 김병서		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3272 H01L29/78633		
代理人(译)	谁김기문Ki月亮		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机电致发光显示装置及其制造方法。本发明的有机发光显示装置的制造方法，公开，包括：提供一个开关晶体管（SW-TFT）的区域，驱动晶体管（DR-TFT）区和衬底隔室（像素）的像素区域；在基板上依次形成第一金属层，第二金属层，缓冲层和半导体层；使用掩蔽过程具有半导体层，开关晶体管（SW-TFT）区和一个驱动晶体管（DR-TFT）在基片上，每个第一和第二第一遮光金属图案的在一个区域层叠的单个层，所述形成第二光阻挡层，第一沟道层和第二沟道层，第三和第四金属图案层叠在第二沟道层上；分别在第一沟道层和第二沟道层上形成栅电极，源电极和漏电极，以完成开关晶体管和驱动晶体管；在其上形成有开关晶体管和驱动晶体管的基板上形成保护膜，并在对应于像素区域的保护膜上形成滤色器层；并且在其上形成有滤色器层的基板上形成包括第一电极，有机发光层和第二电极的有机发光二极管。

