



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0032755
(43) 공개일자 2016년03월25일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2014-0122727

(22) 출원일자 2014년09월16일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

이재식

경기도 용인시 기흥구 삼성2로 95 (농서동)

김미혜

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

강신섭, 문용호, 이용우

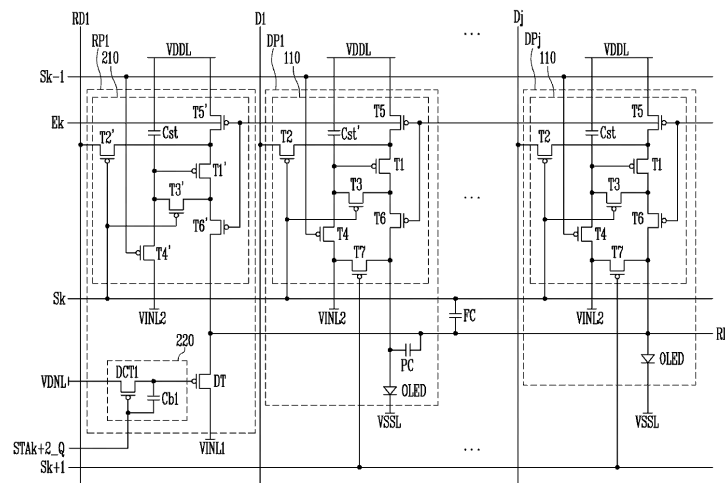
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기전계발광 표시장치

(57) 요약

본 발명은 유기전계발광 표시장치에 관한 것이다. 본 발명의 실시 예에 따른 유기전계발광 표시장치는 데이터선들 및 보조 데이터선; 상기 데이터선들 및 상기 보조 데이터선과 교차하는 주사선들 및 발광 제어선들; 상기 데이터선들, 상기 주사선들 및 상기 발광 제어선들이 교차하는 위치에 형성되는 표시 화소들; 상기 보조 데이터선, 상기 주사선들 및 상기 발광 제어선들이 교차하는 위치에 형성되는 보조 화소들; 및 상기 보조 화소들에 접속되는 보조선을 포함하고, 상기 보조 화소는, 상기 보조선과 제1 전원전압이 공급되는 제1 전원전압선에 접속되는 방전 트랜지스터; 및 상기 방전 트랜지스터의 턴-온을 제어하는 방전 트랜지스터 제어부를 포함하는 것을 특징으로 한다.

대표도



명세서

청구범위

청구항 1

데이터선들 및 보조 데이터선;

상기 데이터선들 및 상기 보조 데이터선과 교차하는 주사선들 및 발광 제어선들;

상기 데이터선들, 상기 주사선들 및 상기 발광 제어선들이 교차하는 위치에 형성되는 표시 화소들;

상기 보조 데이터선, 상기 주사선들 및 상기 발광 제어선들이 교차하는 위치에 형성되는 보조 화소들; 및

상기 보조 화소들에 접속되는 보조선을 포함하고,

상기 보조 화소는,

상기 보조선과 제1 전원전압이 공급되는 제1 전원전압선에 접속되는 방전 트랜지스터; 및

상기 방전 트랜지스터의 턴-온을 제어하는 방전 트랜지스터 제어부를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 방전 트랜지스터 제어부는,

적어도 하나의 능동소자를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 방전 트랜지스터 제어부는,

상기 방전 트랜지스터의 제어 전극과 게이트 온 전압이 공급되는 게이트 온 전압선에 접속되는 제1 방전제어 트랜지스터; 및

상기 방전 트랜지스터의 제어 전극과 상기 제1 방전제어 트랜지스터의 제어 전극에 접속되는 제1 부스팅 커패시터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 방전제어 트랜지스터의 제어 전극은 상기 주사선들 중 어느 하나에 주사신호를 출력하는 주사 스테이지의 풀-업 제어 노드에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제 2 항에 있어서,

상기 방전 트랜지스터 제어부는,

상기 방전 트랜지스터의 제어 전극과 제어신호가 공급되는 제어 신호선에 접속되는 제1 방전제어 트랜지스터;

상기 제1 방전 제어 트랜지스터의 제어 전극과 게이트 온 전압이 공급되는 게이트 온 전압선에 접속되는 제2 방전제어 트랜지스터; 및

상기 방전 트랜지스터의 제어 전극과 상기 제1 방전제어 트랜지스터의 제어 전극에 접속되는 제1 부스팅 커패시터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 방전제어 트랜지스터의 제어 전극은 상기 주사선들 중 어느 하나에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 보조선은,

상기 보조 화소들 중 어느 하나와 상기 표시 화소들 중 어느 하나를 접속하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 표시 화소는,

유기발광다이오드; 및

다수의 트랜지스터를 포함하여 상기 유기발광다이오드에 구동 전류를 공급하는 표시 화소 구동회로를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 표시 화소 구동회로는,

제어 전극의 전압에 따라 상기 구동 전류를 제어하는 제1 트랜지스터;

상기 데이터선들 중 어느 하나와 상기 제1 트랜지스터의 제1 전극에 접속되는 제2 트랜지스터;

상기 제1 트랜지스터의 제어 전극과 제2 전극에 접속되는 제3 트랜지스터;

상기 제1 트랜지스터의 제어 전극과 제3 전원전압이 공급되는 제3 전원전압선에 접속되는 제4 트랜지스터;

상기 제1 트랜지스터의 제1 전극과 상기 제2 전원전압선 사이에 접속되는 제5 트랜지스터;

상기 제1 트랜지스터의 제2 전극과 상기 유기발광다이오드의 애노드 전극 사이에 접속되는 제6 트랜지스터;

상기 유기발광다이오드의 애노드 전극과 상기 제3 전원전압선에 접속되는 제7 트랜지스터; 및

상기 제1 트랜지스터의 제어 전극과 상기 제2 전원전압선에 접속되는 스토리지 커패시터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 주사선들과 나란하게 형성되는 발광 제어선들을 더 포함하는 유기전계발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 제2 및 제3 트랜지스터들의 제어 전극들은 상기 주사선들 중 어느 하나에 접속되고, 상기 제4 트랜지스터의 제어 전극은 상기 주사선들 중 또 다른 하나에 접속되며, 상기 제7 트랜지스터의 제어 전극은 상기 주사선들 중 또 다른 하나에 접속되고, 상기 제5 및 제6 트랜지스터들의 제어 전극들은 상기 발광 제어선들 중 어느 하나에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 1 항에 있어서,

상기 보조 화소는,

다수의 트랜지스터를 포함하여 상기 보조선을 통해 상기 표시 화소의 유기발광다이오드에 구동 전류를 공급하는 보조 화소 구동회로를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 보조 화소 구동회로는,

제어 전극의 전압에 따라 상기 구동 전류를 제어하는 제1 트랜지스터;

상기 데이터선들 중 어느 하나와 상기 제1 트랜지스터의 제1 전극에 접속되는 제2 트랜지스터;

상기 제1 트랜지스터의 제어 전극과 제2 전극에 접속되는 제3 트랜지스터;

상기 제1 트랜지스터의 제어 전극과 제3 전원전압이 공급되는 제3 전원전압선에 접속되는 제4 트랜지스터;

상기 제1 트랜지스터의 제1 전극과 상기 제2 전원전압선 사이에 접속되는 제5 트랜지스터;

상기 제1 트랜지스터의 제2 전극과 상기 유기발광다이오드의 애노드 전극 사이에 접속되는 제6 트랜지스터; 및

상기 제1 트랜지스터의 제어 전극과 상기 제2 전원전압선에 접속되는 스토리지 커패시터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 주사선들과 나란하게 형성되는 발광 제어선들을 더 포함하는 유기전계발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 제2 및 제3 트랜지스터들의 제어 전극들은 상기 주사선들 중 어느 하나에 접속되고, 상기 제4 트랜지스터의 제어 전극은 상기 주사선들 중 또 다른 하나에 접속되며, 상기 제5 및 제6 트랜지스터들의 제어 전극들은 상기 발광 제어선들 중 어느 하나에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제 1 항에 있어서,

상기 보조 데이터선은 상기 데이터선들보다 바깥쪽에 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 17

제 1 항에 있어서,

상기 주사선들에 주사신호들을 공급하는 주사 구동부;

상기 데이터선들에 데이터 전압들을 공급하는 제1 데이터 구동부; 및

상기 보조 데이터선에 보조 데이터 전압들을 공급하는 제2 데이터 구동부를 더 포함하는 유기전계발광 표시장치.

청구항 18

제 17 항에 있어서,

상기 제2 데이터 구동부는,

상기 표시 화소들 중 리페어된 화소의 좌표값에 해당하는 디지털 비디오 데이터를 보조 데이터로 산출하는 보조 데이터 산출부;

상기 보조 데이터 또는 초기화 데이터를 저장하는 메모리; 및

상기 보조 데이터 또는 초기화 데이터를 보조 데이터 전압으로 변환하여 출력하는 보조 데이터 전압 변환부를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(liquid crystal display), 플라즈마표시장치(plasma display panel), 유기전계발광 표시장치(organic light emitting display device)와 같은 여러가지 평판표시장치가 활용되고 있다.

[0003] 평판표시장치 중에서 유기전계발광 표시장치는 데이터선들, 주사선들, 및 데이터선들과 주사선들의 교차 영역에 매트릭스(matrix) 형태로 배치된 다수의 화소들을 포함하는 표시패널, 데이터선들에 데이터 전압들을 공급하는 데이터 구동부, 및 주사선들에 주사 신호들을 공급하는 주사 구동부를 구비한다. 또한, 표시패널은 다수의 전원전압을 공급하는 전원 공급부를 더 구비한다. 화소들 각각은 다수의 트랜지스터를 이용하여 주사신호가 공급될 때 데이터선을 통해 공급되는 데이터 전압에 따라 다수의 전원전압 중 제1 전원전압으로부터 유기발광다이오드(organic light emitting diode)로 흐르는 전류를 제어함으로써 소정의 밝기로 발광한다.

[0004] 한편, 유기전계발광 표시장치의 제조 공정 중에 화소들의 트랜지스터들에 불량 발생할 수 있으며, 이로 인해 유기전계발광 표시장치의 수율이 저하되는 문제가 있다. 이를 개선하기 위해, 유기전계발광 표시장치에 보조 화소들을 형성하고, 불량 화소를 보조 화소들 중에 어느 하나와 연결하여 불량 화소를 리페어하는 리페어 방법(등록특허 제10-0666639호 참조)이 제안되었다.

[0005] 상기 리페어 방법은 불량 화소의 트랜지스터들과 유기발광다이오드 사이의 접촉을 끊고, 보조선을 이용하여 보조 화소의 트랜지스터들과 불량 화소의 유기발광다이오드의 애노드 전극을 접속한다. 그 결과, 보조 화소의 트랜지스터들을 구동하여 불량 화소의 유기발광다이오드를 발광시킬 수 있다.

[0006] 하지만, 보조선과 리페어된 화소 이외의 화소들의 유기발광다이오드들의 애노드 전극들 사이에 기생용량(parasitic capacitance)들이 형성될 수 있고, 또한 보조선과 인접 주사선 사이에 프린지 용량(fringe capacitance)이 형성될 수 있다. 이 경우, 상기 기생용량들과 상기 프린지 용량으로 인하여 보조선의 전압이 변동될 수 있으므로, 리페어된 화소의 유기발광다이오드가 오발광하는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시 예는 리페어된 화소의 유기발광다이오드가 오발광하는 것을 방지할 수 있는 유기전계발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시 예에 따른 유기전계발광 표시장치는 데이터선들 및 보조 데이터선; 상기 데이터선들 및 상기 보조 데이터선과 교차하는 주사선들 및 발광 제어선들; 상기 데이터선들, 상기 주사선들 및 상기 발광 제어선들이

교차하는 위치에 형성되는 표시 화소들; 상기 보조 데이터선, 상기 주사선들 및 상기 발광 제어선들이 교차하는 위치에 형성되는 보조 화소들; 및 상기 보조 화소들에 접속되는 보조선을 포함하고, 상기 보조 화소는, 상기 보조선과 제1 전원전압이 공급되는 제1 전원전압선에 접속되는 방전 트랜지스터; 및 상기 방전 트랜지스터의 턴-온을 제어하는 방전 트랜지스터 제어부를 포함하는 것을 특징으로 한다.

[0009] 상기 방전 트랜지스터 제어부는, 적어도 하나의 능동소자를 포함하는 것을 특징으로 한다.

[0010] 상기 방전 트랜지스터 제어부는, 상기 방전 트랜지스터의 제어 전극과 게이트 온 전압이 공급되는 게이트 온 전압선에 접속되는 제1 방전제어 트랜지스터; 및 상기 방전 트랜지스터의 제어 전극과 상기 제1 방전제어 트랜지스터의 제어 전극에 접속되는 제1 부스팅 커패시터를 포함하는 것을 특징으로 한다.

[0011] 상기 제1 방전제어 트랜지스터의 제어 전극은 상기 주사선들 중 어느 하나에 주사신호를 출력하는 스테이지의 풀-업 제어 노드에 접속되는 것을 특징으로 한다.

[0012] 상기 방전 트랜지스터 제어부는, 상기 방전 트랜지스터의 제어 전극과 제어신호가 공급되는 제어 신호선에 접속되는 제1 방전제어 트랜지스터; 상기 제1 방전 제어 트랜지스터의 제어 전극과 게이트 온 전압이 공급되는 게이트 온 전압선에 접속되는 제2 방전제어 트랜지스터; 및 상기 방전 트랜지스터의 제어 전극과 상기 제1 방전제어 트랜지스터의 제어 전극에 접속되는 제1 부스팅 커패시터를 포함하는 것을 특징으로 한다.

[0013] 상기 제1 방전제어 트랜지스터의 제어 전극은 상기 주사선들 중 어느 하나에 접속되는 것을 특징으로 한다.

[0014] 상기 표시 화소는, 유기발광다이오드; 및 다수의 트랜지스터를 포함하여 상기 유기발광다이오드에 구동 전류를 공급하는 표시 화소 구동회로를 포함하는 것을 특징으로 한다.

[0015] 상기 표시 화소 구동회로는, 제어 전극의 전압에 따라 상기 구동 전류를 제어하는 제1 트랜지스터; 상기 데이터선들 중 어느 하나와 상기 제1 트랜지스터의 제1 전극에 접속되는 제2 트랜지스터; 상기 제1 트랜지스터의 제어 전극과 제2 전극에 접속되는 제3 트랜지스터; 상기 제1 트랜지스터의 제어 전극과 제3 전원전압이 공급되는 제3 전원전압선에 접속되는 제4 트랜지스터; 상기 제1 트랜지스터의 제1 전극과 상기 제2 전원전압선 사이에 접속되는 제5 트랜지스터; 상기 제1 트랜지스터의 제2 전극과 상기 유기발광다이오드의 애노드 전극 사이에 접속되는 제6 트랜지스터; 상기 유기발광다이오드의 애노드 전극과 상기 제3 전원전압선에 접속되는 제7 트랜지스터; 및 상기 제1 트랜지스터의 제어 전극과 상기 제2 전원전압선에 접속되는 스토리지 커패시터를 포함하는 것을 특징으로 한다.

[0016] 상기 주사선들과 나란하게 형성되는 발광 제어선들을 더 포함한다.

[0017] 상기 제2 및 제3 트랜지스터들의 제어 전극들은 상기 주사선들 중 어느 하나에 접속되고, 상기 제4 트랜지스터의 제어 전극은 상기 주사선들 중 또 다른 하나에 접속되며, 상기 제7 트랜지스터의 제어 전극은 상기 주사선들 중 또 다른 하나에 접속되고, 상기 제5 및 제6 트랜지스터들의 제어 전극들은 상기 발광 제어선들 중 어느 하나에 접속되는 것을 특징으로 한다.

[0018] 상기 보조 화소는, 다수의 트랜지스터를 포함하여 상기 보조선을 통해 상기 표시 화소의 유기발광다이오드에 구동 전류를 공급하는 보조 화소 구동회로를 더 포함하는 것을 특징으로 한다.

[0019] 상기 보조 화소 구동회로는, 제어 전극의 전압에 따라 상기 구동 전류를 제어하는 제1 트랜지스터; 상기 데이터선들 중 어느 하나와 상기 제1 트랜지스터의 제1 전극에 접속되는 제2 트랜지스터; 상기 제1 트랜지스터의 제어 전극과 제2 전극에 접속되는 제3 트랜지스터; 상기 제1 트랜지스터의 제어 전극과 제3 전원전압이 공급되는 제3 전원전압선에 접속되는 제4 트랜지스터; 상기 제1 트랜지스터의 제1 전극과 상기 제2 전원전압선 사이에 접속되는 제5 트랜지스터; 상기 제1 트랜지스터의 제2 전극과 상기 유기발광다이오드의 애노드 전극 사이에 접속되는 제6 트랜지스터; 및 상기 제1 트랜지스터의 제어 전극과 상기 제2 전원전압선에 접속되는 스토리지 커패시터를 포함하는 것을 특징으로 한다.

[0020] 상기 제2 및 제3 트랜지스터들의 제어 전극들은 상기 주사선들 중 어느 하나에 접속되고, 상기 제4 트랜지스터의 제어 전극은 상기 주사선들 중 또 다른 하나에 접속되며, 상기 제5 및 제6 트랜지스터들의 제어 전극들은 상기 발광 제어선들 중 어느 하나에 접속되는 것을 특징으로 한다.

[0021] 상기 보조 데이터선은 상기 데이터선들보다 바깥쪽에 형성되는 것을 특징으로 한다.

[0022] 상기 주사선들에 주사신호들을 공급하는 주사 구동부; 상기 데이터선들에 데이터 전압들을 공급하는 제1 데이터 구동부; 및 상기 보조 데이터선에 보조 데이터 전압들을 공급하는 제2 데이터 구동부를 더 포함한다.

[0023] 상기 제2 데이터 구동부는, 상기 표시 화소들 중 리페어된 화소의 좌표값에 해당하는 디지털 비디오 데이터를 보조 데이터로 산출하는 보조 데이터 산출부; 상기 보조 데이터 또는 초기화 데이터를 저장하는 메모리; 및 상기 보조 데이터 또는 초기화 데이터를 보조 데이터 전압으로 변환하여 출력하는 보조 데이터 전압 변환부를 포함하는 것을 특징으로 한다.

발명의 효과

[0024] 본 발명의 실시 예는 방전 트랜지스터를 이용하여 보조선을 제1 전원전압으로 방전한다. 그 결과, 본 발명의 실시 예는 보조선과 표시 화소들의 유기발광다이오드들의 애노드 전극들 사이의 기생용량들과 보조선과 그에 인접하는 주사선 사이의 프린지 용량으로 인하여 보조선의 전압이 변동되는 것을 방지할 수 있다. 따라서, 본 발명의 실시 예는 유기발광다이오드가 오발광하는 것을 방지할 수 있다.

[0025] 또한, 본 발명의 실시 예는 리페어된 화소의 좌표값에 해당하는 디지털 비디오 데이터를 보조 데이터로 산출한다. 그 결과, 본 발명의 실시 예는 리페어된 화소를 리페어하기 위해 상기 리페어된 화소에 접속된 보조 화소에 상기 리페어된 화소에 공급될 데이터 전압과 동일한 보조 데이터 전압을 공급할 수 있다.

[0026] 또한, 본 발명의 실시 예는 리페어에 관여하지 않은 보조 화소들에는 블랙 데이터와 같은 초기화 데이터를 공급한다. 그 결과, 본 발명의 실시 예는 리페어에 관여하지 않은 보조 화소들에 접속된 보조선들의 전압 변화로 인하여 표시 영역의 표시 화소들이 영향을 받는 것을 방지할 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시 예에 따른 유기전계발광 표시장치를 개략적으로 보여주는 블록도.
 도 2는 도 1의 표시 화소들, 보조 화소들, 보조선들, 보조 데이터선들, 및 제2 데이터 구동부를 상세히 보여주는 블록도.
 도 3은 도 2의 제2 데이터 구동부의 구동방법을 보여주는 흐름도.
 도 4a 및 도 4b는 도 2의 제1 데이터 구동부로부터 출력되는 데이터 전압들과 제2 데이터 구동부의 보조 데이터 전압 변환부로부터 출력되는 보조 데이터 전압들을 보여주는 예시도면들.
 도 5는 본 발명의 일 실시 예에 따른 표시패널의 표시 화소들과 보조 화소를 상세히 보여주는 회로도.
 도 6은 도 5의 제k+2 주사신호를 출력하는 주사 구동부의 제k+2 스테이지의 일 예를 보여주는 회로도.
 도 7은 도 5의 표시 화소들과 보조 화소들에 공급되는 신호들을 보여주는 파형도.
 도 8은 본 발명의 또 다른 실시 예에 따른 표시패널의 표시 화소들과 보조 화소를 상세히 보여주는 회로도.
 도 9는 도 8의 표시 화소들과 보조 화소들에 공급되는 신호들을 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0028] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0029] 도 1은 본 발명의 일 실시 예에 따른 유기전계발광 표시장치를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 일 실시 예에 따른 유기전계발광 표시장치는 표시패널(10), 주사 구동부(20), 제1 데이터 구동부(30), 제2 데이터 구동부(40), 타이밍 제어부(50) 등을 구비한다.

[0030] 표시패널(10)에는 데이터선들(D1~Dm, m은 2 이상의 양의 정수), 보조 데이터선들(RD1, RD2), 주사선들(S1~Sn+1, n은 2 이상의 양의 정수) 및 발광제어선들(E1~En)이 형성된다. 데이터선들(D1~Dm)과 보조 데이터선들(RD1,

RD2)은 서로 나란하게 형성될 수 있다. 보조 데이터선들(RD1, RD2) 각각은 데이터선들(D1~Dm)의 양측 바깥쪽에 형성될 수 있다. 예를 들어, 도 2와 같이 제1 보조 데이터선(RD1)은 데이터선들(D1~Dm)의 일측 바깥쪽에 형성될 수 있고, 제2 보조 데이터선(RD2)은 데이터선들(D1~Dm)의 타측 바깥쪽에 형성될 수 있다. 데이터선들(D1~Dm)과 주사선들(S1~Sn+1)은 서로 교차되도록 형성될 수 있다. 보조 데이터선들(RD1, RD2)과 주사선들(S1~Sn+1) 역시 서로 교차되도록 형성될 수 있다. 주사선들(S1~Sn+1)과 발광제어선들(E1~En)은 서로 나란하게 형성될 수 있다.

[0031] 표시패널(10)은 화상을 표시하는 표시 화소(DP)들이 형성되는 표시영역(DA)과 표시영역(DA) 이외의 영역에 해당하는 비표시영역(NDA)을 포함한다. 비표시영역(NDA)은 표시 화소(DP)들을 리페어(repair)하기 위한 보조 화소(auxiliary pixel, RP)들이 형성되는 제1 및 제2 보조 화소 영역들(RPA1, RPA2)을 포함할 수 있다. 제1 보조 화소 영역(RPA1)에는 제1 보조 데이터선(RD1)에 접속되는 보조 화소(RP)들이 형성되고, 제2 보조 화소 영역(RPA2)에는 제2 보조 데이터선(RD2)에 접속되는 보조 화소(RP)들이 형성될 수 있다.

[0032] 표시영역(DA)에는 데이터선들(D1~Dm)과 주사선들(S1~Sn+1)의 교차 영역에 표시 화소(DP)들이 매트릭스 형태로 배치될 수 있다. 표시 화소(DP)들 각각은 어느 하나의 데이터선, 어느 두 개의 주사선들, 및 어느 하나의 발광제어선에 접속될 수 있다.

[0033] 보조 화소 영역들(RPA1, RPA2) 각각에는 보조 데이터선(RD1/RD2)과 주사선들(S1~Sn+1)의 교차 영역에 보조 화소(RP)들이 배치될 수 있다. 보조 화소(RP)들은 표시패널(10)의 제조 공정 중에 불량이가 발생한 표시 화소(DP)들을 리페어하기 위한 화소들이다. 보조 화소(RP)들 각각은 어느 하나의 보조 데이터선, 어느 두 개의 주사선들, 어느 하나의 발광제어선, 어느 하나의 보조선(RL)에 접속될 수 있다. 보조선(RL)은 보조 화소(RP)로부터 표시영역(DA)으로 연장되며, 표시 화소(DP)들에 중첩되도록 형성된다.

[0034] 표시 화소(DP)에 불량이 발생한 경우, 불량이 발생한 표시 화소(DP)를 레이저 합선(laser short-circuit) 공정을 통해 보조선(RL)과 접속시킨다. 따라서, 보조 화소(RP)는 보조선(RL)을 통해 불량이 발생한 표시 화소(DP)에 접속되며, 보조 화소(RP)를 이용하여 불량이 발생한 표시 화소(DP)를 리페어할 수 있다. 이하에서는 설명의 편의를 위해, 불량이 발생하여 리페어된 표시 화소(DP)를 리페어된 화소(repaired pixel)로 칭하기로 한다.

[0035] 본 발명의 실시 예에 따른 표시패널(10)의 표시 화소(DP)들 및 보조 화소(RP)들에 대한 자세한 설명은 도 2를 결부하여 후술한다.

[0036] 또한, 표시패널(10)에는 다수의 전원전압을 표시 화소(DP)들 및 보조 화소(RP)들에 공급하기 위한 다수의 전원전압선이 형성될 수 있다. 도 1에서는 설명의 편의를 위해 다수의 전원전압선을 도시하지 않았음에 주의하여야 한다.

[0037] 주사 구동부(20)는 주사선들(S1~Sn+1)에 주사신호들을 출력하는 주사신호 출력부와 발광제어선들(E1~En)에 발광제어신호들을 출력하는 발광제어신호 출력부를 포함할 수 있다. 주사신호 출력부는 타이밍 제어부(50)로부터 주사 타이밍 제어신호(SCS)를 입력받고, 주사 타이밍 제어신호(SCS)에 따라 주사신호들을 주사선들(S1~Sn+1)에 출력한다. 발광제어신호 출력부는 타이밍 제어부(50)로부터 발광 타이밍 제어신호(ECS)를 입력받고, 발광 타이밍 제어신호(ECS)에 따라 발광제어선들(E1~En)에 발광제어신호들을 출력한다.

[0038] 주사신호 출력부와 발광제어신호 출력부는 표시패널(10)의 비표시영역(NDA)에 ASG(amorphous silicon gate in pixel) 방식 또는 GIP(gate driver in panel) 방식으로 형성될 수 있다. 이 경우, 주사신호 출력부와 발광제어신호 출력부 각각은 종속적으로 접속된 주사 스테이지들을 포함할 수 있다. 주사 스테이지들은 주사신호들을 주사선들(S1~Sn+1)에 순차적으로 출력하고, 발광 스테이지들은 발광제어신호들을 발광제어선들(E1~En)에 순차적으로 출력할 수 있다. 발광 스테이지들에 대한 자세한 설명은 도 18을 결부하여 후술한다.

[0039] 제1 데이터 구동부(30)는 적어도 하나의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC는 타이밍 제어부(50)로부터 디지털 비디오 데이터(DATA)와 소스 타이밍 제어신호(DCS)를 입력받는다. 소스 드라이브 IC는 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 데이터 전압들로 변환한다. 소스 드라이브 IC는 주사신호들 각각에 동기화하여 데이터 전압들을 데이터선들(D1~Dm)에 공급한다. 이에 따라, 어느 한 주사신호가 공급되는 표시 화소(DP)들에 데이터 전압들이 공급된다.

[0040] 제2 데이터 구동부(40)는 타이밍 제어부(50)로부터 리페어 제어신호(RCS), 디지털 비디오 데이터(DATA), 및 리페어된 화소의 좌표 데이터(CD)를 입력받는다. 제2 데이터 구동부(40)는 리페어 제어신호(RCS), 디지털 비디오 데이터(DATA), 및 리페어된 화소의 좌표 데이터(CD)를 이용하여 보조 데이터 전압들을 생성한다. 제2 데이터 구동부(40)는 주사신호들 각각에 동기화하여 보조 데이터선들(RD1, RD2)에 보조 데이터 전압들을 공급한다. 이

에 따라, 주사신호가 공급되는 보조 화소(RP)들에 보조 데이터 전압들이 공급된다.

[0041] 특히, 제2 데이터 구동부(40)는 리페어된 화소를 리페어하기 위해, 상기 리페어된 화소에 접속된 보조 화소에 상기 리페어된 화소에 공급될 데이터 전압과 동일한 보조 데이터 전압을 공급한다. 제2 데이터 구동부(40)에 대한 자세한 설명은 도 2 내지 도 4를 결부하여 후술한다.

[0042] 타이밍 제어부(50)는 외부로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들(미도시)을 입력받는다. 타이밍 신호들(미도시)은 수직 동기신호(vertical sync signal), 수평 동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함할 수 있다. 타이밍 제어부(50)는 타이밍 신호들에 기초하여 주사 구동부(30)와 제1 데이터 구동부(30)를 제어하기 위한 타이밍 제어신호들을 생성한다. 타이밍 제어신호들은 주사 구동부(20)의 주사신호 출력부의 동작 타이밍을 제어하기 위한 주사 타이밍 제어신호(SCS), 주사 구동부(20)의 발광제어신호 출력부의 동작 타이밍을 제어하기 위한 발광 타이밍 제어신호(ECS), 및 제1 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함한다. 타이밍 제어부(50)는 주사 타이밍 제어신호(SCS)와 발광 타이밍 제어신호(ECS)를 주사 구동부(20)로 출력하고, 데이터 타이밍 제어신호(DCS)와 디지털 비디오 데이터(DATA)를 제1 데이터 구동부(30)로 출력한다.

[0043] 또한, 타이밍 제어부(50)는 리페어 제어신호(RCS), 리페어된 화소의 좌표 데이터(CD)를 생성한다. 리페어 제어신호(RCS)는 리페어된 화소의 유무를 지시하는 신호이다. 예를 들어, 리페어 제어신호(RCS)는 리페어된 화소가 있는 경우 제1 로직 레벨 전압으로 발생하고, 그렇지 않은 경우 제2 로직 레벨 전압으로 발생할 수 있다. 리페어된 화소의 좌표 데이터(CD)는 리페어된 화소의 좌표값을 지시하는 신호이다. 리페어된 화소의 좌표 데이터(CD)는 타이밍 제어부(50)의 메모리에 저장될 수 있다. 타이밍 제어부(50)는 리페어 제어신호(RCS), 리페어된 화소의 좌표 데이터(CD), 및 디지털 비디오 데이터(DATA)를 제2 데이터 구동부(40)로 출력한다.

[0044] 본 발명의 일 실시 예에 따른 유기전계발광 표시장치는 전원 공급원(미도시)을 더 포함할 수 있다. 전원 공급원(미도시)은 다수의 전원전압선에 다수의 전원전압을 공급할 수 있다. 예를 들어, 전원 공급원(미도시)은 제1 내지 제4 전원전압선들에 제1 내지 제4 전원전압들을 공급할 수 있다. 다수의 전원전압선과 다수의 전원전압에 대한 자세한 설명은 도 7을 결부하여 후술한다. 또한, 전원 공급원(미도시)은 게이트 오프 전압을 게이트 오프 전압선에 공급하고, 게이트 온 전압을 게이트 온 전압선에 공급할 수 있다. 게이트 오프 전압과 게이트 온 전압에 대한 자세한 설명은 도 8을 결부하여 후술한다.

[0045] 도 2는 도 1의 표시 화소들, 보조 화소들, 보조선들, 보조 데이터선들, 및 제2 데이터 구동부를 상세히 보여주는 블록도이다. 도 2에서는 설명의 편의를 위해 표시패널(10)의 표시 화소(DP)들, 보조 화소(RP)들, 보조선(RL)들, 보조 데이터선들(RD1, RD2), 및 제2 데이터 구동부(40)만을 도시하였다.

[0046] 도 2를 참조하면, 표시 화소(DP)들 각각은 표시 화소 구동부(110)와 유기발광다이오드(OLED)를 포함한다. 유기발광다이오드(OLED)는 표시 화소 구동부(110)의 구동전류에 따라 소정의 밝기로 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 표시 화소 구동부(110)에 접속되고, 캐소드 전극은 제4 전원전압이 공급되는 제4 전원전압선(VSSL)에 접속될 수 있다. 제4 전원전압은 저전위 전원전압일 수 있다. 표시 화소 구동부(110)에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0047] 보조 화소(RP)들 각각은 보조 화소 구동부(210)와 방전 트랜지스터(DT)를 포함한다. 보조 화소 구동부(210)와 방전 트랜지스터(DT)는 보조선(RL)에 접속된다. 보조 화소 구동부(210)는 보조선(RL)에 구동전류를 공급한다. 방전 트랜지스터(DT)는 보조선(RL)을 제1 전원전압으로 방전한다. 방전 트랜지스터(DT)는 보조선(RL)과 제1 전원전압을 공급하는 제1 전원전압선(VINL1)에 접속될 수 있다. 방전 트랜지스터(DT)의 제어 전극은 다양한 신호선들에 접속될 수 있으며, 이에 대해서는 도 5, 도 8, 도 10, 도 13 및 도 15를 결부하여 후술한다.

[0048] 보조선(RL)은 보조 화소(RP)에 접속되고, 보조 화소(RP)로부터 표시 영역(DA)으로 연장되어 표시 화소(DP)들을 가로지르도록 형성된다. 예를 들어, 도 2와 같이 보조선(RL)은 제 p (p 는 $1 \leq p \leq n$ 을 만족하는 양의 정수) 행의 보조 화소(RP)에 접속되고, 제 p 행의 표시 화소(DP)들을 가로지르도록 형성될 수 있다. 또한, 도 2와 같이 보조선(RL)은 표시 화소(DP)들의 유기발광다이오드(OLED)의 애노드 전극들을 가로지르도록 형성될 수 있다.

[0049] 보조선(RL)은 표시 영역(DA)의 표시 화소(DP)들 중 어느 하나에 접속될 수 있다. 이때, 보조선(RL)에 접속되는 표시 화소(DP)는 리페어되어야 하는 불량 화소에 해당한다. 도 2에서는 보조선(RL)에 접속되는 표시 화소(DP)를 리페어된 화소(RDP1/RDP2)로 정의하였다. 구체적으로, 보조선(RL)은 리페어된 화소(RDP1/RDP2)의 유기발광다이오드(OLED)의 애노드 전극에 접속될 수 있다. 이때, 리페어된 화소(RDP1/RDP2)의 표시 화소 구동부(110)와

유기발광다이오드(OLED)는 단선된다.

- [0050] 제1 보조 화소 영역(RP1)의 보조 화소(RP)들은 제1 보조 데이터선(RD1)에 접속되고, 제2 보조 화소 영역(RP2)의 보조 화소(RP)들은 제2 보조 데이터선(RD2)에 접속된다. 표시 영역(DA)의 표시 화소(DP)들은 데이터선들(D1~Dm)에 접속되나, 도 2에서는 설명의 편의를 위해 데이터선들(D1~Dm)을 생략하였다.
- [0051] 제2 데이터 구동부(40)는 보조 데이터 산출부(41), 보조 데이터 변환부(42), 메모리(42) 및 보조 데이터 전압 변환부(44)를 포함한다. 제2 데이터 구동부(40)의 구동방법은 도 2 및 도 3을 결부하여 설명한다.
- [0052] 도 3은 도 2의 제2 데이터 구동부의 구동방법을 보여주는 흐름도이다. 도 3을 참조하면, 제2 데이터 구동부의 구동방법은 S101 내지 S106 단계들을 포함한다.
- [0053] 첫 번째로, 보조 데이터 산출부(41)는 타이밍 제어부(50)로부터 리페어 제어신호(RCS), 디지털 비디오 데이터(DATA), 및 리페어된 화소(RDP1/RDP2)의 좌표 데이터(CD)를 입력받는다. 보조 데이터 산출부(41)는 제1 로직 레벨 전압의 리페어 제어신호(RCS)가 입력되면 보조 데이터(RD)를 산출하고, 제2 로직 레벨 전압의 리페어 제어신호(RCS)가 입력되면 보조 데이터(RD)를 산출하지 않는다. 즉, 보조 데이터 산출부(41)는 제1 로직 레벨 전압의 리페어 제어신호(RCS)가 입력되면, 리페어된 화소의 좌표 데이터(CD)에 따라 디지털 비디오 데이터(DATA)로부터 보조 데이터(RD)를 산출한다.
- [0054] 보조 데이터 산출부(41)는 리페어된 화소(RDP1/RDP2)의 좌표값에 해당하는 디지털 비디오 데이터를 보조 데이터(RD)로 산출할 수 있다. 예를 들어, 제1 리페어된 화소(RDP1)가 도 2와 같이 제2 행, 제2 열에 위치하는 경우, 제1 리페어된 화소(RDP1)의 좌표값은 (2,2)일 수 있다. 도 2에서는 표시 영역(DA)의 행과 열만을 도시하였음에 주의하여야 한다. 또한, 표시 화소(DP)들이 열 방향(y축 방향)으로 n 개 배치되는 경우, 제2 리페어된 화소(RDP)가 제n-1 행, 제2 열에 위치하므로, 제2 리페어된 화소(RDP1)의 좌표값은 (n-1,2)일 수 있다.
- [0055] 보조 데이터 산출부(41)는 좌표값 (2,2)에 해당하는 디지털 비디오 데이터를 제1 리페어된 화소(RDP1)에 접속되는 보조 화소(RP)에 공급될 보조 데이터(RD)로 산출하고, 좌표값 (n-1,2)에 해당하는 디지털 비디오 데이터를 제2 리페어된 화소(RDP2)에 접속되는 보조 화소(RP)에 공급될 보조 데이터(RD)로 산출할 수 있다. 보조 데이터 산출부(41)는 보조 데이터(RD)를 보조 데이터 변환부(42)로 출력한다. (S101, S102, S103)
- [0056] 두 번째로, 보조 데이터 변환부(42)는 보조 데이터 산출부(41)로부터 보조 데이터(RD)를 입력받는다. 이때, 리페어된 화소(RDP1/RDP2)는 보조선(RL)을 통해 보조 화소(RP)로부터 보조 데이터 전압을 공급받는다. 따라서, 보조 데이터 변환부(42)는 보조선(RL)의 배선 저항 및 보조선(RL)에 형성되는 기생 용량 등을 고려하여 보조 데이터(RD)에 소정의 데이터를 가산함으로써, 보조 데이터(RD)를 변환할 수 있다. 보조 데이터 변환부(42)는 변환된 보조 데이터(RD')를 메모리(43)로 출력한다.
- [0057] 한편, 보조 데이터 변환부(42)는 생략될 수 있다. 이 경우, 보조 데이터 산출부(41)는 보조 데이터(RD)를 메모리(43)로 출력한다. (S104)
- [0058] 세 번째로, 메모리(43)는 보조 데이터 변환부(42)로부터 변환된 보조 데이터(RD')를 입력받아 저장한다. 메모리(43)는 보조 데이터 변환부(42)가 생략되는 경우, 보조 데이터 산출부(41)로부터 보조 데이터(RD)를 입력받아 저장한다.
- [0059] 메모리(43)는 소정의 기간마다 초기화 데이터로 갱신(update)되도록 설정될 수 있다. 구체적으로, 메모리(43)는 타이밍 제어부(50)로부터 소정의 기간을 지시하는 신호를 입력받을 수 있다. 소정의 기간을 지시하는 신호는 1 프레임 기간마다 펄스가 발생하는 수직동기신호(vsync) 또는 1 수평기간(horizontal period)마다 펄스가 발생하는 수평동기신호(hsync)일 수 있다. 1 프레임 기간은 모든 표시 화소(DP)들에 데이터 전압들을 공급하는 기간을 의미하고, 1 수평기간은 어느 한 행의 표시 화소(DP)들에 데이터 전압들을 공급하는 기간을 의미한다. 소정의 기간을 지시하는 신호가 수직동기신호(vsync)인 경우, 메모리(43)는 1 프레임기간마다 초기화 데이터로 갱신될 수 있다. 소정의 기간을 지시하는 신호가 수평동기신호(hsync)인 경우, 메모리(43)는 1 수평기간마다 초기화 데이터로 갱신될 수 있다. 메모리(43)는 레지스터(register)로 구현될 수 있다. 메모리(43)는 그에 저장된 데이터(DD)를 보조 데이터 전압 변환부(44)로 출력한다. (S105)
- [0060] 네 번째로, 보조 데이터 전압 변환부(44)는 메모리(43)에 저장된 데이터(DD)를 입력받아 보조 데이터 전압으로 변환한다. 보조 데이터 전압 변환부(44)는 주사신호들 각각에 동기화하여 보조 데이터 전압들을 보조 데이터선들(RD1, RD2)에 공급한다. 이에 따라, 보조 데이터선들(RD1, RD2)에 공급되는 보조 데이터 전압들 각각은 데이

터선들(D1~Dm)에 공급되는 데이터 전압들과 동기화되어 공급된다. 즉, 제p 행의 보조 화소(RP)에 공급되는 보조 데이터 전압은 제p 행의 표시 화소(DP)들에 공급되는 데이터 전압들에 동기화되어 공급된다. (S106)

[0061] 이상에서 살펴본 바와 같이, 본 발명의 일 실시 예는 리페어된 화소(RDP1/RDP2)의 좌표값에 해당하는 디지털 비디오 데이터(DATA)를 보조 데이터(RD)로 산출한다. 그 결과, 본 발명의 일 실시 예는 리페어된 화소(RDP1/RDP2)에 접속되는 보조 화소(RP)에 리페어된 화소(RDP1/RDP2)에 공급될 데이터 전압과 동일한 보조 데이터 전압을 공급할 수 있다.

[0062] 도 4a는 도 2의 제1 데이터 구동부로부터 출력되는 데이터 전압들과 제2 데이터 구동부의 보조 데이터 전압 변환부로부터 출력되는 보조 데이터 전압들을 보여주는 일 예시도면이다. 도 4a에는 수직동기신호(vsync), 제i 데이터선(Di, i는 $1 \leq i \leq m$ 을 만족하는 양의 정수)에 출력되는 데이터 전압들(DVi)과 보조 데이터 전압 변환부(44)로부터 출력되는 보조 데이터 전압들(RDV)이 나타나 있다.

[0063] 도 4a를 참조하면, 1 프레임 기간(1 frame)은 표시 화소(DP)들에 데이터 전압들이 공급되는 액티브 기간(AP)과 휴지 기간인 블랭크 기간(BP)을 포함한다. 수직동기신호(vsync)는 1 프레임 기간(1 frame)을 주기로 펄스가 발생한다. 제i 데이터선(Di)에 출력되는 데이터 전압들(DVi)는 제1 내지 제n 데이터 전압들(DV1~DVn)을 포함할 수 있다. 이때, 도 2와 같이 제p 행의 보조 화소(RP)에 공급되는 보조 데이터 전압은 제p 행의 표시 화소(DP)들에 공급되는 데이터 전압들에 동기화되어 공급될 수 있다.

[0064] 도 2와 같이 제1 리페어된 화소(RDP1)가 제2 행에 위치하고 제2 리페어된 화소(RDP2)가 제n-1 행에 위치할 수 있다. 이 경우, 메모리(43)에는 도 4a와 같이 제2 행의 표시 화소에 데이터 전압(DV2)이 제i 데이터선(Di)에 공급되는 기간에 동기화하여 제1 보조 데이터 전압(RDV1)을 보조 데이터선(RD1/RD2)에 공급할 수 있다. 또한, 메모리(43)에는 도 4a와 같이 제n-1 행의 표시 화소에 데이터 전압(DVn-1)이 제i 데이터선(Di)에 공급되는 기간에 동기화하여 제2 보조 데이터 전압(RDV2)을 보조 데이터선(RD1/RD2)에 공급할 수 있다.

[0065] 한편, 소정의 기간을 지시하는 신호가 수직동기신호(vsync)인 경우 메모리(43)는 1 프레임 기간마다 초기화 데이터(BD)로 갱신된다. 그러므로, 보조 데이터 전압 변환부(44)는 도 4a와 같이 제2 행의 표시 화소에 데이터 전압(DV2)이 공급되는 기간부터 제n-2 행의 표시 화소에 데이터 전압(DVn-2)이 공급되는 기간까지 메모리(43)로부터 제1 보조 데이터(RD1)를 입력받고, 입력된 제1 보조 데이터(RD1)를 제1 보조 데이터 전압(RDV1)으로 변환하여 보조 데이터선(RD1/RD2)에 출력할 수 있다.

[0066] 또한, 보조 데이터 전압 변환부(44)는 도 4a와 같이 제n-1 행의 표시 화소에 데이터 전압(DVn-1)이 공급되는 기간부터 제n 행의 표시 화소에 데이터 전압(DVn)이 공급되는 기간까지 메모리(43)로부터 제2 보조 데이터(RD2)를 입력받고, 제2 보조 데이터(RD2)를 제2 보조 데이터 전압(RDV2)으로 변환하여 보조 데이터선(RD1/RD2)에 출력할 수 있다. 나아가, 보조 데이터 전압 변환부(44)는 도 4a와 같이 제1 행의 표시 화소에 데이터 전압(DV1)이 공급되는 기간 동안 메모리(43)로부터 초기화 데이터(BD)를 입력받고, 입력된 초기화 데이터(BD)를 초기화 데이터 전압(BDV)으로 변환하여 보조 데이터선(RD1/RD2)에 출력할 수 있다.

[0067] 결국, 도 4a에서 살펴본 바와 같이, 보조 데이터선들(RD1, RD2)에 공급되는 보조 데이터 전압들 각각은 데이터 선들(D1~Dm)에 공급되는 데이터 전압들과 동기화되어 공급될 수 있다.

[0068] 도 4b는 도 2의 제1 데이터 구동부로부터 출력되는 데이터 전압들과 제2 데이터 구동부의 보조 데이터 전압 변환부로부터 출력되는 보조 데이터 전압들을 보여주는 일 예시도면이다. 도 4b에는 수평동기신호(hsync), 제i 데이터선(Di)에 출력되는 데이터 전압들(DVi)과 보조 데이터 전압 변환부(44)로부터 출력되는 보조 데이터 전압들(RDV)이 나타나 있다.

[0069] 도 4b를 참조하면, 1 프레임 기간(1 frame)은 데이터 전압들이 공급되는 액티브 기간(AP)과 휴지 기간인 블랭크 기간(BP)을 포함한다. 수평동기신호(hsync)는 1 수평 기간(1H)을 주기로 펄스가 발생한다. 제i 데이터선(Di)에 출력되는 데이터 전압들(DVi)는 제1 내지 제n 데이터 전압들(DV1~DVn)을 포함할 수 있다. 이때, 도 2와 같이 제p 행의 보조 화소(RP)에 공급되는 보조 데이터 전압은 제p 행의 표시 화소(DP)들에 공급되는 데이터 전압들에 동기화되어 공급될 수 있다.

[0070] 도 2와 같이 제1 리페어된 화소(RDP1)가 제2 행에 위치하고 제2 리페어된 화소(RDP2)가 제n-1 행에 위치할 수 있다. 이 경우, 메모리(43)에는 도 4b와 같이 제2 행의 표시 화소에 데이터 전압(DV2)이 제i 데이터선(Di)에

공급되는 기간에 동기화하여 제1 보조 데이터 전압(RDV1)을 보조 데이터선(RD1/RD2)에 공급할 수 있다. 또한, 메모리(43)에는 도 4b와 같이 제 $n-1$ 행의 표시 화소에 데이터 전압(DV $n-1$)이 제 i 데이터선(D i)에 공급되는 기간에 동기화하여 제2 보조 데이터 전압(RDV2)을 보조 데이터선(RD1/RD2)에 공급할 수 있다.

[0071] 한편, 소정의 기간을 지시하는 신호가 수평동기신호(hsync)인 경우 메모리(43)는 1 수평기간(1H)마다 초기화 데이터(BD)로 갱신된다. 그러므로, 보조 데이터 전압 변환부(44)는 도 4b와 같이 제2 행의 표시 화소에 데이터 전압(DV2)이 공급되는 기간에만 메모리(43)로부터 제1 보조 데이터(RD1)를 입력받고, 입력된 제1 보조 데이터(RD1)를 제1 보조 데이터 전압(RDV1)으로 변환하여 보조 데이터선(RD1/RD2)에 출력할 수 있다.

[0072] 또한, 보조 데이터 전압 변환부(44)는 도 4b와 같이 제 $n-1$ 행의 표시 화소에 데이터 전압(DV $n-1$)이 공급되는 기간에만 메모리(43)로부터 제2 보조 데이터(RD2)를 입력받고, 제2 보조 데이터(RD2)를 제2 보조 데이터 전압(RDV2)으로 변환하여 보조 데이터선(RD1/RD2)에 출력할 수 있다. 나아가, 보조 데이터 전압 변환부(44)는 도 4b와 같이 제2 행의 표시 화소에 데이터 전압(DV2)이 공급되는 기간과 제 $n-1$ 행의 표시 화소에 데이터 전압(DV $n-1$)이 공급되는 기간을 제외한 나머지 기간들 동안 메모리(43)로부터 초기화 데이터(BD)를 입력받고, 입력된 초기화 데이터(BD)를 초기화 데이터 전압(BDV)으로 변환하여 보조 데이터선(RD1/RD2)에 출력할 수 있다.

[0073] 결국, 도 4b에서 살펴본 바와 같이, 보조 데이터선들(RD1, RD2)에 공급되는 보조 데이터 전압들 각각은 데이터선들(D1-D m)에 공급되는 데이터 전압들과 동기화되어 공급될 수 있다.

[0074] 또한, 도 4b에서 살펴본 바와 같이, 리페어된 화소들(RDP1, RDP2)에 접속되지 않은 보조 화소들에는 초기화 데이터 전압(BDV)이 공급될 수 있다. 그 결과, 본 발명의 일 실시 예는 리페어된 화소들(RDP1, RDP2)에 접속되지 않은 보조 화소들에 접속되는 보조선들의 전압 변화로 인하여 표시 영역의 표시 화소(DP)들이 영향을 받는 것을 방지할 수 있다. 보조 화소(RP)가 보조 데이터 전압을 공급받는 경우 보조선(RL)에 구동전류를 공급할 수 있기 때문에, 이로 인한 보조선(RL)의 전압 변화를 방지하기 위함이다.

[0075] 도 5는 본 발명의 일 실시 예에 따른 표시패널의 표시 화소들과 보조 화소들을 상세히 보여주는 회로도이다.

[0076] 도 5에서는 설명의 편의를 위해 제 $k-1$, 제 k 및 제 $k+1$ 주사선들($Sk-1$, Sk , $Sk+1$, k 는 $1 \leq k \leq n$ 을 만족하는 양의 정수), 제1 보조 데이터선(RD1), 제1 및 제 j 데이터선(D1, D j , j 는 $2 \leq j \leq m$ 을 만족하는 양의 정수), 제 k 발광 제어선(E k)만을 도시하였다. 또한, 도 5에서는 설명의 편의를 위해 제1 보조 데이터선(RD1)과 제 $k-1$, 제 k 및 제 $k+1$ 주사선들($Sk-1$, Sk , $Sk+1$)에 접속된 제1 보조 화소(RP1), 제1 데이터선(D1)과 제 $k-1$, 제 k 및 제 $k+1$ 주사선들($Sk-1$, Sk , $Sk+1$)에 접속된 제1 표시 화소(DP1), 제 j 데이터선(D j)과 제 $k-1$, 제 k 및 제 $k+1$ 주사선들($Sk-1$, Sk , $Sk+1$)에 접속된 제 j 표시 화소(DP j)만을 도시하였다. 도 5에서 제1 표시 화소(DP1)는 제조 공정 중에 불량 이 발생하지 않은 화소이고, 제 j 표시 화소(DP j)는 제조 공정 중에 불량 이 발생하여 리페어된 화소로 예시하였 음에 주의하여야 한다. 이하에서는 도 5를 결부하여 제1 보조 화소(RP1), 제1 표시 화소(DP1), 및 제 j 표시 화소(DP j)를 상세히 살펴본다.

[0077] 도 5를 참조하면, 제1 보조 화소(RP1)는 보조선(RL)을 통해 리페어된 화소에 해당하는 제 j 표시 화소(DP j)에 접속된다. 구체적으로, 보조선(RL)은 제1 보조 화소(RP1)로부터 표시영역(DA)으로 연장되어 다수의 표시 화소들(DP1, DP j)과 중첩된다. 보조선(RL)은 표시영역(DA)의 표시 화소들(DP1, DP j) 중 어느 하나, 즉 리페어된 화소 에 해당하는 제 j 표시 화소(DP j)의 유기발광다이오드(OLED)에 접속될 수 있다.

[0078] 표시 화소들(DP1, DP j) 각각은 유기발광다이오드(OLED)와 표시 화소 구동부(110)를 포함한다.

[0079] 표시 화소 구동부(110)는 유기발광다이오드(OLED)에 접속되며, 유기발광다이오드(OLED)에 구동 전류를 공급한다. 표시 화소 구동부(110)는 적어도 하나의 주사선, 어느 하나의 발광 제어선, 및 다수의 전원선에 접속될 수 있다. 예를 들어, 표시 화소 구동부(110)는 제 $k-1$, 제 k 및 제 $k+1$ 주사선들($Sk-1$, Sk , $Sk+1$), 제 k 발광 제어선(E k), 및 제2 및 제3 전원전압선들(VDDL, VINL2)에 접속될 수 있다. 또한, 표시 화소 구동부(110)는 다수의 트랜지스터를 포함할 수 있다. 예를 들어, 표시 화소 구동부(110)는 제1 내지 제7 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 및 스토리지 커패시터(Cst)을 포함할 수 있다.

[0080] 제1 트랜지스터(T1)는 제어 전극의 전압에 따라 드레인-소스간 전류(I_{ds})를 제어한다. 제1 트랜지스터(T1)의 채널을 통해 흐르는 드레인-소스간 전류(I_{ds})는 수학식 1과 같이 제1 트랜지스터(T1)의 게이트-소스 간의 전압 과 문턱전압 간의 차이의 제곱에 비례한다.

수학식 1

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0081]

[0082]

수학식 1에서, k' 는 제1 트랜지스터(T1)의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 제1 트랜지스터(T1)의 제어 전극과 제1 전극 간의 전압, V_{th} 는 제1 트랜지스터(T1)의 문턱전압을 의미한다.

[0083]

제2 트랜지스터(T2)는 제1 트랜지스터(T1)의 제1 전극과 제1 보조 데이터선(RD1)에 접속된다. 제2 트랜지스터(T2)는 제k 주사선(S_k)의 주사신호에 의해 턴-온되어 제1 트랜지스터(T1)의 제1 전극과 데이터선(D1/Dj)을 접속한다. 이로 인해, 제1 트랜지스터(T1)의 제1 전극에는 데이터선(D1/Dj)의 데이터 전압이 공급된다. 제2 트랜지스터(T2)의 제어 전극은 제k 주사선(S_k)에 접속되고, 제1 전극은 데이터선(D1/Dj)에 접속되며, 제2 전극은 제1 트랜지스터(T1)의 제1 전극에 접속된다. 여기서, 제어 전극은 게이트 전극, 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.

[0084]

제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 제어 전극과 제2 전극에 접속된다. 제3 트랜지스터(T3)는 제k 주사선(S_k)의 주사신호에 의해 턴-온되어 제1 트랜지스터(T1)의 제어 전극과 제2 전극을 접속한다. 이 경우, 제1 트랜지스터(T1)의 제어 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1)는 다이오드(diode)로 구동한다. 제3 트랜지스터(T3)의 제어 전극은 제k 주사선(S_k)에 접속되고, 제1 전극은 제1 트랜지스터(T1)의 제2 전극에 접속되며, 제2 전극은 제1 트랜지스터(T1)의 제어 전극에 접속된다.

[0085]

제4 트랜지스터(T4)는 제1 트랜지스터(T1)의 제어 전극과 제3 전원전압선(VINL2)에 접속된다. 제4 트랜지스터(T4)는 제k-1 주사선(S_{k-1})의 주사신호에 의해 턴-온되어 제1 트랜지스터(T1)의 제어 전극과 제3 전원전압선(VINL2)을 접속한다. 이로 인해, 제1 트랜지스터(T1)의 제어 전극은 제3 전원전압선으로 초기화될 수 있다. 제4 트랜지스터(T4)의 제어 전극은 제k-1 주사선(S_{k-1})에 접속되고, 제1 전극은 제1 트랜지스터(T1)의 제어 전극에 접속되며, 제2 전극은 제3 전원전압선(VINL2)에 접속된다.

[0086]

제5 트랜지스터(T5)는 제2 전원전압선(VDDL)과 제1 트랜지스터(T1)의 제1 전극에 접속된다. 제5 트랜지스터(T5)는 제k 발광 제어선(E_k)의 발광 제어신호에 의해 턴-온되어 제2 전원전압선(VDDL)과 제1 트랜지스터(T1)의 제1 전극을 접속한다. 이로 인해, 제1 트랜지스터(T1)의 제1 전극에는 제2 전원전압이 공급된다. 제5 트랜지스터(T5)의 제어 전극은 제k 발광 제어선(E_k)에 접속되고, 제1 전극은 제2 전원전압선(VDDL)에 접속되며, 제2 전극은 제1 트랜지스터(T1)의 제1 전극에 접속된다.

[0087]

제6 트랜지스터(T6)는 제1 트랜지스터(T1)의 제2 전극과 유기발광다이오드(OLED)에 접속된다. 제6 트랜지스터(T6)는 제k 발광 제어선(E_k)의 발광 제어신호에 의해 턴-온되어 제1 트랜지스터(T1)의 제2 전극과 유기발광다이오드(OLED)을 접속한다. 제6 트랜지스터(T6)의 제어 전극은 제k 발광 제어선(E_k)에 접속되고, 제1 전극은 제1 트랜지스터(T1)의 제2 전극에 접속되며, 제2 전극은 유기발광다이오드(OLED)에 접속된다.

[0088]

제5 및 제6 트랜지스터(T5, T6)가 턴-온되는 경우, 제1 트랜지스터(T1)의 드레인-소스간 전류(I_{ds})가 보조선(RL)을 통해 제j 표시 화소(DPj)의 유기발광다이오드(OLED)에 공급된다. 이로 인해, 제j 표시 화소(DPj)의 유기발광다이오드(OLED)가 발광한다.

[0089]

제7 트랜지스터(T7)는 유기발광다이오드(OLED)의 애노드 전극과 제3 전원전압선(VINL2) 사이에 접속된다. 제7 트랜지스터(T7)는 제k+1 주사선(S_{k+1})의 주사신호에 의해 턴-온되어 유기발광다이오드(OLED)의 애노드 전극과 제3 전원전압선(VINL2)을 접속한다. 이로 인해, 유기발광다이오드(OLED)의 애노드 전극은 제3 전원전압으로 방전된다. 제7 트랜지스터(T7)의 제어 전극은 제k+1 주사선(S_{k+1})에 접속되고, 제1 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 제2 전극은 제3 전원전압선(VINL2)에 접속된다.

[0090]

유기발광다이오드(OLED)는 표시 화소 구동부(110)의 제1 트랜지스터(T1)의 드레인-소스간 전류(I_{ds})에 따라 발광한다. 유기발광다이오드(OLED)의 발광량은 제1 트랜지스터(T1)의 드레인-소스간 전류(I_{ds})에 비례할 수 있다. 유기발광다이오드(OLED)의 애노드 전극은 제2 트랜지스터(T2)의 제1 전극과 제7 트랜지스터(T7)의 제2 전극에 접속되며, 캐소드 전극은 제4 전원전압선(VSSL)에 접속된다.

[0091]

스토리지 커패시터(C_{st})는 제1 트랜지스터(T1)의 제어 전극과 제2 전원전압선(VDDL)에 접속되어 제1 트랜지스터

(T1)의 제어 전극의 전압을 유지한다. 스토리지 커패시터(Cst)의 일측 전극은 제1 트랜지스터(T1)의 제어 전극에 접속되고, 타측 전극은 제2 전원전압선(VDDL)에 접속된다.

[0092] 제1 보조 화소(RP1)는 보조 화소 구동부(210), 방전 트랜지스터(DT), 및 방전 트랜지스터 제어부(220)를 포함한다. 제1 보조 화소(RP1)는 유기발광다이오드(OLED)를 포함하지 않는다.

[0093] 보조 화소 구동부(210)는 보조선(RL)을 통해 제j 표시 화소(DPj)의 유기발광다이오드(OLED)에 접속되어 구동 전류를 공급한다. 보조 화소 구동부(210)는 적어도 하나의 주사선, 어느 하나의 발광 제어선, 및 다수의 전원선에 접속될 수 있다. 예를 들어, 보조 화소 구동부(210)는 제k-1, 제k 및 제k+1 주사선들(Sk-1, Sk, Sk+1), 제k 발광 제어선(Ek), 및 제2 및 제3 전원전압선들(VDDL, VINL2)에 접속될 수 있다. 또한, 보조 화소 구동부(210)는 다수의 트랜지스터를 포함할 수 있다. 예를 들어, 보조 화소 구동부(210)는 제1 내지 제6 트랜지스터들(T1', T2', T3', T4', T5', T6')을 포함할 수 있다.

[0094] 보조 화소 구동부(210)의 제1, 제3, 제4 및 제5 트랜지스터들(T1', T3', T4', T5'), 및 스토리지 커패시터(Cst)는 표시 화소 구동부(110)의 제1, 제3, 제4 및 제5 트랜지스터들(T1, T3, T4, T5), 및 스토리지 커패시터(Cst)와 실질적으로 동일하게 형성될 수 있다. 따라서, 보조 화소 구동부(210)의 제1, 제3, 제4 및 제5 트랜지스터들(T1', T3', T4', T5'), 및 스토리지 커패시터(Cst)에 대한 자세한 설명은 생략하기로 한다.

[0095] 제2 트랜지스터(T2')는 제1 트랜지스터(T1')의 제1 전극과 제1 보조 데이터선(RD1)에 접속된다. 제2 트랜지스터(T2')는 제k 주사선(Sk)의 주사신호에 의해 턴-온되어 제1 트랜지스터(T1')의 제1 전극과 제j 데이터선(Dj)에 접속된다. 이로 인해, 제1 트랜지스터(T1')의 제1 전극에는 제j 데이터선(Dj)의 데이터 전압이 공급된다. 제2 트랜지스터(T2')의 제어 전극은 제k 주사선(Sk)에 접속되고, 제1 전극은 제j 데이터선(Dj)에 접속되며, 제2 전극은 제1 트랜지스터(T1')의 제1 전극에 접속된다.

[0096] 제6 트랜지스터(T6')는 제1 트랜지스터(T1')의 제2 전극과 보조선(RL)에 접속된다. 제6 트랜지스터(T6')는 제k 발광 제어선(Ek)의 발광 제어신호에 의해 턴-온되어 제1 트랜지스터(T1')의 제2 전극과 보조선(RL)에 접속한다. 제6 트랜지스터(T6')의 제어 전극은 제k 발광 제어선(Ek)에 접속되고, 제1 전극은 제1 트랜지스터(T1')의 제2 전극에 접속되며, 제2 전극은 보조선(RL)에 접속된다. 제4' 및 제5' 트랜지스터(T4', T5')가 턴-온되는 경우, 제1 트랜지스터(T1')의 드레인-소스간 전류(Ids')가 보조선(RL)을 통해 제j 표시 화소(DPj)의 유기발광다이오드(OLED)에 공급되므로, 제j 표시 화소(DPj)의 유기발광다이오드(OLED)가 발광한다.

[0097] 방전 트랜지스터(DT)는 보조선(RL)과 제1 전원전압이 공급되는 제1 전원전압선(VINL1)에 접속된다. 방전 트랜지스터(DT)는 방전 트랜지스터(DT)의 제어 전극에 공급되는 전압에 의해 턴-온되어 보조선(RL)과 제1 전원전압이 공급되는 제1 전원전압선(VINL1)을 접속한다. 이로 인해, 보조선(RL)의 전압은 제1 전원전압으로 방전된다. 즉, 방전 트랜지스터(DT)는 보조선(RL)을 방전하는 역할을 한다. 방전 트랜지스터(DT)의 제어 전극은 방전 트랜지스터 제어부(220)에 접속되고, 제1 전극은 보조선(RL)에 접속되며, 제2 전극은 제1 전원전압선(VINL1)에 접속될 수 있다.

[0098] 방전 트랜지스터 제어부(220)는 방전 트랜지스터(DT)의 턴-온 및 턴-오프를 제어한다. 방전 트랜지스터 제어부(220)는 적어도 하나의 능동소자를 포함할 수 있다. 여기서, 능동소자는 다이오드, 트랜지스터, 및 스위치 중 어느 하나일 수 있다. 방전 트랜지스터 제어부(220)는 도 5와 같이 제1 방전제어 트랜지스터(DCT1) 및 제1 부스팅 커패시터(Cb1)를 포함할 수 있다.

[0099] 제1 방전제어 트랜지스터(DCT1)는 방전 트랜지스터(DT)의 제어 전극과 게이트 온 전압선(VONL)에 접속될 수 있다. 게이트 온 전압선(VONL)에는 방전 트랜지스터(DT)를 턴-온시킬 수 있는 게이트 온 전압이 공급될 수 있다. 제1 방전제어 트랜지스터(DCT1)는 제1 방전제어 트랜지스터(DCT1)의 제어 전극에 공급되는 전압에 의해 턴-온되어 방전 트랜지스터(DT)의 제어 전극과 게이트 온 전압선(VONL)을 접속한다. 이로 인해, 방전 트랜지스터(DT)는 턴-온된다.

[0100] 제1 방전제어 트랜지스터(DCT1)의 제어 전극은 어느 한 주사선에 접속된 주사 스테이지의 풀-업 제어 노드에 접속될 수 있다. 예를 들어, 제1 방전제어 트랜지스터(DCT1)의 제어 전극은 도 5와 같이 제k+2 주사선에 접속된 주사 스테이지의 풀-업 제어 노드(STAk+2_Q)일 수 있다. 제k+2 주사선에 접속된 주사 스테이지의 풀-업 제어 노드는 도 6을 결부하여 후술한다. 또한, 제1 방전제어 트랜지스터(DCT1)의 제1 전극은 방전 트랜지스터(DT)의 제어 전극에 접속되며, 제2 전극은 게이트 온 전압선(VONL)에 접속될 수 있다.

[0101] 제1 부스팅 커패시터(Cb1)는 제1 방전제어 트랜지스터(DCT1)의 제어 전극과 방전 트랜지스터(DT)의 제어 전극에 접속된다. 즉, 제1 부스팅 커패시터(Cb1)의 일측 전극은 제1 방전제어 트랜지스터(DCT1)의 제어 전극에 접속되

고, 타측 전극은 방전 트랜지스터(DT)의 제어 전극에 접속될 수 있다.

[0102] 한편, 리페어된 화소에 해당하는 제j 표시 화소(DPj)를 제외한 나머지 표시 화소(DP1)들의 표시 화소 구동부(110)는 유기발광다이오드(OLED)에 접속되며, 유기발광다이오드(OLED)에 구동 전류를 공급한다. 하지만, 제j 표시 화소(DPj)의 표시 화소 구동부(110)는 유기발광다이오드(OLED)와 접속되지 않는다. 즉, 제j 표시 화소(DPj)의 표시 화소 구동부(110)는 불량으로 인해 제 역할을 하지 못하기 때문에, 레이저 합선(laser short-circuit) 공정을 통해 표시 화소 구동부(110)와 유기발광다이오드(OLED)의 접속을 끊고 제j 표시 화소(DPj)의 유기발광다이오드(OLED)의 애노드 전극을 보조선(RL)에 접속한다. 이로 인해, 제j 표시 화소(DPj)의 유기발광다이오드(OLED)의 애노드 전극은 보조선(RL)을 통해 제1 보조 화소(RP1)의 보조 화소 구동부(210)에 접속될 수 있다. 그러므로, 제j 표시 화소(DPj)의 유기발광다이오드(OLED)는 제1 보조 화소(RP1)의 보조 화소 구동부(210)로부터 구동 전류를 공급받아 발광한다. 이로 인해, 제j 표시 화소(DPj)는 리페어될 수 있다.

[0103] 도 5에서는 설명의 편의를 위해 제1 보조 화소(RP1)만을 예시하였으며, 보조 화소들 각각은 제1 보조 화소(RP1)와 실질적으로 동일하게 구현될 수 있다. 또한, 도 5에서는 설명의 편의를 위해 불량이 발생하지 않은 표시 화소로 제1 표시 화소(DP1)만을 예시하였으며, 불량이 발생하지 않은 표시 화소들 각각은 제1 표시 화소(DP1)과 실질적으로 동일하게 구현될 수 있다. 또한, 도 5에서는 설명의 편의를 위해 리페어된 화소로 제j 표시 화소(DPj)만을 예시하였으며, 리페어된 화소들 각각은 제j 표시 화소(DPj)와 실질적으로 동일하게 구현될 수 있다.

[0104] 한편, 보조선(RL)과 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들은 중첩되기 때문에, 보조선(RL)과 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들 사이에 도 5와 같이 기생 용량(parasitic capacitance, PC)들이 형성될 수 있다. 또한, 보조선(RL)은 제k 주사선(Sk)과 인접하여 나란하게 형성되기 때문에, 보조선(RL)과 제k 주사선(Sk) 사이에 프린지 용량(fringe capacitance, FC)이 형성될 수 있다. 상기 기생용량(PC)들과 상기 프린지 용량(FC)으로 인하여 보조선(RL)의 전압이 변동될 수 있으며, 이로 인해 리페어된 화소에 해당하는 제j 표시 화소(DPj)의 유기발광다이오드(OLED)가 오발광하는 문제가 발생할 수 있다.

[0105] 하지만, 이를 해결하기 위해, 본 발명의 일 실시 예는 방전 트랜지스터(DT)를 이용하여 보조선(RL)을 제1 전원 전압으로 방전한다. 그 결과, 본 발명의 일 실시 예는 상기 기생용량(PC)들과 상기 프린지 용량(FC)으로 인하여 보조선(RL)의 전압이 변동되는 것을 방지할 수 있다. 따라서, 본 발명의 일 실시 예는 유기발광다이오드(OLED)가 오발광하는 것을 방지할 수 있다. 이에 대한 자세한 설명은 도 7을 결부하여 후술한다.

[0106] 도 6은 도 5의 제k+2 주사신호를 출력하는 주사 구동부의 제k+2 주사 스테이지의 일 예를 보여주는 회로도이다. 도 6을 참조하면, 제k+2 주사선(Sk+2)에 제k+2 주사신호를 출력하는 제k+2 주사 스테이지(STAk+2)는 풀-업 제어 노드(Q), 풀-다운 제어 노드(QB), 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 노드 제어회로(NC), 및 제2 부스팅 커패시터(Cb2)를 포함한다.

[0107] 풀-업 트랜지스터(TU)는 풀-업 제어 노드(Q)의 전압에 따라 클럭 단자(CLK)를 통해 입력되는 클럭 신호를 제k+2 주사선(Sk+2)으로 출력한다. 클럭 신호는 복수의 클럭 신호들 중 어느 하나일 수 있다. 풀-업 트랜지스터(TU)의 제어 전극은 풀-업 제어 노드(Q)에 접속되고, 제1 전극은 제k+2 주사선(Sk+2)에 접속되며, 제2 전극은 클럭 단자(CLK)에 접속된다.

[0108] 풀-다운 트랜지스터(TD)는 풀-다운 제어 노드(QB)의 전압에 따라 게이트 오프 전압선(VOFFL)의 게이트 오프 전압을 제k+2 주사선(Sk+2)으로 출력한다. 풀-다운 트랜지스터(TD)의 제어 전극은 풀-다운 제어 노드(QB)에 접속되고, 제1 전극은 게이트 오프 전압선(VOFFL)에 접속되며, 제2 전극은 k+2 주사선(Sk+2)에 접속된다.

[0109] 노드 제어회로(NC)는 풀-업 제어 노드(Q)의 전압과 풀-다운 제어 노드(QB)의 전압을 제어한다. 노드 제어회로(NC)는 다수의 신호 입력단자들을 포함한다. 예를 들어, 노드 제어 회로(NC)에는 스타트 신호가 입력되는 스타트 단자(START) 및 리셋 신호가 입력되는 리셋 단자(RESET)를 포함할 수 있다. 또한, 노드 제어회로(NC)는 게이트 온 전압선(VONL)과 게이트 오프 전압선(VOFFL)에 접속될 수 있다. 스타트 신호는 게이트 스타트 신호 또는 전단 주사 스테이지의 캐리 신호일 수 있다. 리셋 신호는 후단 주사 스테이지의 캐리 신호일 수 있다. 게이트 온 전압선은 게이트 온 전압을 공급하고, 게이트 오프 전압선은 게이트 오프 전압을 공급할 수 있다. 게이트 온 전압은 주사 스테이지들, 표시 화소들 및 보조 화소들에 포함된 트랜지스터들 각각의 턴-온 전압이고, 게이트 오프 전압은 주사 스테이지들, 표시 화소들 및 보조 화소들에 포함된 트랜지스터들 각각의 턴-오프 전압이다.

[0110] 이하의 설명에서, 전단 주사 스테이지는 기준이 되는 주사 스테이지의 상부에 위치하는 것을 말한다. 예컨대,

제k+2 주사 스테이지(STAk+2)의 전단 주사 스테이지는 제1 내지 제k+1 주사 스테이지(STA1~STAk+1) 중 어느 하나를 지시한다. 후단 주사 스테이지는 기준이 되는 주사 스테이지의 하부에 위치하는 것을 말한다. 예컨대, 제k+2 주사 스테이지(STAk+2)의 후단 주사 스테이지는 제k+3 내지 제n+1 주사 스테이지(STAk+3~STAn+1) 중 어느 하나를 지시한다.

[0111] 노드 제어 회로(NC)는 스타트 단자(START)에 입력되는 스타트 신호에 응답하여 풀-업 제어 노드(Q)에 게이트 온 전압을 공급하고, 풀-다운 제어 노드(QB)에 게이트 오프 전압을 공급한다. 이로 인해, 클럭 단자(CLK)를 통해 클럭 신호가 입력되는 경우, 풀-업 제어 노드(Q)는 제2 부스팅 커패시터(Qb2)에 의해 부트스트래핑(bootstrapping)되므로, 풀-업 트랜지스터(TU)는 완전히 턴-온(fully turn-on)될 수 있다. 그 결과, 클럭 단자(CLKT)를 통해 입력되는 클럭 신호가 제k+2 주사신호로서 제k+2 주사선(Sk+2)에 출력된다.

[0112] 노드 제어 회로(NC)는 리셋 단자(RESET)에 입력되는 리셋 신호에 응답하여 풀-업 제어 노드(Q)에 게이트 오프 전압을 공급하고, 풀-다운 제어 노드(QB)에 게이트 온 전압을 공급한다. 이로 인해, 풀-다운 트랜지스터(TD)가 턴-온되므로, 게이트 오프 전압선(VOFFL)의 게이트 오프 전압이 제k+2 주사신호로서 제k+2 주사선(Sk+2)에 출력된다.

[0113] 도 6에서는 노드 제어 회로(NC)가 스타트 단자(START) 및 리셋 단자(RESET)만을 포함하는 것을 예시하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, 노드 제어 회로(NC)는 상기 2 개의 단자들 이외에 또 다른 단자가 추가될 수 있다.

[0114] 한편, 도 6과 같이 제k+2 주사 스테이지(STAk+2)의 풀-업 제어 노드(Q)는 방전 트랜지스터 제어부(220)의 제1 방전제어 트랜지스터(DCT1)의 제어 전극에 접속될 수 있다. 하지만, 본 발명의 실시 예는 이에 한정되지 않으며, 제1 방전제어 트랜지스터(DCT1)의 제어 전극은 어느 한 주사선에 접속된 주사 스테이지의 풀-업 제어 노드에 접속될 수 있다.

[0115] 도 6에서는 설명의 편의를 위해 제k+2 주사 스테이지(STAk+2)만을 예시하였으며, 주사선들(S0~Sn+1)에 접속된 주사 스테이지들 각각은 제k+2 주사 스테이지(STAk+2)와 실질적으로 동일하게 구현될 수 있다. 또한, 발광 제어선들(E1~En)에 접속된 발광 스테이지들 각각은 제k+2 주사 스테이지(STAk+2)와 유사하게 구현될 수 있다.

[0116] 도 7은 도 5의 표시 화소들과 보조 화소들에 공급되는 신호들을 보여주는 파형도이다. 도 7에는 제k-1 주사선(Sk-1)에 공급되는 제k-1 주사신호(SCANK-1), 제k 주사선(Sk)에 공급되는 제k 주사신호(SCANK), 제k+1 주사선(Sk+1)에 공급되는 제k+1 주사신호(SCANK+1), 제k+2 주사선(Sk+2)에 공급되는 제k+2 주사신호, 제k 발광 제어선(Ek)에 공급되는 제k 발광 제어신호(EMk), 제k+2 주사 스테이지(STAk+2)의 풀-업 제어 노드(Q)의 전압(V_STAk+2_Q), 방전 트랜지스터(DT)의 제어 전극에 공급되는 전압(V_DTG), 및 보조선(RL)의 전압(V_RL)이 나타나 있다.

[0117] 도 7을 참조하면, 1 프레임 기간은 제1 내지 제5 기간(t1~t5)으로 구분될 수 있다. 제k-1 주사신호(SCANK-1)는 제1 기간(t1) 동안 게이트 온 전압(Von)으로 발생하고, 제k 주사신호(SCANK)는 제2 기간(t2) 동안 게이트 온 전압(Von)으로 발생하며, 제k+1 주사신호(SCANK+1)는 제3 기간(t3) 동안 게이트 온 전압(Von)으로 발생하고, 제k+2 주사신호(SCANK+2)는 제4 기간(t4) 동안 게이트 온 전압(Von)으로 발생한다. 즉, 주사신호들은 순차적으로 게이트 온 전압(Von)으로 발생한다. 제k 발광 신호(EMk)는 제1 내지 제3 기간들(t1~t3) 동안 게이트 오프 전압(Voff)으로 발생한다.

[0118] 이하에서는, 도 5 및 도 7을 결부하여, 제1 보조 화소(RP1)와 제j 표시 화소(DPj)의 구동 방법 및 제1 표시 화소(DP1)의 구동 방법을 상세히 설명한다.

[0119] 먼저, 제1 표시 화소(DP1)의 구동 방법을 상세히 설명한다.

[0120] 첫 번째로, 제1 기간(t1) 동안 게이트 온 전압(Von)의 제k-1 주사신호(SCANK-1)가 제k-1 주사선(Sk-1)에 공급된다. 이로 인해, 제1 기간(t1) 동안 제4 트랜지스터(T4)가 턴-온된다. 제4 트랜지스터(T4)의 턴-온으로 인해, 제1 트랜지스터(T1)의 제어 전극은 제3 전원전압선(VINL2)의 제3 전원전압으로 초기화된다.

[0121] 두 번째로, 제2 기간(t2) 동안 게이트 온 전압(Von)의 제k 주사신호(SCANK)가 제k 주사선(Sk)에 공급된다. 이로 인해, 제2 기간(t2) 동안 제2 및 제3 트랜지스터들(T2, T3)이 턴-온된다.

[0122] 제2 트랜지스터(T2)의 턴-온으로 인해, 제1 트랜지스터(T1)의 제1 전극에는 제1 데이터선(D1)의 데이터 전압

(Vdata)이 공급된다. 제3 트랜지스터(T3)의 턴-온으로 인해, 제1 트랜지스터(T1)의 제어 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1)는 다이오드로 구동한다.

[0123] 제1 트랜지스터(T1)는 P 타입으로 형성되므로, 제1 트랜지스터(T1)의 제어 전극과 제1 전극 간의 전압 차($V_{gs}=VIN2-Vdata$)가 제1 트랜지스터(T1)의 문턱전압(V_{th})보다 낮은 경우($V_{gs}<V_{th}$) 턴-온된다. 즉, 제1 트랜지스터(T1)의 제어 전극과 제1 전극 간의 전압 차($V_{gs}=VIN2-Vdata$)가 문턱전압(V_{th})보다 낮기 때문에, 제1 트랜지스터(T1)는 제어 전극과 제1 전극 간의 전압 차(V_{gs})가 제1 트랜지스터(T1)의 문턱전압(V_{th})에 도달할 때까지 전류를 흐르게 된다. 이로 인해, 제1 트랜지스터(T1)의 제어 전극의 전압은 제2 기간(t_2) 동안 " $Vdata+V_{th}$ "까지 상승한다.

[0124] 세 번째로, 제3 기간(t_3) 동안 게이트 온 전압(V_{on})의 제k+1 주사신호(SCANK+1)가 제k+1 주사선($Sk+1$)에 공급된다. 이로 인해, 제3 기간(t_3) 동안 제7 트랜지스터(T7)가 턴-온된다.

[0125] 제7 트랜지스터(T7)의 턴-온으로 인해, 유기발광다이오드(OLED)의 애노드 전극은 제3 전원전압선(VINL2)에 접속된다. 즉, 유기발광다이오드(OLED)의 애노드 전극은 제3 전원전압으로 초기화된다. 제3 전원전압은 제4 전원전압선(VSSL)에 공급되는 제4 전원전압으로부터 제4 전원전압(VSS)과 유기발광다이오드(OLED)의 문턱전압($OLEDV_{th}$)를 합한 전압($VSS+OLEDV_{th}$) 사이의 전압으로 구현되는 것이 바람직하다. 또한, 제3 전원전압은 제1 전원전압선(VINL1)에 공급되는 제1 전원전압과 서로 다른 전압일 수 있다. 예를 들어, 제1 전원전압은 제4 전원전압(VSS)에 소정의 전압(a)을 합한 전압($VSS+a$)으로 구현되는 것이 바람직하다.

[0126] 네 번째로, 제4 기간(t_4) 동안 게이트 온 전압(V_{on})의 제k 발광 제어신호(EMk)가 제k 발광 제어선(Ek)에 공급된다. 이로 인해, 제4 기간(t_4) 동안 제5 및 제6 트랜지스터들(T5, T6)이 턴-온된다. 제5 및 제6 트랜지스터들(T5, T6)의 턴-온으로 인해, 제1 트랜지스터(T1)는 제어 전극의 전압에 따라 드레인-소스간 전류(I_{ds})를 흐르게 된다. 이때, 제1 트랜지스터(T1)의 제어 전극은 스토리지 커패시터(C_{st})에 의해 " $Vdata+V_{th}$ "를 유지한다. 이 경우, 제1 트랜지스터(T1)의 드레인-소스간 전류(I_{ds})는 수학적 식 2와 같이 정의될 수 있다.

수학적 식 2

$$I_{ds}=k' \cdot (V_{gs}-V_{th})^2 =k' \cdot ((Vdata+V_{th})-VDD-V_{th})^2$$

[0128] 수학적 식 2에서, k'는 제1 트랜지스터(T1)의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 제1 트랜지스터(T1)의 게이트-소스간 전압, V_{th} 는 제1 트랜지스터(T1)의 문턱전압, VDD는 제2 전원전압, Vdata는 데이터 전압을 의미한다. 제1 트랜지스터(T1)의 제어 전극의 전압은 $\{Vdata+V_{th}\}$ 이고, 소스 전압(V_s)은 VDD이다. 수학적 식 2를 정리하면, 수학적 식 3이 도출된다.

수학적 식 3

$$I_{ds} =k' \cdot (Vdata-VDD)^2$$

[0130] 결국, 수학적 식 3과 같이 제1 트랜지스터(T1)의 드레인-소스간 전류(I_{ds})는 제1 트랜지스터(T1)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 제1 트랜지스터(T1)의 문턱전압(V_{th})은 보상된다. 제1 트랜지스터(T1)의 드레인-소스간 전류(I_{ds})는 유기발광다이오드(OLED)에 공급된다. 이로 인해, 유기발광다이오드(OLED)는 발광한다.

[0131] 다섯 번째로, 제5 기간(t_5) 동안 게이트 온 전압(V_{on})의 제k 발광 제어신호(EMk)가 제k 발광 제어선(Ek)에 공급된다. 이로 인해, 제5 기간(t_5) 동안 제5 및 제6 트랜지스터들(T5, T6)이 턴-온되므로, 제4 기간(t_4)과 같이 유기발광다이오드(OLED)는 발광한다.

[0132] 그 다음으로, 제1 보조 화소(RP1)와 제j 표시 화소(DPj)의 구동 방법을 상세히 설명한다.

[0133] 첫 번째로, 제1 기간(t_1) 동안 게이트 온 전압(V_{on})의 제k-1 주사신호(SCANK-1)가 제k-1 주사선($Sk-1$)에 공급된다. 이로 인해, 제1 기간(t_1) 동안 제4 트랜지스터(T4')가 턴-온된다. 제4 트랜지스터(T4')의 턴-온으로 인해, 제1 트랜지스터(T1')의 제어 전극은 제3 전원전압선(VINL2)의 제3 전원전압으로 초기화된다.

- [0134] 두 번째로, 제2 기간(t_2) 동안 게이트 온 전압(V_{on})의 제 k 주사신호($SCAN_k$)가 제 k 주사선(Sk)에 공급된다. 이로 인해, 제2 기간(t_2) 동안 제2 및 제3 트랜지스터들(T_2' , T_3')이 턴-온된다.
- [0135] 제2 트랜지스터(T_2')의 턴-온으로 인해, 제1 트랜지스터(T_1')의 제1 전극에는 제1 보조 데이터선(RD_1)의 보조 데이터 전압(V_{data})이 공급된다. 제3 트랜지스터(T_3')의 턴-온으로 인해, 제1 트랜지스터(T_1')의 제어 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T_1')는 다이오드로 구동한다.
- [0136] 제1 트랜지스터(T_1')의 제어 전극과 제1 전극 간의 전압 차($V_{gs}=V_{IN2}-V_{data}$)가 문턱전압(V_{th})보다 낮기 때문에, 제1 트랜지스터(T_1')는 제어 전극과 제1 전극 간의 전압 차(V_{gs})가 제1 트랜지스터(T_1')의 문턱전압(V_{th})에 도달할 때까지 전류를 흐르게 된다. 이로 인해, 제1 트랜지스터(T_1')의 제어 전극의 전압은 제2 기간(t_2) 동안 " $V_{data}+V_{th}$ "까지 상승한다.
- [0137] 세 번째로, 제3 기간(t_3) 동안 게이트 온 전압(V_{on})의 제 $k+1$ 주사신호($SCAN_{k+1}$)가 제 $k+1$ 주사선($Sk+1$)에 공급된다. 또한, 제3 기간(t_3) 동안 제 $k+2$ 주사선($Sk+2$)에 접속된 제 $k+2$ 주사 스테이지($STAk+2$)의 풀-업 제어 노드(Q)가 게이트 온 전압(V_{on})을 갖는다. 이로 인해, 제3 기간(t_3) 동안 제1 방전제어 트랜지스터(DCT_1)가 턴-온된다.
- [0138] 제1 방전제어 트랜지스터(DCT_1)의 턴-온으로 인해, 방전 트랜지스터(DT)의 제어 전극에는 도 7과 같이 게이트 온 전압(V_{on})이 공급된다. 그 결과, 방전 트랜지스터(DT)가 턴-온되므로, 보조선(RL)의 전압(V_{RL})은 제1 전원 전압(V_{IN1})으로 초기화된다.
- [0139] 네 번째로, 제4 기간(t_4) 동안 게이트 온 전압(V_{on})의 제 k 발광 제어신호(EM_k)가 제 k 발광 제어선(Ek)에 공급된다. 이로 인해, 제4 기간(t_4) 동안 제5 및 제6 트랜지스터들(T_5' , T_6')이 턴-온된다. 제5 및 제6 트랜지스터들(T_5' , T_6')의 턴-온으로 인해, 제1 트랜지스터(T_1')는 제어 전극의 전압에 따라 드레인-소스간 전류(I_{ds})를 흐르게 된다. 이때, 제1 트랜지스터(T_1')의 제어 전극은 스토리지 커패시터(C_{st})에 의해 " $V_{data}+V_{th}$ "를 유지한다. 이 경우, 제1 트랜지스터(T_1')의 드레인-소스간 전류(I_{ds})는 수학식 2와 같이 정의될 수 있다. 수학식 2를 정리하면, 수학식 3이 도출된다.
- [0140] 결국, 수학식 3과 같이 제1 트랜지스터(T_1')의 드레인-소스간 전류(I_{ds})는 제1 트랜지스터(T_1')의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 제1 트랜지스터(T_1')의 문턱전압(V_{th})은 보상된다.
- [0141] 또한, 제4 기간(t_4) 동안 제 $k+2$ 주사선($Sk+2$)에 접속된 제 $k+2$ 주사 스테이지($STAk+2$)의 풀-업 제어 노드(Q)는 제2 부스팅 커패시터(Cb_2)의 부트스트래핑으로 인해, 게이트 온 전압(V_{on})보다 낮은 전압(V_{on}')을 갖는다. 이로 인해, 제4 기간(t_4) 동안 제1 방전제어 트랜지스터(DCT_1)가 턴-온된다.
- [0142] 제1 방전제어 트랜지스터(DCT_1)의 턴-온으로 인해, 방전 트랜지스터(DT)의 제어 전극에는 도 7과 같이 게이트 온 전압(V_{on})이 공급된다. 그 결과, 방전 트랜지스터(DT)가 턴-온되므로, 보조선(RL)의 전압(V_{RL})은 제1 전원 전압(V_{IN1})으로 초기화된다.
- [0143] 한편, 제4 기간(t_4) 동안 보조선(RL)이 제1 전원전압선(V_{INL1})에 접속되므로, 제1 트랜지스터(T_1')의 드레인-소스간 전류(I_{ds})는 보조선(RL)을 통해 제 j 표시 화소(DP_j)의 유기발광다이오드(OLED)에 공급되지 않고, 제1 전원 전압선(V_{INL1})으로 방전된다. 따라서, 제4 기간(t_4) 동안 제 j 표시 화소(DP_j)의 유기발광다이오드(OLED)는 발광하지 않는다.
- [0144] 다섯 번째로, 제5 기간(t_5) 동안 게이트 온 전압(V_{on})의 제 k 발광 제어신호(EM_k)가 제 k 발광 제어선(Ek)에 공급된다. 이로 인해, 제5 기간(t_5) 동안 제5 및 제6 트랜지스터들(T_5' , T_6')이 턴-온된다.
- [0145] 또한, 제5 기간(t_5) 동안 제 $k+2$ 주사선($Sk+2$)에 접속된 제 $k+2$ 주사 스테이지($STAk+2$)의 풀-업 제어 노드(Q)는 게이트 오프 전압(V_{off})을 갖는다. 이로 인해, 제5 기간(t_5) 동안 제1 방전제어 트랜지스터(DCT_1)가 턴-오프된다. 또한, 제5 기간(t_5) 동안 제1 부스팅 커패시터(Cb_1)에 의해 제 $k+2$ 주사 스테이지($STAk+2$)의 풀-업 제어 노드(Q)의 전압 변화량이 제1 보조 화소(RP_1)의 방전 트랜지스터(DT)의 제어 전극에 반영되므로, 방전 트랜지스터(DT)의 제어 전극의 전압은 게이트 오프 전압(V_{off})을 갖는다. 따라서, 방전 트랜지스터(DT)는 턴-오프된다.
- [0146] 결국, 제1 보조 화소(RP_1)의 제1 트랜지스터(T_1)의 드레인-소스간 전류(I_{ds})는 보조선(RL)을 통해 제 j 표시 화소(DP_j)의 유기발광다이오드(OLED)에 공급된다. 이로 인해, 제 j 표시 화소(DP_j)의 유기발광다이오드(OLED)는 발광한다.
- [0147] 한편, 보조선(RL)과 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들 사이에는 도 5와 같이 기생 용량

(PC)들이 형성될 수 있다. 따라서, 표시 화소 구동부(110)의 구동 전류가 공급되어 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들의 전압이 변동되는 제4 기간(t_4) 동안 기생 용량(PC)들에 의해 보조선(RL)의 전압이 상승할 수 있다. 하지만, 본 발명의 일 실시 예는 제3 및 제4 기간들(t_3 , t_4) 동안 보조선(RL)을 제1 전원전압선(VINL1)에 접속하므로, 보조선(RL)은 제3 및 제4 기간들(t_3 , t_4) 동안 제1 전원전압으로 방전된다. 따라서, 본 발명의 일 실시 예는 기생 용량(PC)들에 의해 보조선(RL)의 전압이 변동되는 것을 방지할 수 있으므로, 기생 용량(PC)들에 의해 제j 표시 화소(DPj)의 유기발광다이오드(OLED)가 오발광하는 것을 방지할 수 있다.

[0148] 또한, 보조선(RL)과 제k 주사선(S_k) 사이에는 도 5와 같이 프린지 용량(FC)이 형성될 수 있다. 제k 주사선(S_k)의 주사신호의 전압이 변동되는 제3 기간(t_3) 동안 프린지 용량(FC)에 의해 보조선(RL)의 전압이 상승할 수 있다. 하지만, 본 발명의 일 실시 예는 제3 및 제4 기간들(t_3 , t_4) 동안 보조선(RL)을 제1 전원전압선(VINL1)에 접속하므로, 보조선(RL)은 제3 및 제4 기간들(t_3 , t_4) 동안 제1 전원전압으로 방전된다. 따라서, 본 발명의 일 실시 예는 프린지 용량(FC)에 의해 보조선(RL)의 전압이 변동되는 것을 방지할 수 있으므로, 프린지 용량(FC)에 의해 제j 표시 화소(DPj)의 유기발광다이오드(OLED)가 오발광하는 것을 방지할 수 있다.

[0149] 도 8은 본 발명의 또 다른 실시 예에 따른 표시패널의 표시 화소들과 보조 화소를 상세히 보여주는 회로도이다.

[0150] 도 6에서는 설명의 편의를 위해 제k-1, 제k 및 제k+1 주사선들(S_{k-1} , S_k , S_{k+1}), 제1 보조 데이터선(RD1), 제1 및 제j 데이터선(D1, Dj), 제k 발광 제어선(E_k)만을 도시하였다. 또한, 도 3에서는 설명의 편의를 위해 제1 보조 데이터선(RD1)과 제k-1, 제k 및 제k+1 주사선들(S_{k-1} , S_k , S_{k+1})에 접속된 보조 화소(RP1), 제1 데이터선(D1)과 제k-1, 제k 및 제k+1 주사선들(S_{k-1} , S_k , S_{k+1})에 접속된 제1 표시 화소(DP1), 제j 데이터선(Dj)과 제k-1, 제k 및 제k+1 주사선들(S_{k-1} , S_k , S_{k+1})에 접속된 제j 표시 화소(DPj)만을 도시하였다. 도 8에서 제1 표시 화소(DP1)는 제조 공정 중에 불량 발생하지 않은 화소이고, 제j 표시 화소(DPj)는 제조 공정 중에 불량 발생하여 리페어된 화소로 예시하였음에 주의하여야 한다. 이하에서는 도 8을 결부하여 제1 보조 화소(RP1), 제1 표시 화소(DP1), 및 제j 표시 화소(DPj)를 상세히 살펴본다.

[0151] 도 8을 참조하면, 제1 보조 화소(RP1)는 보조선(RL)을 통해 리페어된 화소에 해당하는 제j 표시 화소(DPj)에 접속된다. 구체적으로, 보조선(RL)은 제1 보조 화소(RP1)로부터 표시영역(DA)으로 연장되어 형성될 수 있다. 보조선(RL)은 제j 표시 화소(DPj)의 유기발광다이오드(OLED)에 접속될 수 있다.

[0152] 표시 화소들(DP1, DPj) 각각은 유기발광다이오드(OLED)와 표시 화소 구동부(110)를 포함한다. 도 8에 도시된 표시 화소들(DP1, DPj)은 도 5에 도시된 표시 화소들(DP1, DPj)과 실질적으로 동일하다. 따라서, 도 8에 도시된 표시 화소들(DP1, DPj)에 대한 자세한 설명은 생략하기로 한다.

[0153] 제1 보조 화소(RP1)는 보조 화소 구동부(210), 방전 트랜지스터(DT), 및 방전 트랜지스터 제어부(220)를 포함한다. 제1 보조 화소(RP1)는 유기발광다이오드(OLED)를 포함하지 않는다.

[0154] 도 8에 도시된 제1 보조 화소(RP1)의 보조 화소 구동부(210) 및 방전 트랜지스터(DT)는 도 5에 도시된 제1 보조 화소(RP1)의 보조 화소 구동부(210) 및 방전 트랜지스터(DT)와 실질적으로 동일하다. 따라서, 도 8에 도시된 제1 보조 화소(RP1)의 보조 화소 구동부(210) 및 방전 트랜지스터(DT)에 대한 자세한 설명은 생략하기로 한다.

[0155] 방전 트랜지스터 제어부(220)는 방전 트랜지스터(DT)의 턴-온 및 턴-오프를 제어한다. 방전 트랜지스터 제어부(220)는 적어도 하나의 능동소자를 포함할 수 있다. 여기서, 능동소자는 다이오드, 트랜지스터, 및 스위치 중 어느 하나일 수 있다. 방전 트랜지스터 제어부(220)는 도 8과 같이 제1 및 제2 방전제어 트랜지스터들(DCT1', DCT2') 및 제1 부스팅 커패시터(Cb1')를 포함할 수 있다.

[0156] 제1 방전제어 트랜지스터(DCT1')는 방전 트랜지스터(DT')의 제어 전극과 제k 제어신호선(CSLk)에 접속될 수 있다. 제k 제어신호선(CSLk)에는 도 9와 같이 제k 제어신호(CSk)가 공급될 수 있다. 제1 방전제어 트랜지스터(DCT1')는 제1 방전제어 트랜지스터(DCT1')의 제어 전극에 공급되는 전압에 의해 턴-온되어 방전 트랜지스터(DT)의 제어 전극과 제k 제어신호선(CSLk)을 접속한다. 제1 방전제어 트랜지스터(DCT1')의 제어 전극은 제2 방전제어 트랜지스터(DCT2')의 제1 전극에 접속되고, 제1 전극은 제k 제어신호선(CSLk)에 접속되며, 제2 전극은 방전 트랜지스터(DT)의 제어 전극에 접속될 수 있다.

[0157] 제2 방전제어 트랜지스터(DCT2')는 제1 방전제어 트랜지스터(DCT1')의 제어 전극과 게이트 온 전압이 공급되는 게이트 온 전압선(VONL)에 접속될 수 있다. 제2 방전제어 트랜지스터(DCT2')는 제2 방전제어 트랜지스터(DCT2')의 제어 전극에 공급되는 전압에 의해 턴-온되어 제1 방전제어 트랜지스터(DCT1')의 제어 전극과 게이트

은 전압선(VONL)을 접속한다. 이로 인해, 제1 방전제어 트랜지스터(DCT1')는 턴-온된다. 제2 방전제어 트랜지스터(DCT2')의 제어 전극은 어느 한 주사선에 접속될 수 있다. 예를 들어, 제2 방전제어 트랜지스터(DCT2')는 도 8과 같이 제k-1 주사선(Sk-1)에 접속되거나, 제k 주사선(Sk)에 접속될 수 있다. 제2 방전제어 트랜지스터(DCT2')의 제어 전극은 어느 한 주사선에 접속되고, 제1 전극은 제1 방전제어 트랜지스터(DCT1')의 제어 전극에 접속되고, 제2 전극은 게이트 온 전압선(VONL)에 접속될 수 있다.

[0158] 제1 부스팅 커패시터(Cb1')는 제1 방전제어 트랜지스터(DCT1')의 제어 전극과 방전 트랜지스터(DT)의 제어 전극에 접속된다. 즉, 제1 부스팅 커패시터(Cb1')의 일측 전극은 제1 방전제어 트랜지스터(DCT1')의 제어 전극에 접속되고, 타측 전극은 방전 트랜지스터(DT)의 제어 전극에 접속될 수 있다.

[0159] 한편, 리페어된 화소에 해당하는 제j 표시 화소(DPj)를 제외한 나머지 표시 화소(DP1)들의 표시 화소 구동부(110)는 유기발광다이오드(OLED)에 접속되며, 유기발광다이오드(OLED)에 구동 전류를 공급한다. 하지만, 제j 표시 화소(DPj)의 표시 화소 구동부(110)는 유기발광다이오드(OLED)와 접속되지 않는다. 즉, 제j 표시 화소(DPj)의 표시 화소 구동부(110)는 불량으로 인해 제 역할을 하지 못하기 때문에, 레이저 합선(laser short-circuit) 공정을 통해 표시 화소 구동부(110)와 유기발광다이오드(OLED)의 접속을 끊고 제j 표시 화소(DPj)의 유기발광다이오드(OLED)의 애노드 전극을 보조선(RL)에 접속한다. 이로 인해, 제j 표시 화소(DPj)의 유기발광다이오드(OLED)의 애노드 전극은 보조선(RL)을 통해 제1 보조 화소(RP1)의 보조 화소 구동부(210)에 접속될 수 있다. 그러므로, 제j 표시 화소(DPj)의 유기발광다이오드(OLED)는 제1 보조 화소(RP1)의 보조 화소 구동부(210)로부터 구동 전류를 공급받아 발광한다. 따라서, 제j 표시 화소(DPj)는 리페어된다.

[0160] 도 8에서는 설명의 편의를 위해 제1 보조 화소(RP1)만을 예시하였으며, 보조 화소들 각각은 제1 보조 화소(RP1)와 실질적으로 동일하게 구현될 수 있다. 또한, 도 8에서는 설명의 편의를 위해 불량이 발생하지 않은 표시 화소로 제1 표시 화소(DP1)만을 예시하였으며, 불량이 발생하지 않은 표시 화소들 각각은 제1 표시 화소(DP1)과 실질적으로 동일하게 구현될 수 있다. 또한, 도 8에서는 설명의 편의를 위해 리페어된 화소로 제j 표시 화소(DPj)만을 예시하였으며, 리페어된 화소들 각각은 제j 표시 화소(DPj)와 실질적으로 동일하게 구현될 수 있다.

[0161] 한편, 보조선(RL)과 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들은 중첩되기 때문에, 보조선(RL)과 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들 사이에 도 8과 같이 기생 용량(PC)들이 형성될 수 있다. 또한, 보조선(RL)은 제k 주사선(Sk)과 인접하여 나란하게 형성되기 때문에, 보조선(RL)과 제k 주사선(Sk) 사이에 프린지 용량(FC)이 형성될 수 있다. 상기 기생용량(PC)들과 상기 프린지 용량(FC)으로 인하여 보조선(RL)의 전압이 변동될 수 있으며, 이로 인해 리페어된 화소에 해당하는 제j 표시 화소(DPj)의 유기발광다이오드(OLED)가 오발광하는 문제가 발생할 수 있다.

[0162] 하지만, 이를 해결하기 위해, 본 발명의 일 실시 예는 방전 트랜지스터(DT) 및 방전 트랜지스터 제어부(220)를 이용하여 보조선(RL)을 제1 전원전압으로 방전한다. 그 결과, 본 발명의 일 실시 예는 상기 기생용량(PC)들과 상기 프린지 용량(FC)으로 인하여 보조선(RL)의 전압이 변동되는 것을 방지할 수 있다. 따라서, 본 발명의 일 실시 예는 유기발광다이오드(OLED)가 오발광하는 것을 방지할 수 있다.

[0163] 도 9는 도 8의 표시 화소들과 보조 화소들에 공급되는 신호들을 보여주는 파형도이다. 도 9에는 제k-1 주사선(Sk-1)에 공급되는 제k-1 주사신호(SCANK-1), 제k 주사선(Sk)에 공급되는 제k 주사신호(SCANK), 제k+1 주사선(Sk+1)에 공급되는 제k+1 주사신호(SCANK+1), 제k+2 주사선(Sk+2)에 공급되는 제k+2 주사신호, 제k 발광 제어선(Ek)에 공급되는 제k 발광 제어신호(EMk), 제k 제어신호선(CSLk)에 공급되는 제k 제어신호(CSk), 방전 트랜지스터(DT)의 제어 전극에 공급되는 전압(V_DTG), 및 보조선(RL)의 전압(V_RL)이 나타나 있다.

[0164] 도 9를 참조하면, 1 프레임 기간은 제1 내지 제5 기간(t1~t5)으로 구분될 수 있다. 제k-1 주사신호(SCANK-1)는 제1 기간(t1) 동안 게이트 온 전압(Von)으로 발생하고, 제k 주사신호(SCANK)는 제2 기간(t2) 동안 게이트 온 전압(Von)으로 발생하며, 제k+1 주사신호(SCANK+1)는 제3 기간(t3) 동안 게이트 온 전압(Von)으로 발생하고, 제k+2 주사신호(SCANK+2)는 제4 기간(t4) 동안 게이트 온 전압(Von)으로 발생한다. 즉, 주사신호들은 순차적으로 게이트 온 전압(Von)으로 발생한다. 제k 발광 신호(EMk)는 제1 내지 제3 기간들(t1~t3) 동안 게이트 오프 전압(Voff)으로 발생한다. 제k 제어신호(CSk)는 제1 내지 제4 기간들(t1~t4) 동안 게이트 온 전압(Von)으로 발생한다. 즉, 제k 제어신호(CSk)의 펄스는 제k 발광 신호(EMk)의 펄스와 중첩되고, 제k 제어신호(CSk)의 펄스 폭은 제k 발광 신호(EMk)의 펄스 폭보다 넓게 구현될 수 있다.

[0165] 이하에서는, 도 8 및 도 9를 결부하여, 제1 보조 화소(RP1)와 제j 표시 화소(DPj)의 구동 방법 및 제1 표시 화

소(DP1)의 구동 방법을 상세히 설명한다.

- [0166] 먼저, 도 8 및 도 9와 관련된 제1 표시 화소(DP1)의 구동 방법은 도 5 및 도 7을 결부하여 설명한 제1 표시 화소(DP1)의 구동 방법과 실질적으로 동일하다. 따라서, 도 8 및 도 9와 관련된 제1 표시 화소(DP1)의 구동 방법은 생략하기로 한다.
- [0167] 그 다음으로, 제1 보조 화소(RP1)와 제j 표시 화소(DPj)의 구동 방법을 상세히 설명한다.
- [0168] 첫 번째로, 제1 기간(t1) 동안 게이트 온 전압(Von)의 제k-1 주사신호(SCANK-1)가 제k-1 주사선(Sk-1)에 공급된다. 이로 인해, 제1 기간(t1) 동안 제4 트랜지스터(T4')와 제2 방전제어 트랜지스터(DCT2')가 턴-온된다.
- [0169] 제4 트랜지스터(T4')의 턴-온으로 인해, 제1 트랜지스터(T1')의 제어 전극은 제3 전원전압선(VINL2)의 제3 전원전압으로 초기화된다.
- [0170] 제2 방전제어 트랜지스터(DCT2')의 턴-온으로 인해, 제1 방전제어 트랜지스터(DCT1')의 제어 전극은 게이트 온 전압선(VONL)에 접속된다. 또한, 제1 기간(t1) 동안 게이트 온 전압(Von)의 제k 제어신호(CSk)가 제k 제어신호선(CSLk)에 공급된다. 이로 인해, 제1 방전제어 트랜지스터(DCT1')는 약간 턴-온(slightly turn-on)된다. 제1 방전제어 트랜지스터(DCT1')가 약간 턴-온되므로, 방전 트랜지스터(DT)의 제어 전극에 공급되는 전압(V_DTG)은 게이트 온 전압(Von)으로 서서히 낮아지게 된다. 이로 인해, 방전 트랜지스터(DT) 역시 약간 턴-온된다. 따라서, 보조선(RL)의 전압(V_RL) 역시 제1 전원전압(VIN1)으로 서서히 방전된다.
- [0171] 한편, 방전 트랜지스터(DT)의 제어 전극에 공급되는 전압(V_DTG)의 전압 변화량이 제1 부스팅 커패시터(Cb1)에 의해 제1 방전제어 트랜지스터(DCT1')에 반영되므로, 시간이 흐름에 따라 제1 방전제어 트랜지스터(DCT1')는 완전히 턴-온(fully turn-on)될 수 있다. 이로 인해, 방전 트랜지스터(DT)의 제어 전극에 공급되는 전압(V_DTG)은 게이트 온 전압(Von)으로 낮아지므로, 방전 트랜지스터(DT) 역시 완전히 턴-온된다. 따라서, 보조선(RL)의 전압(V_RL) 역시 제1 전원전압(VIN1)으로 방전된다.
- [0172] 두 번째로, 제2 기간(t2) 동안 게이트 온 전압(Von)의 제k 주사신호(SCANK)가 제k 주사선(Sk)에 공급된다. 이로 인해, 제2 기간(t2) 동안 제2 및 제3 트랜지스터들(T2', T3')이 턴-온된다.
- [0173] 제2 트랜지스터(T2')의 턴-온으로 인해, 제1 트랜지스터(T1')의 제1 전극에는 제1 보조 데이터선(RD1)의 보조 데이터 전압(Vrdata)이 공급된다. 제3 트랜지스터(T3')의 턴-온으로 인해, 제1 트랜지스터(T1')의 제어 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1')는 다이오드로 구동한다.
- [0174] 제1 트랜지스터(T1')의 제어 전극과 제1 전극 간의 전압 차($V_{gs} = V_{IN2} - V_{data}$)가 문턱전압(V_{th})보다 낮기 때문에, 제1 트랜지스터(T1')는 제어 전극과 제1 전극 간의 전압 차(V_{gs})가 제1 트랜지스터(T1')의 문턱전압(V_{th})에 도달할 때까지 전류를 흐르게 된다. 이로 인해, 제1 트랜지스터(T1')의 제어 전극의 전압은 제2 기간(t2) 동안 " $V_{data} + V_{th}$ "까지 상승한다.
- [0175] 세 번째로, 제3 기간(t3) 동안 게이트 온 전압(Von)의 제k+1 주사신호(SCANK+1)가 제k+1 주사선(Sk+1)에 공급된다.
- [0176] 네 번째로, 제4 기간(t4) 동안 게이트 온 전압(Von)의 제k 발광 제어신호(EMk)가 제k 발광 제어선(Ek)에 공급된다. 이로 인해, 제4 기간(t4) 동안 제5 및 제6 트랜지스터들(T5', T6')이 턴-온된다. 제5 및 제6 트랜지스터들(T5', T6')의 턴-온으로 인해, 제1 트랜지스터(T1')는 제어 전극의 전압에 따라 드레인-소스간 전류(I_{ds})를 흐르게 된다. 이때, 제1 트랜지스터(T1')의 제어 전극은 스토리지 커패시터(Cst)에 의해 " $V_{data} + V_{th}$ "를 유지한다. 이 경우, 제1 트랜지스터(T1')의 드레인-소스간 전류(I_{ds})는 수학식 2와 같이 정의될 수 있다. 수학식 2를 정리하면, 수학식 3이 도출된다.
- [0177] 결국, 수학식 3과 같이 제1 트랜지스터(T1')의 드레인-소스간 전류(I_{ds})는 제1 트랜지스터(T1')의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 제1 트랜지스터(T1')의 문턱전압(V_{th})은 보상된다.
- [0178] 한편, 제4 기간(t4) 동안 보조선(RL)이 제1 전원전압선(VINL1)에 접속되므로, 제1 트랜지스터(T1')의 드레인-소스간 전류(I_{ds})는 보조선(RL)을 통해 제j 표시 화소(DPj)의 유기발광다이오드(OLED)에 공급되지 않고, 제1 전원전압선(VINL1)으로 방전된다. 따라서, 제4 기간(t4) 동안 제j 표시 화소(DPj)의 유기발광다이오드(OLED)는 발광하지 않는다.
- [0179] 다섯 번째로, 제5 기간(t5) 동안 게이트 온 전압(Von)의 제k 발광 제어신호(EMk)가 제k 발광 제어선(Ek)에 공급된다. 이로 인해, 제5 기간(t5) 동안 제5 및 제6 트랜지스터들(T5', T6')이 턴-온된다.

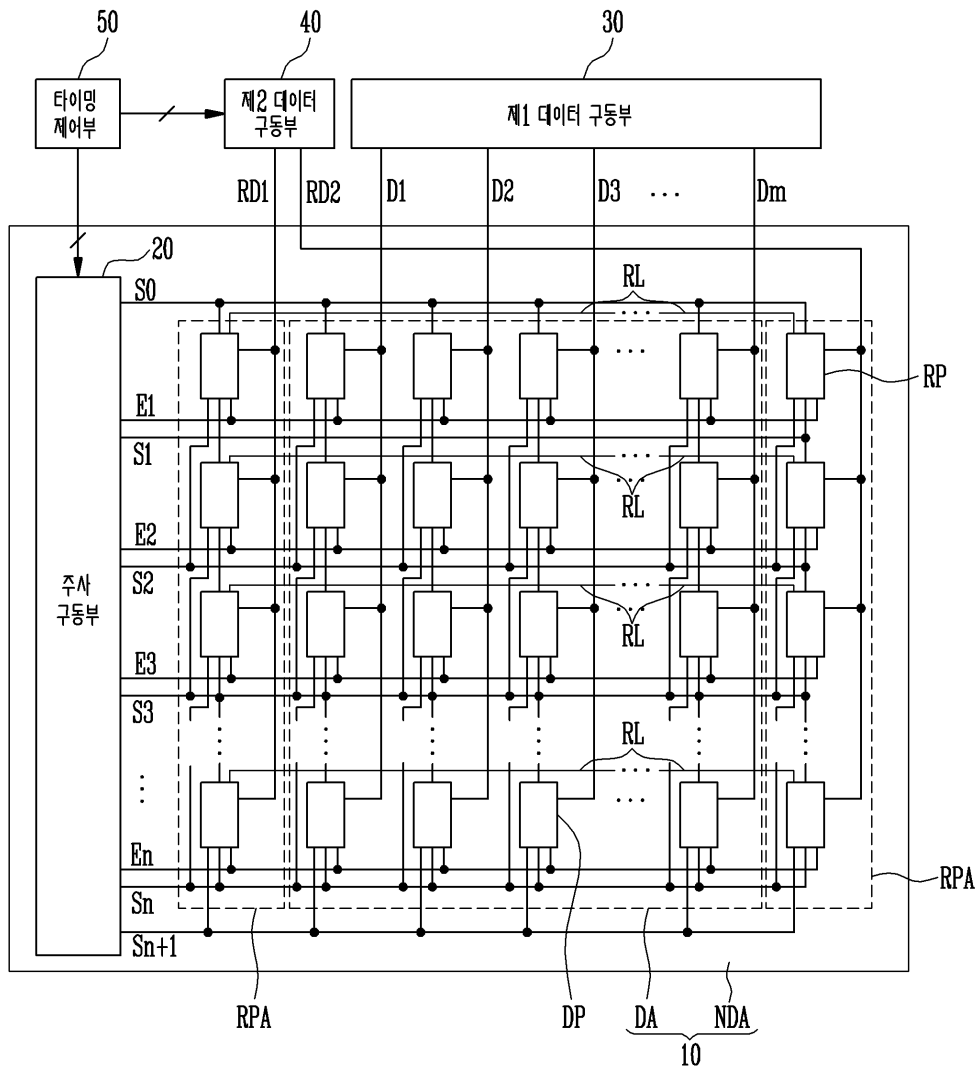
- [0180] 또한, 제5 기간(t_5) 동안 제 k 제어신호선(CSL k)에 공급되는 제 k 제어신호(CSk)는 게이트 오프 전압(V_{off})을 갖는다. 이로 인해, 제5 기간(t_5) 동안 방전트랜지스터(DT)의 제어 전극에는 게이트 오프 전압(V_{off})이 공급된다. 따라서, 방전 트랜지스터(DT)는 턴-오프된다. 또한, 방전 트랜지스터(DT)의 제어 전극의 전압 변화량이 제1 부스팅 커패시터(C_{b1})에 의해 제1 방전제어 트랜지스터(DCT1')의 제어 전극에 반영된다. 따라서, 제1 방전제어 트랜지스터(DCT1')는 턴-오프된다.
- [0181] 결국, 제1 트랜지스터(T1')의 드레인-소스간 전류(I_{ds})는 보조선(RL)을 통해 제 j 표시 화소(DP j)의 유기발광다이오드(OLED)에 공급된다. 이로 인해, 제 j 표시 화소(DP j)의 유기발광다이오드(OLED)는 발광한다.
- [0182] 한편, 보조선(RL)과 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들 사이에는 도 8과 같이 기생 용량(PC)들이 형성될 수 있다. 따라서, 표시 화소 구동부(110)의 구동 전류가 공급되어 표시 화소들의 유기발광다이오드(OLED)들의 애노드 전극들의 전압이 변동되는 제4 기간(t_4) 동안 기생 용량(PC)들에 의해 보조선(RL)의 전압이 상승할 수 있다. 하지만, 본 발명의 일 실시 예는 제1 내지 제4 기간들($t_1 \sim t_4$) 동안 보조선(RL)을 제1 전원전압선(VINL1)에 접속하므로, 보조선(RL)은 제1 내지 제4 기간들($t_1 \sim t_4$) 동안 제1 전원전압으로 방전된다. 따라서, 본 발명의 일 실시 예는 기생 용량(PC)들에 의해 보조선(RL)의 전압이 변동되는 것을 방지할 수 있으므로, 기생 용량(PC)들에 의해 제 j 표시 화소(DP j)의 유기발광다이오드(OLED)가 오발광하는 것을 방지할 수 있다.
- [0183] 또한, 보조선(RL)과 제 k 주사선(Sk) 사이에는 도 8과 같이 프린지 용량(FC)이 형성될 수 있다. 제 k 주사선(Sk)의 주사신호의 전압이 변동되는 제3 기간(t_3) 동안 프린지 용량(FC)에 의해 보조선(RL)의 전압이 상승할 수 있다. 하지만, 본 발명의 일 실시 예는 제1 내지 제4 기간들($t_1 \sim t_4$) 동안 보조선(RL)을 제1 전원전압선(VINL1)에 접속하므로, 보조선(RL)은 제1 내지 제4 기간들($t_1 \sim t_4$) 동안 제1 전원전압으로 방전된다. 따라서, 본 발명의 일 실시 예는 프린지 용량(FC)에 의해 보조선(RL)의 전압이 변동되는 것을 방지할 수 있으므로, 프린지 용량(FC)에 의해 제 j 표시 화소(DP j)의 유기발광다이오드(OLED)가 오발광하는 것을 방지할 수 있다.
- [0184] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

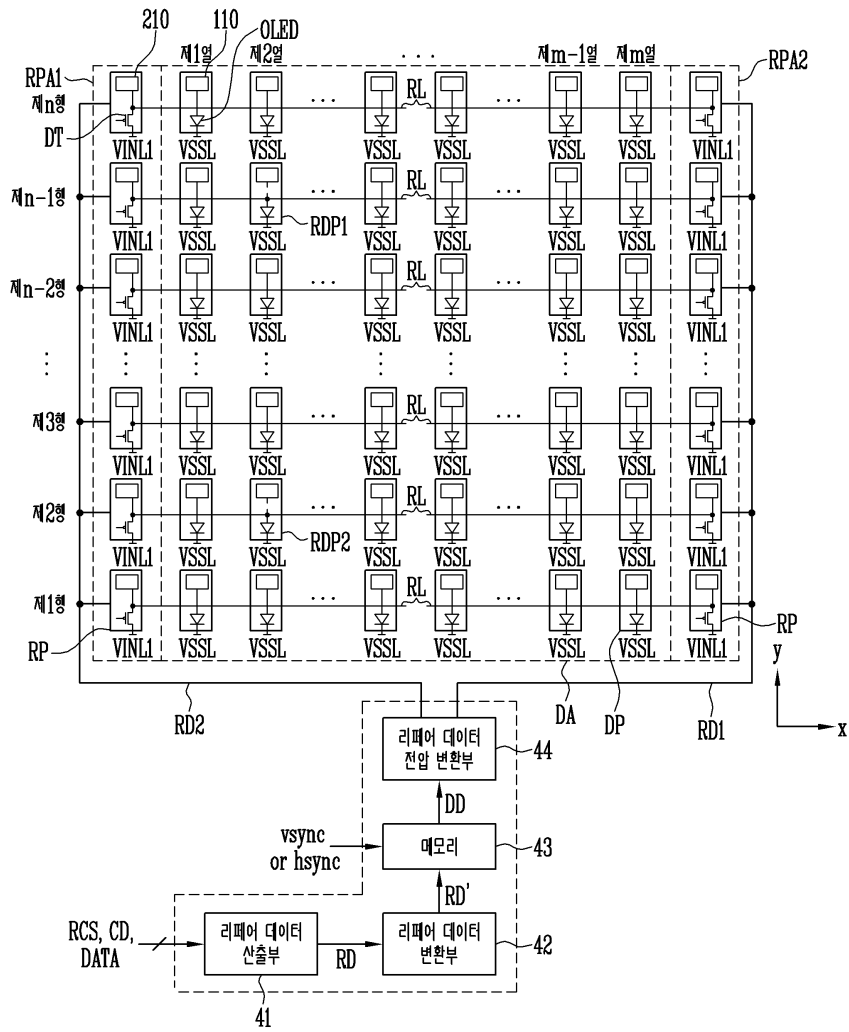
- [0185] 10: 표시패널 DA: 표시영역
NDA: 비표시영역 RPA: 보조 화소 영역
20: 주사 구동부 30: 제1 데이터 구동부
40: 제2 데이터 구동부 41: 보조 데이터 산출부
42: 메모리 43: 보조 데이터 전압 변환부
50: 타이밍 제어부 110: 표시 화소 구동부
OLED: 유기발광다이오드 RL: 보조선
DT: 방전 트랜지스터 210: 보조 화소 구동부
220: 방전 트랜지스터 제어부

도면

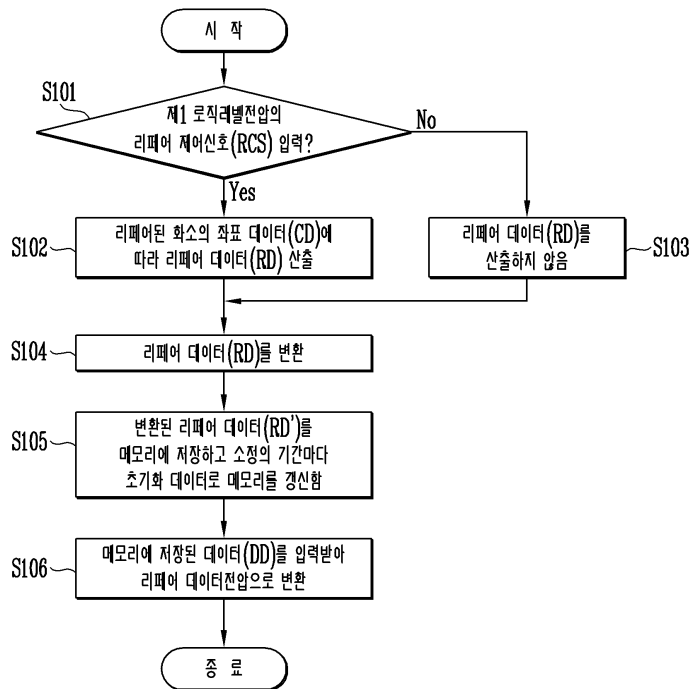
도면1



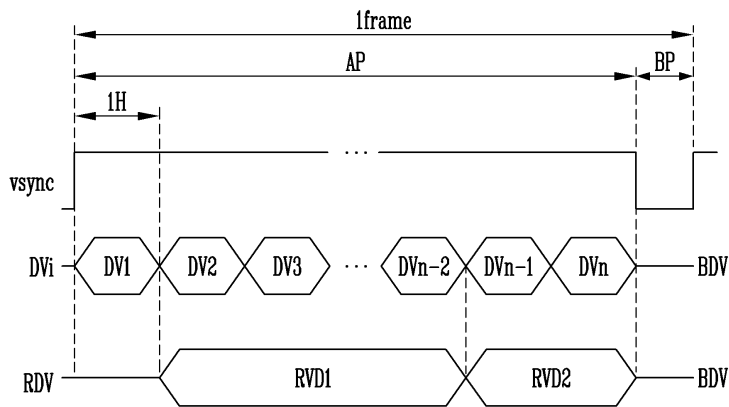
도면2



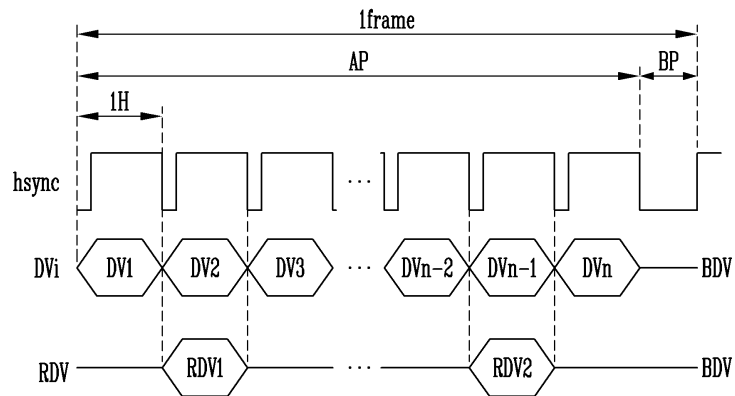
도면3



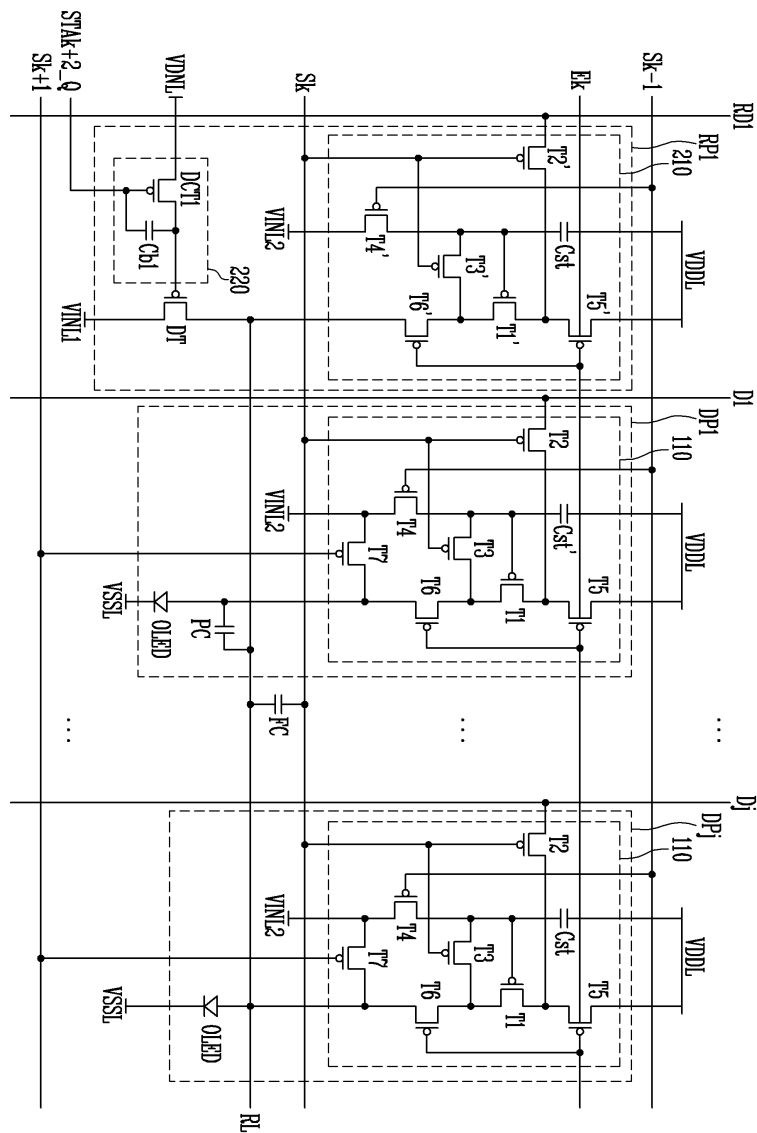
도면4a



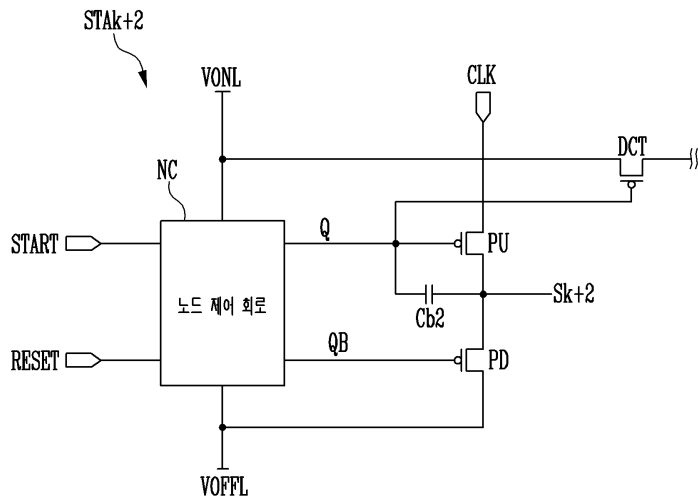
도면4b



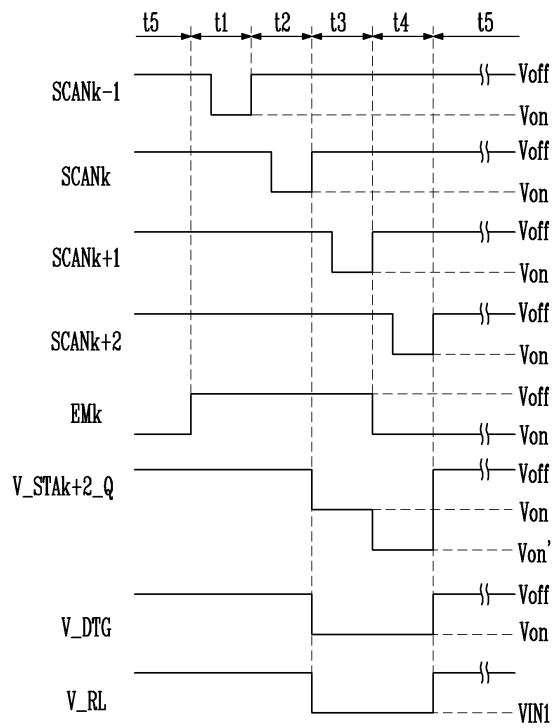
도면5



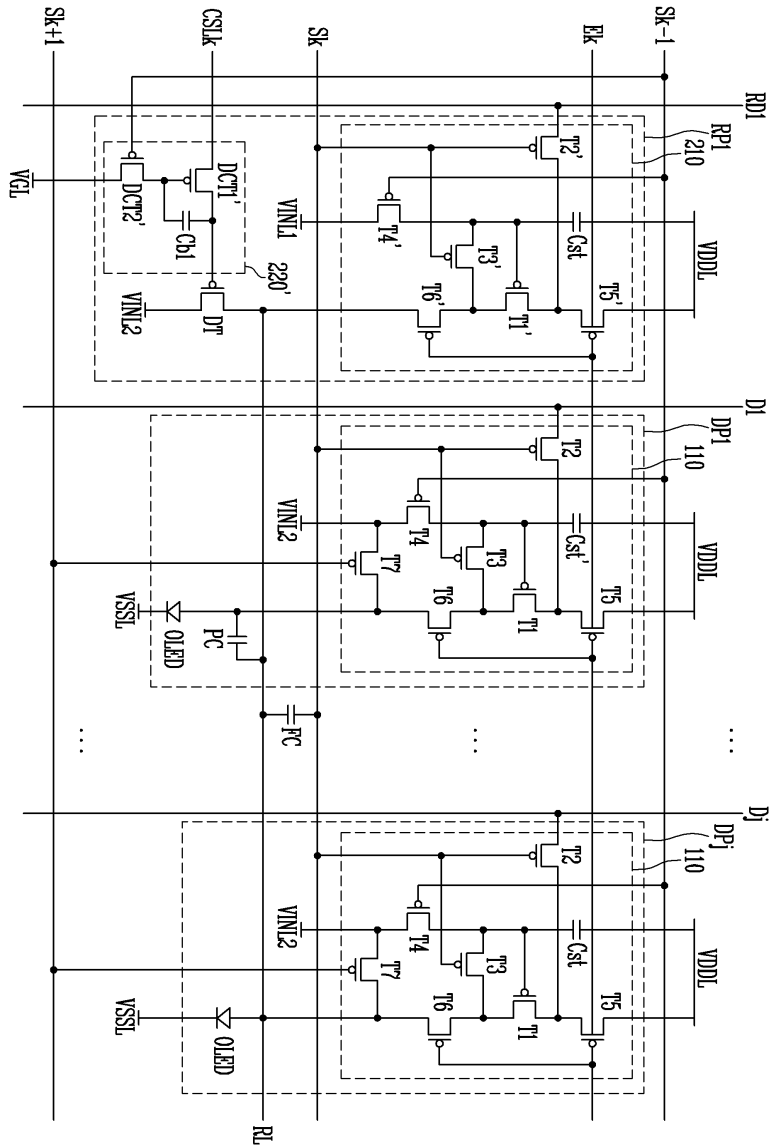
도면6



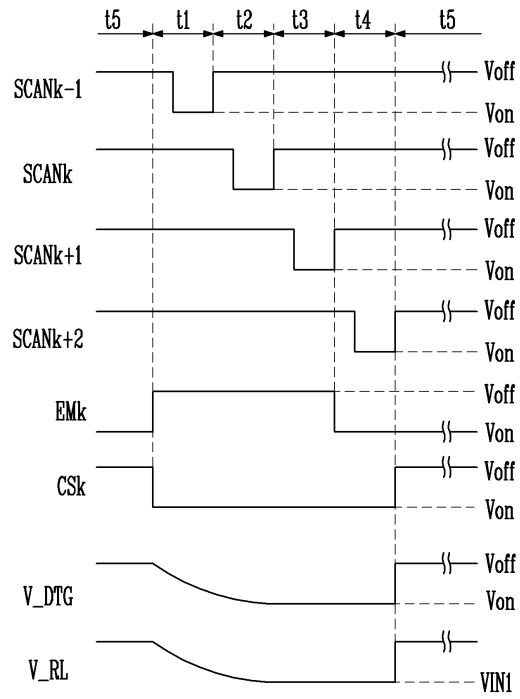
도면7



도면8



도면9



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020160032755A	公开(公告)日	2016-03-25
申请号	KR1020140122727	申请日	2014-09-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JAESIC LEE 이재식 MIHAE KIM 김미해		
发明人	이재식 김미해		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2320/043 G09G2330/08 G09G2330/10		
代理人(译)	강신섭 Munyoungho Yiyongwoo		
外部链接	Espacenet		

摘要(译)

有机发光显示器本发明涉及有机发光显示器。根据本发明的实施例的有机发光显示装置包括数据线 和辅助数据线;扫描线和发射控制线穿过数据线和辅助数据线;到 显示在数据线，扫描线和发射控制线交叉的位置处形成的像素;辅助数据线，在扫描线和发射控制线交叉的位置处形成辅助像素;还有第二个晶体管 并且辅助像素连接到第一电源电压线，辅助线和第一电源电压被提供给第一电源电压线 放电晶体管;以及放电晶体管控制部分，用于控制放电晶体管的导通 由的。

