

(72) 발명자

최대정

경기도 파주시 가람로116번길 130, 707동 702호 (와동동, 가람마을7단지한라비발디아파트)

이아령

서울특별시 강서구 화곡로64길 50, 201동 606호 (등촌동, 등촌현대2차아파트)

명세서

청구범위

청구항 1

복수의 픽셀을 포함하는 유기전계 발광표시장치에 있어서,
 복수의 픽셀 영역과 더미 영역이 정의된 백 플랜 기관;
 상기 백 플랜 기관의 픽셀 영역에 구비된 박막 트랜지스터;
 상기 박막 트랜지스터를 포함한 백 플랜 기관 전면에 형성되고, 상기 박막 트랜지스터의 일부를 노출시키는 오버코트층;
 상기 픽셀 영역의 오버코트층 상부에 형성되고, 상기 박막 트랜지스터와 연결되는 애노드전극;
 상기 더미 영역의 오버코트층 상부에 형성된 버스전극;
 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 형성된 뱅크막;
 상기 뱅크막 사이의 애노드전극 상부에 형성된 발광층;
 상기 발광층을 포함한 백 플랜 기관 상부에 형성되고, 상기 버스전극을 노출시키는 제1 캐소드전극; 및
 상기 제1 캐소드전극 상부에 형성되고, 상기 버스전극과 접촉되는 제2 캐소드전극;을 포함하여 구성되는 유기전계 발광표시장치.

청구항 2

제1 항에 있어서, 상기 버스전극은 애노드전극과 동일 물질로 구성된 것을 특징으로 하는 유기전계 발광표시장치.

청구항 3

복수의 픽셀을 포함하는 유기전계 발광표시장치에 있어서,
 복수의 픽셀 영역과 더미 영역이 정의된 백 플랜 기관;
 상기 백 플랜 기관의 픽셀 영역에 구비된 박막 트랜지스터;
 상기 박막 트랜지스터를 포함한 백 플랜 기관 전면에 형성되고, 상기 박막 트랜지스터의 일부를 노출시키는 오버코트층;
 상기 픽셀 영역의 오버코트층 상부에 형성되고, 상기 박막 트랜지스터와 연결되는 애노드전극;
 상기 더미 영역의 오버코트층 상부에 형성된 버스전극;
 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 형성된 뱅크막;
 상기 뱅크막 사이의 애노드전극 상부에 형성된 발광층;
 상기 발광층을 포함한 백 플랜 기관 상부에 형성되고, 상기 버스전극을 노출시키는 비아홀을 구비한 제1 캐소드전극; 및
 상기 제1 캐소드전극 상부에 형성되고, 상기 비아홀을 통해 상기 버스전극과 접촉되는 제2 캐소드전극;을 포함하여 구성되는 유기전계 발광표시장치.

청구항 4

제3 항에 있어서, 상기 버스전극은 상기 애노드전극과 동일 물질로 이루어진 것을 이루는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 5

복수의 픽셀을 포함하는 유기전계 발광표시장치에 있어서,
 복수의 픽셀 영역과 더미 영역이 정의된 백 플랜 기관;
 상기 백 플랜 기관의 픽셀 영역에 구비된 박막 트랜지스터;
 상기 박막 트랜지스터를 포함한 백 플랜 기관 전면에 형성되고, 상기 박막 트랜지스터의 일부를 노출시키는 오버코트층;
 상기 픽셀 영역의 오버코트층 상부에 형성되고, 상기 박막 트랜지스터와 연결되는 애노드전극;
 상기 더미 영역의 오버코트층 상부에 형성된 버스전극;
 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 형성된 뱅크막;
 상기 뱅크막 사이의 애노드전극 상부에 적층된 정공주입층, 정공수송층 및 유기층;
 상기 유기층, 뱅크막 및 버스전극을 포함한 상기 백 플랜 기관 전면에 적층된 전자수송층 및 전자주입층;
 상기 전자주입층을 포함한 백 플랜 기관 상부에 형성되고, 상기 전자주입층 및 전자수송층을 통해 상기 버스전극을 노출시키는 비아홀을 구비한 제1 캐소드전극; 및
 상기 제1 캐소드전극 상부에 형성되고, 상기 비아홀을 통해 상기 버스전극과 접촉되는 제2 캐소드전극;을 포함하여 구성되는 유기전계 발광표시장치.

청구항 6

제5 항에 있어서, 상기 버스전극은 상기 애노드전극과 동일 물질로 이루어진 것을 이루는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 7

제5 항에 있어서, 상기 비아홀은 상기 제1 캐소드전극은 물론 전자주입층, 전자정공층 및 버스전극에까지 형성된 것을 특징으로 하는 유기전계 발광표시장치.

청구항 8

복수의 픽셀을 포함하는 유기전계 발광표시장치 제조방법에 있어서,
 픽셀 영역과 더미 영역이 정의된 백 플랜 기관을 제공하는 단계;
 상기 픽셀 영역의 백 플랜기관 상부에 박막 트랜지스터를 형성하는 단계;
 상기 박막 트랜지스터를 포함한 백 플랜 기관 전면에 오버코트층을 형성하는 단계;
 상기 오버코트층에 상기 박막 트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀을 형성하는 단계;
 상기 픽셀 영역의 오버코트층 상부에 상기 드레인 전극과 연결되는 애노드전극을 형성함과 동시에, 상기 더미 영역의 오버코트층 상부에 버스전극을 형성하는 단계;
 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 뱅크막을 형성하는 단계;
 상기 뱅크막 사이의 애노드전극 상부에 정공주입층, 정공수송층 및 유기물질층을 차례로 적층하는 단계;
 상기 유기물질층과 뱅크막을 포함한 백 플랜 기관 전면에 전자수송층 및 전자주입층을 차례로 적층하는 단계;
 상기 전자주입층을 포함한 백 플랜 기관 전면에 제1 캐소드전극층을 형성하는 단계;
 상기 더미 영역 위의 제1 캐소드전극층, 그 하부의 전자주입층, 전자수송층 및 버스전극에 상기 버스전극을 노출시키는 비아홀을 형성하는 단계; 및
 상기 제1 캐소드전극층을 포함한 백 플랜 기관 상부에 상기 비아홀을 통해 상기 버스전극과 접촉되는 제2 캐소드전극층을 형성하는 단계;를 포함하여 구성되는 유기전계 발광표시장치 제조방법.

청구항 9

제8 항에 있어서, 상기 버스전극은 애노드전극과 동일 물질로 구성된 것을 특징으로 하는 유기전계 발광표시장치 제조방법.

청구항 10

제8 항에 있어서, 상기 비아홀을 형성하는 단계는 상기 더미 영역 위의 제1 캐소드 전극층, 그 하부의 전자주입층, 전자수송층 및 버스전극에 펀칭 공정을 실시함으로써 이루어지는 것을 특징으로 하는 유기전계 발광표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계 발광장치에 관한 것으로서, 보다 상세하게는 상부 발광박식(top emission type)의 유기전계 발광표시장치(OLED; Organic Light Emitting Diode)의 캐소드전극의 면저항을 줄일 수 있는 유기전계 발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: liquid crystal display), 플라즈마 표시장치(PDP: plasma display panel), 유기 발광소자(OLED: organic light emitting diode)와 같은 다양한 평판표시장치(flat panel display)가 활용되고 있다.

[0003] 이와 같은 표시장치중, 유기발광소자는 자발광소자로서, 비발광소자인 액정표시장치에 사용되는 백라이트가 필요하지 않기 때문에, 경량, 박형이 가능하다.

[0004] 그리고, 유기발광소자는 액정표시장치에 비해 시야각 및 대조비가 우수하며, 소비전력 측면에서도 유리하다. 또한, 직류저전압 구동이 가능하고, 응답속도가 빠르며, 내부 구성요소가 고체이기 때문에 외부 충격에 강하고, 사용 온도 범위도 넓으며, 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

[0005] 이러한 유기발광소자의 특성을 갖는 유기발광 디스플레이장치는 크게 패시브 매트릭스 타입(passive matrix type)과 액티브 매트릭스 타입(active matrix type)으로 나뉘지는데, 패시브 매트릭스 타입은 신호선을 교차하면서 매트릭스 형태로 소자를 구성하는 한편, 액티브 매트릭스 타입은 화소를 오/오프(on/off)하는 스위칭 소자인 박막 트랜지스터와 전류를 흘려 보내주는 구동 박막 트랜지스터 및 이 구동 박막 트랜지스터에 한 프레임 동안 전압을 유지해 주는 캐패시터가 화소 별로 위치하도록 소자를 구성한다.

[0006] 최근에는 패시브 매트릭스 타입은 해상도나 소비전력, 수명 등에 많은 제한적인 요소를 가지고 있어, 고해상도나 대화면을 구현할 수 있는 액티브 매트릭스 타입 유기발광소자의 연구가 활발히 진행되고 있다.

[0007] 또한, 이러한 유기발광 표시장치는 발광된 빛의 투과 방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉜다.

[0008] 이 중에서, 상부 발광 방식을 적용한 기존의 유기전계 발광표시장치에 대해 도 1을 참조하여 개략적으로 설명하면 다음과 같다.

[0009] 도 1은 종래기술에 따른 상부 발광방식의 유기전계 발광표시장치의 개략적인 단면도이다.

[0010] 도 1을 참조하면, 종래기술에 따른 유기전계 발광표시장치(10)는 복수 개의 박막 트랜지스터(TFT), 유기발광소자(E) 및 스토리지 캐패시터(미도시)를 포함한다.

[0011] 상기 복수 개의 박막 트랜지스터(TFT)는 스위칭 박막 트랜지스터(미도시)와 구동 박막 트랜지스터(Td)를 포함하여 구성되며, 이들 박막 트랜지스터, 예를 들어 구동 박막 트랜지스터(Td)는 백 플랜 기판(11)의 전면에 게이트 전극(13), 게이트 절연막(15), 액티브층(17), 소스전극(21) 및 드레인 전극(23)으로 구성된다.

[0012] 상기 구동 박막 트랜지스터(Td)를 덮도록 상기 백 플랜 기판(11)의 전면에 보호막(24, ILD: inter layer dielectric) 및 오버코트층(25, passivation layer)이 형성된다.

- [0013] 상기 오버코트층(25) 상에는 상기 오버코트층(25) 및 보호막(24)의 일부 영역이 식각되어 상기 드레인 전극(23)을 노출시키는 드레인 콘택홀(미도시)이 형성되고, 상기 드레인 콘택홀을 통해 상기 드레인 전극(23)과 접촉되며 인듐-틴-옥사이드 (ITO)와 같은 투명 전도성 물질로 이루어진 애노드전극(27)이 형성된다.
- [0014] 상기 애노드전극(27) 사이의 오버코트층(25) 상면에는 화상이 표시되는 표시영역 즉, 개구부를 정의하는 뱅크막(29)이 형성된다.
- [0015] 상기 애노드전극(27) 상에는 인가된 전류에 의해 발광하는 발광층(31)이 형성되고, 상기 발광층(31)을 포함한 백 플랜 기판(11) 전면에는 투명한 캐소드 전극 (33)이 형성된다. 이때, 상기 발광층 (31)은 각 서브 화소에 형성되는 적색 발광층(31R), 녹색 발광층(31G) 및 청색 발광층(31B)을 포함한다.
- [0016] 상기 애노드 전극(27), 발광층(31) 및 캐소드 전극(33)은 유기발광소자(E)를 구성하며, 박막 트랜지스터(Td)의 스위칭에 의해 상기 유기발광소자(E)에 전류가 공급됨으로써 발광하게 되며, 복수의 픽셀에 형성된 유기발광소자(E)들에 의해 화상을 표시하게 된다.
- [0017] 도면에는 도시하지 않았지만, 상기 캐소드 전극(33)을 포함한 백 플랜 기판 (11) 전면에는 봉지 기판(미도시)이 형성되어 유기발광소자(E)를 습기와 같은 외부 요인으로부터 봉지하게 된다.
- [0018] 이와 같이, 기존의 상부 발광방식(top emission type)의 유기전계 발광표시장치(10)에서는 투명한 캐소드 전극 (33)을 사용하기 때문에 전기 전도도가 떨어져 유기전계 발광표시장치(10)의 면 저항이 증가하게 된다.
- [0019] 따라서, 유기전계 발광표시장치(10)의 면 저항이 증가하게 되면, 유기전계 발광표시장치의 소비 전력이 증가하게 된다.

발명의 내용

해결하려는 과제

- [0020] 본 발명은 상기 문제점들을 해결하기 위한 것으로서, 본 발명의 목적은 상부 발광박식(top emission type)의 유기전계 발광표시장치(OLED; Organic Light Emitting Diode)의 캐소드 전극의 면 저항 및 표시장치의 소비전력을 감소시킬 수 있는 유기전계 발광표시장치 및 그 제조방법을 제공함에 있는 것이다.

과제의 해결 수단

- [0021] 상술한 기술적 과제를 해결하기 위한 본 발명에 따른 유기전계 발광표시장치는, 복수의 픽셀을 포함하는 유기전계 발광표시장치에 있어서, 복수의 픽셀 영역과 더미 영역이 정의된 백 플랜 기판; 상기 백 플랜 기판의 픽셀 영역에 구비된 박막 트랜지스터; 상기 박막 트랜지스터를 포함한 백 플랜 기판 전면에 형성되고, 상기 박막 트랜지스터의 일부를 노출시키는 오버코트층; 상기 픽셀 영역의 오버코트층 상부에 형성되고, 상기 박막 트랜지스터와 연결되는 애노드전극; 상기 더미 영역의 오버코트층 상부에 형성된 버스전극; 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 형성된 뱅크막; 상기 뱅크막 사이의 애노드전극 상부에 형성된 발광층; 상기 발광층을 포함한 백 플랜 기판 상부에 형성되고, 상기 버스전극을 노출시키는 제1 캐소드전극; 및 상기 제1 캐소드전극 상부에 형성되고, 상기 버스전극과 접촉되는 제2 캐소드전극;을 포함하여 구성되는 것을 특징으로 한다.
- [0022] 상술한 기술적 과제를 해결하기 위한 본 발명에 따른 유기전계 발광표시장치는, 복수의 픽셀을 포함하는 유기전계 발광표시장치에 있어서, 복수의 픽셀 영역과 더미 영역이 정의된 백 플랜 기판; 상기 백 플랜 기판의 픽셀 영역에 구비된 박막 트랜지스터; 상기 박막 트랜지스터를 포함한 백 플랜 기판 전면에 형성되고, 상기 박막 트랜지스터의 일부를 노출시키는 오버코트층; 상기 픽셀 영역의 오버코트층 상부에 형성되고, 상기 박막 트랜지스터와 연결되는 애노드전극; 상기 더미 영역의 오버코트층 상부에 형성된 버스전극; 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 형성된 뱅크막; 상기 뱅크막 사이의 애노드전극 상부에 형성된 발광층; 상기 발광층을 포함한 백 플랜 기판 상부에 형성되고, 상기 버스전극을 노출시키는 비아홀을 구비한 제1 캐소드전극; 및 상기 제1 캐소드전극 상부에 형성되고, 상기 비아홀을 통해 상기 버스전극과 접촉되는 제2 캐소드전극;을 포함하여 구성되는 것을 특징으로 한다.
- [0023] 상술한 기술적 과제를 해결하기 위한 본 발명에 따른 유기전계 발광표시장치는, 복수의 픽셀을 포함하는 유기전계 발광표시장치에 있어서, 복수의 픽셀 영역과 더미 영역이 정의된 백 플랜 기판; 상기 백 플랜 기판의 픽셀 영역에 구비된 박막 트랜지스터; 상기 박막 트랜지스터를 포함한 백 플랜 기판 전면에 형성되고, 상기 박막 트

랜지스터의 일부를 노출시키는 오버코트층; 상기 픽셀 영역의 오버코트층 상부에 형성되고, 상기 박막 트랜지스터와 연결되는 애노드전극; 상기 더미 영역의 오버코트층 상부에 형성된 버스전극; 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 형성된 뱅크막; 상기 뱅크막 사이의 애노드전극 상부에 적층된 정공주입층, 정공수송층 및 유기층; 상기 유기층, 뱅크막 및 버스전극을 포함한 상기 백 플랜 기관 전면에 적층된 전자수송층 및 전자주입층; 상기 전자주입층을 포함한 백 플랜 기관 상부에 형성되고, 상기 전자주입층 및 전자수송층을 통해 상기 버스전극을 노출시키는 비아홀을 구비한 제1 캐소드전극; 및 상기 제1 캐소드전극 상부에 형성되고, 상기 비아홀을 통해 상기 버스전극과 접촉되는 제2 캐소드전극;을 포함하여 구성되는 것을 특징으로 한다.

[0024]

상술한 기술적 과제를 해결하기 위한 본 발명에 따른 유기전계 발광표시장치제조방법은, 복수의 픽셀을 포함하는 유기전계 발광표시장치 제조방법에 있어서, 픽셀 영역과 더미 영역이 정의된 백 플랜 기관을 제공하는 단계; 상기 픽셀 영역의 백 플랜기관 상부에 박막 트랜지스터를 형성하는 단계; 상기 박막 트랜지스터를 포함한 백 플랜 기관 전면에 오버코트층을 형성하는 단계; 상기 오버코트층에 상기 박막 트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀을 형성하는 단계; 상기 픽셀 영역의 오버코트층 상부에 상기 드레인 전극과 연결되는 애노드전극을 형성함과 동시에, 상기 더미 영역의 오버코트층 상부에 버스전극을 형성하는 단계; 상기 애노드전극 및 버스전극 사이의 오버코트층 상부에 뱅크막을 형성하는 단계; 상기 뱅크막 사이의 애노드전극 상부에 정공주입층, 정공수송층 및 유기물질층을 차례로 적층하는 단계; 상기 유기물질층과 뱅크막을 포함한 백 플랜 기관 전면에 전자수송층 및 전자주입층을 차례로 적층하는 단계; 상기 전자주입층을 포함한 백 플랜 기관 전면에 제1 캐소드전극층을 형성하는 단계; 상기 더미 영역 위의 제1 캐소드전극층, 그 하부의 전자주입층, 전자수송층 및 버스전극에 상기 버스전극을 노출시키는 비아홀을 형성하는 단계; 및 상기 제1 캐소드전극층을 포함한 백 플랜 기관 상부에 상기 비아홀을 통해 상기 버스전극과 접촉되는 제2 캐소드전극층을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0025]

본 발명에 따른 유기전계 발광표시장치 및 그 제조방법은, 픽셀을 구성하는 다수의 서브 픽셀 중 외곽에 위치하는 서브 픽셀과 인접하여 정의된 더미영역에 버스전극(bus electrode)을 형성하여 캐소드 전극과 접촉하도록 함으로써 캐소드 전극의 면저항이 감소되어 표시장치의 소비전력을 줄일 수 있다.

[0026]

또한, 본 발명은 캐소드전극과 버스전극의 전기적 접촉으로 인해, 캐소드전극의 면저항이 감소되므로 인해 캐소드전극의 발열이 감소되어 유기전계발광장치 (OLED)의 수명을 증가시킬 수 있다.

도면의 간단한 설명

[0027]

도 1은 종래기술에 따른 상부 발광방식의 유기전계 발광표시장치의 개략적인 단면도이다.

도 2는 본 발명에 따른 유기전계 발광표시장치의 개략적인 회로 구성도이다.

도 3은 본 발명에 따른 유기전계 발광표시장치의 개략적인 단면도이다.

도 4a 내지 4m은 본 발명에 따른 유기전계 발광표시장치의 제조 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0028]

이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 유기전계 발광표시장치에 대해 상세히 설명한다.

[0029]

본 발명의 실시 예를 설명함에 있어서 어떤 구조물이 다른 구조물 '상'에 또는 '상부에' 및 '아래'에 또는 '하부에' 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.

[0030]

도 2는 본 발명에 따른 유기전계 발광표시장치의 개략적인 회로 구성도이다.

[0031]

도 2를 참조하면, 본 발명에 따른 유기전계 발광표시장치는 게이트 라인 (GL), 데이터 라인(DL), 전원 라인 (PL), 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA) 및 청색 서브화소 영역(B-PA) 그리고 버스 전극 (117b)을 포함하여 이루어진다.

[0032]

상기 게이트 라인(GL)은 기관(미도시) 상에서 제1 방향으로 연장되어 배열되고, 상기 데이터 라인(DL)은 기관 상에서 게이트 라인(GL)과 교차되어 제2 방향으로 연장되어 배열되며, 상기 전원 라인(PL)은 데이터 라인(DL)과 이격되면서 데이터 라인(DL)과 평행하게 배열된다.

- [0033] 복수의 게이트 라인(GL)과 데이터 라인(DL)은 서로 교차 배열되어 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA) 및 청색 서브화소 영역(B-PA)을 정의한다.
- [0034] 박막 트랜지스터는 스위칭 박막 트랜지스터(Ts) 및 구동 박막 트랜지스터(Td)를 포함하는데, 스위칭 박막 트랜지스터(Ts)는 게이트 라인(GL) 및 데이터 라인(DL)과 연결되어 게이트 신호 및 데이터 신호를 입력받는다.
- [0035] 스위칭 박막 트랜지스터(Ts)의 일단은 구동 박막 트랜지스터(Td)에 연결되며, 상기 구동 박막 트랜지스터(Td)는 전원 라인(PL) 및 유기발광다이오드(E)에 연결된다.
- [0036] 버스전극(117b)은 데이터 라인(DL)와 평행하게 배열되어 상기 유기발광다이오드(E)의 캐소드 전극(미도시, 도 3의 140 참조)에 접촉된다.
- [0037] 도 3은 본 발명에 따른 유기전계 발광표시장치의 개략적인 단면도이다.
- [0038] 도 3을 참조하면, 본 발명에 따른 유기전계 발광표시장치(100)를 구성하는 복수의 픽셀 각각은 영상 신호에 따라 인가된 전류에 의해 발광하는 유기 발광 다이오드(OLED)(E)와, 상기 유기 발광 다이오드(E)에 전류를 공급하기 위한 복수의 박막 트랜지스터, 즉 스위칭 박막 트랜지스터(Ts)와 구동 박막 트랜지스터(Td), 및 스토리지 커패시터(미도시; 도 2의 Cst 참조)를 포함한다.
- [0039] 도 3에서는 복수의 박막 트랜지스터 중에서 스위칭 박막 트랜지스터들은 도시하고 있지 않으며, 상기 유기 발광 다이오드(E)에 공급되는 전류를 스위칭하는 구동 박막 트랜지스터(TD)만을 도시하고 있다고 가정하여 설명한다.
- [0040] 상기 구동 박막 트랜지스터(Td)는 다수의 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA) 및 청색 서브화소 영역(B-PA)이 정의된 백 플랜 기판(101) 상에 적층되는 게이트 전극(103), 게이트 절연막(105), 액티브층(107), 소스전극(109a), 및 드레인 전극(109b)을 포함하여 구성된다.
- [0041] 상기 백 플랜 기판(101)은 투명 재질의 유리기판 또는 플렉시블(flexible)한 플라스틱 기판이 적용될 수 있다.
- [0042] 게이트 전극(103)은 백 플랜 기판(101)의 각 서브 화소 영역에 형성되며, 게이트 라인(미도시, 도 2의 GL 참조)에 연결되어 있다. 게이트 전극(103)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- [0043] 게이트 절연막(105)은 상기 게이트 전극(103)을 포함한 백 플랜 기판(101) 상에 형성된다. 상기 게이트 절연막(105)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중 층일 수 있으나 이에 한정되지 않는다.
- [0044] 액티브층(107)은 상기 게이트 전극(103) 위의 게이트 절연막(105) 상에 형성되며, 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다.
- [0045] 소스 전극(109a) 및 드레인 전극(109b)은 상기 액티브층(107) 상에 형성된다. 상기 소스 전극(109a) 및 드레인 전극(109b)은 단일 층 또는 다중 층으로 이루어질 수 있으며, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0046] 보호막(112)은 상기 소스 전극(109a) 및 드레인 전극(109b)을 포함한 백 플랜 기판(101) 상에 형성된다. 상기 보호막(113)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중 층일 수 있으나 이에 한정되지 않는다.
- [0047] 오버코트층(113)은 상기 보호막(112) 상에 형성되며, 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중 층일 수 있으나 이에 한정되지 않는다. 즉, 오버코트층(113)은 포토 아크릴(Photo-Acryl), 폴리이미드와 같은 유기 절연물질을 사용할 수도 있다.
- [0048] 애노드전극(117a)은 오버코트층(113) 상에 형성되며, 투명한 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide), ITO/Ag, ITO/Ag/ITO, ITO/Wox 등을 사용할 수 있으나 이에 한정되지 않는다. 애노드 전극(117a)은 상기 드레인 전극(109b)과 전기적으로 연결되며, 이를 위해 상기 오버코트층(113) 및 그 아래의 보호막(112)의 소정 영역에는 드레인 콘택홀(115)이 형성된다.
- [0049] 버스전극(117b)은 상기 오버코트층(113) 상에 형성되며, 상기 애노드전극(117a)과 동일 물질인 투명한 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide), ITO/Ag, ITO/Ag/ITO, ITO/Wox 등을 사용할 수 있으나 이

에 한정되지 않는다. 버스전극(117b)은 상기 애노드전극(117a)과 이격되어 형성되며, 애노드전극(117a)과는 접촉되지 않고 후술하는 캐소드 전극(140)과 접촉된다. 또한, 버스전극(117b)은 적색 서브화소 영역(R-PA: Red Pixel Area), 녹색 서브화소 영역(G-PA: Red Pixel Area) 및 청색 서브화소 영역(B-PA: Red Pixel Area) 중 외곽에 위치하는 청색 서브화소 영역(B-PA: Red Pixel Area)과 인접하여 마련된 더미영역(DA: Dummy Area)에 형성된다. 상기 버스전극(117b)은 캐소드전극(140)의 제2 투명 도전막(133)과 접촉하게 됨으로 인해 상기 캐소드 전극(140)의 면 저항이 감소하게 된다. 또한, 캐소드전극(140)의 제2 투명 도전막(133)과 버스전극(117b)의 전기적 접촉으로 인해, 캐소드전극(133)의 면저항이 감소되므로 인해 캐소드전극(140)의 발열이 감소되어 유기전계발광장치(OLED)의 수명을 증가시킬 수 있다.

[0050] 뱅크막(119)은 상기 애노드 전극(117b) 사이의 오버코트층(113) 상에 형성되며, 벤조사이클로부텐(benzocyclobutene; BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다. 뱅크막(117b)은 발광층(121)에서 발생한 빛이 빠져 나갈 수 있도록 애노드 전극(117a) 상에서 소정의 개구부를 갖고 이격되어 형성된다.

[0051] 발광층(121)은 상기 뱅크막(119) 상에 형성되며, 도면에는 도시하지 않았지만, 적색 발광층(미도시), 녹색 발광층(미도시) 및 청색 발광층(미도시)을 포함한다. 이들 적색 발광층, 녹색 발광층 및 청색 발광층 각각은 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA) 및 청색 서브화소 영역(B-PA)마다 형성된다.

[0052] 상기 발광층(121)은, 도면에는 도시하지 않았지만, 정공주입층(Hole Injection Layer: HIL)(121a), 정공수송층(Hole Transport Layer: HTL)(121b), 유기층(Emission Layer: EL)(121c), 전자수송층(Electron Transport Layer: ETL)(121d) 및 전자주입층(Electron Injection Layer: EIL)(121e)을 포함하여 이루어진다.

[0053] 캐소드 전극(140)은 상기 발광층(121)을 포함한 백 플랜 기판(101) 전면에 형성되며, 마그네슘(Mg), 알루미늄(Al), 칼슘(Ca), WO_3 , MnO_3 과 같은 금속재료를 사용할 수도 있고, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 재료를 사용할 수도 있다. 캐소드 전극(140)은 제1 투명 도전막(123) 및 제2 투명 도전막(133)의 적층 구조로 이루어져 있으며, 상기 버스전극(117b)과 전기적으로 접촉된다. 이렇게 캐소드 전극(140)이 버스전극(117b)과 접촉하게 됨으로 인해 상기 캐소드 전극(140)의 면 저항이 감소하게 된다.

[0054] 봉지기관(135)은 상기 캐소드 전극(133)을 포함한 백 플랜 기판(101) 전면에 형성되며, 유기발광 다이오드(E)를 습기와 같은 외부 요인으로부터 봉지하게 된다.

[0055] 따라서, 애노드 전극(117a)과 캐소드 전극(140)에 구동전압이 인가되면 정공수송층(121b)을 통과한 정공과 전자수송층(121d)을 통과한 전자가 유기층(121c)으로 이동되어 여기자를 형성하고, 그 결과 발광층(121)이 가시광을 발산하게 된다.

[0056] 이와 같이, 본 발명에 따른 유기전계 발광표시장치는 픽셀을 구성하는 다수의 서브 픽셀 중 외곽에 위치하는 서브 픽셀과 인접하여 정의된 더미영역에 버스전극(bus electrode)을 형성하여 캐소드 전극과 전기적으로 접촉하도록 함으로써 캐소드 전극의 면저항이 감소되며, 그로 인해 표시장치의 소비전력을 줄일 수 있다.

[0057] 또한, 본 발명은 캐소드전극의 제2 투명 도전막과 버스전극의 전기적 접촉으로 인해, 캐소드전극의 면저항이 감소되므로 인해 캐소드전극의 발열이 감소되어 유기전계발광장치(OLED)의 수명을 증가시킬 수 있다.

[0058] 한편, 상기 구성으로 이루어지는 본 발명에 따른 유기전계 발광표시장치 제조방법에 대해 도 4a 내지 4m을 참조하여 설명하면 다음과 같다.

[0059] 도 4a 내지 4m을 본 발명에 따른 유기전계 발광표시장치의 제조 공정 단면도들이다.

[0060] 도 4a 내지 4m에서는 복수의 박막 트랜지스터 중에서 스위칭 박막 트랜지스터들은 도시하고 있지 않으며, 유기발광 다이오드(E)에 공급되는 전류를 스위칭하는 구동 박막 트랜지스터(TD)만을 도시하고 있다고 가정하여 설명하기로 한다.

[0061] 도 4a에 도시된 바와 같이, 먼저 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA), 청색 서브화소 영역(B-PA) 및 더미영역(DA)이 정의된 백 플랜 기판(101)을 준비한다. 백 플랜 기판(101)은 투명 재질의 유리기관 또는 플렉시블한 플라스틱 기관이 적용될 수 있다.

[0062] 그 다음, 상기 백 플랜 기판(101) 상에 제1 금속 물질을 증착한 후 이를 패터닝하여 백 플랜 기판(101)의 각 서브 픽셀 영역에 게이트 전극(103)을 형성한다. 게이트 전극(103)은 게이트 라인(미도시, 도 2의 GL 참조)에 연결된다. 게이트 전극(103)용 제1 금속 물질은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니

켈 (Ni), 네오디뮴 (Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중 층일 수 있다.

[0063] 이어서, 도 4b에 도시된 바와 같이, 상기 게이트 전극(103)을 포함한 백 플랜 기판(101) 상에 게이트 절연막(105)을 형성한다. 상기 게이트 절연막(105)은 실리콘 산화막(SiO_x), 실리콘 질화막 (SiN_x) 또는 이들의 다중 층일 수 있으나 이에 한정되지 않는다.

[0064] 그 다음, 상기 게이트 절연막(105) 상에 반도체층(미도시)을 형성한 후 이를 패터닝하여 상기 게이트 전극(103) 위의 게이트 절연막(105) 상에 액티브층(107)을 형성한다. 반도체층은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다.

[0065] 이어서, 도 4c에 도시된 바와 같이, 상기 액티브층(107)을 포함한 게이트 절연막(105) 상에 제2 금속 물질을 증착한 후 이를 패터닝하여 상기 액티브층(107) 상에 서로 이격된 소스 전극 (109a) 및 드레인 전극(109b)을 형성한다. 상기 소스 전극(109a) 및 드레인 전극 (109b)은 단일 층 또는 다중 층으로 이루어질 수 있다. 상기 제2 금속 물질은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄 (Ti), 니켈 (Ni), 네오디뮴(Nd) 및 구리 (Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.

[0066] 상기 게이트 전극(103), 게이트 절연막(105), 액티브층(107), 소스전극 (109a), 및 드레인 전극(109b)은 구동 박막 트랜지스터(Td)를 구성하며, 이 구동 박막 트랜지스터(Td)는 다수의 적색 서브화소 영역(R-PA), 녹색 서브화소 영역 (G-PA) 및 청색 서브화소 영역(B-PA)에 형성된다.

[0067] 그 다음, 도 4d에 도시된 바와 같이, 상기 소스 전극(109a) 및 드레인 전극(109b)을 포함한 백 플랜 기판(101) 상에 보호막(112)과 오버코트층(113)을 순차적으로 형성한다. 상기 보호막(112) 및 오버코트층(113)은 실리콘 산화막 (SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중 층일 수 있으나 이에 한정되지 않는다.

[0068] 이어서, 상기 오버코트층(113) 및 보호막(112)의 일부 영역을 식각하여 각 서브 화소영역의 드레인 전극(109b)을 노출시키는 드레인 콘택홀(115)을 형성한다.

[0069] 그 다음, 도 4d에 도시된 바와 같이, 상기 드레인 콘택홀(115)을 포함한 오버코트층(113) 상부에 투명 도전물질층(117)을 증착한다. 이때, 상기 투명한 ITO (Indium Tin Oxide) 또는 IZO (Indium Zinc Oxide), ITO/Ag, ITO/Ag/ITO, ITO/Wox 등을 사용할 수 있으나 이에 한정되지 않는다.

[0070] 이어서, 도 4e에 도시된 바와 같이, 상기 투명 도전물질층(117)을 선택적으로 패터닝하여 상기 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA) 및 청색 서브화소 영역(B-PA)에 드레인 전극(109b)과 연결되는 애노드전극(117a)과 함께 더미영역(DA)에 버스전극(117b)을 동시에 형성한다. 이때, 상기 버스전극(117b)은 상기 애노드 전극(117a)과 전기적으로 접촉되지 않고 분리되어 있다. 또한, 상기 버스전극(117b)은 적색 서브화소 영역 (R-PA), 녹색 서브화소 영역(G-PA), 청색 서브화소 영역(B-PA)에 비해 좁은 면적을 차지하는 더미영역(DA)에 형성되며, 표시장치의 개구율에는 영향을 거의 미치지 않는다. 그리고, 상기 애노드전극(117a) 형성시에 상기 버스 전극(117b)도 함께 형성하기 때문에, 상기 버스전극(117b)을 형성하기 위한 별도의 추가 공정이 필요하지 않게 됨으로써 제조 공정을 단순화시킬 수 있다.

[0071] 그 다음, 도 4f에 도시된 바와 같이, 상기 애노드전극(117a) 및 버스전극 (117b) 사이의 오버코트층(113) 상부에 뱅크막(119)을 형성한다. 뱅크막(119)은 벤조사이클로부텐(benzocyclobutene; BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다. 뱅크막(117b)은 후술하는 유기발광층(121)에서 발생한 빛이 빠져 나갈 수 있도록 애노드 전극(117a) 상에서 화상이 표시되는 표시영역 즉, 소정의 개구부를 갖고 이격되어 형성된다.

[0072] 이어서, 상기 뱅크막(119) 사이의 애노드전극(117a) 상부에 정공주입층(Hole Injection Layer: HIL)용 제1 액상재료 및 정공수송층(Hole Transport Layer: HTL)용 제2 액상재료를 잉크젯 인쇄 방식을 이용하여 순차적으로 토출 및 건조하여 정공주입층(Hole Injection Layer: HIL)(121a) 및 정공수송층(Hole Transport Layer: HTL)(121b)을 순차적으로 형성한다.

[0073] 그 다음, 도 4g에 도시된 바와 같이, 상기 정공수송층(121b) 상에 발광 액상 재료, 예를 들어 적색, 녹색 및 청색 발광 액상 재료를 잉크젯 인쇄 방식을 이용하여 토출 및 건조하여 유기층(121c)을 형성한다. 상기 유기층 (121c)은, 도면에는 도시하지 않았지만, 적색 유기층, 녹색 유기층 및 청색 유기층을 포함한다. 이들 적색 유기층, 녹색 유기층 및 청색 유기층 각각은 적색 서브화소 영역(R-PA), 녹색 서브화소 영역(G-PA) 및 청색 서브화소 영역(B-PA)마다 형성된다.

- [0074] 이어서, 도 4h에 도시된 바와 같이, 상기 유기층(121c)과 बैं크막(119)을 포함한 백 플랜 기판(101) 전면에서 전자주입층(Electron Injection Layer: EIL) 및 전자수송층(Electron Transport Layer: ETL) 용 액상 재료를 차례로 증착하여, 전자수송층(121d) 및 전자주입층(121e)을 차례로 형성한다. 이때, 상기 전자수송층(121d) 및 전자주입층(121e)은 유기층(121c)과 बैं크막(119)은 물론 버스전극(117b) 전면에서 형성된다. 상기 정공주입층(Hole Injection Layer: HIL)(121a), 정공수송층(Hole Transport Layer: HTL)(121b), 유기층(121c), 전자수송층(121d) 및 전자주입층(121e)은 발광층(121)을 이룬다.
- [0075] 그 다음, 도 4i에 도시된 바와 같이, 상기 전자주입층(121e)을 포함한 백 플랜 기판(101) 전면에서 제1 투명 도전막(123)을 증착한다. 이때, 상기 제1 투명 도전막(123)은 마그네슘(Mg), 알루미늄(Al), 칼슘(Ca), WO_3 , MnO_3 과 같은 금속재료를 사용할 수도 있고, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 재료를 사용할 수도 있다. 상기 제1 투명 도전막(123)은 상기 전자수송층(121d) 및 전자주입층(121e) 때문에 상기 더미영역(DA)에서 형성된 버스전극(117b)과 접촉되지 않게 된다.
- [0076] 이어서, 도 4j 및 4k에 도시된 바와 같이, 펀칭도구(125)를 이용한 펀칭 공정(Punching process)을 실시하여 상기 버스전극(117b) 상부의 제1 투명 도전막(123)과 그 아래의 전자수송층(121c) 및 전자주입층(121d) 그리고 버스전극(117b)을 차례로 펀칭하여 상기 버스전극(117b) 표면을 노출시키는 비아홀(131)을 형성한다. 이때, 상기 애노드전극(117a)은 그 하부면이 오버코트층(113)이기 때문에 펀칭 깊이에 대한 자유도를 갖는다. 이때, 상기 비아홀(131) 형성시에 별도의 마스크를 이용한 식각 공정 없이도 펀칭 공정을 통해 비아홀을 용이하게 형성할 수 있음으로써 제조 공정을 단순화시킬 수 있다.
- [0077] 그 다음, 도 4l에 도시된 바와 같이, 상기 비아홀(131)이 형성된 제1 투명 도전막(123) 상부에 제2 투명 도전막(133)을 증착하여 상기 비아홀(131)을 통해 상기 버스전극(117b)과 전기적으로 접촉되도록 한다. 상기 제2 투명 도전막(133)은 제1 투명 도전막(123)과 동일한 마그네슘(Mg), 알루미늄(Al), 칼슘(Ca), WO_3 , MnO_3 과 같은 금속 재료를 사용할 수도 있고, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 재료를 사용할 수도 있다. 이때, 상기 적층된 제1 투명 도전막(123) 및 제2 투명 도전막(133)은 캐소드 전극(140)을 이룬다.
- [0078] 이와 같이, 캐소드 전극(140)을 구성하는 제2 투명 도전막(133)을 비아홀(131)을 통해 버스전극(117b)과 접촉하도록 함으로써 상기 캐소드 전극(140)의 면저항이 감소하게 된다. 또한, 캐소드전극(140)의 제2 투명 도전막(133)과 버스전극(117b)의 전기적 접촉으로 인해, 캐소드전극(133)의 면저항이 감소되므로 인해 캐소드전극(140)의 발열이 감소되어 유기전계발광장치(OLED)의 수명을 증가시킬 수 있다.
- [0079] 이렇게 하여, 애노드 전극(117a)과 캐소드 전극(140)에 구동전압이 인가되면 정공수송층(121b)을 통과한 정공과 전자수송층(121d)을 통과한 전자가 유기층(121c)으로 이동되어 여기자를 형성하고, 그 결과 발광층(121)이 가시광을 발산하게 된다.
- [0080] 이어서, 도 4m에 도시된 바와 같이, 상기 캐소드 전극(140)을 이루는 제2 투명 도전막(133)을 포함한 백 플랜 기판(101) 전면에서 유기발광 다이오드(E)를 습기와 같은 외부 요인으로부터 봉지하기 위해 봉지기판(135)을 형성함으로써, 본 발명에 따른 유기전계 발광표시장치(100) 제조 공정을 완료한다.
- [0081] 이와 같이, 본 발명에 따른 유기전계 발광표시장치 제조방법은 픽셀을 구성하는 다수의 서브 픽셀 중 외곽에 위치하는 서브 픽셀과 인접하여 정의된 더미영역에서 버스전극(bus electrode)을 형성하여 캐소드 전극과 전기적으로 접촉하도록 함으로써 캐소드 전극의 면저항을 감소시킬 수 있으며, 그로 인해 표시장치의 소비전력을 줄일 수 있다.
- [0082] 또한, 본 발명은 캐소드전극의 제2 투명 도전막과 버스전극의 전기적 접촉으로 인해, 캐소드전극의 면저항이 감소되므로 인해 캐소드전극의 발열이 감소되어 유기전계발광장치(OLED)의 수명을 증가시킬 수 있다.
- [0083] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0084] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0085]

100: 유기전계 발광표시장치 101: 백 플랜 기판

103: 게이트 전극 105: 게이트 절연막 107: 액티브층 109a: 소스전극 109b: 드레인 전극
112: 보호막

113: 오버코트층 115: 드레인 콘택홀 117a: 애노드전극 117b: 버스전극 119: 뱅크막 121a: 정공주입층

121b: 정공수송층 121c: 유기층

121d: 전자수송층 121e: 전자주입층

121: 발광층 123: 제1 투명 도전막

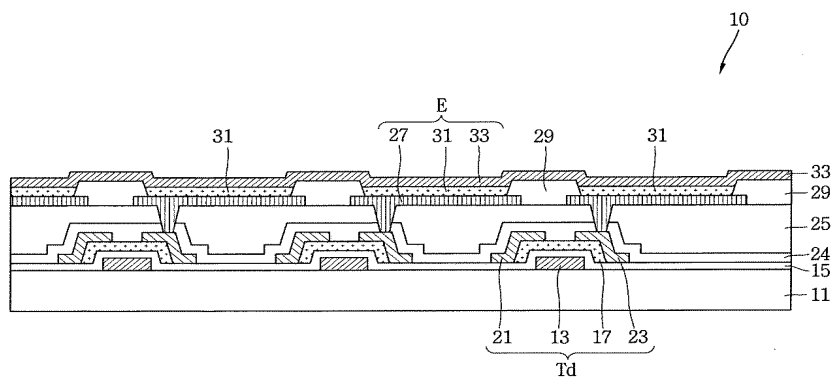
125: 편칭도구 131: 비아홀

133: 제2 투명 도전막 135: 봉지기판

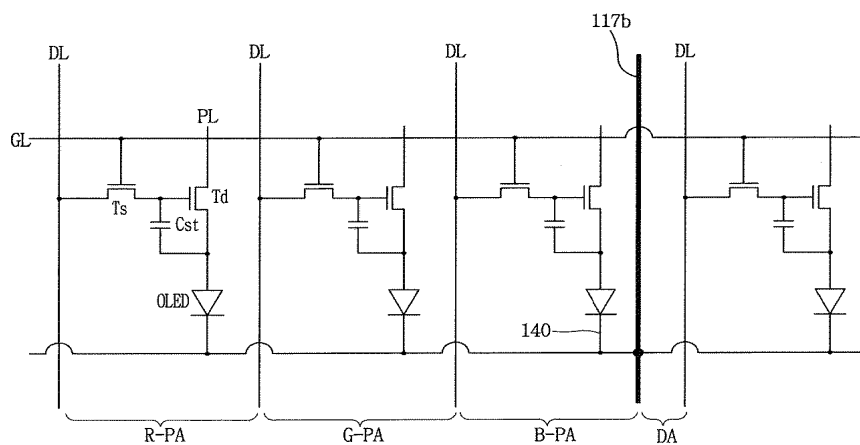
140: 캐소드 전극

도면

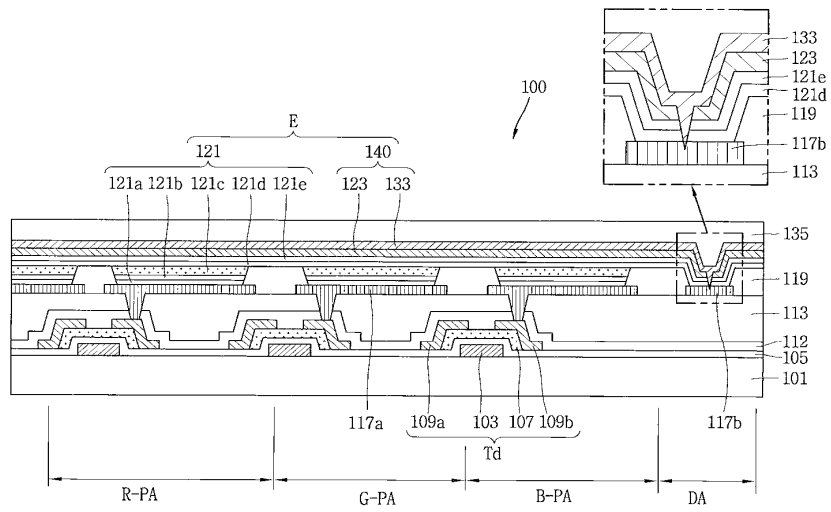
도면1



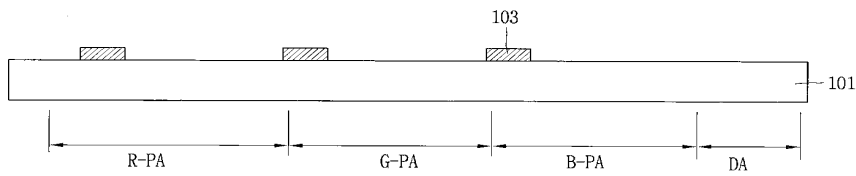
도면2



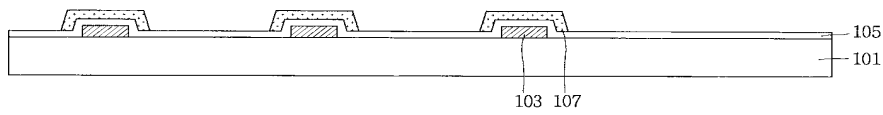
도면3



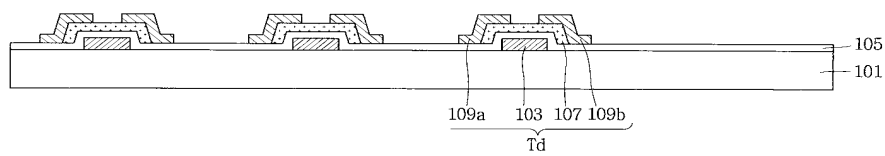
도면4a



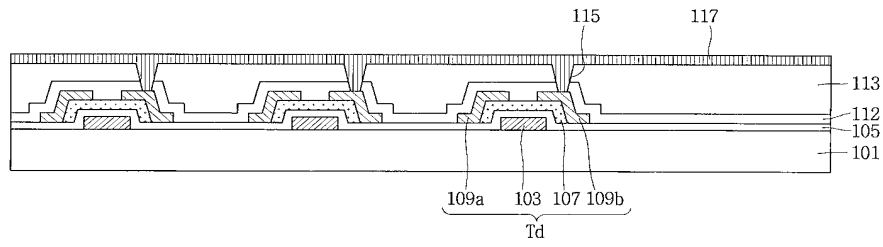
도면4b



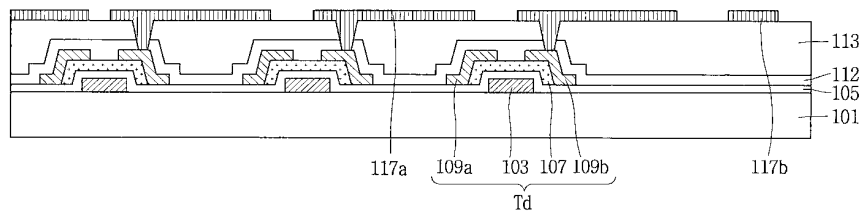
도면4c



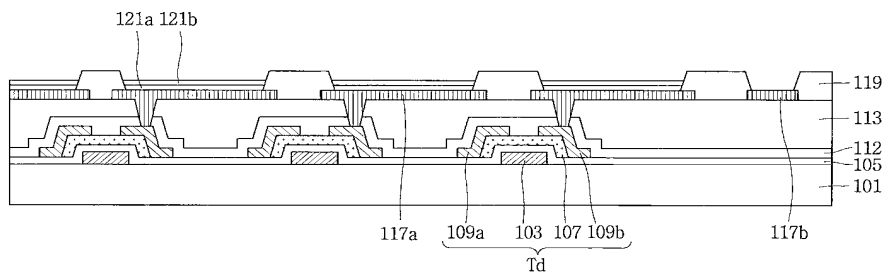
도면4d



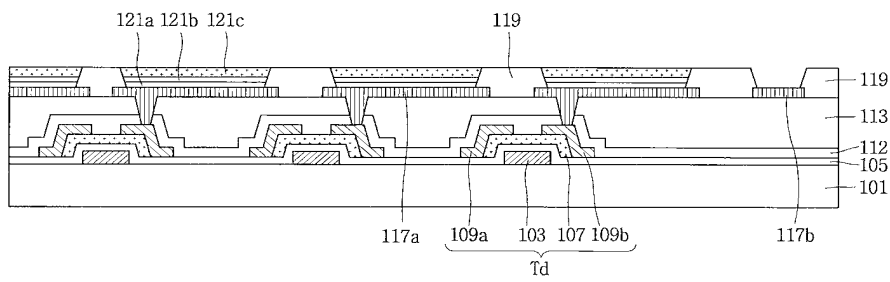
도면4e



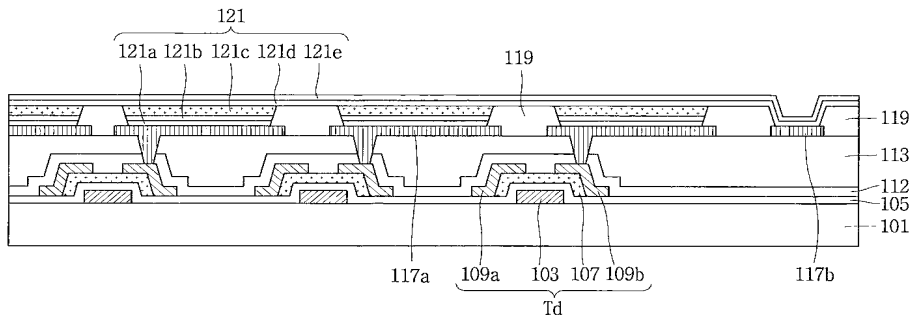
도면4f



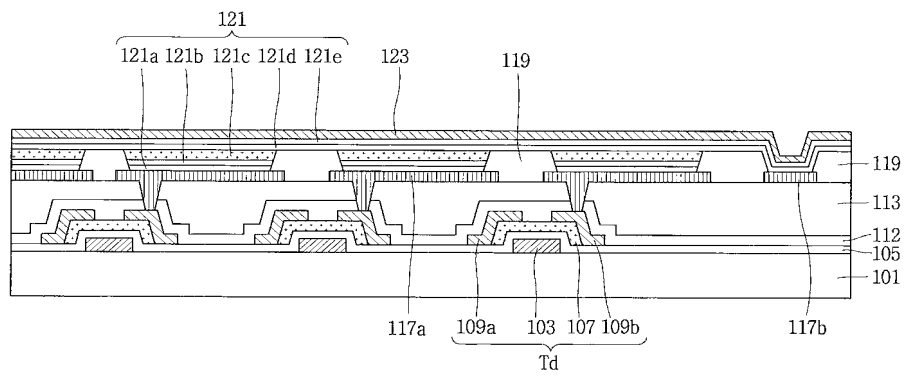
도면4g



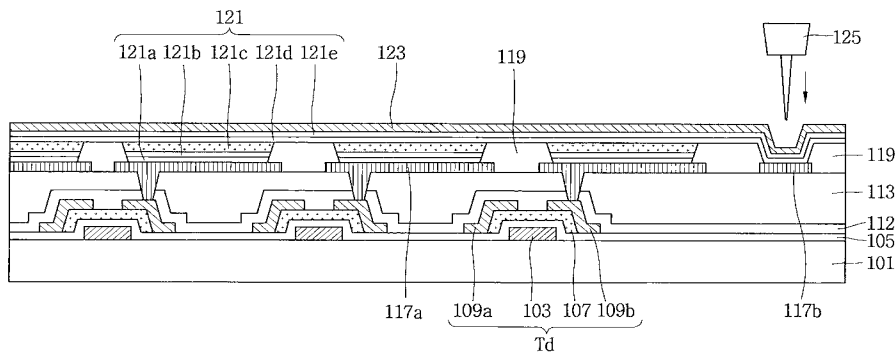
도면4h



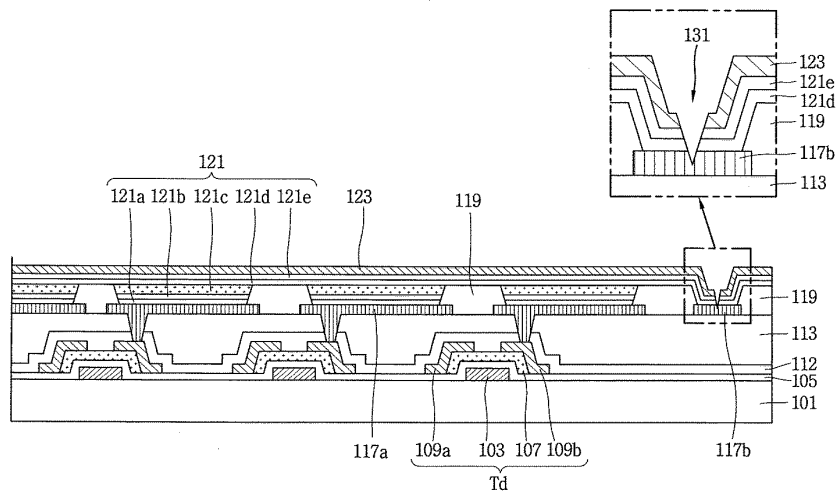
도면4i



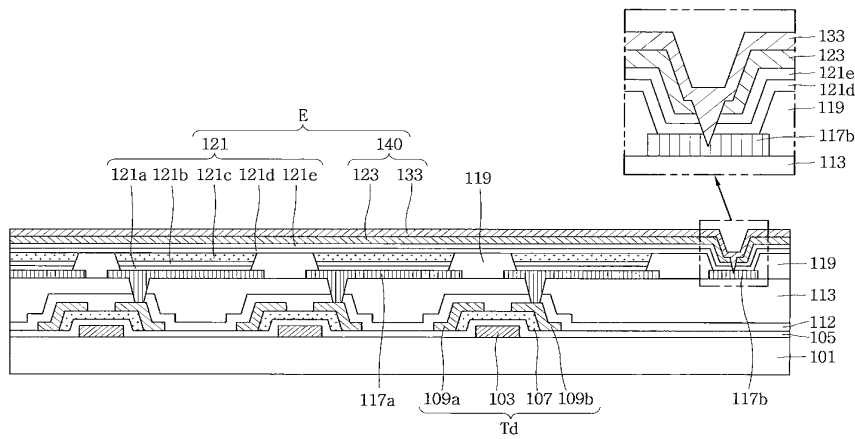
도면4j



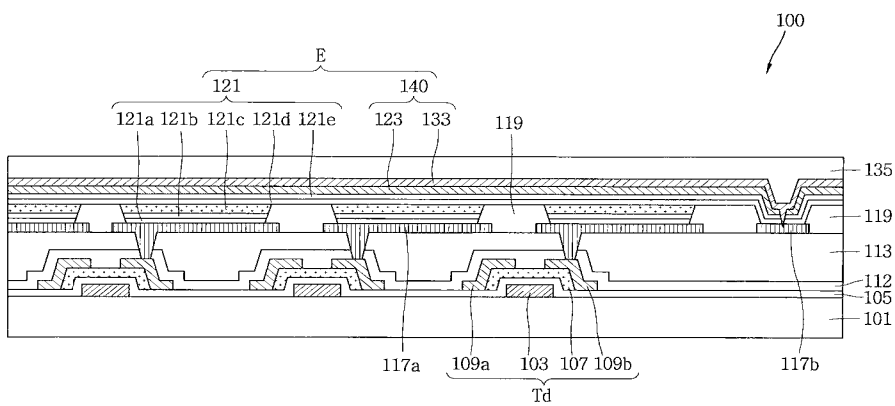
도면4k



도면4l



도면4m



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020160012783A	公开(公告)日	2016-02-03
申请号	KR1020140094951	申请日	2014-07-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG NACK YOUN 정낙윤 YANG KI SOUB 양기섭 CHOI DAE JUNG 최대정 LEE A RYOUNG 이아령		
发明人	정낙윤 양기섭 최대정 이아령		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L51/5228 H01L2251/5315		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

有机发光显示器及其制造方法技术领域本发明涉及有机发光显示器及其制造方法，更具体地，涉及设置在背板基板的像素区域中的薄膜晶体管（TFT）。在包括薄膜晶体管的背板衬底的整个表面上形成外涂层；阳极电极形成在外涂层上并连接到薄膜晶体管；以上总线电极形成在外涂层上并与阳极电极隔开；在阳极电极和汇流电极之间的外涂层上形成堤岸膜；在堤岸膜之间的阳极上形成发光层；阴极电极形成在背板基板上并与汇流电极电接触，它被配置。

