



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0100459
(43) 공개일자 2015년09월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(21) 출원번호 10-2014-0083731
(22) 출원일자 2014년07월04일
심사청구일자 2015년07월31일
(30) 우선권주장
61/944,501 2014년02월25일 미국(US)
61/944,499 2014년02월25일 미국(US)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김태환
경기도 고양시 일산서구 주화로 207 장성마을 1단
지아파트 동익아파트 109동 1106호
김형수
경기도 안양시 만안구 연현로79번길 56 석수LG빌
리지아파트 410동 604호
이재면
서울특별시 노원구 성북로 265 상아아파트 16동
407호
(74) 대리인
오세일

전체 청구항 수 : 총 11 항

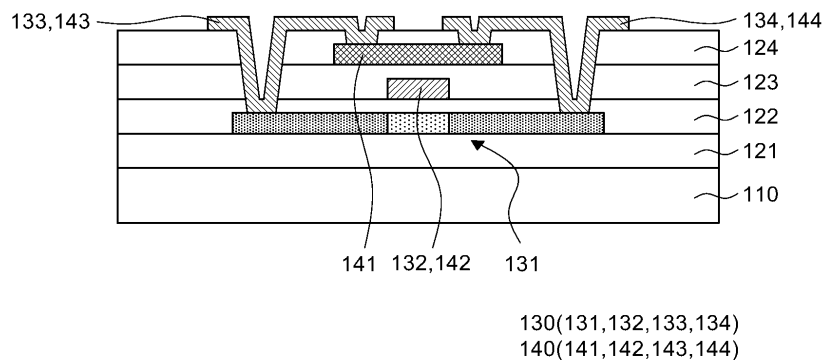
(54) 발명의 명칭 **복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치**

(57) 요약

복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치가 제공된다. 기판은 발광 영역 및 소자 영역이 각각 구비된 복수의 서브 화소를 포함한다. 소자 영역에서 기판 상에 복합형 박막 트랜지스터가 형성된다. 발광 영역에서 기판 상에 유기 발광 소자가 형성된다. 복합형 박막 트랜지스터는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터로 구성된다. 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터로 구성되는 복합형 박막 트랜지스터를 채용하여 유기 전계 발광 표시 장치의 성능 및 수율을 향상시키고, 유기 전계 발광 표시 장치 제조 비용을 절감시키고, 박막 트랜지스터가 차지하는 면적을 최소화하며, 뛰어난 계조 표현을 제공할 수 있다.

대표도 - 도2

100



특허청구의 범위

청구항 1

발광 영역 및 소자 영역이 각각 구비된 복수의 서브 화소를 포함하는 기관;

상기 소자 영역에서 상기 기관 상에 형성된 복합형 박막 트랜지스터; 및

상기 발광 영역에서 상기 기관 상에 형성된 유기 발광 소자를 포함하며,

상기 복합형 박막 트랜지스터는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터로 구성되는 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 LTPS 박막 트랜지스터는 상기 기관으로부터 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극 순서로 적층된 코플래너(Coplanar) 구조인 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 산화물 반도체 박막 트랜지스터는 상기 기관으로부터 게이트 전극, 액티브층, 및 소스 전극 및 드레인 전극 순서로 적층된 바텀 게이트(Bottom Gate) 구조인 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 상기 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극 각각과 동일한 컨택홀을 통해 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 산화물 반도체 박막 트랜지스터와 상기 LTPS 박막 트랜지스터는 동일한 게이트 라인을 서로 공유하는 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 복합형 박막 트랜지스터는 스위칭 박막 트랜지스터 또는 구동 박막 트랜지스터인 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 복합형 박막 트랜지스터가 구동 박막 트랜지스터인 경우, 상기 복합형 박막 트랜지스터는 저휘도부터 고휘도까지 전 영역에서의 계조를 표현하는 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 산화물 반도체 박막 트랜지스터는 n-타입 박막 트랜지스터이고,

상기 LTPS 박막 트랜지스터는 p-타입 박막 트랜지스터인 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 9

제1항에 있어서,

상기 산화물 반도체 박막 트랜지스터와 상기 LTPS 박막 트랜지스터는 이중 적층 구조인 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 이중 적층 구조는 상기 산화물 반도체 박막 트랜지스터의 채널 영역과 상기 LTPS 박막 트랜지스터의 채널 영역이 서로 중첩되는 것을 특징으로 하는, 유기 전계 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 채널 영역의 길이와 상기 LTPS 박막 트랜지스터의 채널 영역의 길이는 동일하고,

상기 산화물 반도체 박막 트랜지스터의 채널 영역의 넓이와 상기 LTPS 박막 트랜지스터의 채널 영역의 넓이는 상이한 것을 특징으로 하는, 유기 전계 발광 표시 장치.

명세서

기술분야

[0001]

본 발명은 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 액티브층이 산화물 반도체로 형성된 산화물 반도체 박막 트랜지스터와 액티브층이 저온 폴리 실리콘으로 형성된 LTPS(Low Temperature Poly Silicon) 박막 트랜지스터가 동일 기판에 형성되어 효율적인 개구율 확보가 가능하고, 고해상도 제품 구현에 유리한 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치에 관한 것이다.

배경기술

[0002]

최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보 신호를 시각적으로 표현하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저 소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시 장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003]

이와 같은 평판 표시 장치의 구체적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 유기 전계 발광 표시 장치(Organic Light Emitting Display: OLED), 전기 영동 표시 장치(Electrophoretic Display: EPD), 플라즈마 표시 장치(Plasma Display Panel device: PDP), 전계 방출 표시 장치(Field Emission Display device: FED) 및 전기 습윤 표시 장치(Electro-Wetting Display: EWD) 등을 들 수 있다.

[0004]

특히, 유기 전계 발광 표시 장치는 자체 발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치에 비해 시야각, 콘트라스트(contrast), 응답 속도, 소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0005]

평판 표시 장치들은 공통적으로 영상을 구현하는 평판 표시 패널을 필수적인 구성요소로 하는데, 평판 표시 패널은 고유의 발광 물질 또는 편광 물질층을 사이에 두고 대면 합착된 한 쌍의 기판을 포함하여 이루어진다. 이러한 평판 표시 패널에 포함된 기판은 복수의 화소(Pixel) 어레이(Array)가 발광하는 발광 영역과 복수의 화소를 구동하기 위한 회로 소자들이 위치하는 소자 영역으로 나누어진다. 특히 소자 영역에는 복수의 박막 트랜지스터(Thin Film Transistor: TFT)가 위치하여 복수의 화소를 구동하고, 회로 소자를 동작시킨다.

[0006]

유기 전계 발광 표시 장치는 애노드 전극, 유기 박막층 및 캐소드 전극으로 구성되는 유기 전계 발광 다이오드(diode)를 포함하며, 스캔 라인(scan line)과 데이터 라인(data line) 사이에 유기 전계 발광 다이오드가 매트릭스 방식으로 연결되어 화소를 구성하는 패시브 매트릭스(passive matrix) 방식과, 각 화소의 동작이 스위치

역할을 하는 박막 트랜지스터에 의해 제어되는 액티브 매트릭스(active matrix) 방식으로 구성된다.

[0007] 일반적으로 액티브 매트릭스 방식에 사용되는 박막 트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 액티브층과, 채널 영역 상부에 형성되며 게이트 절연층에 의해 액티브층과 전기적으로 절연되는 게이트 전극을 포함한다.

[0008] 이와 같이 이루어진 박막 트랜지스터의 액티브층은 대개 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly Silicon)과 같은 반도체층으로 형성된다. 박막 트랜지스터는 액티브층의 종류에 따라 특정 장점 및 단점을 갖는다.

[0009] 액티브층이 비정질 실리콘으로 형성되면, 전하 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어렵다는 단점이 있다.

[0010] 반면, 액티브층이 폴리 실리콘으로 형성되면, 전하 이동도는 높지만 다결정성(polycrystalline nature)에 기인하여 문턱 전압(threshold voltage)이 불균일해지기 때문에 문턱 전압과 전하 이동도의 산포를 보상하기 위한 보상 회로가 필요하다. 또한 액티브층이 폴리 실리콘으로 형성되면, 다수의 박막 트랜지스터와 캐패시터로 구성되는 복잡한 보상 회로가 포함되기 때문에 수율이 낮을 뿐만 아니라 박막 트랜지스터의 코플래너(coplanar) 구조로 인해 비정질 실리콘의 경우보다 마스크 수가 증가하여 제조 비용이 많이 소요된다.

[0011] 한편, 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고, 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다.

[0012] 산화 아연(Zinc Oxide; ZnO) 등과 같은 산화물 반도체를 액티브층으로 이용한 박막 트랜지스터가 상술한 문제점을 해결할 수 있다.

[0013] 산화 아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로 평가되고 있으며, 이러한 산화물 반도체를 액티브층으로 이용하면 별도의 공정 장비를 추가적으로 구입하지 않고도 기존의 공정 장비를 이용하여 350℃ 이하의 저온에서 박막 트랜지스터를 제조할 수 있으며, 이온 주입 공정이 생략되는 등 여러 가지 장점이 있다.

[0014] 그러나, 이와 같은 산화물 반도체를 액티브층으로 활용한 박막 트랜지스터는 소자의 특성이 박막 트랜지스터의 구조에 따라 큰 차이가 발생되며, 이에 일반적으로 n-타입 박막 트랜지스터로 한정되어 개발되고 있는 실정이다.

[0015] 또한, 소자의 특성 및 균일도를 고려하여 산화물 반도체 박막 트랜지스터는 바텀 게이트(bottom gate) 구조에 적용되고 있으나, 전계 효과 이동도 특성이 20cm²/Vs 수준으로 작다는 단점이 있으며, 이에 따라 산화물 반도체 박막 트랜지스터를 표시 패널에 적용하고자 할 경우 집적도 측면에서 기존의 비정질 실리콘이나 폴리 실리콘 박막 트랜지스터에 비해 떨어진다.

[0016] 근래 LTPS 박막 트랜지스터와 산화물 반도체 박막 트랜지스터 각각이 갖는 강점을 함께 활용하여, LTPS 박막 트랜지스터와 산화물 반도체 박막 트랜지스터를 유기 전계 발광 표시 장치의 필요한 부분에 적용하는 연구 활동이 진행되고 있다.

발명의 내용

해결하려는 과제

[0017] 이에, 본 발명이 해결하고자 하는 과제는 유기 전계 발광 표시 장치에 구비된 화소의 각 구동 트랜지스터가 산화물 반도체 트랜지스터와 LTPS 트랜지스터로 조합됨으로써, 유기 전계 발광 표시 장치의 성능 및 수율을 향상시키고, 유기 전계 발광 표시 장치 제조 비용을 절감시키는 것이다.

[0018] 본 발명이 해결하고자 하는 다른 과제는 화소의 스위칭 트랜지스터에 산화물 반도체 트랜지스터와 LTPS 트랜지스터를 이중 적층 구조로 형성함으로써 별도 채널 형성 및 게이트 라인에 필요한 면적을 최소화하는 것이다.

[0019] 본 발명이 해결하고자 하는 또 다른 과제는 유기 전계 발광 표시 장치의 화소 구동 회로의 구동 박막 트랜지스터에 산화물 반도체 트랜지스터와 LTPS 트랜지스터를 혼합 적용하여 유기 전계 발광 표시 장치 구동 시 저휘도부터 고휘도까지 전 영역에서의 계조 표현 능력을 향상시키는 것이다.

[0020] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0021] 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치가 제공된다. 기판은 발광 영역 및 소자 영역이 각각 구비된 복수의 서브 화소를 포함한다. 소자 영역에서 기판 상에 복합형 박막 트랜지스터가 형성된다. 발광 영역에서 기판 상에 유기 발광 소자가 형성된다. 복합형 박막 트랜지스터는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터로 구성된다. 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치는 산화물 반도체 박막 트랜지스터 및 LTPS 박막 트랜지스터로 구성되는 복합형 박막 트랜지스터를 채용하여 유기 전계 발광 표시 장치의 성능 및 수율을 향상시키고, 유기 전계 발광 표시 장치 제조 비용을 절감시키고, 박막 트랜지스터가 차지하는 면적을 최소화하며, 뛰어난 계조 표현을 제공할 수 있다.
- [0022] 본 발명의 다른 특징에 따르면, LTPS 박막 트랜지스터는 기판으로부터 액티브층, 게이트 전극, 및 소스 전극 및 드레인 전극 순서로 적층된 코플래너(Coplanar) 구조인 것을 특징으로 한다.
- [0023] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터는 기판으로부터 게이트 전극, 액티브층, 및 소스 전극 및 드레인 전극 순서로 적층된 바텀 게이트(Bottom Gate) 구조인 것을 특징으로 한다.
- [0024] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극 각각과 동일한 컨택홀을 통해 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 표시 장치.
- [0025] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터는 동일한 게이트 라인을 서로 공유하는 것을 특징으로 한다.
- [0026] 본 발명의 또 다른 특징에 따르면, 복합형 박막 트랜지스터는 스위칭 박막 트랜지스터 또는 구동 박막 트랜지스터인 것을 특징으로 한다.
- [0027] 본 발명의 또 다른 특징에 따르면, 복합형 박막 트랜지스터가 구동 박막 트랜지스터인 경우, 복합형 박막 트랜지스터는 저휘도부터 고휘도까지 전 영역에서의 계조를 표현하는 것을 특징으로 한다.
- [0028] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터는 n-타입 박막 트랜지스터이고, LTPS 박막 트랜지스터는 p-타입 박막 트랜지스터인 것을 특징으로 한다.
- [0029] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터와 LTPS 박막 트랜지스터는 이중 적층 구조인 것을 특징으로 한다.
- [0030] 본 발명의 또 다른 특징에 따르면, 이중 적층 구조는 산화물 반도체 박막 트랜지스터의 채널 영역과 LTPS 박막 트랜지스터의 채널 영역이 서로 중첩되는 것을 특징으로 한다.
- [0031] 본 발명의 또 다른 특징에 따르면, 산화물 반도체 박막 트랜지스터의 채널 영역의 길이와 LTPS 박막 트랜지스터의 채널 영역의 길이는 동일하고, 산화물 반도체 박막 트랜지스터의 채널 영역의 넓이와 LTPS 박막 트랜지스터의 채널 영역의 넓이는 상이한 것을 특징으로 한다.
- [0032] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0033] 본 발명은 유기 전계 발광 표시 장치에 구비된 화소의 각 구동 트랜지스터가 산화물 반도체 트랜지스터와 LTPS 트랜지스터로 조합됨으로써, 유기 전계 발광 표시 장치의 성능 및 수율을 향상시키고, 유기 전계 발광 표시 장치 제조 비용을 절감시킬 수 있다.
- [0034] 본 발명은 화소의 스위칭 트랜지스터에 산화물 반도체 트랜지스터와 LTPS 트랜지스터를 이중 적층 구조로 형성함으로써 별도 채널 형성 및 게이트 라인에 필요한 면적을 최소화할 수 있다.
- [0035] 본 발명은 유기 전계 발광 표시 장치의 화소 구동 회로의 구동 박막 트랜지스터에 산화물 반도체 트랜지스터와 LTPS 트랜지스터를 혼합 적용하여 유기 전계 발광 표시 장치 구동 시 저휘도부터 고휘도까지 전 영역에서의 계조 표현 능력을 향상시킬 수 있다.

[0036] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0037] 도 1은 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 설명하기 위한 개략적인 평면도이다.
 도 2는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 설명하기 위한 개략적인 단면도이다.
 도 3a는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 회로도이다.
 도 3b는 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 회로도이다.
 도 4는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터의 I-V 곡형도이다.
 도 5는 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터를 설명하기 위한 개략적인 평면도이다.
 도 6은 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0038] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0039] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0040] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0041] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0042] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0043] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0044] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0045] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0046] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0047] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

- [0048] 도 1은 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 설명하기 위한 개략적인 평면도이다. 도 2는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 설명하기 위한 개략적인 단면도이다. 도 1 및 도 2를 참조하면, 복합형 박막 트랜지스터(100)는 LTPS(Low Temperature Poly Silicon) 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)를 포함한다.
- [0049] 복합형 박막 트랜지스터(100)의 LTPS 박막 트랜지스터(130)는 액티브층(131), 게이트 전극(132), 소스 전극(133) 및 드레인 전극(134)을 포함한다. 구체적으로, 기판(110) 상에 형성된 버퍼층(121) 상에 LTPS 박막 트랜지스터(130)의 액티브층(131)이 형성되고, LTPS 박막 트랜지스터(130)의 액티브층(131) 상에 제1 절연층(122)이 형성되고, 제1 절연층(122) 상에 LTPS 박막 트랜지스터(130)의 게이트 전극(132)이 형성되고, LTPS 박막 트랜지스터(130)의 게이트 전극(132) 상에 제2 절연층(123) 및 제3 절연층(124)이 형성되고, 제1 절연층(122), 제2 절연층(123) 및 제3 절연층(124)에 형성된 컨택홀을 통해 LTPS 박막 트랜지스터(130)의 소스 전극(133) 및 드레인 전극(134)이 LTPS 박막 트랜지스터(130)의 액티브층(131)에 접촉한다. 따라서, LTPS 박막 트랜지스터(130)는 기판(110)으로부터 액티브층(131), 게이트 전극(132), 및 소스 전극(133) 및 드레인 전극(134) 순서로 적층된 코플래너 구조의 박막 트랜지스터이다. 제1 절연층(122)은 LTPS 박막 트랜지스터(130)에서 게이트 절연층으로 기능하고, 제2 절연층(123) 및 제3 절연층(124)은 LTPS 박막 트랜지스터(130)에서 층간 절연층으로 기능한다.
- [0050] LTPS 박막 트랜지스터(130)의 액티브층(131)은 소스 전극(133)과 접하는 소스 영역, 드레인 전극(134)과 접하는 드레인 영역 및 채널이 형성되고 소스 영역과 드레인 영역 사이의 채널 영역을 가질 수 있다. 액티브층(131)의 소스 영역 및 드레인 영역에는 n형 불순물 또는 p형 불순물이 도핑될 수 있고, 바람직하게는 LTPS 박막 트랜지스터(130)는 p-타입 박막 트랜지스터일 수 있다.
- [0051] 복합형 박막 트랜지스터(100)의 산화물 반도체 박막 트랜지스터(140)는 액티브층(141), 게이트 전극(142), 소스 전극(143) 및 드레인 전극(144)을 포함한다. 구체적으로, 기판(110) 상에 형성된 제1 절연층(122) 상에 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)이 형성되고, 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142) 상에 제2 절연층(123)이 형성되고, 제2 절연층(123) 상에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성되고, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 상에 제3 절연층(124)이 형성되고, 제3 절연층(124)에 형성된 컨택홀을 통해 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 접촉한다. 따라서, 산화물 반도체 박막 트랜지스터(140)는 기판(110)으로부터 게이트 전극(142), 액티브층(141), 및 소스 전극(143) 및 드레인 전극(144) 순서로 적층된 바텀 게이트 구조의 박막 트랜지스터이다. 산화물 반도체 박막 트랜지스터(140)는 n-타입 박막 트랜지스터일 수 있다. 제2 절연층(123)은 산화물 반도체 박막 트랜지스터(140)에서 게이트 절연층으로 기능하고, 제3 절연층(124)은 산화물 반도체 박막 트랜지스터(140)에서 에치 스탑퍼(etch stopper)로 기능한다. 따라서, 제2 절연층(123)이 LTPS 박막 트랜지스터(130)에서는 층간 절연층으로 사용되는 동시에 산화물 반도체 박막 트랜지스터(140)에서는 게이트 절연층으로도 사용되는 장점이 있다.
- [0052] 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 산화물 반도체로 이루어질 수 있다. 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 다양한 금속 산화물이 사용될 수 있으며, 예를 들어, 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물(InSnGaZnO) 계 재료, 3원계 금속 산화물인 인듐 갈륨 아연 산화물(InGaZnO) 계 재료, 인듐 주석 아연 산화물(InSnZnO) 계 재료, 인듐 알루미늄 아연 산화물(InAlZnO) 계 재료, 인듐 하프늄 아연 산화물(InHfZnO), 주석 갈륨 아연 산화물(SnGaZnO) 계 재료, 알루미늄 갈륨 아연 산화물(AlGaZnO) 계 재료, 주석 알루미늄 아연 산화물(SnAlZnO) 계 재료, 2원계 금속 산화물인 인듐 아연 산화물(InZnO) 계 재료, 주석 아연 산화물(SnZnO) 계 재료, 알루미늄 아연 산화물(AlZnO) 계 재료, 아연 마그네슘 산화물(ZnMgO) 계 재료, 주석 마그네슘 산화물(SnMgO) 계 재료, 인듐 마그네슘 산화물(InMgO) 계 재료, 인듐 갈륨 산화물(InGaO) 계 재료나, 인듐 산화물(InO) 계 재료, 주석 산화물(SnO) 계 재료, 아연 산화물(ZnO) 계 재료 등이 사용될 수 있다. 상술한 각각의 산화물 반도체 재료에서 포함되는 각각의 원소의 조성 비율은 특별히 한정되지 않고 다양하게 조정될 수 있다.
- [0053] 도 1 및 도 2를 참조하면, LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)는 게이트 라인을 공유한다. LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)는 동일한 게이트 라인에서 분지된 동일한 게이트 전극(132, 142)을 공유하고, LTPS 박막 트랜지스터(130) 게이트 전극(132)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)은 동일하다. 즉, LTPS 박막 트랜지스터(130) 게이트 전극(132)은 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(132)으로도 기능한다.
- [0054] LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)는 소스 전극(133, 143) 및 드레인 전극(134,

144)을 공유한다. 즉, LTPS 박막 트랜지스터(130)의 소스 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143)은 동일하고, LTPS 박막 트랜지스터(130)의 드레인 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 드레인 전극(144)은 동일하다. 따라서, LTPS 박막 트랜지스터(130) 소스 전극(133)은 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143)으로도 기능하고, LTPS 박막 트랜지스터(130) 드레인 전극(134)은 산화물 반도체 박막 트랜지스터(140)의 드레인 전극(144)으로도 기능한다.

[0055] 복합형 박막 트랜지스터(100)는, 동일한 게이트 신호를 이용하는 두 개의 박막 트랜지스터를 형성하기 위해 동일한 게이트 라인을 공유하는 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)를 수직적으로 이중 적층하는 구조로 형성된다. 즉, 도 2에 도시된 바와 같이, 복합형 박막 트랜지스터(100)는 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)가 중첩되는 구조이고, LTPS 박막 트랜지스터(130) 상에 산화물 반도체 박막 트랜지스터(140)가 형성된다. LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)는 게이트 전극(132, 142)뿐만 아니라 소스 전극(133, 143) 및 드레인 전극(134, 144)도 공유할 수 있다.

[0056] 구체적으로, 도 1 및 도 2를 참조하면, 버퍼층(121) 상에 LTPS 박막 트랜지스터(130)의 액티브층(131)이 형성되고, LTPS 박막 트랜지스터(130)의 액티브층(131) 상에 제1 절연층(122)이 형성되고, 제1 절연층(122) 상에 LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140) 모두의 게이트 전극(132, 142)이 형성되고, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140) 모두의 게이트 전극(132, 142) 상에 제2 절연층(123)이 형성되고, 제2 절연층(123) 상에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성되고, 산화물 반도체 박막 트랜지스터(140) 상에 제3 절연층(124)이 형성되고, 제3 절연층(124) 상에 LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140) 모두의 소스 전극(133, 143) 및 드레인 전극(134, 144)이 형성된다.

[0057] 복합형 박막 트랜지스터(100)의 이중 적층 구조는 산화물 반도체 박막 트랜지스터(140)의 채널 영역과 LTPS 박막 트랜지스터(130)의 채널 영역이 서로 중첩되는 것을 특징으로 한다. 도 2를 참조하면, LTPS 박막 트랜지스터(130)의 액티브층(131), 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 및 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(132, 142)이 중첩된다. 박막 트랜지스터의 채널 영역은 액티브층과 게이트 전극이 중첩되는 영역으로 정의될 수 있다. 따라서, LTPS 박막 트랜지스터(130)의 액티브층(131)과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 중첩되고, LTPS 박막 트랜지스터(130)의 액티브층(131)과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 사이에 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(132, 142)이 배치되므로, 산화물 반도체 박막 트랜지스터(140)의 채널 영역과 LTPS 박막 트랜지스터(130)의 채널 영역이 서로 중첩된다. 또한, 산화물 반도체 박막 트랜지스터(140)의 채널 영역의 길이와 LTPS 박막 트랜지스터(130)의 채널 영역의 길이는 동일하고, 평면 상에서 산화물 반도체 박막 트랜지스터(140)의 채널 영역의 넓이와 LTPS 박막 트랜지스터(130)의 채널 영역의 넓이는 동일할 수 있다.

[0058] 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터(100)는 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)가 이중 적층된 구조를 포함함으로써, LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)가 게이트 라인을 공유하고, 각각의 박막 트랜지스터의 채널 영역을 형성하기 위한 게이트 라인 및 게이트 전극(132, 142) 형성에 필요한 면적을 최소화할 수 있다.

[0059] 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터(100)에서의 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)가 이중 적층된 구조는 LTPS 박막 트랜지스터(130)를 p-타입 박막 트랜지스터로 사용하고 산화물 반도체 박막 트랜지스터(140)를 n-타입 박막 트랜지스터로 사용할 수 있다. 이는, LTPS 박막 트랜지스터(130)를 p-타입 박막 트랜지스터로 형성하기 위한 p형 불순물 도핑 이후에 산화물 반도체 박막 트랜지스터(140)는 별도의 도핑 없이 n-타입 박막 트랜지스터로 형성할 수 있기 때문이다. 따라서, n-타입 박막 트랜지스터와 p-타입 박막 트랜지스터의 조합인 인버터 회로를 콤팩트하게 설계할 수 있다는 장점이 있다.

[0060] 도 1 및 도 2에 도시되지는 않았으나, 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143)과 LTPS 박막 트랜지스터(130)의 소스 전극(133)은 동일한 컨택홀을 통해 전기적으로 연결될 수 있고, 산화물 반도체 박막 트랜지스터(140)의 드레인 전극(144)과 LTPS 박막 트랜지스터(130)의 드레인 전극(134)은 동일한 컨택홀을 통해 전기적으로 연결될 수 있다.

[0061] 이하에서는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터(100)가 적용된 유기 전계 발광 표시 장치(300A, 300B)를 설명하기 위해 도 3a 및 도 3b를 함께 참조한다.

- [0062] 도 3a는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 회로도이다. 도 3a에서는 다양한 유기 전계 발광 표시 장치(300A)의 회로 구조 중 구동 박막 트랜지스터(350) 및 박막 트랜지스터와 1개의 저장(storage) 커패시터(360)가 사용되는 2T1C 구조를 도시하였으나, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(300A)의 회로 구조가 이에 제한되는 것은 아니다.
- [0063] 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(300A)는 발광 영역 및 소자 영역이 각각 구비된 복수의 서브 화소를 포함하는 기관, 소자 영역에서 기관 상에 형성된 복합형 박막 트랜지스터(100) 및 발광 영역에서 기관 상에 형성된 유기 발광 소자(370)를 포함한다.
- [0064] 기관은 유기 전계 발광 표시 장치(300A)의 다양한 구성요소들을 지지하기 위한 기관으로서, 절연 물질로 형성된다. 기관은 복수의 서브 화소를 포함하고, 각각의 서브 화소는 유기 발광 소자(370)가 형성되는 발광 영역 및 복합형 박막 트랜지스터(100)를 포함하는 다양한 구동 소자와 다양한 배선들이 형성되는 소자 영역을 구비한다.
- [0065] 도 3a를 참조하면, 복합형 박막 트랜지스터(100)는 유기 전계 발광 표시 장치(300A)의 스위칭 박막 트랜지스터(380)로 기능한다. 복합형 박막 트랜지스터(100)의 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)는 동일한 스캔 라인, 즉, 게이트 라인을 공유하고, 동일한 데이터 배선으로부터 데이터 전압을 인가 받는다. 복합형 박막 트랜지스터(100)의 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)는 모두 저장 커패시터(360) 및 구동 박막 트랜지스터(350)와 전기적으로 연결된다.
- [0066] 도 3b는 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 회로도이다. 도 3b에서는 다양한 유기 전계 발광 표시 장치(300B)의 회로 구조 중 구동 박막 트랜지스터(350), 박막 트랜지스터 및 리셋(reset) 박막 트랜지스터(390)와 1개의 저장 커패시터(360)가 사용되는 3T1C 구조를 도시하였으나, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(300B)의 회로 구조가 이에 제한되는 것은 아니다.
- [0067] 도 3b를 참조하면, 복합형 박막 트랜지스터(100)는 유기 전계 발광 표시 장치(300B)의 구동 박막 트랜지스터(350)로 기능한다. 복합형 박막 트랜지스터(100)의 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)의 게이트 전극은 구동 박막 트랜지스터(350)와 전기적으로 연결되고, LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터(140)의 소스 전극 및 드레인 전극 중 하나는 VDD 라인에 전기적으로 연결되고 다른 하나는 유기 발광 소자(370)와 전기적으로 연결된다.
- [0068] 도 3a 및 도 3b에서는 복합형 박막 트랜지스터(100)가 유기 전계 발광 표시 장치(300B)의 구동 박막 트랜지스터(350) 또는 스위칭 박막 트랜지스터(380)인 것으로 도시되었으나, 이에 제한되지 않고 복합형 박막 트랜지스터(100)는 유기 전계 발광 표시 장치(300B)의 다양한 박막 트랜지스터 중 하나일 수도 있다.
- [0069] 이하에서는 복합형 박막 트랜지스터(100)가 유기 전계 발광 표시 장치(300B)의 구동 박막 트랜지스터(350)로 형성된 경우의 효과를 설명하기 위해 도 4를 함께 참조한다.
- [0070] 도 4는 본 발명의 일 실시예에 따른 복합형 박막 트랜지스터의 I-V 곡형도이다. 도 4에서는 도 3b에 도시된 바와 같이 복합형 박막 트랜지스터(100)가 유기 발광 소자(370)와 전기적으로 연결되어 유기 발광 소자(370)를 구동하는 구동 박막 트랜지스터(350)인 경우 복합형 박막 트랜지스터(100)의 I-V 곡형을 도시하였다.
- [0071] 유기 전계 발광 표시 장치의 경우, 액정 표시 장치와 달리 전류 구동을 통해 영상을 출력하게 되는데, 전류의 크기를 조절하기 위해 구동 박막 트랜지스터와 저장 커패시터로 구동 회로가 이루어지게 되고, 1 프레임 시간 동안 구동 박막 트랜지스터에 흐르는 전류는 저장 커패시터에 저장된 전압에 의해 결정된다.
- [0072] 먼저, 구동 박막 트랜지스터로서 산화물 반도체 박막 트랜지스터(140)만을 사용하는 경우, 산화물 반도체 박막 트랜지스터(140)의 낮은 전하 이동도에 기인하여 산화물 반도체 박막 트랜지스터(140)는 도 4에 도시된 바와 같이 저휘도 영역에서의 계조 표현(휘도 단계 표현)이 용이하나, 최대 전류가 낮아 고휘도 표현에 어려움이 있다.
- [0073] 한편, 구동 박막 트랜지스터로서 LTPS 박막 트랜지스터(130)를 사용하는 경우, LTPS 박막 트랜지스터(130)의 높은 전하 이동도에 기인하여 LTPS 박막 트랜지스터(130)는 도 4에 도시된 바와 같이 고휘도 영역에서의 계조 표현이 용이하나, 저휘도 영역에서의 계조 표현이 어렵다는 단점이 있다. 이는, LTPS 박막 트랜지스터(130)의 전하 이동도가 높으므로 산화물 반도체 박막 트랜지스터(140)에 비해 전압 변화에 따라 흐르는 전류가 민감하게 변하기 때문이다.
- [0074] 이에, 본 발명은 구동 박막 트랜지스터(350)에 LTPS 박막 트랜지스터(130)와 산화물 반도체 박막 트랜지스터

(140)를 동시에 적용함으로써, 저휘도부터 고휘도까지의 전 영역의 계조 표현이 용이하게 된다.

- [0075] 도 4를 참조하면, LTPS 박막 트랜지스터(130)의 경우 산화물 반도체 박막 트랜지스터(140) 대비 전하 이동도 특성이 좋아 최대 전류 특성이 우수하다. 그러나, 전류 구동을 하는 유기 전계 발광 표시 장치의 특성을 고려하면, LTPS 박막 트랜지스터(130)에서는 저계조 표현이 어렵다는 것을 도 4를 통해 확인할 수 있다. 따라서, 상대적으로 전하 이동도가 낮은 산화물 반도체 박막 트랜지스터(140)를 LTPS 박막 트랜지스터(130)와 병렬 연결함으로써 저계조 특성이 개선되었음이 도 4를 통해 확인될 수 있다.
- [0076] 복합형 박막 트랜지스터(100)에서는 LTPS 박막 트랜지스터의 문턱 전압(V_{th})을 고계조 영역으로 옮겨서, 고계조 표현에 주력하게 하며, 산화물 반도체 박막 트랜지스터(140)의 특성으로 저계조 영역, 즉, I_{oled} 가 작은 영역에서 같은 수준의 전류 크기 변화 시 필요한 V_{data} 의 변화 폭이 커지므로, 결과적으로 저휘도부터 고휘도까지 계조 표현이 가능하게 된다.
- [0077] 즉, 구동 박막 트랜지스터로 사용되는 복합형 박막 트랜지스터(100)에서의 산화물 반도체 박막 트랜지스터(140) 및 LTPS 박막 트랜지스터(130)의 혼합 구조는 구동 전압을 동시에 받는다. 따라서, 유기 전계 발광 표시 장치의 구동 전류 특성 중 저휘도 영역에서는 산화물 반도체 박막 트랜지스터(140)의 특성이 발휘되고, 고휘도 영역에서는 LTPS 박막 트랜지스터(130)의 특성이 발휘되어, 유기 전계 발광 표시 장치(300A)는 전 계조를 표현할 수 있다.
- [0078] 도 5는 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터를 설명하기 위한 개략적인 평면도이다. 도 5를 참조하면, 복합형 박막 트랜지스터(500)는 LTPS 박막 트랜지스터(530) 및 산화물 반도체 박막 트랜지스터(540)를 포함한다. 도 5에 도시된 복합형 박막 트랜지스터(500)는 도 2에 도시된 복합형 박막 트랜지스터(200)와 비교하여 LTPS 박막 트랜지스터(530)의 소스 전극(533)과 산화물 반도체 박막 트랜지스터(540)의 소스 전극(543)이 분리되고, LTPS 박막 트랜지스터(530)의 드레인 전극(534)과 산화물 반도체 박막 트랜지스터(540)의 드레인 전극(544)이 분리되고, LTPS 박막 트랜지스터(530) 및 산화물 반도체 박막 트랜지스터(540)의 액티브층(531, 541)이 형상이 상이하다는 점을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다.
- [0079] 도 5를 참조하면, LTPS 박막 트랜지스터(530)와 산화물 반도체 박막 트랜지스터(540)는 게이트 라인을 공유한다. LTPS 박막 트랜지스터(530)와 산화물 반도체 박막 트랜지스터(540)는 동일한 게이트 라인에서 분지된 동일한 게이트 전극(532, 542)을 공유하고, LTPS 박막 트랜지스터(530) 게이트 전극(532, 542)과 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(532, 542)은 동일하다. 즉, LTPS 박막 트랜지스터(530) 게이트 전극(532)은 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(542)으로도 기능한다.
- [0080] LTPS 박막 트랜지스터(530)의 소스 전극(533) 및 드레인 전극(534) 각각은 산화물 반도체 박막 트랜지스터(540)의 소스 전극(543) 및 드레인 전극(544) 각각과 전기적으로 분리된다. 따라서, 복합형 박막 트랜지스터(500)의 LTPS 박막 트랜지스터(530)와 산화물 반도체 박막 트랜지스터(540)는 별개의 박막 트랜지스터로서 기능할 수 있다.
- [0081] 도 5를 참조하면, 복합형 박막 트랜지스터(500)에서는 서로 중첩된 LTPS 박막 트랜지스터(530)의 액티브층(531)과 산화물 반도체 박막 트랜지스터(540)의 액티브층(541) 사이의 거리를 이용하여 커패시터를 형성할 수 있다. 따라서, 유기 전계 발광 표시 장치(300A)의 I_{on} 및 I_{off} 의 조건을 만족하는 범위에서 LTPS 박막 트랜지스터(530)의 액티브층(531)과 산화물 반도체 박막 트랜지스터(540)의 액티브층(541) 사이의 거리를 조절하여 유기 전계 발광 표시 장치의 커패시턴스의 크기를 변경시킬 수 있다. 채널 영역에서는 다소 기생 커패시턴스가 발생할 수 있지만, 이러한 커패시턴스 성분은 회로 구성에 필요한 커패시턴스로 활용될 수 있는 장점이 있다.
- [0082] 이하에서는 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터(500)가 적용된 유기 전계 발광 표시 장치를 설명하기 위해 도 6을 함께 참조한다.
- [0083] 도 6은 본 발명의 다른 실시예에 따른 복합형 박막 트랜지스터를 갖는 유기 전계 발광 표시 장치를 설명하기 위한 개략적인 회로도이다. 도 6a에서는 다양한 유기 전계 발광 표시 장치의 회로 구조 중 스위칭 박막 트랜지스터 및 리셋 박막 트랜지스터만을 도시하였다.
- [0084] 도 6을 참조하면, 복합형 박막 트랜지스터(500)의 LTPS 박막 트랜지스터(530) 및 산화물 반도체 박막 트랜지스터(540)는 게이트 라인을 공유하나 소스 전극(533, 543)과 드레인 전극(534, 544)은 별개로 사용하므로, LTPS 박막 트랜지스터(530)는 스위칭 박막 트랜지스터로 기능하고, 산화물 반도체 박막 트랜지스터(540)는 리셋 박막 트랜지스터로 기능할 수 있다. 따라서, 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치에서는 화소 개

구율이 개선되고 소자 영역의 면적 최소화가 가능하다.

[0085] 도 6에서는 LTPS 박막 트랜지스터(530)는 스위칭 박막 트랜지스터로 기능하고, 산화물 반도체 박막 트랜지스터(540)는 리셋 박막 트랜지스터로 기능하는 것으로 설명하였으나, 반대로 LTPS 박막 트랜지스터(530)가 리셋 박막 트랜지스터로 기능하고, 산화물 반도체 박막 트랜지스터(540)가 스위칭 박막 트랜지스터로 기능할 수도 있다.

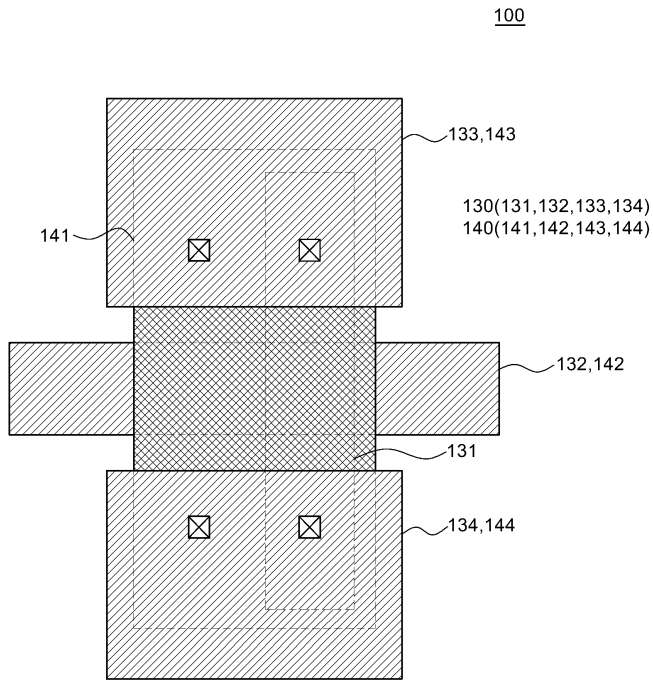
[0086] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

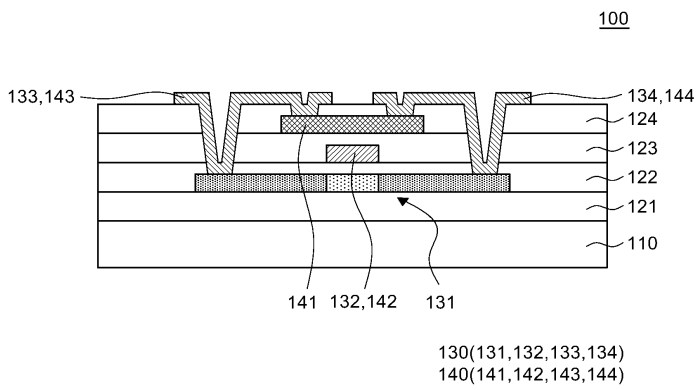
[0087] 110: 기관
121: 버퍼층
122: 제1 절연층
123: 제2 절연층
124: 제3 절연층
130, 530: LTPS 박막 트랜지스터
131, 531: LTPS 박막 트랜지스터의 액티브층
132, 532: LTPS 박막 트랜지스터의 게이트 전극
133, 533: LTPS 박막 트랜지스터의 소스 전극
134, 534: LTPS 박막 트랜지스터의 드레인 전극
140, 540: 산화물 반도체 박막 트랜지스터
141, 541: 산화물 반도체 박막 트랜지스터의 액티브층
142, 542: 산화물 반도체 박막 트랜지스터의 게이트 전극
143, 543: 산화물 반도체 박막 트랜지스터의 소스 전극
144, 544: 산화물 반도체 박막 트랜지스터의 드레인 전극
350: 구동 박막 트랜지스터
360: 저장 커패시터
370: 유기 발광 소자
380: 스위칭 박막 트랜지스터
390: 리셋 박막 트랜지스터
100, 500: 복합형 박막 트랜지스터
300A, 300B: 유기 전계 발광 표시 장치

도면

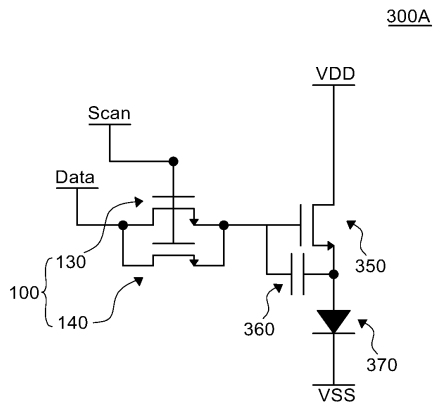
도면1



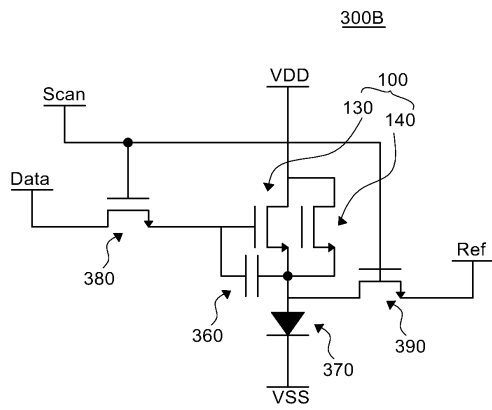
도면2



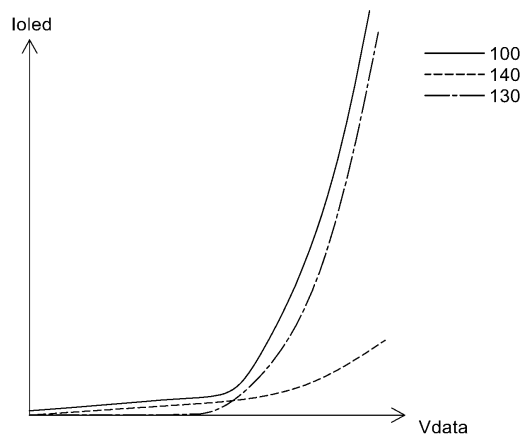
도면3a



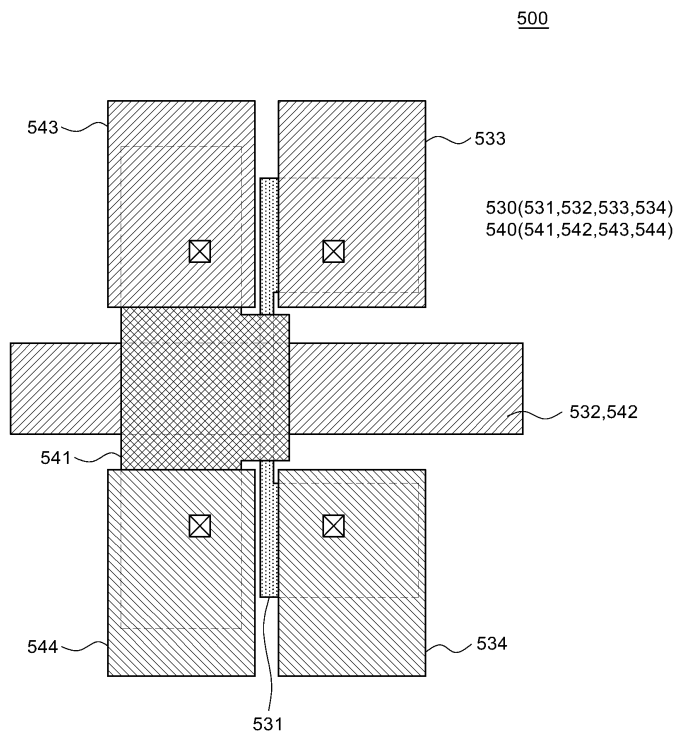
도면3b



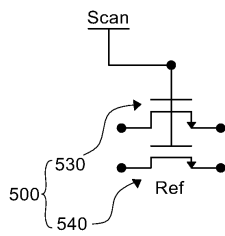
도면4



도면5



도면6



专利名称(译)	标题：具有复合薄膜晶体管的有机电致发光显示装置		
公开(公告)号	KR1020150100459A	公开(公告)日	2015-09-02
申请号	KR1020140083731	申请日	2014-07-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM TAE HWAN 김태환 KIM HYOUNG SU 김형수 LEE JAE MYON 이재면		
发明人	김태환 김형수 이재면		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/32 H01L27/3274 H01L27/1251 H01L29/7869 H01L27/3218 H01L27/3262 H01L27/3272		
优先权	61/944501 2014-02-25 US 61/944499 2014-02-25 US		
其他公开文献	KR101672091B1		
外部链接	Espacenet		

摘要(译)

提供一种具有复合型薄膜晶体管的有机电致发光显示装置。基板包括多个子像素，所述多个子像素包括发光区域和器件区域。在器件区域中的基板上形成复合型薄膜晶体管。有机发光器件形成在发光区域上。复合薄膜晶体管由氧化物半导体薄膜晶体管和LTPS薄膜晶体管形成。根据本发明实施方式的有机电致发光显示装置应用由氧化物半导体薄膜晶体管和LTPS薄膜晶体管形成的复合型薄膜晶体管，以提高有机电致发光显示装置的性能和产量，以减少有机电致发光显示装置。电致发光显示装置的制造成本，最小化薄膜晶体管所占的面积以及提供优异的色调表现。

