



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0052531
(43) 공개일자 2015년05월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01) H05B 33/08 (2006.01)

(21) 출원번호 10-2013-0134024

(22) 출원일자 2013년11월06일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이원준

경기도 용인시 기흥구 삼성2로 95 (농서동)

왕인수

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

강신섭, 문용호, 이용우

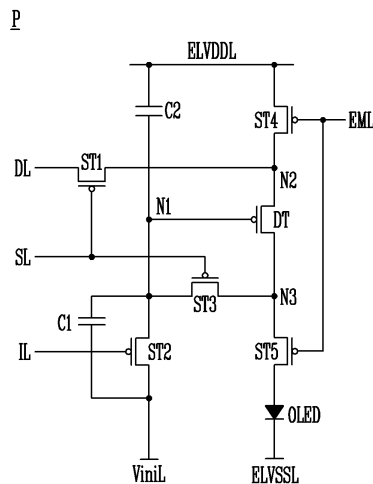
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기전계발광 표시장치와 그 구동방법

(57) 요약

본 발명은 유기전계발광 표시장치와 그 구동방법에 관한 것이다. 본 발명의 실시 예에 따른 유기전계발광 표시 장치는 데이터 라인, 스캔 라인, 및 초기화 라인이 형성되고, 매트릭스 형태로 배열된 화소들이 형성된 표시패널 을 구비하고, 상기 화소들 각각은, 유기발광다이오드; 게이트 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드 에 접속되며, 제2 전극이 제3 노드에 접속되고, 상기 제1 노드의 전압에 따라 상기 유기발광다이오드로 흐르는 드레인-소스간 전류를 제어하는 구동 트랜지스터; 상기 스캔 라인의 스캔 신호에 의해 턴-온되고, 상기 제2 노드 와 상기 데이터 라인 사이에 접속된 제1 트랜지스터; 상기 초기화 라인의 초기화 신호에 의해 턴-온되어 상기 제 1 노드를 초기화시키는 제2 트랜지스터; 및 상기 제2 트랜지스터의 제1 전극과 제2 전극 사이에 접속된 제1 캐패 시터를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

데이터 라인, 스캔 라인, 및 초기화 라인이 형성되고, 매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

유기발광다이오드;

게이트 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속되고, 상기 제1 노드의 전압에 따라 상기 유기발광다이오드로 흐르는 드레인-소스간 전류를 제어하는 구동 트랜지스터;

상기 스캔 라인의 스캔 신호에 의해 턴-온되고, 상기 제2 노드와 상기 데이터 라인 사이에 접속된 제1 트랜지스터;

상기 초기화 라인의 초기화 신호에 의해 턴-온되어 상기 제1 노드를 초기화시키는 제2 트랜지스터; 및

상기 제2 트랜지스터의 제1 전극과 제2 전극 사이에 접속된 제1 캐패시터를 포함하는 유기전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 트랜지스터의 게이트 전극과 제2 전극은 상기 초기화 라인에 접속되고, 상기 제1 전극은 상기 제1 노드에 접속된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 트랜지스터의 게이트 전극은 상기 초기화 라인에 접속되고, 상기 제1 전극은 상기 제1 노드에 접속되며, 제2 전극은 초기화 전압이 공급되는 초기화 전압 라인에 접속된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터는 제1 기간 동안 턴-온되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 화소들 각각은,

상기 스캔 신호에 의해 턴-온되고, 상기 제1 노드와 상기 제3 노드 사이에 접속된 제3 트랜지스터를 더 포함하고,

상기 제1 기간 동안 제3 트랜지스터는 턴-온되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제 5 항에 있어서,

제2 기간 동안 상기 제1 및 제3 트랜지스터는 턴-온되고, 상기 제2 트랜지스터는 턴-오프되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 표시패널은 발광 라인이 더 형성되고,

상기 화소들 각각은,

상기 발광 라인의 발광 신호에 의해 턴-온되고, 상기 제1 전원전압 라인과 상기 제2 노드 사이에 접속된 제4 트랜지스터; 및

상기 발광 신호에 의해 턴-온되고, 상기 제3 노드와 상기 유기발광다이오드 사이에 접속된 제5 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2 기간 동안 상기 제4 및 제5 트랜지스터는 턴-오프되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제 8 항에 있어서,

제3 기간 동안 상기 제1 내지 제3 트랜지스터는 턴-오프되고, 상기 제4 및 제5 트랜지스터는 턴-온되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제 8 항에 있어서,

상기 제1 기간 동안,

상기 스캔 신호와 상기 초기화 신호는 제1 로직 레벨 전압으로 발생하고,

상기 발광 신호는 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 제2 기간 동안,

상기 스캔 신호는 상기 제1 로직 레벨 전압으로 발생하고,

상기 초기화 신호와 상기 발광 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 제3 기간 동안,

상기 발광 신호는 상기 제1 로직 레벨 전압으로 발생하고,

상기 스캔 신호와 상기 초기화 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 제1 내지 제5 트랜지스터들 각각은,

상기 제1 로직 레벨 전압에 의해 턴-온되고, 상기 제2 로직 레벨 전압에 의해 턴-오프되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 6 항에 있어서,

상기 제1 및 제2 기간 각각은 수 내지 수십 수평 기간으로 구현되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제 7 항에 있어서,

상기 제1 트랜지스터의 게이트 전극은 상기 스캔 라인에 접속되고, 제1 전극은 상기 데이터 라인에 접속되며, 제2 전극은 상기 제2 노드에 접속되고,

상기 제3 트랜지스터의 게이트 전극은 상기 스캔 라인에 접속되고, 제1 전극은 상기 제3 노드에 접속되며, 제2 전극은 상기 제1 노드에 접속되고,

상기 제4 트랜지스터의 게이트 전극은 상기 발광 라인에 접속되고, 제1 전극은 상기 제1 전원전압 라인에 접속되며, 제2 전극은 상기 제2 노드에 접속되고,

상기 제5 트랜지스터의 게이트 전극은 상기 발광 라인에 접속되고, 제1 전극은 상기 제3 노드에 접속되며, 제2 전극은 상기 유기발광다이오드의 애노드 전극에 접속되고,

상기 유기발광다이오드의 캐소드 전극은 제2 전원전압이 공급되는 제2 전원전압 라인에 접속되며,

상기 제1 캐패시터의 일측 전극은 상기 제2 트랜지스터의 제1 전극에 접속되고, 타측 전극은 상기 제2 트랜지스터의 제2 전극에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제 1 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 제1 전원전압 라인 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 17

매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은 제1 노드의 전압에 따라 유기발광다이오드로 흐르는 드레인-소스간 전류를 제어하는 구동 트랜지스터를 포함하는 유기전계발광 표시장치의 구동방법에 있어서,

상기 구동 트랜지스터의 트랩을 발생시킴과 동시에, 상기 구동 트랜지스터의 게이트 전극을 초기화하는 제1 단계;

상기 구동 트랜지스터에 데이터 전압을 공급하는 제2 단계; 및

상기 구동 트랜지스터의 드레인-소스간 전류에 따라 상기 유기발광다이오드를 발광시키는 제3 단계를 포함하는 유기전계발광 표시장치의 구동방법.

청구항 18

제 17 항에 있어서,

상기 제1 단계는,

상기 구동 트랜지스터의 제1 전극에 데이터 라인의 데이터 전압을 공급하는 단계;

상기 제1 노드를 상기 구동 트랜지스터의 제2 전극에 접속하는 단계; 및

상기 제1 노드를 초기화 전압이 공급되는 초기화 전압 라인에 접속하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 구동방법.

청구항 19

제 17 항에 있어서,

상기 제2 단계는,

상기 구동 트랜지스터의 제1 전극에 데이터 라인의 데이터 전압을 공급하는 단계; 및

상기 제1 노드를 상기 구동 트랜지스터의 제2 전극에 접속하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 구동방법.

청구항 20

제 17 항에 있어서,

상기 제3 단계는,

상기 구동 트랜지스터의 제1 전극을 제1 전원전압이 공급되는 제1 전원전압 라인에 접속하는 단계; 및

상기 구동 트랜지스터의 제2 전극을 상기 유기발광다이오드에 접속하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시 예는 유기전계발광 표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기전계발광 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기전계발광 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다.

[0003] 유기전계발광 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 트랜지스터(transistor)와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(organic light emitting diode)에 공급되는 전류의 양을 조절하는 구동 트랜지스터를 포함한다. 이때, 유기발광다이오드에 공급되는 구동 트랜지스터의 드레인-소스간 전류(Ids)는 수학식 1과 같이 표현될 수 있다.

수학식 1

$$I_{ds} = k \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학식 1에서, k는 구동 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, Vgs는 구동 트랜지스터의 게이트-소스간 전압, Vth는 구동 트랜지스터의 문턱전압을 의미한다.

[0006] 한편, 구동 트랜지스터의 열화에 의한 문턱전압(Vth)의 쉬프트(shift)로 인해, 화소들 각각의 구동 트랜지스터의 문턱전압(Vth)은 서로 다른 값을 가질 수 있다. 이 경우, 구동 트랜지스터의 드레인-소스간 전류(Ids)는 구

동 트랜지스터의 문턱전압(V_{th})에 의존하므로, 동일한 데이터 전압을 화소들 각각에 공급하더라도 유기전계발광에 공급되는 전류(I_{ds})는 화소마다 달라진다. 따라서, 화소들 각각에 동일한 데이터 전압을 공급하더라도 화소들 각각의 유기발광다이오드의 발광량이 달라지는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0007]

본 발명의 실시 예는 구동 트랜지스터의 문턱전압을 보상함과 동시에, 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우 구동 트랜지스터의 히스테리시스 특성에 의해 구동 트랜지스터의 드레인-소스간 전류가 계단과 같이 상승함으로써 발생하는 화이트 계조의 휘도 편차를 최소화할 수 있는 유기전계발광 표시장치와 그 구동방법을 제공한다.

과제의 해결 수단

[0008]

본 발명의 실시 예에 따른 유기전계발광 표시장치는 데이터 라인, 스캔 라인, 및 초기화 라인이 형성되고, 매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 유기발광다이오드; 게이트 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속되고, 상기 제1 노드의 전압에 따라 상기 유기발광다이오드로 흐르는 드레인-소스간 전류를 제어하는 구동 트랜지스터; 상기 스캔 라인의 스캔 신호에 의해 턴-온되고, 상기 제2 노드와 상기 데이터 라인 사이에 접속된 제1 트랜지스터; 상기 초기화 라인의 초기화 신호에 의해 턴-온되어 상기 제1 노드를 초기화시키는 제2 트랜지스터; 및 상기 제2 트랜지스터의 제1 전극과 제2 전극 사이에 접속된 제1 캐패시터를 포함한다.

[0009]

본 발명의 실시 예에 따른 유기전계발광 표시장치의 구동방법은 매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은 제1 노드의 전압에 따라 유기발광다이오드로 흐르는 드레인-소스간 전류를 제어하는 구동 트랜지스터를 포함하는 유기전계발광 표시장치의 구동방법에 있어서, 상기 구동 트랜지스터의 트랩을 발생시킴과 동시에, 상기 구동 트랜지스터의 게이트 전극을 초기화하는 제1 단계; 상기 구동 트랜지스터에 데이터 전압을 공급하는 제2 단계; 및 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 상기 유기발광다이오드를 발광시키는 제2 단계를 포함한다.

발명의 효과

[0010]

본 발명의 실시 예는 구동 트랜지스터의 문턱전압을 보상하기 이전에, 구동 트랜지스터의 제1 전극에 데이터 전압을 공급하여 구동 트랜지스터에 드레인-소스간 전류를 흐르게 함으로써, 구동 트랜지스터의 트랩을 발생시킨다. 그 결과, 본 발명의 실시 예는 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우, 블랙 계조 표시시의 구동 트랜지스터의 트랩과 화이트 계조 표시시의 구동 트랜지스터의 트랩 간의 차이로 인하여 구동 트랜지스터의 드레인-소스간 전류가 계단과 같이 상승하는 것을 방지할 수 있다. 이로 인해, 본 발명의 실시 예는 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우, 구동 트랜지스터의 히스테리시스 특성에 의해 발생하는 화이트 계조의 휘도 편차를 최소화할 수 있으므로, 화질을 개선할 수 있다.

[0011]

또한, 본 발명의 실시 예는 데이터 전압과 초기화 전압의 중간 레벨 전압으로 구동 트랜지스터의 게이트 전극을 초기화한다. 또한, 본 발명의 실시 예는 구동 트랜지스터의 게이트 전극과 초기화 라인 사이에 접속된 제2 캐패시터를 포함하며, 이로 인해 초기화 신호의 전압 변화량을 제2 캐패시터의 캡 부스팅(cap boosting)에 의해 구동 트랜지스터의 게이트 전극에 반영할 수 있다. 그 결과, 본 발명의 실시 예는 제1 기간 동안 구동 트랜지스터의 게이트 전극에 초기화되는 전압과 제2 기간 동안 구동 트랜지스터의 게이트 전극에 충전하려는 전압 간의 차이를 줄일 수 있다. 그러므로, 본 발명의 실시 예는 제2 기간 동안 공급되는 데이터 전압의 레벨에 상관없이 제2 기간 동안 구동 트랜지스터의 게이트 전극을 목표 전압으로 충전할 수 있다. 따라서, 본 발명의 실시 예는 표현하려고 했던 계조를 확실하게 표현할 수 있으며, 명암 대비비를 높일 수 있다.

[0012]

나아가, 본 발명의 실시 예는 제2 트랜지스터의 게이트 전극과 제1 전극을 초기화 라인에 접속하고, 제2 전극을 구동 트랜지스터의 게이트 전극에 접속시킨다. 그 결과, 본 발명의 실시 예는 초기화 전압을 공급하는 초기화

전압 라인을 생략할 수 있다. 이로 인해, 본 발명의 실시 예는 표시패널에 입력되는 입력 배선을 줄일 수 있으므로, 여유 있는 패널 설계가 가능하다.

도면의 간단한 설명

[0013]

도 1은 다이오드 접속 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도.

도 2는 구동 트랜지스터의 히스테리시스 특성에 의한 구동 트랜지스터의 드레인-소스간 전류의 계단 파형을 보여주는 그래프.

도 3은 본 발명의 제1 실시 예에 따른 화소의 등가 회로도.

도 4는 본 발명의 제1 실시 예에 따른 화소에 입력되는 신호들을 보여주는 파형도.

도 5는 제1 내지 제3 기간 동안 본 발명의 제1 실시 예에 따른 화소의 동작을 보여주는 흐름도.

도 6a 내지 도 6c는 제1 내지 제3 기간 동안 본 발명의 제1 실시 예에 따른 화소의 동작을 보여주는 회로도.

도 7은 본 발명의 제1 실시 예에 따른 구동 트랜지스터의 드레인-소스간 전류의 파형을 보여주는 그래프.

도 8a 및 도 8b는 종래 기술의 경우 제1 및 제2 기간 동안 공급되는 스캔 신호, 데이터 전압, 및 제1 노드의 전압을 보여주는 파형도.

도 9a 및 도 9b는 본 발명의 제1 실시 예의 경우 제1 및 제2 기간 동안 공급되는 스캔 신호, 데이터 전압, 및 제1 노드의 전압을 보여주는 파형도.

도 10은 본 발명의 제2 실시 예에 따른 화소의 등가 회로도.

도 11은 본 발명의 실시 예에 따른 유기전계발광 표시장치를 개략적으로 보여주는 블록도.

발명을 실시하기 위한 구체적인 내용

[0014]

본 발명은 화소들 각각의 구동 트랜지스터의 문턱전압을 실시간으로 보상하는 유기전계발광 표시장치에 관한 것이다. 이하 첨부된 도면을 참조하여 유기전계발광 표시장치를 중심으로 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0015]

도 1은 다이오드 접속 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다. 도 1에는 유기발광다이오드에 전류를 공급하는 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 게이트 노드(Ng)와 드레인 노드(Nd) 사이에 접속된 스위치 트랜지스터(ST)가 나타나 있다. 스위치 트랜지스터(ST)는 구동 트랜지스터(DT)에 데이터 전압이 공급되는 기간 동안 구동 트랜지스터(DT)의 게이트 노드(Ng)와 드레인 노드(Nd)를 접속시켜, 구동 트랜지스터(DT)가 다이오드(diode)로 구동하게 한다.

[0016]

도 1을 참조하면, 스위치 트랜지스터(ST)가 턴-온되는 기간 동안 게이트 노드(Ng)와 드레인 노드(Nd)가 접속되므로, 게이트 노드(Ng)와 드레인 노드(Nd)는 실질적으로 동등한 전위를 갖는다. 이때, 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(V_{gs})가 문턱전압보다 큰 경우, 구동 트랜지스터(DT)는 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(V_{gs})가 구동 트랜지스터(DT)의 문턱전압(V_{th})에 도달할 때까지 전류 패스를 형성하며, 그에 따라 게이트 노드(Ng)와 드레인 노드(Nd)의 전압은 충전된다. 즉, 구동 트랜지스터(DT)의 소스 노드(Ns)에 데이터 전압(V_{data})이 공급된 경우, 구동 트랜지스터(DT)의 게이트 노드(Ng)와 드레인 노드(Nd)의 전압은 데이터 전압(V_{data})과 문턱전압(V_{th}) 간의 차전압($V_{data}-V_{th}$)까지 상승한다. 이로 인해, 다이오드 접속 방식은 수학식 1에서 V_{th} 를 삭제할 수 있으므로, 구동 트랜지스터의 문턱전압(V_{th})을 보상할 수 있다.

[0017]

도 2는 구동 트랜지스터의 히스테리시스 특성에 의한 구동 트랜지스터의 드레인-소스간 전류의 계단 파형을 보여주는 그래프이다. 도 2를 참조하면, 구동 트랜지스터(DT)가 저온 폴리 실리кон(low temperature poly silicon, LTPS) 공정에 의해 형성되는 경우, 블랙 계조를 표시하다가 화이트 계조를 표시하고자 할 때, 구동 트

랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 히스테리시스(hysteresis) 특성에 의해 계단과 같이 상승한다. 도 2에서 제1 프레임 기간(FR1)은 유기발광다이오드가 블랙 계조로 발광하는 블랙 계조 표시기간, 제2 내지 제4 프레임 기간(FR2~FR4)은 유기발광다이오드가 화이트 계조로 발광하는 화이트 계조 표시기간에 해당한다. 계조가 "0" 내지 "255"의 8 비트의 디지털 값으로 표현되는 경우, 블랙 계조는 "0" 내지 "63"의 값으로 표현되고, 화이트 계조는 "192" 내지 "255"로 표현될 수 있다.

[0018] 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})가 계단과 같이 상승하는 이유는 블랙 계조 표시시의 구동 트랜지스터(DT)의 트래핑(trapping)(또는 트랩(trap), 이하 트랩이라 칭함)과 화이트 계조 표시시의 구동 트랜지스터(DT)의 트랩 간에 차이가 있기 때문이다. 구동 트랜지스터(DT)의 트랩은 구동 트랜지스터(DT)의 특성에 의해 발생하며, 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})의 공급을 방해하는 채널 저항으로 볼 수 있다. 구동 트랜지스터(DT)의 트랩은 상대적으로 높은 드레인-소스간 전류(I_{ds})가 흐르는 화이트 계조 표시시에 높게 발생하고, 상대적으로 낮은 드레인-소스간 전류(I_{ds})가 흐르는 블랙 계조 표시시에 낮게 발생한다. 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})가 높을수록 유기발광다이오드의 발광량은 커진다.

[0019] 이하에서, 도 1과 도 2를 결부하여 구동 트랜지스터의 드레인-소스간 전류의 계단 과형이 발생하는 원인을 상세히 설명한다. 제1 프레임 기간(FR1)에는 블랙 계조가 표시되며 제2 내지 제4 프레임 기간(FR2~FR4) 동안 화이트 계조가 표시된다. 이 경우, 제1 프레임 기간(FR1) 동안 발생하는 구동 트랜지스터(DT)의 트랩은 제2 내지 제4 프레임 기간(FR2~FR4) 동안 발생하는 구동 트랜지스터(DT)의 트랩보다 낮다. 이때, 제j(j는 자연수) 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 노드(N_g)에 충전되는 전압은 제j-1 프레임 기간 동안 발생한 구동 트랜지스터(DT)의 트랩에 의해 영향을 받는다. 이로 인해, 제2 프레임 기간(FR2) 동안 구동 트랜지스터(DT)의 게이트 전극에 충전되는 전압량은 제3 프레임 기간(FR3) 동안 구동 트랜지스터(DT)의 게이트 전극에 충전되는 전압량보다 크다. 그 결과, 제2 프레임 기간(FR2) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 제3 프레임 기간(FR3) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})보다 낮다.

[0020] 결국, 제2 프레임 기간(FR2)과 제3 프레임 기간(FR3) 동안 동일한 데이터 전압을 공급하더라도, 제2 프레임 기간(FR2)과 제3 프레임 기간(FR3) 간의 구동 트랜지스터(DT)의 트랩의 차이로 인하여, 도 2와 같이 제2 프레임 기간(FR2) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 제3 프레임 기간(FR3) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})보다 낮은 문제가 발생할 수 있다. 이 경우, 제2 프레임 기간(FR2) 동안 유기발광다이오드(OLED)의 발광량은 제3 프레임 기간(FR3) 동안 유기발광다이오드(OLED)의 발광량보다 적다. 이로 인해, 제2 내지 제4 프레임 기간(FR2~FR4) 동안 동일한 화이트 계조를 표시하여야 하나, 구동 트랜지스터(DT)의 히스테리시스 특성에 의해 제2 프레임 기간(FR2)에서 표시하고자 하는 계조를 표시하지 못하게 되며, 화이트 계조의 휘도 편차가 발생하게 된다.

[0021] 본 발명의 실시 예는 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우, 구동 트랜지스터(DT)의 히스테리시스 특성에 의해 발생하는 화이트 계조의 휘도 편차를 최소화함으로써 화질을 개선하기 위한 발명이다. 이하에서, 도 3 내지 도 8을 결부하여 본 발명의 실시 예를 상세히 설명한다.

[0022] 도 3은 본 발명의 제1 실시 예에 따른 화소의 등가 회로도이다. 도 3을 참조하면, 본 발명의 제1 실시 예에 따른 화소(P)는 구동 트랜지스터(transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 복수의 캐패시터(capacitor) 등을 포함한다.

[0023] 구동 트랜지스터(DT)는 게이트 전극의 전압에 따라 드레인-소스간 전류(I_{ds})를 제어한다. 수학식 1과 같이 구동 트랜지스터(DT)의 게이트-소스 간의 전압과 문턱전압 간의 차이가 클수록 구동 트랜지스터(DT)의 채널을 통해 흐르는 드레인-소스간 전류(I_{ds})는 커진다. 구동 트랜지스터(DT)의 게이트 전극은 제1 노드(N_1)에 접속되고, 제1 전극은 제2 노드(N_2)에 접속되며, 제2 전극은 제3 노드(N_3)에 접속된다.

[0024] 유기발광다이오드(OLED)의 애노드 전극은 제5 트랜지스터(ST5)의 제2 전극에 접속되고, 캐소드 전극은 제2 전원 전압(ELVSS)이 공급되는 제2 전원전압 공급라인(ELVSSL)에 접속된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})에 따라 발광된다. 유기발광다이오드(OLED)의 발광량은 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})에 비례할 수 있다.

[0025] 제어 회로는 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5)를 포함한다. 제1 트랜지스터(ST1)는 제2 노드(N_2)와 데이터 라인(DL) 사이에 접속된다. 제1 트랜지스터(ST1)는 스캔 라인(SL)으로부터 공급되는 스캔 신호(SCAN)에 의해 턴-온되어 제2 노드(N_2)를 데이터 라인(DL)에 접속시킨다. 이로 인해, 제2 노드(N_2)에는 데이

터 라인(DL)의 데이터 전압(Vdata)이 공급된다. 제1 트랜지스터(ST1)의 게이트 전극은 스캔 신호(SCAN)가 공급되는 스캔 라인(SL)에 접속되고, 제1 전극은 데이터 라인(DL)에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.

[0026] 제2 트랜지스터(ST2)는 제1 노드(N1)와 초기화 라인(IL) 사이에 접속된다. 제2 트랜지스터(ST2)는 초기화 라인(IL)으로부터 공급되는 초기화 신호(INI)에 의해 턴-온되어 제1 노드(N1)를 초기화 전압(Vini)이 공급되는 초기화 전압 라인(ViniL)에 접속시킨다. 이로 인해, 제1 노드(N1)는 초기화 전압(Vini)으로 초기화된다. 제2 트랜지스터(ST2)의 게이트 전극은 초기화 라인(IL)에 접속되고, 제1 전극은 제1 노드(N1)에 접속되며, 제2 전극은 초기화 전압 라인(ViniL)에 접속된다.

[0027] 제3 트랜지스터(ST3)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 제3 트랜지스터(ST3)는 스캔 라인(SL)으로부터 공급되는 스캔 신호(SCAN)에 의해 턴-온되어 제1 노드(N1)를 제3 노드(N3)에 접속시킨다. 이 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동한다. 제3 트랜지스터(ST3)의 게이트 전극은 스캔 라인(SL)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되며, 제2 전극은 제1 노드(N1)에 접속된다.

[0028] 제4 트랜지스터(ST4)는 제1 전원전압(ELVDD)이 공급되는 제1 전원전압 라인(ELVDDL)과 제2 노드(N2) 사이에 접속된다. 제4 트랜지스터(ST4)는 발광 라인(EML)으로부터 공급되는 발광 신호(EM)에 응답하여 제2 노드(N2)를 제1 전원전압 라인(ELVDDL)에 접속시킨다. 이로 인해, 제2 노드(N2)에는 제1 전원전압이 공급된다. 제4 트랜지스터(ST4)의 게이트 전극은 발광 라인(EML)에 접속되고, 제1 전극은 제1 전원전압 라인(ELVDDL)에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.

[0029] 제5 트랜지스터(ST5)는 제3 노드(N3)와 유기발광다이오드(OLED)의 애노드 전극 사이에 접속된다. 제5 트랜지스터(ST5)는 발광 라인(EML)으로부터 공급되는 발광 신호(EM)에 의해 턴-온되어 제3 노드(N3)를 유기발광다이오드(OLED)의 애노드 전극에 접속시킨다. 제5 트랜지스터(ST5)의 게이트 전극은 발광 라인(EML)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되며, 제2 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속된다. 제4 및 제5 트랜지스터(T4, T5)의 턴-온에 의해, 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)가 유기발광다이오드(OLED)에 공급된다.

[0030] 제1 캐패시터(C1)는 제2 트랜지스터(ST2)의 제1 전극과 제2 전극 사이에 접속되어 제1 노드(N1)의 전압을 유지한다. 제1 캐패시터(C1)의 일측 전극은 제1 전극에 접속되고, 타측 전극은 제2 전극에 접속된다. 이때, 제2 트랜지스터(ST2)의 제1 전극은 제1 노드(N1)에 접속되고 제2 전극은 초기화 전압 라인(ViniL)에 접속되므로, 제1 캐패시터(C1)는 제1 노드(N1)와 초기화 전압 라인(Vini) 사이에 접속된다고 볼 수 있다.

[0031] 제2 캐패시터(C2)는 제1 노드(N1)와 제1 전원전압 라인(ELVDDL) 사이에 접속되어 제1 노드(N1)의 전압을 유지한다. 제2 캐패시터(C2)의 일측 전극은 제1 노드(N1)에 접속되고, 타측 전극은 제1 전원전압 라인(ELVDDL)에 접속된다.

[0032] 제1 노드(N1)는 구동 트랜지스터(DT)의 게이트 전극에 접속된 게이트 노드에 해당한다. 제1 노드(N1)는 구동 트랜지스터(DT)의 게이트 전극, 제2 트랜지스터(ST2)의 제1 전극, 제3 트랜지스터(ST3)의 제2 전극, 제1 캐패시터(C1)의 일측 전극, 및 제2 캐패시터(C2)의 일측 전극의 접점이다. 제2 노드(N2)는 구동 트랜지스터(DT)의 제1 전극에 접속된 소스 노드에 해당한다. 제2 노드(N2)는 구동 트랜지스터(DT)의 제1 전극, 제1 트랜지스터(ST1)의 제2 전극, 및 제4 트랜지스터(T4)의 제2 전극의 접점이다. 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극에 접속된 드레인 노드에 해당한다. 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극, 제3 트랜지스터(ST3)의 제1 전극, 및 제5 트랜지스터(ST5)의 제1 전극의 접점이다.

[0033] 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT) 각각의 반도체 층은 폴리 실리콘(Poly Silicon)으로 형성될 수 있다. 하지만, 이에 한정되지 않으며, 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT)의 반도체 층은 a-Si, 및 산화물 반도체, 특히 옥사이드(Oxide) 중 어느 하나로 형성될 수도 있다. 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT) 각각의 반도체 층이 폴리 실리콘으로 형성되는 경우, 그를 형성하기 위한 공정은 저온 폴리 실리콘(Low Temperature Poly Silicon: LTPS) 공정일 수 있다.

[0034] 또한, 본 발명의 제1 실시 예에서 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않으며, N 타입 MOSFET으로 형성될 수도 있다. 제1 내지 제5 트랜지스터(ST1, ST2,

ST3, ST4, ST5), 및 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, N 타입 MOSFET의 특성에 맞도록 도 4의 타이밍 도는 수정되어야 할 것이다.

[0035] 제1 전원전압(ELVDD), 제2 전원전압(ELVSS) 및 초기화 전압(Vini)은 구동 트랜지스터(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 설정될 수 있다. 제1 전원전압(ELVDD)은 제2 전원전압(ELVSS) 및 초기화 전압(Vini)보다 높은 레벨의 전압일 수 있다.

[0036] 도 4는 본 발명의 제1 실시 예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다. 도 4에는 제n(n은 자연수) 및 제n+1 프레임 기간(FRn, FRn+1) 동안 표시패널(10)의 어느 한 화소(P)에 입력되는 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM)가 나타나 있다. 또한, 도 4에는 제n(n은 자연수) 및 제n+1 프레임 기간(FRn, FRn+1) 동안 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)이 나타나 있다.

[0037] 도 4를 참조하면, 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM)는 화소(P)의 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5)를 제어하기 위한 신호들이다. 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM) 각각은 1 프레임 기간을 주기로 발생한다. 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM) 각각은 제1 로직 레벨 전압(V1)과 제2 로직 레벨 전압(V2) 사이에서 스위칭한다. 도 4에서는 제1 로직 레벨 전압(V1)이 제2 로직 레벨 전압(V2)보다 낮은 전압인 것을 중심으로 설명하였다. 제1 로직 레벨 전압(V1)은 제1 로직 레벨 전압(V1)이 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5) 각각의 게이트 전극에 인가될 때, 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5) 각각을 턴-온시킬 수 있는 턴-온 전압에 해당한다. 제2 로직 레벨 전압(V2)은 제2 로직 레벨 전압(V2)이 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5) 각각의 게이트 전극에 인가될 때, 제1 내지 제5 트랜지스터(ST1, ST2, ST3, ST4, ST5) 각각을 턴-오프시킬 수 있는 턴-오프 전압에 해당한다.

[0038] 데이터 전압(Vdata)은 소정의 주기로 데이터 라인(DL)에 공급된다. 예를 들어, 데이터 전압(Vdata)은 1 수평기간(horizontal period)을 주기로 데이터 라인(DL)에 공급될 수 있다. 1 수평기간은 표시패널의 어느 한 수평 라인에 위치한 화소들에 데이터 전압이 공급되는 1 수평 라인 데이터 기입 기간을 의미한다. 도 4에서는 데이터 전압(Vdata)이 공급되는 제2 기간(t2)이 1 수평기간인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 데이터 전압(Vdata)은 피크 화이트 게조 전압(PWGV) 내지 피크 블랙 게조 전압(PBGV)의 전압 레벨을 가질 수 있다. 데이터 전압(Vdata)이 피크 화이트 게조 전압(PWGV)으로 공급되는 경우 유기발광다이오드(OLED)는 피크 화이트 게조로 발광하고, 데이터 전압(Vdata)이 피크 블랙 게조 전압(PBGV)으로 공급되는 경우 유기발광다이오드(OLED)는 피크 블랙 게조로 발광한다. 게조가 "0" 내지 "255"의 8 비트의 디지털 값으로 표현되는 경우, 피크 블랙 게조는 "0"의 값으로 표현되고, 피크 화이트 게조는 "255"로 표현될 수 있다.

[0039] 1 프레임 기간은 제1 내지 제3 기간(t1~t3)을 포함한다. 제1 기간(t1)은 구동 트랜지스터(DT)의 트랩을 발생시키고 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 노드(N1)를 초기화하는 기간이고, 제2 기간(t2)은 구동 트랜지스터(DT)에 데이터 전압을 공급하는 기간이며, 제3 기간(t3)은 유기발광다이오드(OLED)가 발광하는 기간이다. 1 프레임 기간에서 제1 내지 제3 기간(t1~t3)을 제외한 나머지 기간은 화소(P)의 제1 내지 제5 트랜지스터(ST1~ST5)가 모두 턴-오프되는 기간이다.

[0040] 제1 기간(t1) 동안 스캔 신호(SCAN)와 초기화 신호(INI)는 제1 로직 레벨 전압(V1)으로 발생하고, 발광 신호(EM)는 제2 로직 레벨 전압(V2)으로 발생한다. 제2 기간(t2) 동안 스캔 신호(SCAN)는 제1 로직 레벨 전압(V1)으로 발생하고, 초기화 신호(INI)와 발광 신호(EM)는 제2 로직 레벨 전압(V2)으로 발생한다. 제3 기간(t3) 동안 발광 신호(EM)는 제1 로직 레벨 전압(V1)으로 발생하고, 스캔 신호(SCAN)와 초기화 신호(INI)는 제2 로직 레벨 전압(V2)으로 발생한다.

[0041] 한편, 제1 및 제2 기간(t1, t2) 각각은 화소(P)의 표시 품질을 높이기 위해 수 내지 수십 수평 기간으로 구현될 수 있으며, 사전 실험을 통해 적절하게 결정될 수 있다.

[0042] 도 5는 제1 내지 제3 기간 동안 본 발명의 제1 실시 예에 따른 화소의 동작을 보여주는 흐름도이다. 도 6a 내지 도 6c는 제1 내지 제3 기간 동안 본 발명의 제1 실시 예에 따른 화소의 동작을 보여주는 회로도이다. 이에서, 도 4, 도 5, 및 도 6a 내지 도 6c를 참조하여 제1 내지 제3 기간(t1~t3) 동안 본 발명의 제1 실시 예에 따른 화소(P)의 동작을 상세히 설명한다.

- [0043] 첫 번째로, 구동 트랜지스터(DT)의 트랩을 발생하고 구동 트랜지스터(DT)의 게이트 전극을 초기화하는 제1 기간(t_1) 동안 화소(P)의 동작을 설명한다. 화소(P)에는 제1 기간(t_1) 동안 도 4와 같이 스캔 라인(SL)을 통해 제1 로직 레벨 전압(V1)의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제1 로직 레벨 전압(V1)의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제2 로직 레벨 전압(V2)의 발광 신호(EM)가 공급된다.
- [0044] 도 6a를 참조하면, 제1 기간(t_1) 동안 제1 및 제3 트랜지스터(ST1, ST3)는 제1 로직 레벨 전압(V1)의 스캔 신호(SCAN)에 의해 턴-온된다. 제2 트랜지스터(ST2)는 제1 로직 레벨 전압(V1)의 초기화 신호(INI)에 의해 턴-온된다. 제4 및 제5 트랜지스터(ST4, ST5)는 제2 로직 레벨 전압(V2)의 발광 신호(EM)에 의해 턴-오프된다.
- [0045] 제1 트랜지스터(ST1)의 턴-온으로 인해, 제2 노드(N2)는 데이터 라인(DL)과 접속된다. 제3 트랜지스터(ST3)의 턴-온으로 인해, 제1 노드(N1)는 제3 노드(N3)와 접속된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드(N1)는 초기화 전압 라인(Vini)에 접속된다. 따라서, 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)은 제2 노드(N2), 제3 노드(N3) 및 제1 노드(N1)를 경유하여 초기화 전압 라인(Vini)으로 방전된다. 이로 인해, 제1 내지 제3 노드(N1, N2, N3)는 데이터 전압(Vdata)과 초기화 전압 사이의 레벨 전압(MV)으로 초기화된다. 제1 노드(N1)가 데이터 전압(Vdata)과 초기화 전압의 레벨 전압(MV)으로 초기화됨으로써 얻어지는 효과에 대해서는 도 8a, 도 8b, 도 9a 및 도 9b를 결부하여 후술한다.
- [0046] 또한, 데이터 전압(Vdata)이 제2 노드(N2)에 공급됨에 따라, 구동 트랜지스터(DT)에 드레인-소스간 전류(I_{ds})가 흐르기 때문에, 구동 트랜지스터(DT)에 트래핑(trapping)(또는 트랩(trap), 이하 트랩이라 칭함)이 발생한다. 구동 트랜지스터(DT)의 트랩은 구동 트랜지스터(DT)의 특성에 의해 발생하며, 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})의 공급을 방해하는 채널 저항으로 볼 수 있다. 결국, 본 발명의 제1 실시 예는 구동 트랜지스터(DT)의 문턱전압(V_{th})을 보상하기 이전에, 데이터 전압(Vdata)을 제2 노드(N2)에 공급하여 구동 트랜지스터(DT)에 드레인-소스간 전류(I_{ds})를 흐르게 함으로써, 구동 트랜지스터(DT)의 트랩을 발생시킨다. 그 결과, 본 발명의 제1 실시 예는 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우, 블랙 계조 표시시의 구동 트랜지스터(DT)의 트랩과 화이트 계조 표시시의 구동 트랜지스터(DT)의 트랩 간의 차이로 인해, 구동 트랜지스터(DT)의 드레인-소스간 전류가 계단과 같이 상승하는 것을 개선할 수 있다. 이에 대한 자세한 설명은 도 7을 결부하여 후술한다. (도 5의 S1 단계)
- [0047] 두 번째로, 구동 트랜지스터(DT)에 데이터 전압(Vdata)을 공급하는 제2 기간(t_2) 동안 화소(P)의 동작을 설명한다. 화소(P)에는 제2 기간(t_2) 동안 도 4와 같이 스캔 라인(SL)을 통해 제1 로직 레벨 전압(V1)의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압(V2)의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제2 로직 레벨 전압(V2)의 발광 신호(EM)가 공급된다.
- [0048] 도 6b를 참조하면, 제2 기간(t_2) 동안 제1 및 제2 트랜지스터(ST1, ST2)는 제1 로직 레벨 전압(V1)의 스캔 신호(SCAN)에 의해 턴-온된다. 제2 트랜지스터(ST2)는 제2 로직 레벨 전압(V2)의 초기화 신호(INI)에 의해 턴-오프된다. 제4 및 제5 트랜지스터(ST4, ST5)는 제2 로직 레벨 전압(V2)의 발광 신호(EM)에 의해 턴-오프된다.
- [0049] 제1 트랜지스터(ST1)의 턴-온으로 인해, 제2 노드(N2)는 데이터 라인(DL)과 접속된다. 즉, 제2 노드(N2)에는 데이터 전압(Vdata)이 공급된다. 제3 트랜지스터(ST3)의 턴-온으로 인해, 제1 노드(N1)는 제3 노드(N3)와 접속되므로, 구동 트랜지스터(DT)는 다이오드로 구동한다. 이때, 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 간의 전압 차($V_{gs} = V_{ini} - V_{data}$)가 문턱전압(V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 제1 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류패스를 형성하게 된다. 이로 인해, 제1 노드(N1)와 제3 노드(N3)의 전압은 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(V_{th}) 간의 차전압($V_{data} - V_{th}$)까지 상승한다. (도 5의 S2 단계)
- [0050] 세 번째로, 유기발광다이오드(OLED)가 발광하는 제3 기간(t_3) 동안 화소(P)의 동작을 설명한다. 화소(P)에는 제3 기간(t_3) 동안 도 4와 같이 스캔 라인(SL)을 통해 제2 로직 레벨 전압(V2)의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압(V2)의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압(V1)의 발광 신호(EM)가 공급된다.
- [0051] 도 6c를 참조하면, 제3 기간(t_3) 동안 제1 및 제2 트랜지스터(ST1, ST2)는 제2 로직 레벨 전압(V2)의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 트랜지스터(ST2)는 제2 로직 레벨 전압(V2)의 초기화 신호(INI)에 의해 턴-오프된다. 제4 및 제5 트랜지스터(ST4, ST5)는 제1 로직 레벨 전압(V1)의 발광 신호(EM)에 의해 턴-온된다.
- [0052] 제2 및 제3 트랜지스터(ST2, ST3)가 턴-오프되므로, 제1 노드(N1)는 제1 및 제2 캐패시터(C1, C2)에 의해 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(V_{th}) 간의 차전압($V_{data} - V_{th}$)을 유지한다. 제4 트랜지스터

(ST4)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제1 전극에 접속된 제2 노드(N2)는 제1 전원전압 라인(ELVDD L)에 접속된다. 제5 트랜지스터(ST5)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제2 전극은 유기발광다이오드(OLED)에 접속된다. 즉, 제4 및 제5 TFT(T4, T5)의 턴-온으로 인해, 구동 트랜지스터(DT)는 그의 게이트 전극에 접속된 제1 노드(N1)의 전압에 따라 드레인-소스간 전류(I_{ds})를 유기발광다이오드(OLED)에 공급한다. 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 수학적 식 2와 같이 정의될 수 있다.

수학적 식 2

$$I_{ds} = k \cdot (V_{gs} - V_{th})^2 = k \cdot (ELVDD - (V_{data} - V_{th}) - V_{th})^2$$

수학적 식 2에서, k 는 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 트랜지스터(DT)의 게이트-소스간 전압, V_{th} 는 구동 트랜지스터(DT)의 문턱전압, ELVDD는 제1 전원전압, V_{data} 는 데이터 전압을 의미한다. 구동 트랜지스터(DT)의 게이트 전압(V_g)은 $\{V_{data} - V_{th}\}$ 이고, 소스 전압(V_s)은 ELVDD이다. 수학적 식 2를 정리하면, 수학적 식 3이 도출된다.

수학적 식 3

$$I_{ds} = k \cdot (ELVDD - V_{data})^2$$

결국, 수학적 식 3과 같이 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 보상된다. (도 5의 S4 단계)

도 7은 본 발명의 제1 실시 예에 따른 구동 트랜지스터의 드레인-소스간 전류의 파형을 보여주는 그래프이다. 도 7에서 제1 프레임 기간(FR1)은 유기발광다이오드가 블랙 계조로 발광하는 블랙 계조 표시기간, 제2 내지 제4 프레임 기간(FR2~FR4)은 유기발광다이오드(OLED)가 화이트 계조로 발광하는 화이트 계조 표시기간임에 주의하여야 한다. 계조가 "0" 내지 "255"의 8 비트의 디지털 값으로 표현되는 경우, 블랙 계조는 "0" 내지 "63"의 값으로 표현되고, 화이트 계조는 "192" 내지 "255"로 표현될 수 있다.

도 7을 참조하면, 본 발명의 실시 예는 구동 트랜지스터(DT)의 문턱전압(V_{th})을 보상하기 이전인 제1 기간(t_1) 동안, 데이터 전압(V_{data})을 구동 트랜지스터(DT)의 제1 전극에 접속된 제2 노드(N2)에 공급하여 구동 트랜지스터(DT)에 드레인-소스간 전류(I_{ds})를 흐르게 함으로써, 구동 트랜지스터(DT)의 트랩을 발생시킨다. 이로 인해, 본 발명의 실시 예에서는 도 7과 같이 이전 프레임 기간 동안 블랙 계조를 표시하고 현재 프레임 기간 동안 화이트 계조를 표시하는 제2 프레임 기간(FR2)의 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})와 이전 프레임 기간과 현재 프레임 기간 동안 화이트 계조를 표시하는 제3 및 제4 프레임 기간(FR3, FR4)의 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})가 거의 차이가 나지 않는다.

따라서, 본 발명의 실시 예는 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우, 블랙 계조 표시시의 구동 트랜지스터의 트랩과 화이트 계조 표시시의 구동 트랜지스터의 트랩 간의 차이로 인하여 구동 트랜지스터의 드레인-소스간 전류가 계단과 같이 상승하는 것을 방지할 수 있다. 그 결과, 본 발명의 실시 예는 블랙 계조를 표시하다가 화이트 계조를 표시하는 경우, 구동 트랜지스터의 히스테리시스 특성에 의해 발생하는 화이트 계조의 휘도 편차를 최소화할 수 있으므로, 화질을 개선할 수 있다.

도 8a 및 도 8b는 종래 기술의 경우 제1 및 제2 기간 동안 공급되는 스캔 신호, 데이터 전압, 및 제1 노드의 전압을 보여주는 파형도이다. 도 9a 및 도 9b는 본 발명의 제1 실시 예의 경우 제1 및 제2 기간 동안 공급되는 스캔 신호, 데이터 전압, 및 제1 노드의 전압을 보여주는 파형도이다.

도 8a, 도 8b, 도 9a 및 도 9b를 참조하면, SCAN은 스캔 신호, V_{data1} 은 제1 데이터 전압, V_{data2} 는 제2 데이터 전압, V_{N1} 은 제1 노드(N1)의 전압을 의미한다. 제1 데이터 전압(V_{data1})은 제2 데이터 전압(V_{data2})보다

낮은 레벨의 전압이다. 예를 들어, 제2 데이터 전압(Vdata2)은 피크 블랙 계조 전압일 수 있으며, 제1 데이터 전압(Vdata1)은 제2 데이터 전압(Vdata2)보다 낮은 레벨의 어떠한 전압도 가능하다.

[0062]

종래 기술은 제1 기간(t1) 동안 초기화 전압(INI)으로 제1 노드(N1)를 초기화한다. 종래 기술은 제2 기간(t2) 동안 제1 데이터 전압(Vdata1)이 공급되는 경우, 제1 데이터 전압(Vdata1)과 초기화 전압(INI) 간의 전압 차가 크지 않기 때문에, 제1 노드(N1)를 목표 전압인 "Vdata1-Vth"로 충전할 수 있다. 하지만, 종래 기술은 제2 기간(t2) 동안 제2 데이터 전압(Vdata2)이 공급되는 경우, 제2 데이터 전압(Vdata2)과 초기화 전압(INI) 간의 전압 차가 크기 때문에, 제1 노드(N1)를 목표 전압인 "Vdata2-Vth"까지 충전하지 못할 수 있다. 특히, 표시패널이 UHD(Ultra High Definition) 이상의 고해상도 패널로 개발되는 경우, 데이터 전압이 공급되는 시간인 제2 기간(t2)이 짧아지므로, 종래 기술은 제1 노드(N1)를 목표 전압인 "Vdata2-Vth"로 충전하지 못할 가능성이 커진다. 이로 인해, 종래 기술은 제2 데이터 전압(Vdata2)으로 표현하려고 했던 계조를 표현할 수 없는 문제가 발생할 수 있으며, 그 결과 명암 대비비가 낮아질 수 있다.

[0063]

이에 비해, 본 발명의 제1 실시 예는 제1 기간(t1) 동안 데이터 전압과 초기화 전압(INI)의 중간 레벨 전압(MV)으로 제1 노드(N1)를 초기화한다. 이로 인해, 본 발명의 제1 실시 예는 제1 기간(t1) 동안 초기화되는 전압과 제2 기간(t2) 동안 충전하려는 전압 간의 차이를 줄일 수 있다. 따라서, 본 발명의 제1 실시 예는 제2 기간(t2) 동안 제1 데이터 전압이 공급되는 경우 제1 노드(N1)를 목표 전압인 "Vdata1-Vth"로 충전할 수 있을 뿐만 아니라, 제2 기간(t2) 동안 제2 데이터 전압(Vdata2)이 공급되는 경우에도 제1 노드(N1)를 목표 전압인 "Vdata2-Vth"로 충전할 수 있다. 결국, 본 발명의 제1 실시 예는 표현하려고 했던 계조를 확실하게 표현할 수 있으며, 그 결과 명암 대비비를 높일 수 있으므로, 종래 기술의 문제점을 해결할 수 있다.

[0064]

도 10은 본 발명의 제2 실시 예에 따른 화소의 등가 회로도이다. 도 10을 참조하면, 본 발명의 제2 실시 예에 따른 화소(P)는 구동 트랜지스터(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로와, 제1 및 제2 캐패시터들(C1, C2)을 포함한다. 제어 회로는 제1 내지 제5 트랜지스터들(ST1~ST5)을 포함한다.

[0065]

본 발명의 제2 실시 예에 따른 화소(P)는 제2 트랜지스터(ST2)와 제1 캐패시터(C1)를 제외하고는 도 3을 결부하여 설명한 본 발명의 제1 실시 예에 따른 화소(P)와 실질적으로 동일하다. 그러므로, 본 발명의 제2 실시 예에 따른 화소(P)의 구동 트랜지스터(DT), 유기발광다이오드(OLED), 제1, 제2, 제4 및 제5 트랜지스터(T1, T2, T4, T5), 제2 캐패시터(C2) 등에 대한 설명은 생략하기로 한다.

[0066]

도 10을 참조하면, 제2 트랜지스터(ST2)는 초기화 라인(IL)으로부터 공급되는 초기화 신호(INI)에 응답하여 제1 노드(N1)를 초기화 라인(IL)에 접속시킨다. 이로 인해, 제1 노드(N1)는 초기화 라인(IL)의 초기화 신호(INI)의 전압 레벨로 초기화된다. 예를 들어, 제1 노드(N1)는 초기화 신호(INI)의 제1 로직 레벨 전압(V1)으로 초기화될 수 있다. 제2 트랜지스터(ST2)의 게이트 전극과 제2 전극은 초기화 라인(IL)에 접속되고, 제1 전극은 제1 노드(N1)에 접속된다. 즉, 제2 트랜지스터(ST2)는 다이오드 접속된다.

[0067]

제1 캐패시터(C1)는 제2 트랜지스터(ST2)의 제1 전극과 제2 전극 사이에 접속된다. 제1 캐패시터(C1)의 일측 전극은 제2 트랜지스터(ST2)의 제1 전극에 접속되고, 타측 전극은 제2 트랜지스터(ST2)의 제2 전극에 접속된다. 제2 트랜지스터(ST2)의 제2 전극은 게이트 전극에 접속되므로, 제1 캐패시터(C1)는 제2 트랜지스터(ST2)의 게이트 전극과 제1 전극 사이에 접속된다고 볼 수 있다. 또한, 제2 트랜지스터(ST2)의 제1 전극은 제1 노드(N1)에 접속되고 제2 트랜지스터(ST2)의 제2 전극은 초기화 라인(IL)에 접속되므로, 제1 캐패시터(C1)는 제1 노드(N1)와 초기화 라인(IL) 사이에 접속된다고 볼 수 있다.

[0068]

본 발명의 제2 실시 예에 따른 화소(P)는 제2 트랜지스터(ST2)에 의해 본 발명의 제1 실시 예보다 초기화 전압 라인(Vini)을 삭제할 수 있다. 그 결과, 본 발명의 제2 실시 예는 표시패널에 입력되는 입력 배선을 줄일 수 있으므로, 여유 있는 패널 설계가 가능하다.

[0069]

또한, 본 발명의 제2 실시 예는 제1 캐패시터(C1)가 초기화 라인(IL)과 제1 노드(N1) 사이에 접속되므로, 초기화 라인(IL)의 전압 변화량이 제1 캐패시터(C1)를 통해 제1 노드(N1)에 반영된다. 특히, 도 4와 같이 초기화 신호(INI)가 제1 기간(t1) 동안 제1 로직 레벨 전압(V1)으로 공급되고 제2 기간(t2) 동안 제2 로직 레벨 전압(V2)으로 공급되는 경우, 초기화 신호(INI)의 전압 변화량이 제1 캐패시터(C1)의 컵 부스팅(cap boosting)에 의해 제1 노드(N1)에 반영된다. 그러므로, 본 발명의 제2 실시 예는 제1 기간(t1) 동안 초기화되는 전압과 제2 기간(t2) 동안 충전하려는 전압 간의 차이를 제1 실시 예보다 더욱 줄일 수 있다. 그 결과, 본 발명의 제2 실

시 예는 표현하려고 했던 계조를 확실하게 표현할 수 있으며, 그 결과 명암 대비비를 높일 수 있다.

[0070] 한편, 본 발명의 제2 실시 예에 따른 화소(P)에 공급되는 스캔 신호(SCAN), 초기화 신호(INI), 발광 신호(EM), 및 데이터 전압(Vdata)은 도 4를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 본 발명의 제2 실시 예에 따른 화소(P)에 공급되는 스캔 신호(SCAN), 초기화 신호(INI), 발광 신호(EM), 및 데이터 전압(Vdata)에 대한 자세한 설명은 생략하기로 한다. 또한, 본 발명의 제2 실시 예에 따른 화소(P)의 동작은 도 5 및 도 6a 내지 도 6c를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 본 발명의 제2 실시 예에 따른 화소(P)의 동작에 대한 자세한 설명은 생략하기로 한다.

[0071] 도 11은 본 발명의 실시 예에 따른 유기전계발광 표시장치를 개략적으로 보여주는 블록도이다. 도 11을 참조하면, 본 발명의 실시 예에 따른 유기전계발광 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 제어부(40) 등을 구비한다.

[0072] 표시패널(10)에는 데이터 라인들(DL1~DLm, m은 2 이상의 자연수)과 스캔 라인들(SL1~SLn, n은 2 이상의 자연수)이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인들(SL1~SLn)과 나란하게 초기화 라인들(IL1~ILn), 및 발광 라인들(EML1~EMLn)이 형성된다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)에 대한 자세한 설명은 도 3을 결부하여 이미 앞에서 설명하였다.

[0073] 데이터 구동부(20)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들은 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)를 입력받는다. 소스 드라이브 IC들은 타이밍 제어부(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 신호(SCAN)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다. 이에 따라, 스캔 신호(SCAN)가 공급되는 화소(P)들에 데이터 전압이 공급된다.

[0074] 스캔 구동부(30)는 스캔 신호 구동회로, 초기화 신호 구동회로, 발광 신호 구동회로 등을 포함한다. 스캔 신호 구동회로, 초기화 신호 구동회로 및 발광 신호 구동회로 각각은 순차적으로 출력신호를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 화소(P)의 트랜지스터 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 포함할 수 있다.

[0075] 스캔 신호 구동회로는 표시패널(10)의 스캔 라인들(SL1~SLn)에 스캔 신호(SCAN)를 순차적으로 공급한다. 초기화 신호 구동회로는 표시패널(10)의 초기화 라인들(IL1~ILn)에 초기화 신호(INI)를 순차적으로 공급한다. 발광 신호 구동회로는 표시패널(10)의 발광 라인들(EML1~EMLn)에 발광 신호(EM)를 순차적으로 공급한다. 스캔 신호(SCAN), 초기화 신호(INI), 및 발광 신호(EM)에 대한 자세한 설명은 도 4를 결부하여 이미 앞에서 설명하였다.

[0076] 타이밍 제어부(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(미도시)으로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(40)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(Dot Clock) 등의 타이밍 신호를 입력받는다. 타이밍 제어부(40)는 타이밍 신호에 기초하여 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함한다. 타이밍 제어부(40)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)로 출력하고, 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다.

[0077] 표시패널은 도시하지 않은 전원부를 더 구비할 수 있다. 전원부는 표시패널(10)의 화소(P)들에 제1 전원전압 라인(ELVDDL)을 통해 제1 전원전압(ELVDD)을 공급하고, 제2 전원전압 라인(ELVSSL)을 통해 제2 전원전압(ELVSS)을 공급한다. 표시패널(10)의 화소(P)들 각각이 도 3에 도시된 제1 실시 예에 따른 화소(P)로 구현되는 경우, 초기화 전압이 공급되는 초기화 라인(Vini)을 필요로 한다. 하지만, 표시패널(10)의 화소(P)들 각각이 도 10에 도시된 제2 실시 예에 따른 화소(P)로 구현되는 경우, 초기화 라인(Vini)을 필요로 하지 않는다. 또한, 전원부는 스캔 구동부(30)에 제1 로직 레벨 전압(V1)과 제2 로직 레벨 전압(V2)을 공급할 수 있다.

[0078] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0079]

OLED: 유기발광다이오드 DT: 구동 트랜지스터

ST1: 제1 트랜지스터 ST2: 제2 트랜지스터

ST3: 제3 트랜지스터 ST4: 제4 트랜지스터

ST5: 제5 트랜지스터 C1: 제1 캐패시터

C2: 제2 캐패시터 N1: 제1 노드

N2: 제2 노드 N3: 제3 노드

SCAN: 스캔 신호 EM: 발광 신호

INI: 초기화 신호 SL: 스캔 라인

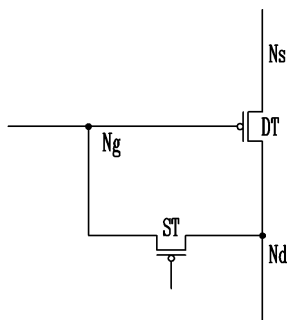
EML: 발광 라인 IL: 초기화 라인

10: 표시패널 20: 데이터 구동부

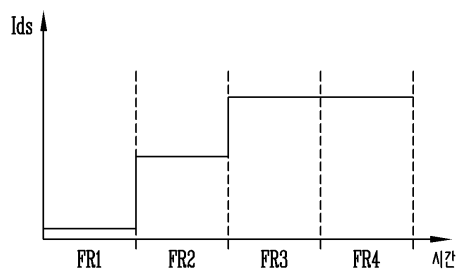
30: 스캔 구동부 40: 타이밍 컨트롤러

도면

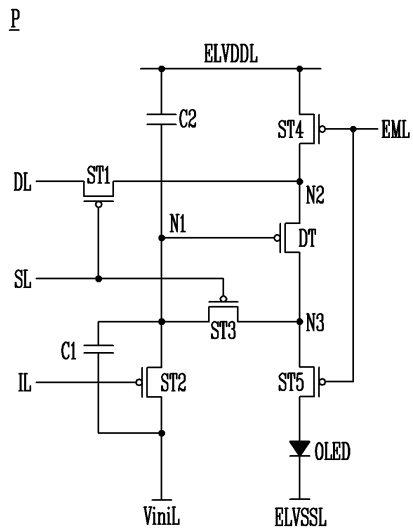
도면1



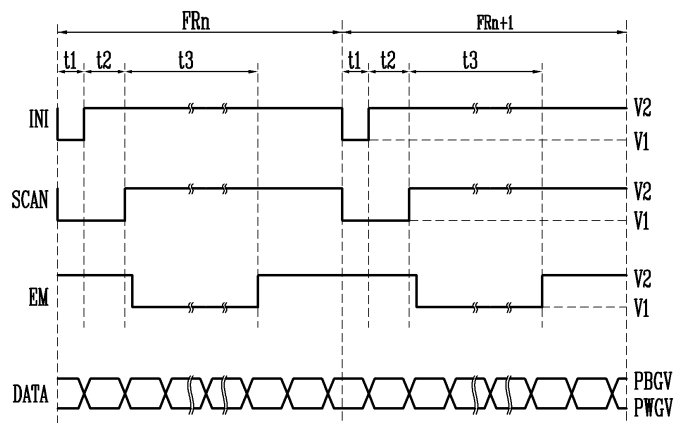
도면2



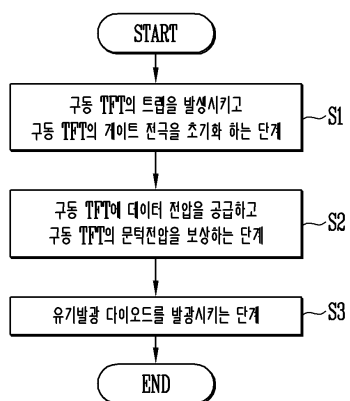
도면3



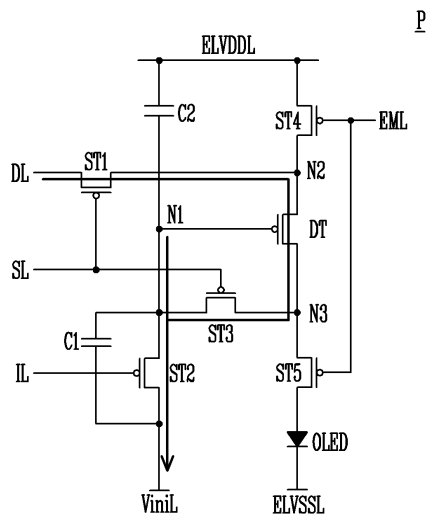
도면4



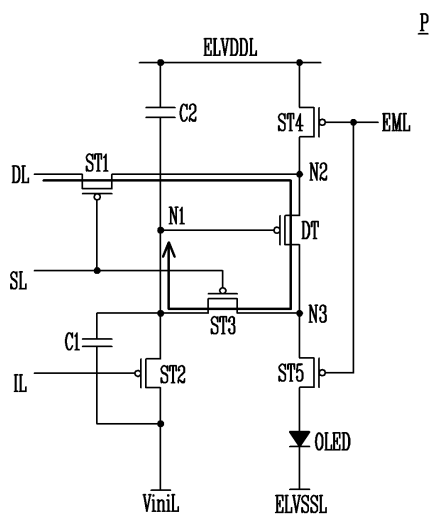
도면5



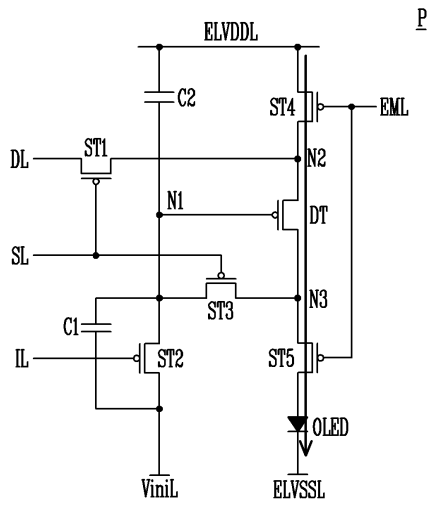
도면6a



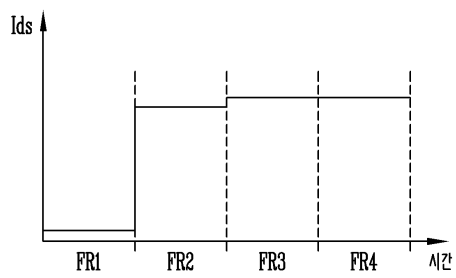
도면6b



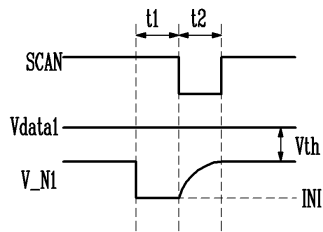
도면6c



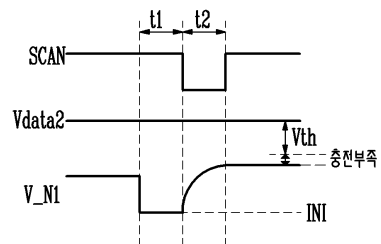
도면7



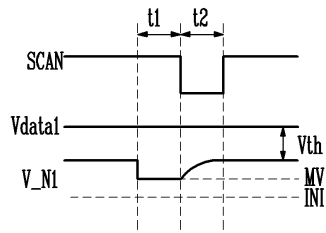
도면8a



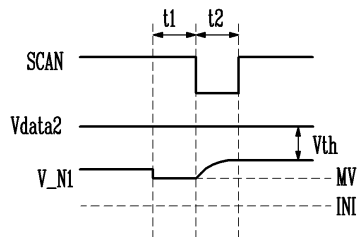
도면8b



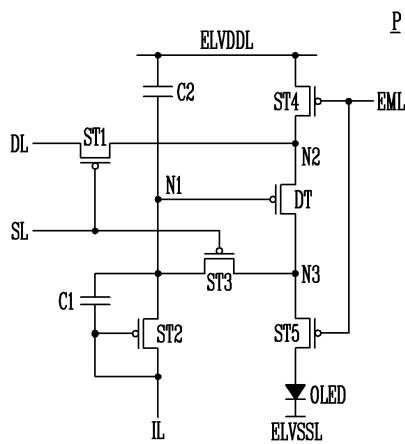
도면9a



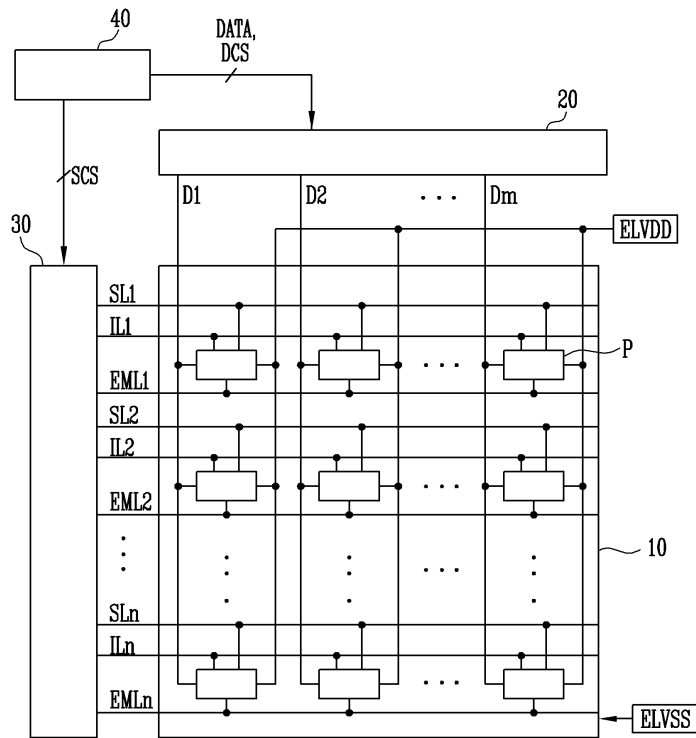
도면9b



도면10



도면11



专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020150052531A	公开(公告)日	2015-05-14
申请号	KR1020130134024	申请日	2013-11-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	WONJUN LEE 이원준 INSOO WANG 왕인수		
发明人	이원준 왕인수		
IPC分类号	G09G3/32 H05B33/08		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2310/06 G09G2320/045		
代理人(译)	康SIN SEOB 永和的月亮 LEE, YONGWOO		
其他公开文献	KR102081993B1		
外部链接	Espacenet		

摘要(译)

一种有机发光显示装置，包括显示面板，所述显示面板包括数据线，扫描线，初始化线和多个像素，其中所述像素的像素包括：驱动晶体管，包括耦合到第一节点的栅电极，第一电极耦合到第二节点，以及耦合到第三节点的第二电极，所述驱动晶体管被配置为根据施加到所述第一节点的电压来控制所述驱动晶体管的漏极 - 源极电流的量。有机发光二极管，被配置为根据驱动晶体管的漏极 - 源极电流发光;第一晶体管，其耦合在第二节点和数据线的数据线之间，第一晶体管被配置为通过施加到扫描线的扫描线的扫描信号导通;第二晶体管，用于通过导通初始化第一节点;第一电容器耦合在第一电极和第二晶体管的第二电极之间。

