



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0017287
(43) 공개일자 2015년02월16일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0169323

(22) 출원일자 2013년12월31일

심사청구일자 없음

(30) 우선권주장

1020130093295 2013년08월06일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

한인호

경기도 광명시 디지털로 24, 105동 803호 (철산동, 철산푸르지오하늘채아파트)

최수홍

서울특별시 서대문구 거북골로 120, 207동 704호 (남가좌동, 가재울센트레빌아파트)

(뒷면에 계속)

(74) 대리인

박장원

전체 청구항 수 : 총 22 항

(54) 발명의 명칭 유기전계 발광표시장치 및 이의 구동방법

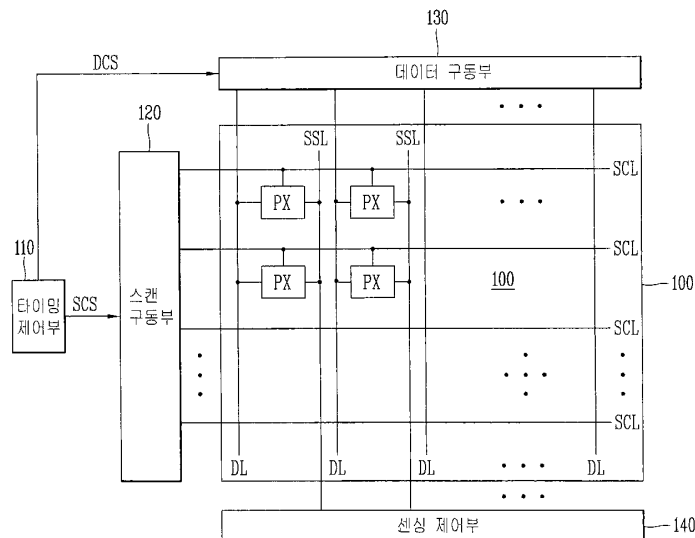
(57) 요약

본 발명은 유기전계 발광표시장치를 공개한, 보다 상세하게는, 본 발명은 각 화소를 이루는 구동박막트랜지스터의 문턱전압 및 전자 이동도를 보상하는 구성을 포함하는 유기전계 발광표시장치 및 이의 구동방법에 관한 것이다.

본 발명의 실시예에 따르면, 타이밍 제어부가 보상 제어신호를 수신하고, 그 보상 제어신호에 대응하여 화소의 전기적 특성을 센싱 제어부 및 화소 자체에서 병행하여 센싱하도록 제어하는 것을 특징으로 한다.

따라서, 본 발명은 유기전계 발광표시장치를 출하전, 후 또는 기타 설정에 의해 외부보상방식으로 구동하고 기타 구간에 내부보상방식으로 혼용하여 구동함으로써, 두 보상방식의 단점을 보완하고 화소구조가 단순하여 고개구율 및 고해상도를 구현하면서도 우수한 보상특성을 구현할 수 있는 효과가 있다.

대표도 - 도2



(72) 발명자

김범식

경기도 수원시 권선구 권광로 55, 113동 1302호 (권선동, 권선자이e편한세상)

강병욱

경기도 파주시 가람로 20, 101동 1702호 (와동동, 가람마을1단지 벽산한라아파트)

오길환

서울특별시 도봉구 해동로 189, 114동 1006호 (쌍문동, 삼익세라믹아파트)

신현기

경기도 파주시 미래로 535, 102동 1202호 (목동동, 현대1차아파트)

특허청구의 범위

청구항 1

스캔배선, 데이터배선 및 센싱배선이 교차되는 지점에 복수의 화소가 정의된 표시패널;

상기 스캔배선 및 데이터배선을 통해 상기 화소에 스캔신호 및 데이터전압을 공급하는 게이트 구동부 및 데이터 구동부;

상기 화소의 전기적 특성을 센싱하는 센싱 제어부; 및

상기 게이트 구동부, 데이터 구동부 및 센싱 제어부를 제어하는 타이밍 콘트롤러를 포함하고,

상기 타이밍 콘트롤러는,

설정된 보상 제어신호에 따라, 상기 화소자체 및 센싱 제어부가 병행하여 상기 전기적 특성을 센싱하도록 제어하는 것

을 특징으로 하는 유기전계 발광표시장치.

청구항 2

제 1 항에 있어서,

상기 화소는,

유기발광 다이오드;

상기 스캔신호에 대응하여 도통되는 스캔 박막트랜지스터;

상기 스캔 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 구동전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터;

상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터; 및

상기 구동 박막트랜지스터 및 유기발광 다이오드 사이에 연결되어, 센싱신호에 따라 상기 구동 박막트랜지스터에 의한 싱크전류를 인가받는 센싱 박막트랜지스터

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 3

제 1 항에 있어서,

상기 화소는,

제1 스캔신호에 대응하여 도통되는 제1 스캔 박막트랜지스터;

제2 스캔신호에 대응하여 기준전압을 제공하는 제2 스캔 박막트랜지스터;

상기 제1 스캔 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 구동전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터;상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터; 및

상기 구동 박막트랜지스터 및 발광다이오드 사이에 연결되어, 센싱신호에 따라 상기 구동 박막트랜지스터에 의한 싱크전류를 인가받는 센싱 박막트랜지스터

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 4

제 2 항 및 제 3 항 중, 선택되는 어느 하나의 항에 있어서,

상기 전기적 특성은,

상기 구동 박막트랜지스터의 문턱전압 및 전자 이동도 편차 중 적어도 하나에 대한 특성인 것을 특징으로 하는 유기전계 발광표시장치.

청구항 5

제 4 항에 있어서,

상기 센싱제어부는,

프리차징 신호에 대응하여 상기 센싱배선에 프리차징 전압을 인가하는 프리차징 스위치;

상기 센싱배선에 인가된 전압을 샘플링하는 아날로그-디지털 컨버터; 및

샘플링 신호에 대응하여 상기 센싱배선과 아날로그-디지털 컨버터를 연결하는 샘플링 스위치

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 6

제 4 항에 있어서,

상기 보상 제어신호는,

최초 구동시, 상기 전기적 특성을 상기 센싱 제어부에 의해 적어도 1회 센싱하고, 이후 상기 화소 자체에서 전기적 특성을 센싱하도록 제어하는 것

을 특징으로 하는 유기전계 발광표시장치.

청구항 7

제 4 항에 있어서,

상기 보상 제어신호는,

전원-온 및 전원-오프 시점에 적어도 한번씩 상기 전기적 특성을 상기 센싱 제어부에 의해 센싱하고, 나머지 구동기간동안에는 상기 화소 자체에서 전기적 특성을 센싱하도록 제어하는 것

을 특징으로 하는 유기전계 발광표시장치.

청구항 8

제 4 항에 있어서,

상기 보상 제어신호는,

설정된 주기에 따라 인가되어 상기 전기적 특성을 상기 센싱 제어부에 의해 센싱하고, 나머지 구동기간 동안에는 상기 화소 자체에서 전기적 특성을 센싱하도록 제어하는 것

을 특징으로 하는 유기전계 발광표시장치.

청구항 9

보상 제어신호를 수신하는 단계; 및

상기 보상 제어신호에 대응하여 화소의 전기적 특성을 센싱 제어부 및 상기 화소 자체에서 병행하여 센싱하도록 제어하는 단계

를 포함하는 유기전계 발광표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 전기적 특성은,

상기 구동 박막트랜지스터의 문턱전압 및 전자 이동도 편차 중 적어도 하나에 대한 특성인 것을 특징으로 하는

유기전계 발광표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 보상 제어신호에 대응하여 화소의 전기적 특성을 센싱 제어부 및 상기 화소 자체에서 병행하여 센싱하도록 제어하는 단계는,

최초 구동시, 상기 화소의 전기적 특성을 센싱 제어부에 의해 적어도 1회 센싱하는 단계; 및

구동 이후, 상기 화소 자체에서 전기적 특성을 센싱하도록 제어하는 단계

을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 12

제 10 항에 있어서,

상기 보상 제어신호에 대응하여 화소의 전기적 특성을 센싱 제어부 및 상기 화소 자체에서 병행하여 센싱하도록 제어하는 단계는,

전원-온 및 전원-오프 시점에 적어도 한번씩 상기 화소의 전기적 특성을 센싱 제어부에 의해 센싱하는 단계; 및

나머지 구동기간 동안 상기 화소 자체에서 전기적 특성을 센싱하도록 제어하는 단계

를 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 13

제 10 항에 있어서,

상기 보상 제어신호에 대응하여 화소의 전기적 특성을 센싱 제어부 및 상기 화소 자체에서 병행하여 센싱하도록 제어하는 단계는,

설정된 주기에 따라 상기 전기적 특성을 상기 센싱 제어부에 의해 센싱하는 단계; 및

나머지 구동기간 동안에는 상기 화소 자체에서 전기적 특성을 센싱하도록 제어하는 단계

를 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 14

초기화신호를 제1 노드에 인가하는 제1 스캔 박막트랜지스터;

데이터 전압을 상기 제1 노드에 인가하는 제2 스캔 박막트랜지스터;

상기 제1 노드의 전압에 따라 제2 노드로 전류를 출력하는 구동박막트랜지스터;

상기 제2 노드에 연결된 유기발광 다이오드; 및

상기 제1 및 제2 노드사이에 연결되는 커패시터를 포함하는 복수의 화소로 이루어지고,

상기 화소는,

제2 문턱전압 센싱구간에서 1차 센싱된 문턱전압을 제2 센싱하여 상기 문턱전압 특성을 보상하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 15

초기화신호를 제1 노드에 인가하는 제1 스캔 박막트랜지스터와, 데이터 전압을 상기 제1 노드에 인가하는 제2 스캔 박막트랜지스터와, 제1 노드의 전압에 따라 제2 노드로 전류를 출력하는 구동박막트랜지스터와, 상기 제2 노드에 연결된 유기발광 다이오드와, 상기 제1 및 제2 노드사이에 연결되는 커패시터를 포함하는 복수의 화소로 이루어진 유기전계 발광 표시장치의 구동방법에 있어서,

초기화 구간에서 상기 제1 노드에 상기 초기화 신호를 충전하는 단계;

제1 문턱전압 센싱구간에서 상기 캐패시터에 상기 구동 박막트랜지스터의 문턱전압을 1차 센싱하는 단계;

제2 문턱전압 센싱구간에서 1차 센싱된 문턱전압을 제2 센싱하는 단계;

전자이동도 보정 및 라이팅 구간에서 전자 이동도 특성을 센싱하는 단계; 및

방출구간에서 상기 데이터 전압에 2차 센싱된 문턱전압 및 전자이동도 특성을 반영하여 상기 유기발광 다이오드를 발광시키는 단계

를 포함하는 유기전계 발광표시장치의 구동방법.

청구항 16

제 15 항에 있어서,

상기 초기화 구간에서 상기 제1 노드에 상기 초기화 신호를 충전하는 단계는,

상기 제1 스캔신호를 하이레벨로 출력하고, 상기 제2 스캔신호를 로우레벨로 출력하여 상기 제1 노드를 상기 초기화 신호로 충전하는 단계; 및

상기 전원전압을 로우레벨로 출력하여, 상기 제2 노드를 로우레벨의 전원전압으로 충전하는 단계

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 17

제 16 항에 있어서,

상기 로우레벨의 전원전압은,

상기 초기화 신호보다 전압레벨이 낮은 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 18

제 15 항에 있어서,

상기 제1 문턱전압 센싱구간에서 상기 캐패시터에 상기 구동 박막트랜지스터의 문턱전압을 1차 센싱하는 단계는,

상기 전원전압을 하이레벨로 인가하여, 상기 캐패시터에 문턱전압 센싱율에 비례하는 문턱전압을 충전하는 단계

인 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 19

제 15 항에 있어서,

상기 제2 문턱전압 센싱구간에서 1차 센싱된 문턱전압을 제2 센싱하는 단계는,

제1 및 제2 스캔신호를 로우레벨로 출력하여 상기 제1 및 제2 노드를 플로팅 하여 상기 제1 및 제2 노드에 충전된 전압을 실제 문턱전압에 인접한 전압레벨로 상승시키는 단계

인 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 20

제 15 항에 있어서,

상기 전자이동도 보정 및 라이팅 구간에서 전자 이동도 특성을 센싱하는 단계는,

상기 제1 스캔신호를 로우레벨로 출력하는 단계; 및

상기 제2 스캔신호를 하이레벨로 출력하고, 상기 제2 스캔 박막트랜지스터를 통해 상기 제1 노드에 상기 데이터 전압을 충전하여 상기 제2 노드에 충전된 전압에 상기 구동박막트랜지스터의 전자 이동도 특성에 따른 전압을 반영하는 단계

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 21

제 15 항에 있어서,

상기 방출구간에서 상기 데이터 전압에 2차 센싱된 문턱전압 및 전하이동도 특성을 반영하여 상기 유기발광 다이오드를 발광시키는 단계는,

상기 제1 및 제2 스캔신호를 로우레벨로 출력하여, 상기 캐패시터에 저장된 전압에 따라 상기 구동 박막트랜지스터를 통해 상기 유기발광 다이오드에 전류를 인가하는 단계

인 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

청구항 22

제 21 항에 있어서,

상기 유기발광 다이오드를 발광시키는 단계는,

임의의 두 화소에 대한 게이트-소스간 전압을 비교하여 상기 제2 문턱전압 센싱구간의 기간을 조절하는 단계

를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 구동방법.

명세서

기술분야

[0001] 본 발명은 유기전계 발광표시장치에 관한 것으로, 특히 각 화소를 이루는 구동박막트랜지스터의 문턱전압 및 전자 이동도를 보상하는 구성을 포함하는 유기전계 발광표시장치 및 이의 구동방법에 관한 것이다.

배경기술

[0002] 기존의 음극선관(Cathode Ray Tube)표시장치를 대체하기 위한 평판표시장치(Flat Panel Display)로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시장치(Plasma Display Panel) 및 유기전계 발광표시장치(Organic Light-Emitting Diode Display, OLED Display) 등이 있다.

[0003] 이중, 유기전계 발광표시장치에 구비되는 유기발광 다이오드는 높은 휘도와 낮은 동작 전압 특성을 가지며, 또한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(CONTRAST RATIO)가 크고, 초박형 디스플레이의 구현이 용이하다. 또한, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이라는 장점이 있다.

[0004] 도 1은 종래의 유기전계 발광표시장치의 일 화소에 대한 등가 회로도를 나타낸 도면이다.

[0005] 도시된 바와 같이, 유기전계 발광표시장치는 복수의 화소(PX)가 정의되는 표시패널을 포함하며, 이러한 표시패널에는 스캔신호(Scan) 및 신호(Vdata)가 입력되는 배선들이 매트릭스 형태로 교차 형성되고, 이와 소정간격 이격되어 전원전압(ELVDD)을 공급하는 배선이 형성되어 그 교차지점에 하나의 화소(PX)가 정의된다.

[0006] 또한, 화소(PX)는 스캔신호(Scan)에 대응하여 데이터전압(Vdata)을 제1 노드(N1)에 인가하는 스캔 박막트랜지스터(SC-TFT)와, 일 전극에 구동전압(ELVDD)을 인가받으며, 제1 노드(N1)에 인가된 전압에 따라 드레인 전류를 유기발광 다이오드(EL)에 인가하는 구동 박막트랜지스터(DR-TFT)와, 구동 박막트랜지스터(DR-TFT)의 게이트 전극에 인가되는 전압을 1 프레임동안 유지시키는 캐패시터(C1)를 포함한다.

[0007] 이러한 구조의 유기전계 발광표시장치에서 특히 구동 박막트랜지스터(DR-TFT)는 유기발광 다이오드(EL)에 흐르는 전류의 양을 조절하여 영상의 계조를 표시하도록 하는 것으로서 화상품질에 중요한 역할을 한다.

[0008] 그러나, 하나의 표시패널 내에서도 각 화소간 구동 박막트랜지스터의 전기적 특성편차, 즉 문턱전압(V_{th}) 및 전자 이동도(mobility)의 편차가 발생하며, 각 유기발광 다이오드들에 흐르는 전류가 일정하지 않아 원하는 계조를 구현하지 못하는 문제가 발생하게 된다.

[0009] 이러한 문제를 해결하기 위해, 구동 박막트랜지스터의 문턱전압 및 전자 이동도를 화소내부 또는 화소외부에서 보상하는 구조가 제안되었다. 그러나, 내부 보상 방식에서는 통상적으로 하나의 화소에 구동 박막트랜지스터의

특성을 센싱하기 위한 다수의 박막트랜지스터가 필요하게 되어 화소구조가 복잡하고 개구율이 저하될 뿐만 아니라, 이동도 보상이 어렵고, 외부 보상 방식에서는 모든 화소에 대한 구동 박막트랜지스터의 특성을 센싱하여야 함에 따라 부하(load)가 높아 내부보상대비 수십 ~ 수백배의 시간이 소요되어 센싱시간이 지연된다는 단점이 있다. 이에 따라, 1 프레임(frame)동안 모든 화소에 대한 센싱동작을 수행하는 것이 용이하지 않다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 최소의 박막트랜지스터로 구현된 화소를 내부 보상방식과 외부보상방식을 혼용(hybrid)하여 구동함으로써 구동 박막트랜지스터의 특성편차를 보상하면서도 두 보상방식의 단점을 보완한 유기전계 발광표시장치 및 이의 구동방법을 제공하는 데 목적이 있다.

[0011] 또한, 본 발명은 내부보상 방식에서 화소의 기생캐패시턴스 성분에 의한 문턱전압 보상에러를 최소화한 유기전계 발광표시장치 및 이의 구동방법을 제공하는 데 다른 목적이 있다.

과제의 해결 수단

[0012] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 유기전계 발광표시장치는, 스캔배선, 데이터배선 및 센싱배선이 교차되는 지점에 복수의 화소가 정의된 표시패널; 상기 스캔배선 및 데이터배선을 통해 상기 화소에 스캔신호 및 데이터전압을 공급하는 게이트 구동부 및 데이터 구동부; 상기 화소의 전기적 특성을 센싱하는 센싱 제어부; 및 상기 게이트 구동부, 데이터 구동부 및 센싱 제어부를 제어하는 타이밍 콘트롤러를 포함하고, 상기 타이밍 콘트롤러는, 설정된 보상 제어신호에 따라, 상기 화소 자체 및 센싱 제어부가 병행하여 상기 전기적 특성을 센싱하도록 제어하는 것을 특징으로 한다.

[0013] 전술한 목적을 달성하기 위해, 본 발명의 제1 실시예에 따른 유기발광표시장치의 구동방법은, 보상 제어신호를 수신하는 단계; 및 상기 보상 제어신호에 대응하여 화소의 전기적 특성을 센싱 제어부 및 상기 화소 자체에서 병행하여 센싱하도록 제어하는 단계를 포함하는 것을 특징으로 한다.

[0014] 또한, 전술한 목적을 달성하기 위해, 본 발명의 제2 실시예에 따른 유기전계 발광표시장치는, 초기화신호를 제1 노드에 인가하는 제1 스캔 박막트랜지스터; 데이터 전압을 상기 제1 노드에 인가하는 제2 스캔 박막트랜지스터; 상기 제1 노드의 전압에 따라 제2 노드로 전류를 출력하는 구동박막트랜지스터; 상기 제2 노드에 연결된 유기발광 다이오드; 및 상기 제1 및 제2 노드 사이에 연결되는 캐패시터를 포함하는 복수의 화소로 이루어지고, 상기 화소는 제2 문턱전압 센싱구간에서 1차 센싱된 문턱전압을 제2 센싱하여 상기 문턱전압 특성을 보상하는 것을 특징으로 한다.

[0015] 또한, 전술한 목적을 달성하기 위해, 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 구동방법은, 초기화신호를 제1 노드에 인가하는 제1 스캔 박막트랜지스터와, 데이터 전압을 상기 제1 노드에 인가하는 제2 스캔 박막트랜지스터와, 제1 노드의 전압에 따라 제2 노드로 전류를 출력하는 구동박막트랜지스터와, 상기 제2 노드에 연결된 유기발광 다이오드와, 상기 제1 및 제2 노드 사이에 연결되는 캐패시터를 포함하는 복수의 화소로 이루어진 유기전계 발광 표시장치의 구동방법에 있어서, 초기화 구간에서 상기 제1 노드에 상기 초기화 신호를 충전하는 단계; 제1 문턱전압 센싱구간에서 상기 캐패시터에 상기 구동 박막트랜지스터의 문턱전압을 1차 센싱하는 단계; 제2 문턱전압 센싱구간에서 1차 센싱된 문턱전압을 제2 센싱하는 단계; 전자기동도 보정 및 라이팅 구간에서 전자 이동도 특성을 센싱하는 단계; 및 방출구간에서 상기 데이터 전압에 2차 센싱된 문턱전압 및 전자 이동도 특성을 반영하여 상기 유기발광 다이오드를 발광시키는 단계를 포함한다.

발명의 효과

[0016] 본 발명의 실시예에 따른 유기전계 발광표시장치는 출하전, 후 또는 기타 설정에 의해 외부보상방식으로 구동하고 기타 구간에 내부보상방식으로 혼용하여 구동함으로써, 두 보상방식의 단점을 보완하고 화소구조가 단순하여 고개구율 및 고해상도를 구현하면서도 우수한 보상특성을 구현할 수 있는 효과가 있다.

도면의 간단한 설명

[0017] 도 1은 종래의 유기전계 발광표시장치의 일 화소에 대한 등가 회로도를 나타낸 도면이다.

도 2는 본 발명의 실시예에 따른 유기전계 발광표시장치의 구조를 개략적으로 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 유기전계 발광표시장치의 3T1C 구조의 화소에 대한 등가회로도들을 나타낸 도면이다.

도 4a 및 도 4b는 본 발명의 실시예에 따른 유기전계 발광표시장치의 외부보상시 문턱전압(V_{th}) 및 전하이동도(μ) 센싱시 인가되는 신호파형을 나타낸 도면이다.

도 5a 내지 도 5d는 본 발명의 실시예에 따른 내부보상 구동을 설명하기 위한 도면이다.

도 6는 내부보상 구동시 인가되는 신호파형을 나타내는 도면이다.

도 7a 내지 도 7c는 본 발명의 실시예에 따른 유기전계 발광표시장치의 구동방법 중 제품 출하 후 내부보상 구동방법을 설명하기 위한 도면이다.

도 8은 내부보상 구동시 인가되는 신호파형을 나타내는 도면이다.

도 9는 본 발명의 실시예에 따른 유기전계 발광표시장치의 3T1C 구조 화소에 대한 등가회로도들을 나타낸 도면이다.

도 10a 내지 도 10d는 본 발명의 4T1C 구조의 화소를 갖는 유기전계 발광표시장치의 내부보상 구동을 설명하기 위한 도면이다.

도 11는 내부보상 구동시 인가되는 신호파형을 나타내는 도면이다.

도 12는 본 발명의 실시예에 따른 유기전계 발광표시장치의 보상방법 선택형태들을 나타내는 도면이다.

도 13은 본 발명의 제1 실시예에 따른 유기전계 발광표시장치 중, 4T1C 구조의 화소를 나타낸 도면이다.

도 14는 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 일 화소를 등가회로도로서 나타낸 도면이다.

도 15a 내지 15e는 본 발명의 다른 형태의 실시예에 따른 3T1C 구조의 화소를 갖는 유기전계 발광표시장치의 구동을 설명하기 위한 도면이다.

도 16은 도 15a 내지 15d에 도시된 형태로의 구동시 인가되는 신호파형을 나타내는 도면이다.

도 17a 및 도 17b는 본 발명의 제1 및 제2 실시예에 따른 유기전계 발광표시장치의 문턱전압(V_{th}) 보상 특성을 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 유기전계 발광표시장치 및 그의 구동방법을 설명한다.

[0019] 도 2는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 구조를 개략적으로 나타내는 도면이다.

[0020] 도 2를 참조하면, 본 발명의 유기전계 발광표시장치는 복수의 화소(PX)가 정의되는 표시패널(100)과, 표시패널(100)과 연결되는 각종 제어부 및 구동부(110 ~ 140)를 포함한다.

[0021] 표시패널(100)은 유기기관 또는 플라스틱 기관상에 서로 교차되도록 복수의 스캔배선(SCL) 및 데이터배선(DL)이 형성되고, 스캔배선(SCL) 및 데이터 배선(DL)이 교차하는 지점에 각각 적, 녹 및 청에 해당하는 계조를 표시하는 화소(PX)들이 정의된다. 또한, 각 화소(PX)들은 문턱전압(V_{th}) 및 전자 이동도(μ)를 센싱하기 위한 센싱배선(SSL)과 연결되어 있으며, 도시되어 있지 않지만 표시패널(100)에는 전원전압(ELVDD) 및 접지전압(ELVSS)을 공급하기 위한 각종 배선들이 더 형성될 수 있다.

[0022] 상기 스캔배선(SCL)은 표시패널(100)의 외곽에 형성되며 스캔신호(V_{scan})를 출력하는 스캔 구동부(120)와 연결되고, 데이터배선(DL)은 데이터전압(V_{data})을 출력하는 데이터 구동부(130)와 연결되어 있다.

[0023] 또한, 표시패널(100)에 형성되는 센싱배선(SSL)은 화소(PX)에 흐르는 싱크전류를 통해 구동 박막트랜지스터의 전기적 특성을 센싱하는 센싱 제어부(140)와 연결되어 있다. 도면에서는 센싱 제어부(140)가 데이터 구동부(130)와는 별도의 외부IC로 구성된 일 예를 나타내고 있으나, 데이터 구동부(130)내에 일체형 IC로 집적되는 형태도 적용될 수 있다.

[0024] 화소(PX)들은 유기발광 다이오드, 캐패시터, 스캔 박막트랜지스터, 센싱 박막트랜지스터 및 구동 박막트랜지스

터를 포함한다. 여기서, 유기전계 발광다이오드는 제 1 전극(정공주입 전극)과 유기 화합물층 및 제 2 전극(전자주입 전극)로 이루어질 수 있다.

[0025] 타이밍 제어부(110)는 외부로부터 인가되는 영상데이터와, 클럭신호, 수직 및 수평동기신호 등의 타이밍 신호를 인가받아 게이트 제어신호(GCS), 데이터 제어신호(DCS) 및 센싱구동 제어신호(SCS) 등의 제어신호를 생성한다. 이러한 타이밍 제어부(110)는 외부 시스템과 소정의 인터페이스를 통해 연결되어 그로부터 출력되는 영상관련 신호와 타이밍신호를 잡음 없이 고속으로 수신하여 상기의 제어신호들을 생성하게 된다. 이러한 타이밍 제어부(110)는 유기전계 발광표시장치의 설계의도에 따라, 데이터 구동부(130)와 일체형 IC로 집적화될 수도 있다.

[0026] 특히, 본 발명의 타이밍 제어부(110)는 작업자 또는 사용자의 보상 제어신호(CC)에 따라, 화소(PX) 자체에서 특성 편차에 대한 보상을 수행하도록 제어하거나, 또는 센싱 제어부(140)를 요청하여 화소(PX)에 대한 특성 편차에 대한 보상을 수행하도록 제어할 수 있다.

[0027] 스캔 구동부(120)는 타이밍 제어부(110)로부터 스캔 제어신호(SCS)에 대응하여 각 화소(PX)들에 스캔신호(Vscan)을 하나의 수평선 단위씩 순차적으로 인가한다. 이러한 스캔 구동부(120)는 통상의 쉬프트레지스터로 구현될 수 있다.

[0028] 데이터 구동부(130)는 타이밍 제어부(110)로부터 인가되는 디지털 파형의 영상신호(RGB)를 입력받아, 화소(PX)가 처리할 수 있는 계조값을 갖는 아날로그 전압형태의 데이터전압(Vdata)으로 변환하고, 또한 입력되는 데이터 제어신호(DCS)에 대응하여 데이터전압(Vdata)을 데이터 배선(DL)을 통해 각 화소(PX)에 공급한다.

[0029] 센싱 제어부(140)는 타이밍 제어부(110)의 제어에 따라 유기전계 발광표시장치의 제품 출하전, 전원 온/오프 직후, 또는 기타 사용자에게 의해 지정된 시점에 구동 박막트랜지스터(DR-TFT)의 문턱전압(Vth) 및 이동도 특성을 외부보상 방식 및 내부보상 방식을 병행하여 센싱하고, 센싱된 결과를 데이터전압(Vdata)에 반영하여 구동 박막트랜지스터(DR-TFT)특성 편차를 보상하는 역할을 한다.

[0030] 일례로서, 정상 화소(PX)에서 구동 박막트랜지스터(DR-TFT)의 출력전류값은 구동 박막트랜지스터의 문턱전압 및 전자 이동도 특성이 반영된다. 이에 따라 열화가 발생되면 구동 박막트랜지스터(DR-TFT)에 의한 전류값이 달라지게 되고 그 전류를 싱크하여 문턱전압 및 이동도의 변동값을 측정할 수 있다. 센싱 제어부(140)는 각 화소(PX)에 프리차지 전압을 센싱라인(SSL)에 인가하여 그 전압에 의해 구동 박막트랜지스터(DR-TFT) 센싱라인(SSL)을 통해 전류를 싱크하고 그 결과를 데이터전압(Vdata)에 반영되도록 함으로서 구동 박막트랜지스터(DR-TFT)의 특성변화를 보상하게 된다.

[0031] 특히, 본 발명의 실시예에 따른 유기전계 발광 표시장치는 내부보상방식 및 외부보상방식을 모두 적용하여 다른 시점에 병행구동하는 것을 특징으로 하며, 제1 실시예는 제조공정이 완료된 표시장치에 대하여 제품 출하전 센싱 제어부를 통해 외부보상단계를 수행하여 초기 박막트랜지스터의 보상값을 미리 설정하여 두고, 출하 후 구동 시에는 내부보상방식으로 실시간 내부보상 단계를 수행하는 방식이다.

[0032] 특히, 본 발명의 일 실시예에서는 내부보상시 문턱전압 센싱시간이 상당히 긴 편이어서 고해상도 및 고주파수 유기전계 발광표시장치에는 적합하지 않음에 따라, 내부보상 단계에서 문턱전압 변동값을 센싱하는 단계를 생략하고 전자 이동도에 대한 센싱 및 보상만을 수행하는 형태로 설정될 수 있다.

[0033] 그리고, 다른 실시예의 형태로는 사용자의 설정에 의해 내부보상 방식과 외부보상 방식을 선택적으로 수행하는 방식이 적용될 수 있으며, 또 다른 실시예에서는 별도의 이벤트(event)에 의해 외부보상방식을 수행하는 방식이 적용될 수도 있다. 일례로서 기 설정된 구동시간에 따라 소정주기로 외부보상 구동을 수행하거나, 또는 실시간으로 내부보상 구동을 수행되고 표시장치의 전원 온 및 전원 오프시 매회 외부보상 구동을 수행하는 방식일 수 있다

[0034] 이하, 본 발명의 유기전계 발광표시장치를 이루는 일 화소의 구조 및 이를 참조하여 본 발명의 실시예들에 따른 유기전계 발광표시장치의 구동방법을 설명한다.

[0035] 도 3은 본 발명의 실시예에 따른 유기전계 발광표시장치의 3T1C 구조의 화소에 대한 등가회로도들을 나타낸 도면이다.

[0036] 도 3을 참조하면, 본 발명의 유기전계 발광표시장치의 일 화소(PX)는 세개의 박막트랜지스터(SC-TFT, DR-TFT, SS-TFT) 및 하나의 캐패시터(C1)를 구비하는 3T1C 구조로서, 유기발광 다이오드(EL)와, 이에 전류를 공급하는 구동 박막트랜지스터(DR-TFT)와, 데이터전압(Vdata)을 입력받으며 구동 박막트랜지스터(DR-TFT) 사이에 연결되어 스캔신호(Scan)에 따라 데이터전압(Vdata)을 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하는 스캔 박막 트랜

지스터(SC-TFT)와, 센싱 제어부(140)와 구동 박막트랜지스터(DR-TFT) 사이에 연결되어 센싱신호(Sense)에 따라 구동 박막트랜지스터(DR-TFT)에 의한 전류를 싱크하기 위한 센싱 박막트랜지스터(SS-TFT) 및 구동 박막트랜지스터(DR-TFT)의 게이트 및 소스 사이에 연결되는 캐패시터(C1)를 포함한다.

[0037] 그리고, 스캔 박막트랜지스터(SC-TFT)의 드레인은 데이터 구동부(미도시)에 내장되는 디지털-아날로그 컨버터(DAC)의 출력단과 연결되며, 센싱 회로부(140)는 센싱배선을 프리차지 시키기 위한 프리차징 스위치(SWT)와, 싱크 전류를 샘플링하는 샘플링 스위치(SPT) 및 아날로그-디지털 컨버터(ADC)를 포함한다. 도면에서는 각 박막트랜지스터들을 N채널의 반도체층을 갖는 N채널 MOS FET 형인 일 예를 나타내고 있으나, P채널 MOS FET 형의 박막트랜지스터로 대체될 수도 있다.

[0038] 이하, 도시된 신호파형을 도 3의 등가 회로도와 함께 참조하여 본 발명의 실시예에 따른 유기전계 발광표시장치의 구동방법을 설명한다.

[0039] 도 4a 및 도 4b는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 외부보상시 문턱전압(V_{th}) 및 전자이동도(μ) 센싱시 인가되는 신호파형을 나타낸 도면이다.

[0040] 먼저 도 4a를 참조하여 문턱전압 센싱방법을 설명하면, 화소(PX)에 하이레벨의 스캔신호(scan)와 프리차징 신호(Spre)를 인가하면 스캔 박막트랜지스터(SC-TFT)가 턴-온되고, 데이터배선(DL)을 통해 디지털-아날로그 컨버터(DAC)로부터 데이터전압(Vdata)이 구동트랜지스터(DR-TFT)의 게이트에 인가된다. 또한 프리차징 스위치(Spre)에 의해 센싱라인(SSL)이 소정레벨의 프리차징 전압(Vpre)으로 프리차징(pre-charging)된다. 여기서 데이터전압(Vdata)인 소정의 기준전압 레벨일 수 있다.

[0041] 다음으로, 프리차징 신호(Spre)를 로우레벨로 인가하여 프리차징 스위치(Spre)를 턴-오프하고, 하이레벨의 센싱신호(Sense)를 인가하여 센싱 박막트랜지스터(SS-TFT)를 턴-온하게 된다. 이에 따라, 캐패시터(C1)에 저장된 데이터전압(Vdata, 기준전압)과 프리차징 전압(Vpre)의 차전압에 따라 구동 박막트랜지스터(DR-TFT)가 포화영역에서 구동하게 되어 싱크 전류가 흐르게 되고, 센싱배선(SSL)의 프리차징전압(Vpre)이 포화영역에 해당하는 전압(Vpre')으로 상승한다. 이후 그 전압(Vpre')이 구동 박막트랜지스터(DR-TFT)의 문턱전압(V_{th})까지 도달하게 되면 센싱배선(SSL)은 포화상태가 된다. 포화상태가 되는 시점에서, 센싱신호(Sense)를 로우레벨로 인가하고 샘플링 신호(Sam)를 하이레벨로 인가하여 샘플링 스위치(Sam)가 턴-온되어 충전된 전압(Vpre')을 아날로그-디지털 컨버터(ADC)에 의해 샘플링함으로써 문턱전압을 센싱하게 된다.

[0042] 다음으로, 도 4b를 참조하여 전자이동도(μ) 센싱방법을 참조하면, 센싱신호(Sense) 및 프리차징신호(Spre)를 하이레벨로 인가하여 센싱배선(SSL)을 프리차징 전압(Vpre)으로 방전하고, 이후 스캔신호(Scan)를 하이레벨로 인가되어 데이터전압(Vdata)을 구동박막트랜지스터(DR-TFT)의 게이트에 인가하게 된다. 이에 따라, 캐패시터(C1)에는 데이터전압(Vdata)과 프리차징전압(Vpre)의 차전압이 저장된다.

[0043] 이후, 스캔신호(Scan)를 로우레벨로 인가하여 데이터전압(Vdata)의 공급을 중지시키면, 캐패시터(C1)에 저장된 차전압에 의해 구동 박막트랜지스터(DR-TFT)은 턴-온되어 그에 비례하는 전류를 유기발광 다이오드(EL)에 인가하게 되며, 소정기간 이후 프리차징신호(Spre)를 로우레벨로 인가하면, 센싱배선(SSL)의 프리차징전압(Vpre)이 구동 박막트랜지스터(DR-TFT) 및 센싱 박막트랜지스터(SS-TFT)를 통해 충전됨에 따라, 센싱배선(SSL)의 전압이 상승하게 된다.

[0044] 이때, 센싱배선(SSL)의 전압 변화량(ΔV)은 구동 박막트랜지스터(DR-TFT)의 전자이동도(μ)성분이 반영된 전류량(i)와 시간변화량(Δt)의 곱에 센싱배선(SSL)의 캐패시턴스(C)을 나눈 값이며, 따라서 미리 설정된 기준이 되는 화소를 통해 전압변화량($\Delta V'$)과의 비교를 통해 현재 화소(PX)의 구동 박막트랜지스터(DR-TFT)에 대한 전자이동도(μ)의 변화를 추정할 수 있다.

[0045] 이후, 센싱 박막트랜지스터(SS-TFT)를 턴-오프하고, 샘플링 스위치(SWT)를 턴-온하여 센싱배선(SSL)의 변동된 전압레벨을 아날로그-디지털 컨버터(ADC)를 통해 샘플링함으로써 전자이동도(μ)를 센싱하게 된다.

[0046] 전술한 방법에 의해 샘플링된 문턱전압(V_{th}) 및 전자이동도(μ)값은 별도의 메모리에 저장되고, 그 결과는 센싱 제어부에 기 설정된 보상수단에 의해 데이터전압(Vdata)에 반영됨으로서 유기전계 발광표시장치의 출하전 외부 보상 구동을 완료하게 된다. 즉, 완성된 유기전계 발광표시장치에 있어서, 최초로 외부보상 구동을 1회 수행하는 것이다.

[0047] 이후, 제품 출하 후 유기전계 발광표시장치의 구동시에는 실시간으로 내부보상 구동을 수행하게 된다. 도 5a 내지 도 5d는 본 발명의 실시예에 따른 내부보상 구동을 설명하기 위한 도면이고, 도 6는 내부보상 구동시 인가되

는 신호파형을 나타내는 도면이다.

[0048] 도 5a 및 도 6을 함께 참조하면, 초기화 단계(Initial)에서는 먼저, 하이레벨의 센싱신호(Sense)를 입력하여 센싱 박막트랜지스터(SS-TFT)를 턴-온하고 제2 노드(N2)의 전압, 즉 구동 박막트랜지스터(DR-TFT)의 소스전압을 초기화전압(Vini)으로 방전시키며, 이후 스캔신호(Scan)를 하이레벨로 공급하여 이전단 수평라인(N-1th)의 데이터 전압(Vdata)을 제1 노드(N1) 즉, 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하여 그 게이트전압으로 구동 박막트랜지스터(DR-TFT)를 턴-온한다. 이어서, 데이터전압(Vdata)을 오프셋 전압(Vofs)레벨로 낮추게 되면, 제1 노드 전압레벨은 오프셋 전압(Vofs)이 된다.

[0049] 다음으로, 도 5b를 참조하면 문턱전압 센싱구간(Vth Sensing)에서는, 센싱신호(Sense)를 로우레벨로 인가하여 센싱 박막트랜지스터(SS-TFT)를 턴-오프하면, 구동 박막트랜지스터(DR-TFT)를 통해 제2 노드(N2)의 전압이 오프셋 전압(Vofs)에서 구동 박막트랜지스터(DR-TFT)의 문턱전압(Vth)의 차전압까지 상승하게 되며, 결국 캐패시터(C1)에는 문턱전압(Vth)이 저장되게 된다.

[0050] 이어서, 도 5c를 참조하면 전자이동도 보정 및 라이팅 구간(μ compensation & Writing)에서는 표시하고자 하는 계조, 즉 해당 수평라인(N th)의 데이터전압(Vdata)을 인가하여 제1 노드(N1)를 데이터전압(Vdata)의 전압레벨로 상승시키면, 구동 박막트랜지스터(DR-TFT)의 전자이동도(μ)의 특성에 따라 제2 노드(N2)가 서서히 충전되며, 결국, 캐패시터(C1)에는 데이터전압(Vdata)과 문턱전압(Vth)의 합에 오프셋전압(Vofs) 및 전자이동도에 따른 전압변화량($\Delta V(\mu)$)의 차전압이 저장되게 된다.

[0051] 이때, 전압변화량($\Delta V(\mu)$)은 전자이동도(μ)가 서로 다른 두 박막트랜지스터간에 서로 비선형적 비례관계를 갖게 되며, 서로 다른 전자이동도(μ_1, μ_2)의 두 박막트랜지스터에 흐르는 전류(I_1, I_2)를 동일하게 하려면 이하의 수학적 식 1,

수학적 식 1

$$[0052] \mu_1/\mu_2 = \sqrt{(Vdata - Vini - \Delta V(\mu_2, t))/Vdata - Vini - \Delta V(\mu_2, t)}$$

[0053] 를 만족하도록 $\Delta V(\mu, t)$ (시간 및 전자 이동도에 따른 전압변화량)가 설정되어야 한다.

[0054] 여기서, $\Delta V(\mu, t) = I(t) * t / C$ (시간에 따른 전류량 * 시간/캐패시터)이므로, 상기의 전자이동도 보정 및 라이팅 구간에서 시간(t)을 최적화하여 상기 수학적 식 1이 만족되도록 설정되어야 한다.

[0055] 특히, 데이터전압(Vdata)이 저 계조에 해당할수록 시간에 따른 전류량($I(t)$)가 지수적(exponential)으로 감소하게 되며, 따라서 낮은 계조의 화상을 표시하는 경우 고 계조 화상보다 시간(t)을 길게 설정하게 된다.

[0056] 다음으로, 도 5d를 참조하면 방출구간(Emission)에는 스캔신호(Scan)를 로우레벨로 인가하여 스캔 박막트랜지스터(SC-TFT)를 턴-오프하고, 캐패시터(C1)에 저장된 전압레벨에 의해 구동 박막트랜지스터(DR-TFT)가 문턱전압(Vth) 및 전자이동도(μ)가 보정된 전류(Ioled)를 유기발광 다이오드(EL)에 인가하게 된다.

[0057] 이에 따라, 본 발명의 실시예에 따른 유기전계 발광표시장치는 전술한 방법에 의해 제품 출하전 외부보상방식으로 구동되며, 출하 후 구동시에는 실시간으로 내부보상방식으로 구동하게 된다.

[0058] 한편, 전술한 실시예에 의하면 제품 출하 후 내부보상 구동시, 1 수평기간(1H) 중 문턱전압(Vth) 보상구간에서 상당한 시간을 소요하게 되는바, 이를 생략하여 전자 이동도 보정만을 수행함으로써 고효율도 및 고주파수의 유기전계 발광표시장치에 적합하도록 설정된 것을 특징으로 한다.

[0059] 도 7a 내지 도 7c는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 구동방법 중 제품 출하 후 내부보상 구동방법을 설명하기 위한 도면이고, 도 8은 내부보상 구동시 인가되는 신호파형을 나타내는 도면이다.

[0060] 도 7a 및 도 8을 함께 참조하면, 초기화 단계(Initial)에서는 먼저, 하이레벨의 센싱신호(Sense)를 입력하여 센싱 박막트랜지스터(SS-TFT)를 턴-온하고 제2 노드(N2)의 전압, 즉 구동 박막트랜지스터(DR-TFT)의 소스전압을 초기화전압(Vini)으로 방전시키며, 이후 스캔신호(Scan)를 하이레벨로 공급하여 이전단 수평라인(N-1th)의 데이터 전압(Vdata)을 제1 노드(N1) 즉, 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하여 그 게이트전압으로 구동 박막트랜지스터(DR-TFT)를 턴-온한다. 이에 따라, 이전단 데이터 전압(Vdata)은 오프셋 전압(Vofs)으로 이용될

수 있다.

- [0061] 이어서, 도 7b를 참조하면 전자이동도 보정 및 라이팅 구간(μ compensation & Writing)에서는 표시하고자 하는 데이터 전압(Vdata)을 인가함에 따라 제1 노드(N1)가 데이터 전압(Vdata)으로 충전되고, 센싱신호(Sense)을 로우레벨로 인가하여 센싱 박막트랜지스터(SS-TFT)를 턴-오프하면 구동 박막트랜지스터(DR-TFT)의 전자이동도(μ)의 특성에 따라 제2 노드(N2)가 서서히 충전되며, 결국, 캐패시터(C1)에는 데이터전압(Vdata)에 오프셋전압(Vofs) 및 전자이동도에 따른 전압변화량($\Delta V(\mu)$)의 차전압이 저장되게 된다.
- [0062] 여기서, 전압변화량($\Delta V(\mu)$)은 상기의 수학적식을 만족하도록 설정된다.
- [0063] 다음으로, 도 7c를 참조하면 방출구간(Emission)에는 스캔신호(Scan)를 로우레벨로 인가하여 스캔 박막트랜지스터(SC-TFT)를 턴-오프하고, 캐패시터(C1)에 저장된 전압레벨에 의해 구동 박막트랜지스터(DR-TFT)의 전자이동도(μ)가 보정된 전류(Ioled)를 유기발광 다이오드(EL)에 인가하게 된다.
- [0064] 이에 따라, 본 발명은 유기전계 발광표시장치는 전술한 방법에 의해 제품 출하전 외부보상방식으로 구동되며, 출하 후 구동시에는 문턱전압 보상구간을 제외한 실시간으로 내부보상방식으로 구동하여 고해상도 및 고주파수 표시장치에 적용이 유리하게 된다.
- [0065] 한편, 상기의 실시예에서는 3개의 박막트랜지스터를 구비하는 3T1C 구조의 화소의 일 예를 들어 설명하였으나, 별도의 기준전압(Vref)을 공급하여 구동시간을 줄이는 구조도 적용가능하다.
- [0066] 도 9는 본 발명의 실시예에 따른 유기전계 발광표시장치의 3T1C 구조 화소에 대한 등가회로도를 나타낸 도면이다.
- [0067] 도 9를 참조하면, 본 발명의 유기전계 발광표시장치의 일 화소(PX)는 네개의 박막트랜지스터(SC-TFT1, SC-TFT2, DR-TFT, SS-TFT) 및 하나의 캐패시터(C1)를 구비하는 4T1C 구조로서, 유기발광 다이오드(EL)와, 이에 전류를 공급하는 구동 박막트랜지스터(DR-TFT)와, 데이터전압(Vdata)을 입력받으며 구동 박막트랜지스터(DR-TFT) 사이에 연결되어 제1 스캔신호(scan1)에 따라 데이터전압(Vdata)을 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하는 제1 스캔 박막 트랜지스터(SC-TFT1)와, 제2 스캔신호(scan2)에 따라 기준전압(Vref)을 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하는 제2 스캔 박막트랜지스터(SC-TFT2)와, 센싱 제어부(140)와 구동 박막트랜지스터(DR-TFT) 사이에 연결되어 센싱신호(sense)에 따라 구동 박막트랜지스터(DR-TFT)에 의한 전류를 싱크하는 센싱 박막 트랜지스터(SS-TFT) 및 구동 박막트랜지스터(DR-TFT)의 게이트 및 소스 사이에 연결되는 캐패시터(C1)를 포함한다.
- [0068] 그리고, 제1 스캔 박막트랜지스터(SC-TFT1)의 드레인은 데이터 구동부(미도시)에 내장되는 디지털-아날로그 컨버터(DAC)의 출력단과 연결되며, 센싱 회로부(140)는 센싱배선을 프리차지 시키기 위한 프리차지 스위치(SWT)와, 싱크 전류를 샘플링하는 샘플링 스위치(SPT) 및 아날로그-디지털 컨버터(ADC)를 포함한다.
- [0069] 이러한 구조의 화소를 갖는 유기전계 발광표시장치에서 제품 출하전 외부보상 구동에서는 제2 스캔신호(Scan2)는 항상 로우상태로 고정되어 상기의 실시예와 동일하게 문턱전압 및 전자이동도 보상을 수행하게 되고, 제품 출하 후 내부보상 구동에서는 초기화 및 문턱전압보상구간에서 기준전압(Vref)을 제2 노드(N2)에 공급함으로써 구동시간을 단축하게 된다.
- [0070] 도 10a 내지 도 10d는 본 발명의 4T1C 구조의 화소를 갖는 유기전계 발광표시장치의 내부보상 구동을 설명하기 위한 도면이고, 도 11는 내부보상 구동시 인가되는 신호파형을 나타내는 도면이다.
- [0071] 도 10a 및 도 11을 함께 참조하면, 초기화 단계(Initial)에서는 먼저, 하이레벨의 센싱신호(Sense) 및 제2 스캔신호(Scan2)를 입력하여 센싱 박막트랜지스터(SS-TFT) 및 제2 스캔 박막트랜지스터(SC-TFT)를 턴-온하고 제1,2 노드(N1, N2)의 전압, 즉 구동 박막트랜지스터(DR-TFT)의 게이트전압 및 소스전압을 각각 기준전압(Vref) 및 초기화전압(Vini)으로 방전시킨다. 이에 따라 기준전압(Vref)은 오프셋 전압(Vofs)으로 이용된다.
- [0072] 이에 따라, 종래 이전단(N-1 th)의 데이터전압(Vdata)을 이용하는 경우보다 오프셋전압으로의 방전이 빠르게 수행된다.
- [0073] 다음으로, 도 10b를 참조하면 문턱전압 센싱구간(Vth Sensing)에서는, 센싱신호(Sense)를 로우레벨로 인가하여 센싱 박막트랜지스터(SS-TFT)를 턴-오프하면, 구동 박막트랜지스터(DR-TFT)를 통해 제2 노드(N2)의 전압이 오프셋 전압(Vofs)에서 구동 박막트랜지스터(DR-TFT)의 문턱전압(Vth)의 차전압까지 상승하게 되며, 캐패시터(C1)에는 문턱전압(Vth)이 저장되게 된다.

- [0074] 이어서, 도 10c를 참조하면 전자이동도 보정 및 라이팅 구간(μ compensation & Writing)에서는 제1 스캔신호(Scan1)를 하이레벨로 인가하고, 제2 스캔신호(Scan2)를 로우레벨로 인가함에 따라, 해당 수평라인(N_{th})의 데이터전압(V_{data})을 인가하여 제1 노드(N1)를 데이터전압(V_{data})의 전압레벨로 상승시키면, 구동 박막트랜지스터(DR-TFT)의 전자이동도(μ)의 특성에 따라 제2 노드(N2)가 서서히 충전되며, 결국, 캐패시터(C1)에는 데이터전압(V_{data})과 문턱전압(V_{th})의 합에 오프셋전압(V_{ofs}) 및 전자이동도에 따른 전압변화량($\Delta V(\mu)$)의 차전압이 저장되게 된다. 여기서, 전압변화량($\Delta V(\mu)$)을 최적화하도록 보정시간을 조절함으로써 전자 이동도를 보정하게 된다.
- [0075] 다음으로, 도 10d를 참조하면 방출구간(Emission)에는 제1 스캔신호(Scan1)를 로우레벨로 인가하여 제1 스캔 박막트랜지스터(SC-TFT1)를 턴-오프하고, 캐패시터(C1)에 저장된 전압레벨에 의해 구동 박막트랜지스터(DR-TFT)가 문턱전압(V_{th}) 및 전자이동도(μ)가 보정된 전류(I_{oled})를 유기발광 다이오드(EL)에 인가하게 된다.
- [0076] 이에 따라, 본 발명의 실시예에 따른 유기전계 발광표시장치는 전술한 방법에 의해 제품 출하전 외부보상방식으로 구동되며, 출하 후 구동시에는 고속의 실시간 내부보상방식으로 구동하게 된다.
- [0077] 도 12는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 보상방법 선택형태들을 나타내는 도면이다.
- [0078] 도 12를 참조하면, 본 발명의 제1 실시예에서는 제품의 출하 여부를 기준으로 하여 외부보상 구동과 내부보상 구동을 병행하도록 설정될 수 있다. 즉, 제품 출하전에는 문턱전압 센싱단계, 전자이동도 센싱단계 및 결과값 저장단계를 포함하는 외부보상 구동방법을 최초로 1회 수행하고, 제품 출하후에는 외부보상 결과를 반영하여 초기화 단계, 문턱전압 센싱단계, 전자이동도 센싱단계 및 화면표시단계를 포함하는 내부보상 구동방법을 수행하게 된다(a).
- [0079] 또한, 본 발명은 특정 상황에 발생하는 이벤트에 따라 외부보상 구동과 내부보상 구동을 병행하도록 설정될 수 있다. 일 예로서, 유기전계 발광표시장치의 전원 온 및 전원 오프시점에서는 문턱전압 센싱단계, 전자이동도 센싱단계 및 결과값 저장단계를 포함하는 외부보상 구동방법을 수행하고, 정상 구동시에는 외부보상 결과를 반영하여 초기화 단계, 문턱전압 센싱단계, 전자이동도 센싱단계 및 화면표시단계를 포함하는 내부보상 구동방법을 수행하게 된다(b).
- [0080] 또한, 사용자 설정에 의해 외부보상 구동과 내부보상 구동을 병행하도록 설정될 수 있을 뿐만 아니라, 각 보상 단계에서 문턱전압 센싱단계 및 전자이동도 센싱단계 중 어느 하나를 선택적으로 수행하도록 설정될 수 있다. 일 예로서, 사용자가 외부보상 구동을 선택한 경우, 문턱전압 센싱단계와, 결과값 저장단계만을 수행하며, 내부보상 구동을 선택한 경우에는 초기화 단계, 전자이동도 센싱단계 및 화상표시단계 만을 수행하도록 설정될 수 있다(c).
- [0081] 뿐만 아니라, 본 발명의 유기전계 발광표시장치의 구동방법으로서, 기 설정된 주기에 따라 외부 보상단계와 내부보상단계를 교번하여 수행하도록 설정될 수 있다(d). 일 예로서, 10시간 주기로 외부 보상단계를 수행하도록 설정된 경우, 표시장치의 구동시 내부보상 단계는 실시간으로 수행하되, 누적된 구동시간이 10시간이 되면 외부보상단계를 수행한 후 다시 내부보상 단계가 수행되도록 설정될 수 있다.
- [0082] 한편, 전술한 제1 실시예들의 내부보상 구동에서 저계조 영상 구현시 화상에 불균형이 발생하는 문제가 발생하였다.
- [0083] 도 13은 본 발명의 제1 실시예에 따른 유기전계 발광표시장치 중, 4T1C 구조의 화소를 나타낸 도면으로서, 도 12를 참조하면 본 발명의 실시예에서는 공통적으로 구동 박막트랜지스터(DR-TFT)의 문턱전압(V_{th})을 제2 노드(N2)에 저장해 두었다가 방출구간(emission)에서 문턱전압(V_{th}) 정보를 제1 노드(N1)에 전달하게 되는데, 이러한 과정에서 제1 노드(N1)의 기생 캐패시턴스(parasite capacitance)성분에 의해 전달된 문턱전압(V_{th})이 낮아지게 된다.
- [0084] 이러한 기생 캐패시턴스에 의한 문턱전압(V_{th}) 손실은 이하의 수학식 2에 대응한다.

수학식 2

$$V_{thLoss} = C_{para} / (C_{stg} + C_{para}) \times V_{th}$$

[0085]

- [0086] 여기서, Cpara는 제1노드(N1)의 기생 캐패시턴스이며, Cstg는 캐패시터(C1)의 캐패시턴스이다.
- [0087] 상기의 문턱전압 손실은, 특히 저계조 영상에서 상대적으로 높은 게이트 소스간 전압(Vgs)차이를 발생시키게 되며, 문턱전압(Vth)에 대한 화질 불균형을 유발하게 된다. 또한, 문턱전압(Vth)의 보상범위가 감소하여 화소의 수율을 낮추는 원인이 된다.
- [0088] 이하, 도면을 참조하여 본 발명의 제2 실시예에 따른 상기 문턱전압 손실문제를 개선한 유기전계 발광표시장치의 화소 구조 및 이의 구동방법을 설명한다.
- [0089] 도 14는 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 일 화소를 등가회로도로 나타낸 도면이다.
- [0090] 도 14를 참조하면, 본 발명의 제2 실시예에의 유기전계 발광표시장치의 일 화소(PX)는, 세 개의 박막트랜지스터(SC-TFT1, SC-TFT2, DR-TFT) 및 하나의 캐패시터(C1)를 구비하는 3T1C 구조로서, 유기발광 다이오드(EL)와, 이에 전류를 공급하는 구동 박막트랜지스터(DR-TFT)와, 제1 스캔신호(scan1)에 따라 초기화전압(Vini)을 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하는 제1 스캔 박막트랜지스터(SC-TFT1)와, 데이터전압(Vdata)을 입력받으며 구동 박막트랜지스터(DR-TFT)사이에 연결되어 제2 스캔신호(scan2)에 따라 데이터전압(Vdata)을 구동 박막트랜지스터(DR-TFT)의 게이트에 인가하는 제2 스캔 박막 트랜지스터(SC-TFT2) 및 구동 박막트랜지스터(DR-TFT)의 게이트 및 소스 사이에 연결되는 캐패시터(C1)를 포함한다.
- [0091] 이러한 화소구조는 초기화 구간(Initial)이후, 문턱전압 센싱구간(Vth)을 두 단계로 세분화하여 문턱전압(Vth)이 손실되는 구간을 보상하기 위한 구조로서, 특히 구동 박막트랜지스터(DR-TFT)에 공급되는 전원전압(ELVDD)을 교류파형(AC)으로 출력하며, 또한, 제1 문턱전압 센싱구간 이후, 제2 문턱전압 센싱구간을 더 포함하는 것을 특징으로 한다.
- [0092] 도 15a 내지 15d는 본 발명의 다른 형태의 실시예에 따른 3T1C 구조의 화소를 갖는 유기전계 발광표시장치의 구동을 설명하기 위한 도면이고, 도 16은 도 15a 내지 15d에 도시된 형태로의 구동시 인가되는 신호파형을 나타내는 도면이다.
- [0093] 도 16에서는 유기전계 발광표시장치의 화소 중, 임의의 두 화소의 구동특성을 나타내고 있으며, 이는 상기 기생 캐패시턴스에 의한 전압 손실을 보상할 때 이용하게 된다.
- [0094] 이하의 설명에서, 본 발명의 유기전계 발광표시장치는 초기화 구간(Initial)과, 제1 문턱전압 센싱구간(1st Vth sensing)과, 제2 문턱전압 센싱구간(2rd Vth sensing)과, 전자기동도 보정 및 라이팅 구간(μ compensation & Writing)과, 방출구간(emission)의 5 단계를 거쳐 구동하게 된다.
- [0095] 먼저, 도 15a 및 도 16를 함께 참조하면, 초기화 구간(Initial)에서는 1 수평기간동안 전원전압(ELVDD)을 로우레벨로 출력하고, 제1 스캔신호(Scan1)를 하이레벨로 출력하여 제1 스캔 박막트랜지스터를 턴-온하여 제1 노드(N1)을 초기화전압(Vini)으로 충전하고, 제2 노드(N2)를 로우레벨의 전원전압(ELVDD)으로 충전한다. 이때, 로우레벨의 전원전압(ELVDD)은 적어도 초기화전압(Vini)보다는 낮은 레벨이며 음(-)전압이다.
- [0096] 다음으로, 제1 문턱전압 센싱구간(1st Vth Sensing)으로서, 제1 및 제2 스캔신호(Scan1)는 각각 하이레벨 및 로우레벨을 유지함에 따라, 제1 노드(N1)은 초기화전압(Vini)을 유지하게 된다. 또한, 전원전압(ELVDD)을 하이레벨로 출력하여 구동 박막트랜지스터(DR-TFT)를 통해 전류를 흐르게 함으로서 문턱전압(Vth)을 센싱한다. 이에 따라, 제2 노드(N2)에는 $V_{ini}-V_{th} \times \alpha$ 의 전압이 인가되며, 캐패시터(C1)에는 두 노드(N1, N2)의 차인 $V_{th} \times \alpha$ 가 충전된다. 여기서, α 는 문턱전압(Vth) 센싱율을 의미하는 상수로서 α 값이 클수록 문턱전압(Vth) 센싱율이 낮음을 나타낸다.
- [0097] 이어서, 제2 문턱전압 센싱구간(2rd Vth Sensing)으로서, 도 15b 및 도 16을 참조하면, 제1 및 제3 스캔신호(Scan1, Scan2)를 로우레벨로 출력하여 제1 및 제2 스캔 박막트랜지스터(SC-TFT1, SC-TFT2)를 모두 턴-오프하게 하면, 제1 노드 및 제2 노드(N1, N2)가 플로팅(floating)상태가 되고, 각 노드(N1, N2)는 구동 박막트랜지스터(DR-TFT)의 게이트-소스간 전압에 따라, 서서히 실제 문턱전압(Vth)에 근접하게 전압레벨이 상승하게 된다. 즉 제1 및 제2 노드(N1, N2)의 전압은 각각 $V_{ini} + \Delta V_s$ 및 $V_{ini}-V_{th} \times \alpha + \Delta V_s$ 가 된다. 여기서, 전압 변화량(ΔV_s)은 α 에 비례하고, Vth 값에는 반비례 관계에 있다. 즉, Vth 값이 클수록 α 값이 작아지고, 보다 빠른 시간에 Vth값이 센싱되게 된다.
- [0098] 다음으로, 전자기동도 보정 및 데이터 라이팅 구간(μ compensation & Writing)에서는 도 15c 및 도 16를 참조하면, 제1 스캔신호(Scan1)를 로우레벨로 인가하고, 제2 스캔신호(Scan2)를 하이레벨로 인가함과 동시에 데이터 전압(Vdata)을 인가하여 제1 노드(N1)을 데이터 전압(Vdata)으로 충전하게 된다. 이에 따라, 구동 박막트랜지스터

터(DR-TFT)의 전자이동도(μ)의 특성에 대응하여 제2 노드(N2)가 서서히 충전되며, 결국 캐패시터(C1)에는 기 충전된 $V_{ini}-V_{th} \times \alpha + \Delta V_s$ 에 전자 이동도에 따른 전압변화량($\Delta V(\mu)$)이 더해지게 된다.

[0099] 여기서, 제1 노드(N1)의 전압변화에 따른 커플링(coupling)은 유기발광 다이오드(EL)의 캐패시턴스(Coled)에 비해 훨씬 작아 무시할 수 있다. 또한, 상기 $\Delta V(\mu)$ 는 구동 박막트랜지스터(DR-TFT)의 전자 이동도 센싱에 따른 N2노드(N2)의 전압변화량을 가리키는 것으로, μ 값이 클수록 $\Delta V(\mu)$ 는 커지므로, 게이트-소스간 전압(V_{gs})는 작아져 전류를 줄이는 방향으로 전자 이동도가 보상되며, μ 값이 클수록 $\Delta V(\mu)$ 는 커지므로 게이트-소스간 전압(V_{gs})이 상대적으로 커짐으로서 전자 이동도가 보상된다.

[0100] 이어서, 도 15d 및 도 16을 참조하면, 방출구간(Emission)에서는 제1 및 제2 스캔신호(Scan1, Scan2)를 모두 로우레벨로 인가하여 제1 및 제2 스캔 박막트랜지스터(SC-TFT1)를 턴-오프하고, 캐패시터(C1)에 저장된 $V_{gs}-V_{th}$ 에 대응하여 구동 박막트랜지스터(DR-TFT)가 전류(Ioled)를 유기발광 다이오드(EL)에 인가함으로써 발광하게 된다.

[0101] 한편, 캐패시터(C1)에 저장된 전압($V_{gs}-V_{th}$)는, 이하의 수학적 식 3에 대응한다.

수학적 식 3

$$V_{gs} - V_{th} = \{DTE \times [V_{data} - (V_{ini} - V_{th} \times \alpha + \Delta V_s + \Delta V(\mu))]\} - V_{th}$$

[0103] 상기 DTE는 제1 노드(N1)의 기생캐패시턴스 성분 에 의한 커플링에 따른 전압 손실을 가리키는 것으로, 문턱전압(V_{th}) 또한 그 영향을 받게 되며, 이에 대한 보상이 요구된다. 이를 위해, 임의의 두 화소에 대한 게이트-소스간 전압을 비교하여 상기 DTE의 보상을 위해 ΔV_s 을 조절한다.

[0104] 이러한 ΔV_s 조절은 제2 문턱전압 센싱구간(2rd V_{th} Sensing)의 시간을 짧게 혹은 길게 조절함으로써 이루어질 수 있다.

[0105] 도 16을 참조하면, 임의의 두 화소의 문턱전압을 각각 V_{th1} , V_{th2} 라 할 때, 1번 화소의 V_{gs1} 은 $DTE=[V_{data}-(V_{ini}-V_{th} \times \alpha + \Delta V_s + \Delta V(\mu))]$ 이고, 2번 화소의 V_{gs2} 은 $DTE=[V_{data}-(V_{ini}-V_{th} \times \alpha + \Delta V_s + \Delta V(\mu))]$ 가 된다.

[0106] 여기서, $V_{gs2}-V_{gs1}=\Delta V_{th}$ 를 만족하면 V_{th} 100% 보상되는 것을 의미하므로, 이하의 수학적 식 4를 참조하면,

수학적 식 4

$$\begin{aligned} V_{gs2} - V_{gs1} &= DTE \times [V_{th2} \times \alpha - V_{th1} \times \alpha - \Delta V_s2 + \Delta V_s1] \\ &= DTE \times [\Delta V_{th} \times \alpha - \Delta V_s2 + \Delta V_s1] \end{aligned}$$

[0108] 여기서, β 는 문턱전압 센싱율(V_{th} sesing ratio)를 가리키는 것이며, $V_{th2} > V_{th1}$ 일 때 $\alpha2 < \beta < 1$ 를 만족하고, 이에 따라 $\Delta V_s2 < \Delta V_s1$ 이 성립한다.

[0109] 즉, $\Delta V_{th} \times \beta - \Delta V_s2 + \Delta V_s1 = 1/DTE \times \Delta V_{th}$ 가 되도록 ΔV_s 를 조절하여 증폭 센싱하여 보상을 수행하게 된다.

[0110] 이에 따라, 1차 문턱전압 센싱구간에서 $\beta \times \Delta V_{th}$ 이 $0.9 \times \Delta V_{th}$ 정도이나, 2차 문턱전압 센싱구간을 통해 $1.1 \times \Delta V_{th}$ 정도로 문턱전압을 보상할 수 있다.

[0111] 도 17a 및 도 17b는 본 발명의 제1 및 제2 실시예에 따른 유기전계 발광표시장치의 문턱전압(V_{th}) 보상 특성을 비교한 도면이다.

[0112] 도 17a를 참조하면, 본 발명의 제1 실시예에 따른 유기전계 발광표시장치에서는 ΔV_{th} 의 센싱에 따른 보상에러율이 7.5 % 정도로 측정되었으나, 제2 실시예에 따른 3T1C 구조의 유기전계 발광표시장치에서는 ΔV_{th} 의 센싱에 따른 보상에러율이 1 % 미만으로 측정됨으로서, 보상 에러율이 크게 향상됨을 확인 할 수 있다. 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위

에 균등한 것에 의하여 정하여져야 한다.

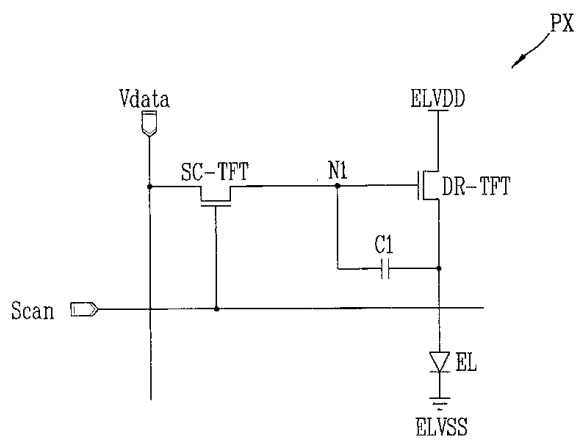
부호의 설명

[0113]

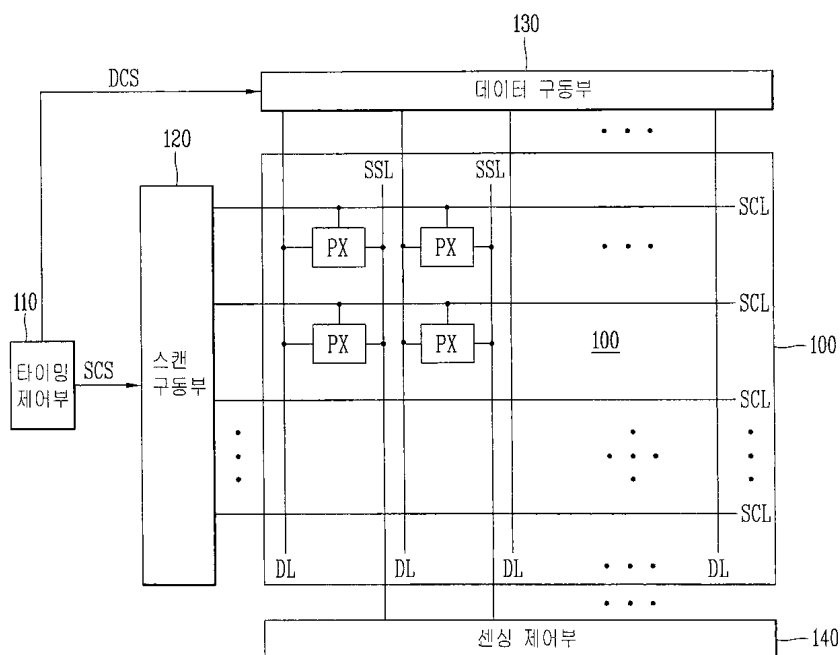
100 : 표시패널 110 : 타이밍 제어부
120 : 스캔구동부 130 : 데이터 구동부
140 : 센싱제어부 PX : 화소
SCL : 스캔배선 DL : 데이터배선
SSL : 싱크배선

도면

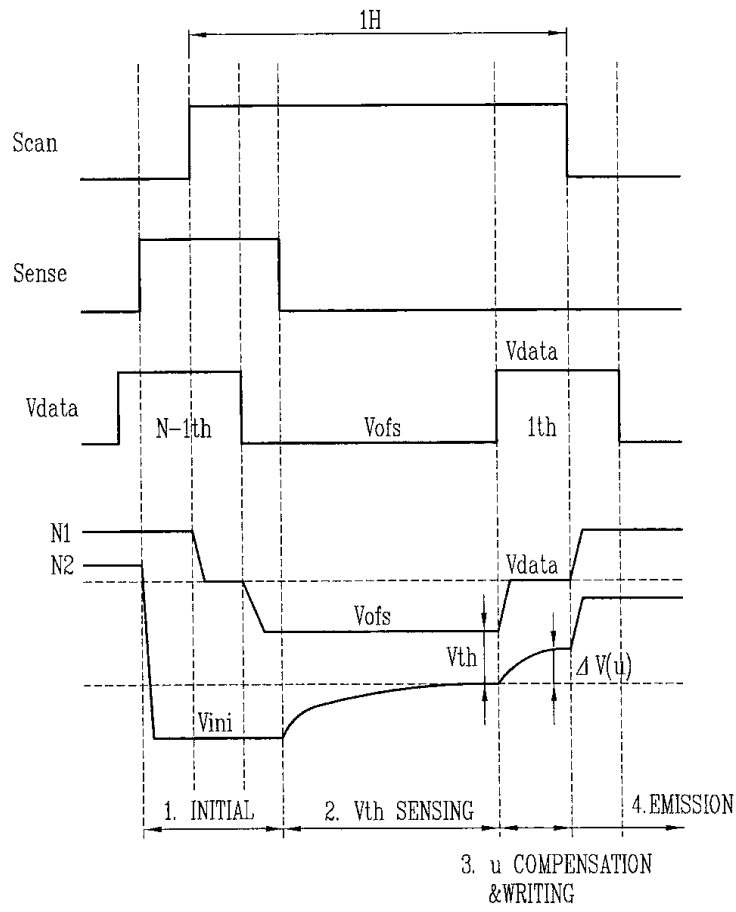
도면1



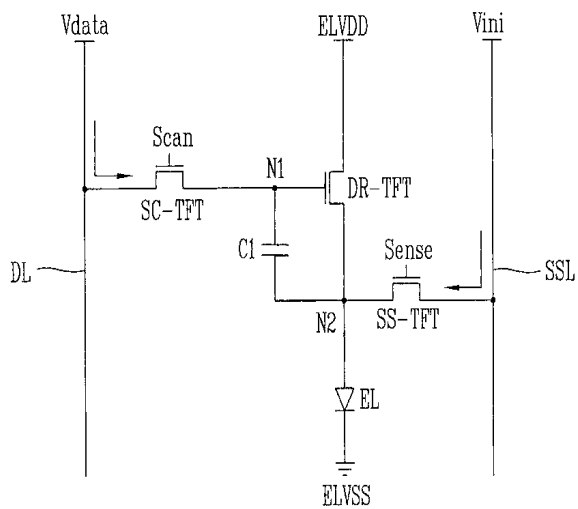
도면2



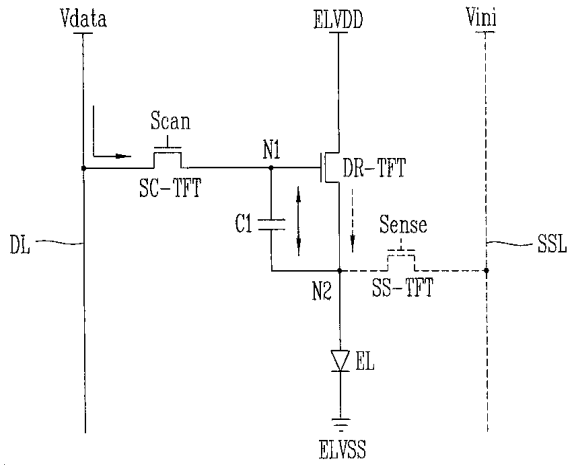
도면6



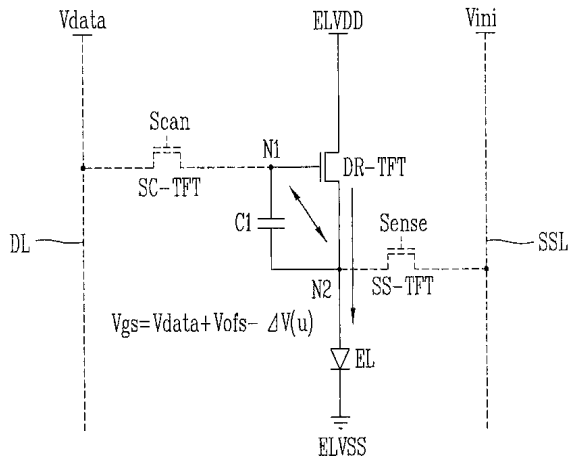
도면7a



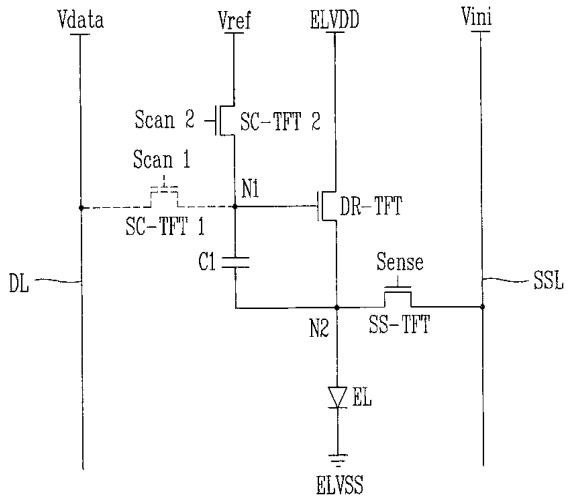
도면7b



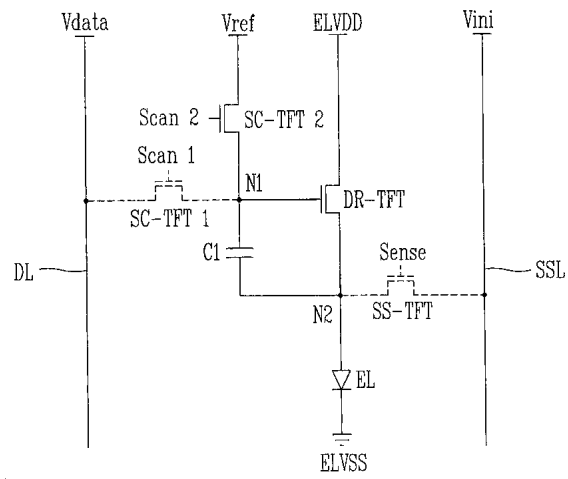
도면7c



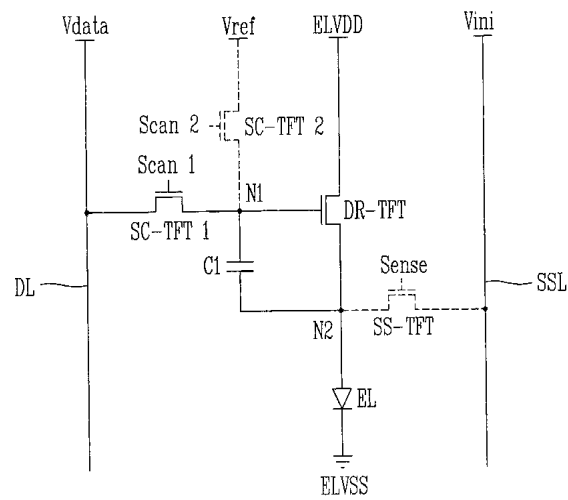
도면10a



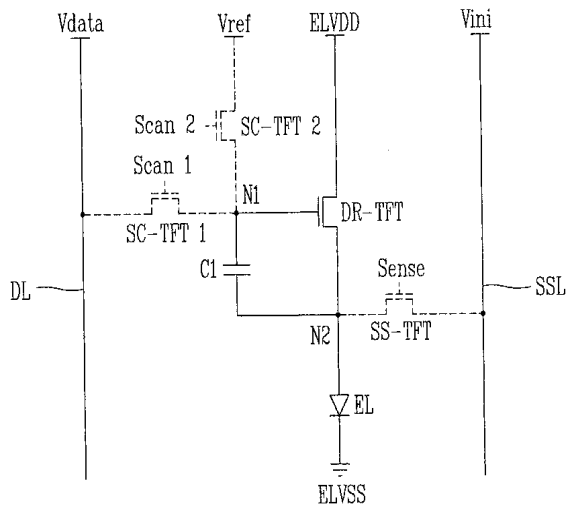
도면10b



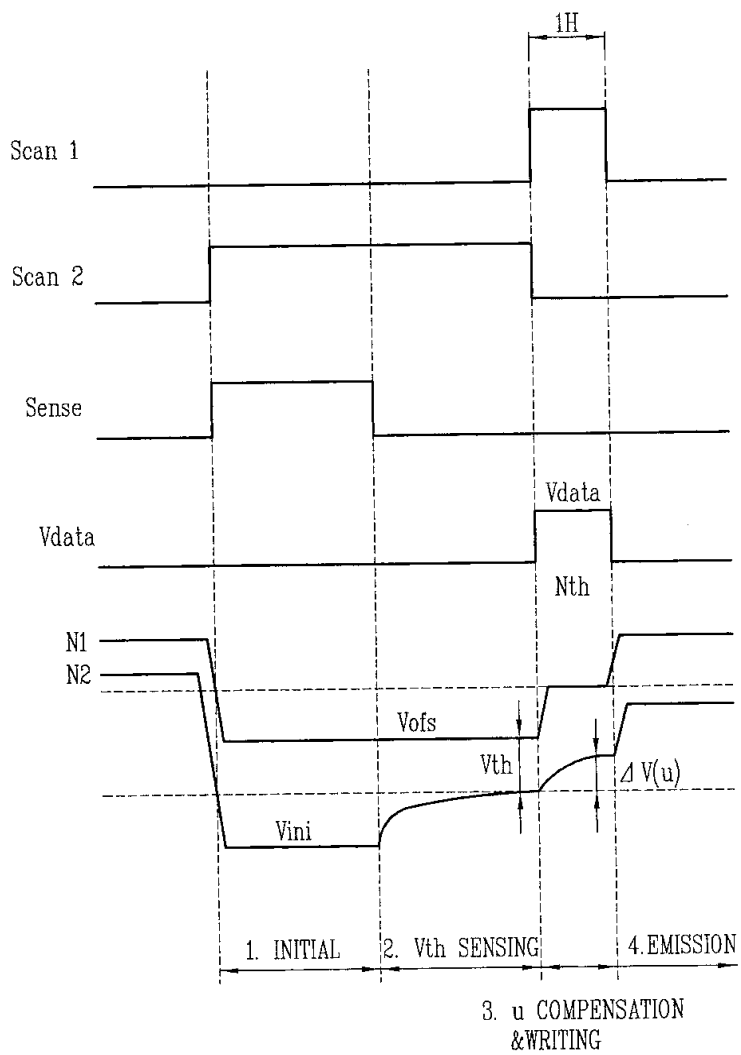
도면10c



도면10d



도면11



도면12

(a)

제품 출하전	제품 출하후
외부 보상 방식	내부 보상 방식
1. 문턱 전압 센싱 단계 2. 전자 이동도 센싱 단계 3. 결과값 저장 단계	1. 초기화 단계 2. 문턱 전압 센싱 단계 3. 전자 이동도 센싱 단계 4. 화상 표시 단계

(b)

전원 온/오프	구동중
외부 보상 방식	내부 보상 방식
1. 문턱 전압 센싱 단계 2. 전자 이동도 센싱 단계 3. 결과값 저장 단계	1. 초기화 단계 2. 문턱 전압 센싱 단계 3. 전자 이동도 센싱 단계 4. 화상 표시 단계

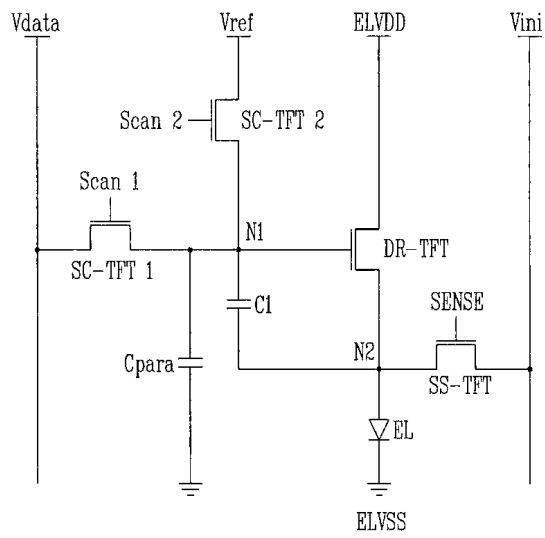
(c)

사용자 설정	
외부 보상 방식	내부 보상 방식
1. 문턱 전압 센싱 단계 2. 결과값 저장 단계	1. 초기화 단계 2. 전자 이동도 센싱 단계 3. 화상 표시 단계

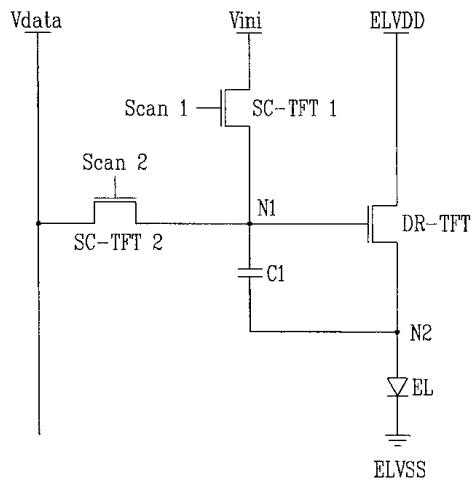
(d)

보상 주기 설정	
외부 보상 방식	내부 보상 방식
1. 문턱 전압 센싱 단계 2. 전자 이동도 센싱 단계 3. 결과값 저장 단계	1. 초기화 단계 2. 문턱 전압 센싱 단계 3. 전자 이동도 센싱 단계 4. 화상 표시 단계

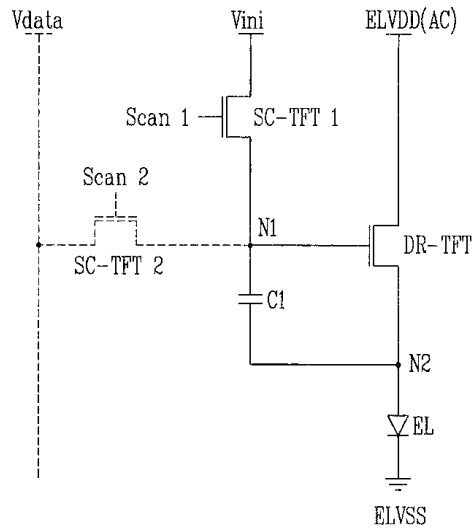
도면13



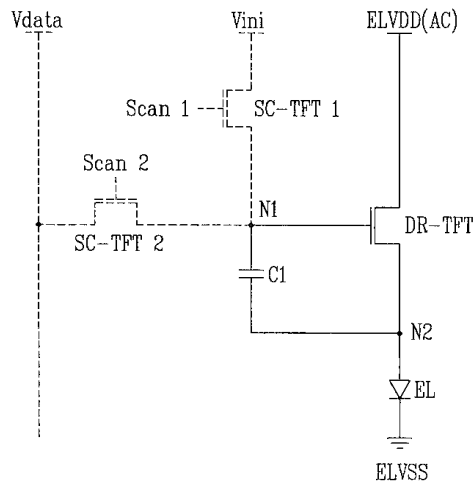
도면14



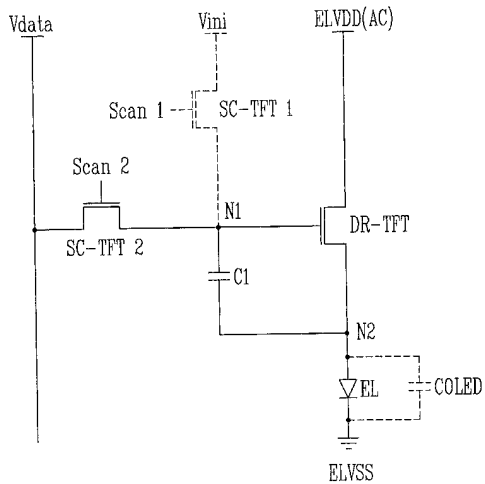
도면15a



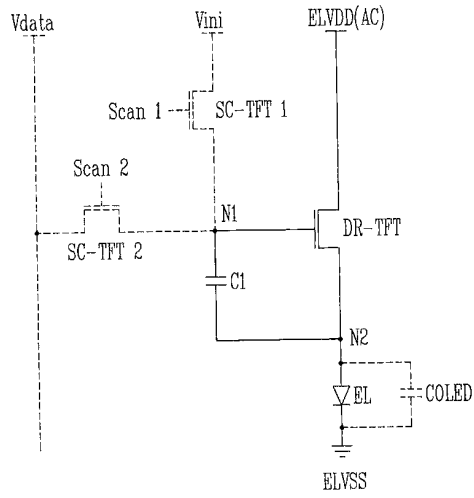
도면15b



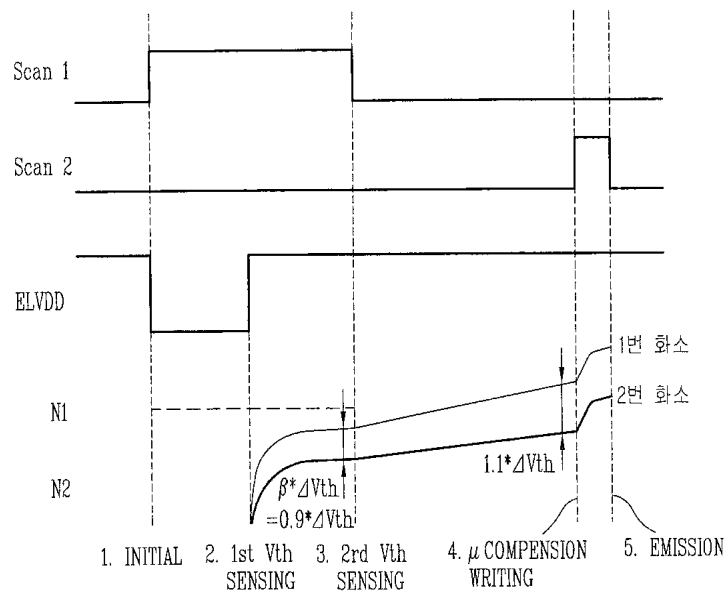
도면15c



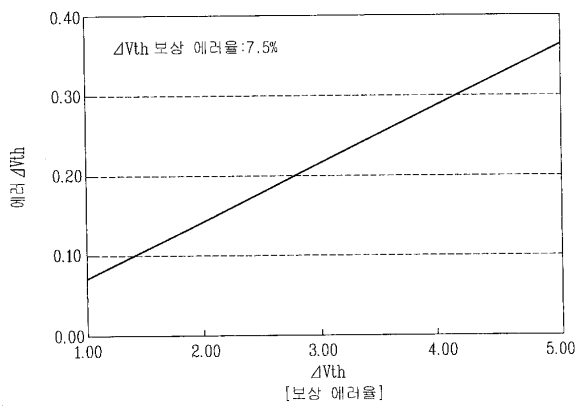
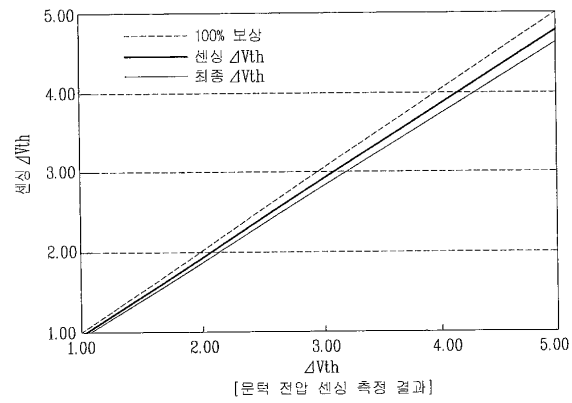
도면15d



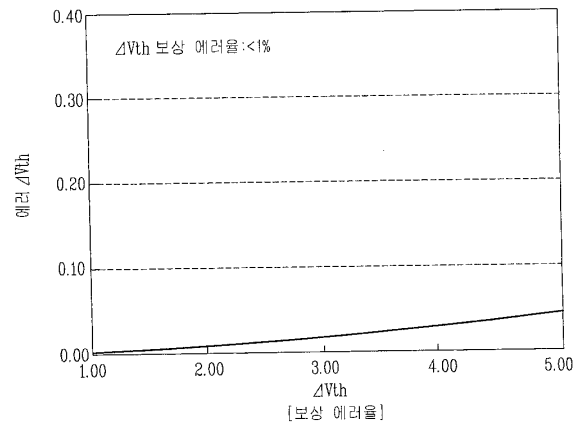
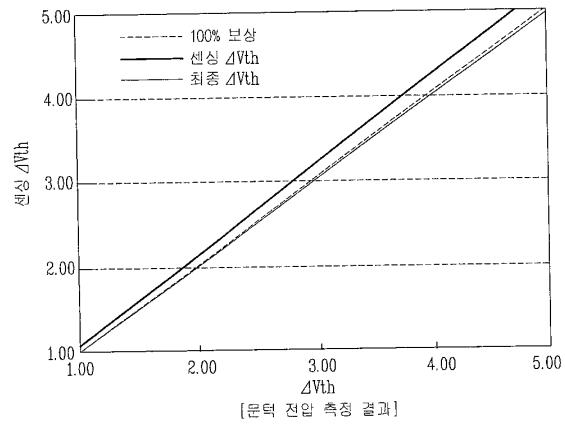
도면16



도면17a



도면17b



专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020150017287A	公开(公告)日	2015-02-16
申请号	KR1020130169323	申请日	2013-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN IN HYO 한인효 CHOI SOO HONG 최수홍 KIM BUM SIK 김범식 GANG BYEONG UK 강병욱 OH KIL HWAN 오길환 SHIN HUN KI 신헌기		
发明人	한인효 최수홍 김범식 강병욱 오길환 신헌기		
IPC分类号	G09G3/32		
代理人(译)	PARK , JANG WON		
优先权	1020130093295 2013-08-06 KR		
外部链接	Espacenet		

摘要(译)

有机电致发光显示装置及其驱动方法技术领域本发明涉及一种有机电致发光显示装置，更具体地，涉及一种包括补偿构成每个像素的驱动薄膜晶体管的阈值电压和电子迁移率的部件的有机电致发光显示装置及其驱动方法。有机电致发光显示装置包括：显示面板，在扫描线，数据线和感测线彼此相交的点上限定有多个像素；栅极驱动器和数据驱动器，其通过扫描线和数据线向每个像素提供扫描信号和数据电压；感测控制单元，感测像素的电特性；以及控制栅极驱动器，数据驱动器和感测控制单元的时序控制器。时序控制器控制像素和感测控制单元，使得像素本身和感测控制单元根据设定的补偿控制信号以组合的方式感测电特性。通过以两种方法驱动，其中之一是在卸载有机电致发光显示装置之前和之后应用的外部补偿方法，或者通过设置，另一种是应用于其他部分的内部补偿方法，本发明使得两种方法以相互补充，具有简单的像素结构，并且实现高开口率和高分辨率。

