



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0108023
(43) 공개일자 2014년09월05일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0022444
(22) 출원일자 2013년02월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
고무순
경기도 용인시 기흥구 삼성2로 95(농서동)
이일정
경기도 용인시 기흥구 삼성2로 95(농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 20 항

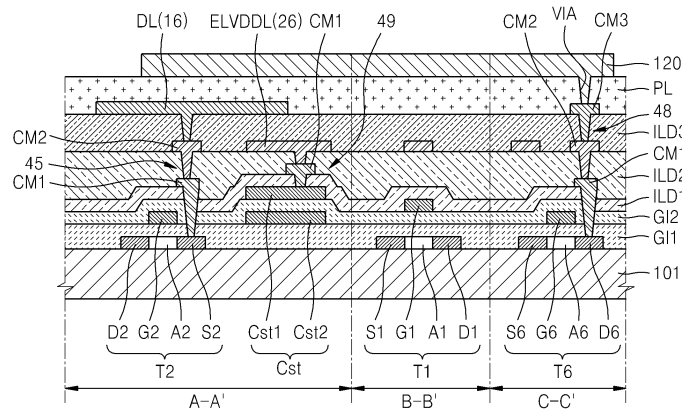
(54) 발명의 명칭 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

본 발명은 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

본 발명의 박막 트랜지스터 어레이 기판은, 복수의 화소를 포함하고, 각 화소는, 제1 전극 및 상기 제1 전극 상부의 제2 전극을 포함하는 커패시터; 상기 커패시터의 일부와 중첩하며 제1 방향으로 연장되고, 상기 화소에 데이터 신호를 공급하는 데이터선; 및 상기 커패시터와 상기 데이터선 사이에 배치되고, 상기 제1 방향으로 연장된 제1 라인과 상기 제1 방향과 수직인 제2 방향으로 연장된 제2 라인을 포함하고, 상기 화소에 구동 전압을 공급하는 구동 전압선;을 포함할 수 있다.

대표도 - 도5



(72) 발명자

임충열

경기도 용인시 기흥구 삼성2로 95(농서동)

권도현

경기도 용인시 기흥구 삼성2로 95(농서동)

윤주원

경기도 용인시 기흥구 삼성2로 95(농서동)

우민우

경기도 용인시 기흥구 삼성2로 95(농서동)

특허청구의 범위

청구항 1

복수의 화소를 포함하는 박막 트랜지스터 어레이 기판에 있어서, 각 화소는,

제1 전극 및 상기 제1 전극 상부의 제2 전극을 포함하는 커패시터;

상기 커패시터 상부에 상기 커패시터의 일부와 중첩하며 제1 방향으로 연장되고, 데이터 신호를 공급하는 데이터선; 및

상기 커패시터와 상기 데이터선 사이에 배치되고, 상기 제1 방향으로 연장된 제1 라인과 상기 제1 방향과 수직인 제2 방향으로 연장된 제2 라인을 포함하고, 구동 전압을 공급하는 구동 전압선;을 포함하는 박막 트랜지스터 어레이 기판.

청구항 2

제1항에 있어서,

상기 커패시터의 제2 전극은 상기 구동 전압선과 컨택홀을 통해 전기적으로 연결된 박막 트랜지스터 어레이 기판.

청구항 3

제1항에 있어서,

상기 구동 전압선은 메쉬 구조인 박막 트랜지스터 어레이 기판.

청구항 4

제1항에 있어서,

상기 구동 전압선의 제1 라인은 상기 제1 방향으로 인접한 화소들 간에 연결되고, 상기 구동 전압선의 제2 라인은 상기 제2 방향으로 인접한 화소들 간에 연결되는 박막 트랜지스터 어레이 기판.

청구항 5

제1항에 있어서,

상기 구동 전압선의 제2 라인은 상기 커패시터를 완전히 커버하는 면적을 갖는 박막 트랜지스터 어레이 기판.

청구항 6

제1항에 있어서,

상기 커패시터와 상기 구동 전압선 사이에 차례로 적층된 제1 층간 절연막 및 제2 층간 절연막; 및

상기 구동 전압선과 상기 데이터선 사이에 적층된 제3 층간 절연막;을 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 7

제1항에 있어서, 상기 화소는,

상기 구동 전압선 및 발광 소자 사이에 연결된 구동 박막 트랜지스터; 및

상기 데이터선 및 상기 구동 박막 트랜지스터 사이에 연결된 스위칭 박막 트랜지스터;를 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 8

제7항에 있어서, 상기 구동 박막 트랜지스터는,

반도체층;

상기 반도체층 상부에 상기 커패시터의 제2 전극과 동일층에 형성되고, 상기 커패시터의 제1 전극과 연결된 게이트 전극;

상기 구동 전압선과 연결된 소스 전극; 및

상기 발광 소자와 연결된 드레인 전극;을 포함하는 박막 트랜지스터 어레이 기관.

청구항 9

제7항에 있어서, 상기 스위칭 박막 트랜지스터는,

반도체층;

상기 반도체층 상부에 상기 커패시터의 제1 전극과 동일층에 형성되고, 상기 제2 방향으로 연장된 제1 주사선과 연결된 게이트 전극;

상기 데이터선과 연결된 소스 전극; 및

상기 구동 박막 트랜지스터와 연결된 드레인 전극;을 포함하는 박막 트랜지스터 어레이 기관.

청구항 10

제1항에 있어서, 상기 화소는,

상기 커패시터의 제1 전극과 동일층에 형성되고, 상기 제2 방향으로 연장된 제1 주사선, 제2 주사선 및 발광 제어선; 및

상기 커패시터의 제2 전극과 상기 구동 전압선 사이에 배치되고, 상기 제2 방향으로 연장된 초기화 전압선;을 더 포함하는 박막 트랜지스터 어레이 기관.

청구항 11

복수의 화소를 포함하는 유기 발광 표시 장치에 있어서, 각 화소는,

기관 상에 형성된 제1 박막 트랜지스터 및 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터의 게이트 전극과 동일층에 형성된 제1 전극 및 상기 제2 박막 트랜지스터의 게이트 전극과 동일층에 형성된 상기 제1 전극 상부의 제2 전극을 포함하는 커패시터;

상기 커패시터 상부에 상기 커패시터의 일부와 중첩하며 제1 방향으로 연장되고, 데이터 신호를 공급하는 데이터선; 및

상기 커패시터와 상기 데이터선 사이에 배치되고, 상기 제1 방향으로 연장된 제1 라인과 상기 제1 방향과 수직인 제2 방향으로 연장된 제2 라인을 포함하고, 구동 전압을 공급하는 구동 전압선;을 포함하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 커패시터의 제2 전극은 상기 구동 전압선과 컨택홀을 통해 전기적으로 연결된 유기 발광 표시 장치.

청구항 13

제11항에 있어서,

상기 구동 전압선은 메쉬 구조인 유기 발광 표시 장치.

청구항 14

제11항에 있어서,

상기 구동 전압선의 제1 라인은 상기 제1 방향으로 인접한 화소들 간에 연결되고, 상기 구동 전압선의 제2 라인

은 상기 제2 방향으로 인접한 화소들 간에 연결되는 유기 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 구동 전압선의 제2 라인은 상기 커패시터를 완전히 커버하는 면적을 갖는 유기 발광 표시 장치.

청구항 16

제11항에 있어서,

상기 커패시터와 상기 구동 전압선 사이에 차례로 적층된 제1 층간 절연막 및 제2 층간 절연막; 및
 상기 구동 전압선과 상기 데이터선 사이에 적층된 제3 층간 절연막;을 더 포함하는 유기 발광 표시 장치.

청구항 17

제11항에 있어서,

상기 제1 박막 트랜지스터는 상기 구동 전압선 및 발광 소자 사이에 연결되고, 상기 제2 박막 트랜지스터는 상기 데이터선 및 상기 제1 박막 트랜지스터 사이에 연결된 유기 발광 표시 장치.

청구항 18

제17항에 있어서, 상기 제1 박막 트랜지스터는,

반도체층;

상기 반도체층 상부에 상기 커패시터의 제2 전극과 동일층에 형성되고, 상기 커패시터의 제1 전극과 연결된 게이트 전극;

상기 구동 전압선과 연결된 소스 전극; 및

상기 발광 소자와 연결된 드레인 전극;을 포함하는 유기 발광 표시 장치.

청구항 19

제17항에 있어서, 상기 제2 박막 트랜지스터는,

반도체층;

상기 반도체층 상부에 상기 커패시터의 제1 전극과 동일층에 형성되고, 상기 제2 방향으로 연장된 제1 주사선과 연결된 게이트 전극;

상기 데이터선과 연결된 소스 전극; 및

상기 제1 박막 트랜지스터와 연결된 드레인 전극;을 포함하는 유기 발광 표시 장치.

청구항 20

제11항에 있어서, 상기 화소는,

상기 커패시터의 제1 전극과 동일층에 형성되고, 상기 제2 방향으로 연장된 제1 주사선, 제2 주사선 및 발광 제어선; 및

상기 커패시터의 제2 전극과 상기 구동 전압선 사이에 배치되고, 상기 제2 방향으로 연장된 초기화 전압선;을 더 포함하는 유기 발광 표시 장치.

명세서

기술분야

본 발명은 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.
- [0003] 일반적으로 유기 발광 표시 장치는 기판 상에 위치하며 일 방향으로 연장된 게이트 배선들, 게이트 배선들과 교차하는 방향으로 연장된 데이터 배선들, 게이트 배선들 및 데이터 배선들 각각에 연결된 화소 회로 및 화소 회로와 연결된 유기 발광 소자를 포함한다. 최근 고해상도의 디스플레이를 추구함에 따라 화소 회로를 배치할 공간이 협소해지고 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 데이터선과 커패시터와의 커플링(coupling) 발생에 의한 크로스 토크(Cross talk) 불량을 억제하면서 구동 전압선을 메쉬 구조로 설계할 수 있는 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시를 제공하고자 한다.

과제의 해결 수단

- [0005] 본 발명의 바람직한 일 실시예에 따른 박막 트랜지스터 어레이 기판은, 복수의 화소를 포함하고, 각 화소는, 제 1 전극 및 상기 제 1 전극 상부의 제 2 전극을 포함하는 커패시터; 상기 커패시터의 일부와 중첩하며 제 1 방향으로 연장되고, 상기 화소에 데이터 신호를 공급하는 데이터선; 및 상기 커패시터와 상기 데이터선 사이에 배치되고, 상기 제 1 방향으로 연장된 제 1 라인과 상기 제 1 방향과 수직인 제 2 방향으로 연장된 제 2 라인을 포함하고, 상기 화소에 구동 전압을 공급하는 구동 전압선;을 포함할 수 있다.
- [0006] 상기 커패시터의 제 2 전극은 상기 구동 전압선과 컨택홀을 통해 전기적으로 연결될 수 있다.
- [0007] 상기 구동 전압선은 메쉬 구조로서, 상기 구동 전압선의 제 1 라인은 상기 제 1 방향으로 인접한 화소들 간에 연결되고, 상기 구동 전압선의 제 2 라인은 상기 제 2 방향으로 인접한 화소들 간에 연결될 수 있다.
- [0008] 상기 구동 전압선의 제 2 라인은 상기 커패시터를 완전히 커버하는 면적을 가질 수 있다.
- [0009] 상기 박막 트랜지스터 어레이 기판은, 상기 커패시터와 상기 구동 전압선 사이에 차례로 적층된 제 1 층간 절연막 및 제 2 층간 절연막; 및 상기 구동 전압선과 상기 데이터선 사이에 적층된 제 3 층간 절연막;을 더 포함할 수 있다.
- [0010] 상기 화소는, 상기 구동 전압선 및 발광 소자 사이에 연결된 구동 박막 트랜지스터; 및 상기 데이터선 및 상기 구동 박막 트랜지스터 사이에 연결된 스위칭 박막 트랜지스터;를 더 포함할 수 있다.
- [0011] 상기 구동 박막 트랜지스터는, 반도체층; 상기 반도체층 상부에 상기 커패시터의 제 2 전극과 동일층에 형성되고, 상기 커패시터의 제 1 전극과 연결된 게이트 전극; 상기 구동 전압선과 연결된 소스 전극; 및 상기 발광 소자와 연결된 드레인 전극;을 포함할 수 있다.
- [0012] 상기 스위칭 박막 트랜지스터는, 반도체층; 상기 반도체층 상부에 상기 커패시터의 제 1 전극과 동일층에 형성되고, 상기 제 2 방향으로 연장된 제 1 주사선과 연결된 게이트 전극; 상기 데이터선과 연결된 소스 전극; 및 상기 구동 박막 트랜지스터와 연결된 드레인 전극;을 포함할 수 있다.
- [0013] 상기 화소는, 상기 커패시터의 제 1 전극과 동일층에 형성되고, 상기 제 2 방향으로 연장된 제 1 주사선, 제 2 주사선 및 발광 제어선; 및 상기 커패시터의 제 2 전극과 상기 구동 전압선 사이에 배치되고, 상기 제 2 방향으로 연장된 초기화 전압선;을 더 포함할 수 있다.
- [0014] 본 발명의 바람직한 일 실시예에 따른 복수의 화소를 포함하는 유기 발광 표시 장치에 있어서, 각 화소는, 기판 상에 형성된 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터; 상기 제 1 박막 트랜지스터의 게이트 전극과 동일층에 형성된 제 1 전극 및 상기 제 2 박막 트랜지스터의 게이트 전극과 동일층에 형성된 상기 제 1 전극 상부의 제 2 전극을 포함하는 커패시터; 상기 커패시터의 일부와 중첩하며 제 1 방향으로 연장되고, 상기 화소에 데이터 신호를 공급하는 데이터선; 및 상기 커패시터와 상기 데이터선 사이에 배치되고, 상기 제 1 방향으로 연장된 제 1 라

인과 상기 제1 방향과 수직인 제2 방향으로 연장된 제2 라인을 포함하고, 상기 화소에 구동 전압을 공급하는 구동 전압선;을 포함할 수 있다.

[0015] 상기 제1 박막 트랜지스터는 상기 구동 전압선 및 발광 소자 사이에 연결되고, 상기 제2 박막 트랜지스터는 상기 데이터선 및 상기 제1 박막 트랜지스터 사이에 연결될 수 있다.

[0016] 상기 제1 박막 트랜지스터는, 반도체층; 상기 반도체층 상부에 상기 커패시터의 제2 전극과 동일층에 형성되고, 상기 커패시터의 제1 전극과 연결된 게이트 전극; 상기 구동 전압선과 연결된 소스 전극; 및 상기 발광 소자와 연결된 드레인 전극;을 포함할 수 있다.

[0017] 상기 제2 박막 트랜지스터는, 반도체층; 상기 반도체층 상부에 상기 커패시터의 제1 전극과 동일층에 형성되고, 상기 제2 방향으로 연장된 제1 주사선과 연결된 게이트 전극; 상기 데이터선과 연결된 소스 전극; 및 상기 제1 박막 트랜지스터와 연결된 드레인 전극;을 포함할 수 있다.

발명의 효과

[0018] 본 발명은 데이터선과 구동 전압선을 적층 배선으로 형성함으로써 데이터선 과 중첩하며 커패시터를 배치할 수 있어, 데이터선과 커패시터와의 커플링 발생을 억제하고, 커패시터의 용량을 확보할 수 있다.

[0019] 본 발명은 데이터선과 구동 전압선을 적층 배선으로 형성함으로써 구동 전압선을 메쉬 구조로 설계할 수 있어 구동 전압 강하를 방지하여 크로스 토크를 방지할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 도 2의 화소를 나타낸 개략적인 평면도이다.
- 도 4는 도 3에 도시된 각 신호선을 나타낸 단면도이다.
- 도 5는 도 4의 A-A' 선, B-B' 선, C-C' 선을 따라 자른 단면도이다.
- 도 6은 도 5의 비교예를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0022] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0023] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0024] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0025] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0026] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.

[0027] 본 발명의 일 실시예에 의한 표시 장치(100)는 복수의 화소를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 및 제어부(50)를 포함한다.

- [0028] 표시부(10)는 복수의 주사선(SL1 내지 SLn), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소(1)를 포함한다. 복수의 주사선(SL1 내지 SLn) 및 복수의 발광 제어선(EL1 내지 ELn)은 행 방향인 제2 방향으로 연장되고, 복수의 데이터선(DL1 내지 DLm)은 열 방향인 제1 방향으로 연장되어 있다. 구동 전압선(ELVDDL)은 제1 방향으로 연장된 수직 라인(VL)과 제2 방향으로 연장된 수평 라인(HL)으로 구성되어 메쉬(mesh) 구조를 가진다. 하나의 화소 라인에서 복수의 주사선(SL1 내지 SLn)의 n 값은 복수의 발광 제어선(EL1 내지 ELn)의 n 값과 상이할 수 있다.
- [0029] 각 화소(1)는 표시부(10)에 전달되는 복수의 주사선(SL1 내지 SLn) 중 두 개의 주사선에 연결되어 있다. 주사 구동부(20)는 복수의 주사선(SL1 내지 SLn)을 통해 각 화소에 두 개의 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 제1 주사선(SL2~SLn) 또는 제2 주사선(SL1~SLn-1)으로 주사 신호를 순차적으로 공급한다. 도 1에서 화소(1)는 해당 화소 라인에 두 개의 주사선이 연결되어 있으나, 본 발명은 반드시 이에 제한되는 것은 아니며, 본 발명의 다른 실시예에서 화소(1)는 대응하는 화소 라인의 주사선과 그 이전 화소 라인의 주사선에 연결될 수 있다.
- [0030] 본 발명의 실시예에서는 초기화 전압선(IL)이 주사 구동부(20)에 연결되어 주사 구동부(20)로부터 초기화 전압을 인가받으나, 본 발명의 다른 실시예에서는 초기화 전압선(IL)이 외부의 전원 공급원으로부터 초기화 전압을 인가받을 수 있다.
- [0031] 또한 각 화소(1)는 표시부(10)에 전달되는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 표시부(10)에 전달되는 복수의 발광 제어선(EL1 내지 ELn) 중 하나의 발광 제어선에 연결되어 있다.
- [0032] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소에 데이터 신호를 전달한다. 데이터 신호는 제1 주사선(SL2~SLn)으로 주사 신호가 공급될 때마다 주사 신호에 의해 선택된 화소(1)로 공급된다.
- [0033] 발광 제어 구동부(40)는 복수의 발광 제어선(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호를 생성하여 전달한다. 발광 제어 신호는 화소(1)의 발광 시간을 제어한다. 발광 제어 구동부(40)는 화소(1)의 내부 구조에 따라 생략될 수도 있다.
- [0034] 제어부(50)는 외부에서 전달되는 복수의 영상 신호(R, G, B)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(50)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 및 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS)를 각각 생성하여 전달한다.
- [0035] 복수의 화소(1) 각각은 외부의 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 상기 제1 전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다. 제1 전원전압(ELVDD)은 구동 전압선(ELVDDL)을 통해 각 화소(1)로 공급된다.
- [0036] 복수의 화소(1) 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 발광한다.
- [0037] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- [0038] 본 발명의 일 실시예에 따른 표시 장치(100)의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T6) 및 스토리지 캐패시터(storage capacitor, Cst)를 포함하는 화소 회로(2)를 포함한다. 그리고 화소(1)는 화소 회로(2)를 통해 구동 전류를 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.
- [0039] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)를 포함한다.
- [0040] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1 주사 신호(Sn)를 전달하는 제1 주사선(24), 초기화 박막 트랜지스터(T4)에 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(14), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(34), 제1 주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(16), 제1 전원전압(ELVDD)을 전달하는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(20)을 포함한다.
- [0041] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 제1전극(Cst1)과 연결되어 있다. 구

동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.

- [0042] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선(24)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(16)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(24)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0043] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사선(24)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1 주사선(24)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0044] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선(14)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(20)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(14)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0045] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(34)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0046] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(34)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(34)을 통해 전달받은 발광 제어 신호(EMn)에 따라 동시에 턴 온되어 제1 전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.
- [0047] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(26)과 연결되어 있다. 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0048] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.
- [0049] 도 3은 본 발명의 일 실시예에 따른 도 2의 화소를 나타낸 개략적인 평면도이다. 도 4는 도 3에 도시된 각 신호선을 나타낸 단면도이다. 도 3에서는 인접하는 두 개의 화소(1)를 도시한다.
- [0050] 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 표시 장치의 화소(1)는 제1 주사 신호(Sn), 제2 주사 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(VINT)을 각각 인가하며 제2 방향을 따라 형성되어 있는 제1 주사선(24), 제2 주사선(14), 발광 제어선(34) 및 초기화 전압선(20)을 포함하고, 제1 주사선(24), 제2 주사선(14), 발광 제어선(34) 및 초기화 전압선(20) 모두와 교차하며 제1 방향을 따라 형성되고 있으며 화소에 데이터 신호(Dm)를 인가하는 데이터선(16)을 포함한다. 그리고, 화소(1)는 제1 전원전압(ELVDD)을 인가하는 구동 전압선

(26)을 포함한다.

- [0051] 구동 전압선(26)은 데이터선(16)과 거의 평행하게 제1 방향을 따라 형성된 수직 라인(VL)과 데이터선(16)과 수직하게 제2 방향을 따라 형성된 수평 라인(HL)을 포함한다. 구동 전압선(26)의 수직 라인(VL)은 제1 방향으로 인접하는 화소들의 수직 라인(VL)과 연결되고, 수평 라인(HL)은 데이터선(16)을 가로지르며 제2 방향으로 인접하는 화소들의 수평 라인(HL)과 연결되어, 전체적으로 메쉬(mesh) 구조를 갖는다. 구동 전압선(26)은 스토리지 커패시터(Cst)와 데이터선(16) 사이의 층에 배치되어 차폐용 금속 실드(metal shield)로서 기능한다. 또한 구동 전압선(26)의 수평 라인(HL)은 스토리지 커패시터(Cst)를 완전히 커버하는 면적을 가짐으로써 스토리지 커패시터(Cst)의 전부와 중첩한다.
- [0052] 도 4를 참조하면, 제1 주사선(24), 제2 주사선(14)과 발광 제어선(34)은 기판(101) 상부의 제1 게이트 절연막(GI1) 상부에 형성되고, 제1 게이트 배선(GL1)에 포함된다. 초기화 전압선(20)은 제1 게이트 절연막(GI1) 상부의 제2 게이트 절연막(GI2)과 제1 층간 절연막(ILD1) 상부에 형성되고, 제2 게이트 배선(GL2)에 포함된다. 게이트 배선들인 제1 게이트 배선들(GL1) 및 제2 게이트 배선들(GL2) 각각이 제2 게이트 절연막(GI2)과 제1 층간 절연막(ILD1)을 사이에 두고 서로 다른 층에 위치함으로써, 서로 다른 층에 위치하는 이웃하는 게이트 배선들 간의 거리를 좁게 형성할 수 있기 때문에, 동일한 면적에 보다 많은 화소(1)를 형성할 수 있다. 즉, 고해상도의 표시 장치(100)를 형성할 수 있다.
- [0053] 게이트 배선들인 제1 게이트 배선들(GL1) 및 제2 게이트 배선들(GL2) 상부에는 제2 층간 절연막(ILD2)이 적층된다.
- [0054] 구동 전압선(26)은 제2 층간 절연막(ILD2) 상부에 위치하고, 데이터선(16)은 구동 전압선(26)의 일부와 중첩하며 제2 층간 절연막(ILD2) 상부의 제3 층간 절연막(ILD3) 상부에 위치한다. 데이터선(16) 상부에는 보호막(PL)이 적층된다.
- [0055] 다시 도 3을 참조하면, 화소(1)에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5), 제2 발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst)가 형성되어 있다. 도 3에서는 유기 발광 소자(OLED)는 생략되어 있다.
- [0056] 구동 박막 트랜지스터(T1)는 구동 반도체층(A1), 구동 게이트 전극(G1), 구동 소스 전극(S1) 및 구동 드레인 전극(D1)을 포함한다. 구동 소스 전극(S1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 소스 영역에 해당하고, 구동 드레인 전극(D1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 드레인 영역에 해당한다. 구동 게이트 전극(G1)은 컨택홀(41 내지 44)을 통해 연결 부재(40)에 의해 스토리지 커패시터의 제1전극(Cst), 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 및 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(D4)과 연결된다. 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1) 상부에는 구동 전압선(26)의 수직 라인(VL)에서 돌출된 돌출부가 배치되어 있다.
- [0057] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(A2), 스위칭 게이트 전극(G2), 스위칭 소스 전극(S2) 및 스위칭 드레인 전극(D2)을 포함한다. 스위칭 소스 전극(S2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 소스 영역에 해당하고, 스위칭 드레인 전극(D2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 드레인 영역(D2)에 해당한다. 스위칭 소스 전극(S2)은 컨택홀(45)을 통해 데이터선(16)과 연결된다. 스위칭 드레인 전극(D2)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다. 스위칭 게이트 전극(G2)은 제1 주사선(24)의 일부로 형성된다.
- [0058] 보상 박막 트랜지스터(T3)는 보상 반도체층(A3), 보상 게이트 전극(G3), 보상 소스 전극(S3) 및 보상 드레인 전극(D3)을 포함한다. 보상 소스 전극(S3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(D3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 드레인 영역에 해당한다. 보상 게이트 전극(G3)은 제1 주사선(24)의 일부와 제1 주사선(24)으로부터 돌출되어 연장된 배선의 일부에 의해 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.
- [0059] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(A4), 초기화 게이트 전극(G4), 초기화 소스 전극(S4) 및 초기화 드레인 전극(D4)을 포함한다. 초기화 소스 전극(S4)은 초기화 반도체층(A4)에서 불순물이 도핑된 초기화 소스 영역에 해당하고, 초기화 드레인 전극(D4)은 초기화 반도체층(A4)에서 불순물이 도핑된 초기화 드레인 영역(D4)에 해당한다. 초기화 소스 전극(S4)은 컨택홀(46)을 통해 초기화 전압선(20)과 연결될 수 있다. 초기화 게이트 전극(G4)은 제2 주사선(14)의 일부로 형성된다.
- [0060] 제1 발광 제어 박막 트랜지스터(T5)는 제1 발광 제어 반도체층(A5), 제1 발광 제어 게이트 전극(G5), 제1 발광

제어 소스 전극(S5) 및 제1 발광 제어 드레인 전극(D5)을 포함한다. 제1 발광 제어 소스 전극(S5)은 제1 발광 제어 반도체층(A5)에서 불순물이 도핑된 제1 발광 제어 소스 영역에 해당하고, 제1 발광 제어 드레인 전극(D5)은 제1 발광 제어 반도체층(A5)에서 불순물이 도핑된 제1 발광 제어 드레인 영역에 해당한다. 제1 발광 제어 소스 전극(S5)은 컨택홀(47)을 통해 구동 전압선(20)과 연결될 수 있다. 제1 발광 제어 게이트 전극(G5)은 발광 제어선(34)의 일부로 형성된다.

- [0061] 제2 발광 제어 박막 트랜지스터(T6)는 제2 발광 제어 반도체층(A6), 제2 발광 제어 게이트 전극(G6), 제2 발광 제어 소스 전극(S6) 및 제2 발광 제어 드레인 전극(D6)을 포함한다. 제2 발광 제어 소스 전극(S6)은 제2 발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 소스 영역에 해당하고, 제2 발광 제어 드레인 전극(D6)은 제2 발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 드레인 영역에 해당한다. 제2 발광 제어 드레인 전극(D6)은 컨택홀(48)과 연결된 컨택 금속(CM)과 컨택 금속(CM)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 애노드 전극과 연결된다. 제2 발광 제어 게이트 전극(G6)은 발광 제어선(34)의 일부로 형성된다.
- [0062] 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 연결 부재(40)에 의해 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(D4), 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 함께 연결되어 있다.
- [0063] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 컨택홀(49)에 형성된 컨택 금속(CM)에 의해 구동 전압선(26)과 연결되어, 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.
- [0064] 도 5는 도 4의 A-A'선, B-B'선, C-C'선을 따라 자른 단면도이다. 도 5에서는 복수의 박막 트랜지스터 중 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 제2 발광 제어 박막 트랜지스터(T6), 및 스토리지 커패시터(Cst)를 도시하고 있다.
- [0065] 도 5를 참조하면, 기관(101) 상부에 구동 박막 트랜지스터(T1)의 구동 반도체층(A1), 스위칭 박막 트랜지스터(T2)의 스위칭 반도체층(A2), 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 반도체층(A6)이 형성된다. 반도체층(A1, A2, 및 A6)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 도시되지 않았으나, 보상 박막 트랜지스터(T3)의 보상 반도체층(A3), 초기화 박막 트랜지스터(T4)의 초기화 반도체층(A4), 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 반도체층(A5) 또한 구동 반도체층(A1), 스위칭 반도체층(A2), 및 제2 발광 제어 반도체층(A6)과 동시에 형성될 수 있다.
- [0066] 도시되지 않았으나, 기관(101)과 반도체층 사이에는 버퍼층을 더 형성할 수 있다. 버퍼층은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블로킹층으로 역할한다.
- [0067] 반도체층(A1 내지 A6) 상부에 제1 게이트 절연막(GI1)이 기관(101) 전면에 적층된다. 제1 게이트 절연막(GI1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0068] 제1 게이트 절연막(GI1) 상부에 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 게이트 전극(G6)이 형성된다. 또한 스토리지 커패시터(Cst)의 제1 전극(Cst1)이 형성된다. 도시되지 않았으나, 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3), 초기화 박막 트랜지스터(T4)의 초기화 게이트 전극(G4), 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 게이트 전극(G5)이 스위칭 게이트 전극(G2) 및 제2 발광 제어 게이트 전극(G6)과 동시에 동일층에 형성된다. 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 초기화 게이트 전극(G4), 제1 발광 제어 게이트 전극(G5), 제2 발광 제어 게이트 전극(G6) 및 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 제1 게이트 배선(GL1) 물질로 형성되며, 이하에서는 제1 게이트 전극이라 한다. 제1 게이트 배선(GL1) 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 주사선(24), 제2 주사선(14)과 발광 제어선(34) 또한 제1 게이트 배선(GL1) 물질로 제1 게이트 전극들과 동시에 동일층에 형성될 수 있다.
- [0069] 제1 게이트 전극들 상부에 제2 게이트 절연막(GI2)이 기관(101) 전면에 적층된다. 제2 게이트 절연막(GI2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수

도 있다.

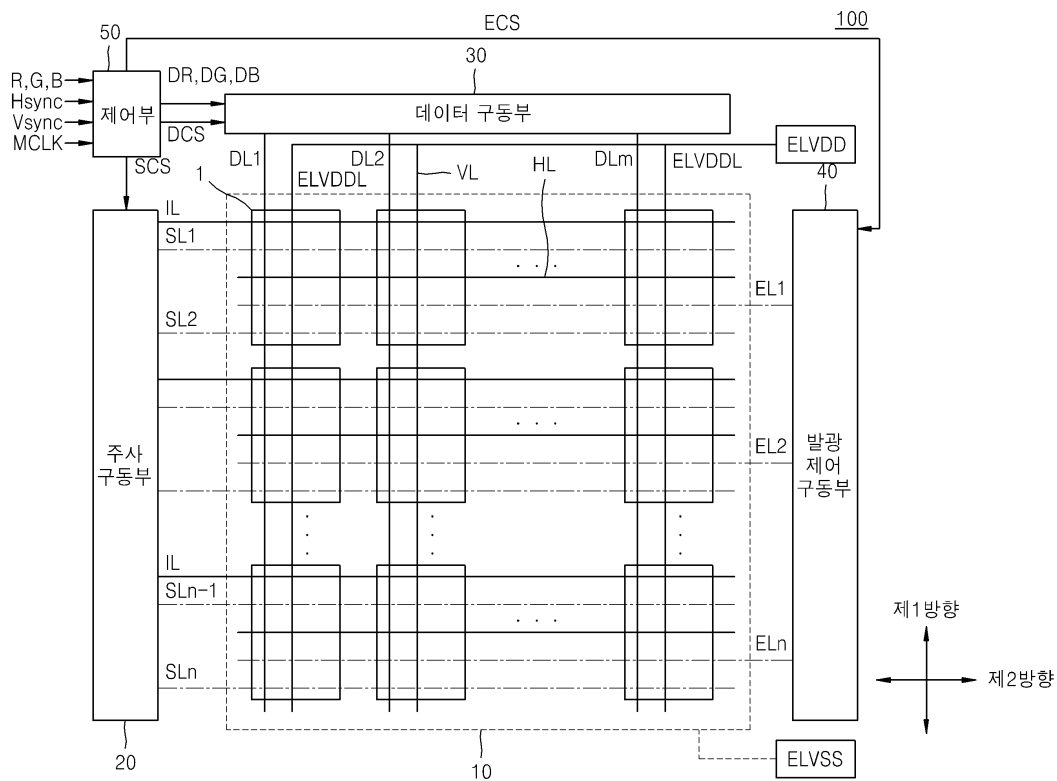
- [0070] 제2 게이트 절연막(GI2) 상부에 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)이 형성된다. 또한, 스토리지 커패시터(Cst)의 제2 전극(Cst2)이 형성된다. 구동 게이트 전극(G1), 및 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 제2 게이트 배선(GL2) 물질로 형성되며, 이하에서는 제2 게이트 전극이라 한다. 제2 게이트 배선(GL2) 물질 또한 제1 게이트 배선(GL1) 물질과 유사하게 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.
- [0071] 제2 게이트 전극들 상부에 제1 층간 절연막(ILD1)이 기판(101) 전면에 적층된다. 제1 층간 절연막(ILD1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0072] 제1 층간 절연막(ILD1) 상부에는 제1 컨택 금속(CM1)이 컨택홀(45, 48, 49)에 각각 형성되어 스토리지 커패시터(Cst)의 제2 전극(Cst2), 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(D6)과 각각 연결된다. 제1 컨택 금속(CM1)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 컨택 금속(CM1)은 다층의 금속층을 포함할 수 있는데, 본 실시예에서는 알루미늄(Al)을 중심으로 상하부에 타이타늄(Ti)이 형성된 3층 구조(Ti/Al/Ti)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제1 컨택 금속(CM1)을 형성할 수 있다. 이때 초기화 전압선(20)이 제1 컨택 금속(CM1)으로 제1 층간 절연막(ILD1) 상부에 형성될 수 있다.
- [0073] 제1 컨택 금속(CM1) 상부에는 제2 층간 절연막(ILD2)이 기판(101) 전면에 적층된다. 제2 층간 절연막(ILD2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0074] 제2 층간 절연막(ILD2) 상부에는 구동 전압선(26)이 형성되며, 제1 컨택 금속(CM1)에 의해 제2 전극(Cst2)과 연결된다. 또한 제2 층간 절연막(ILD2) 상부에는 제2 컨택 금속(CM2)이 컨택홀(45, 48)에 각각 형성되어 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(D6)과 각각 연결된다. 구동 전압선(26)과 제2 컨택 금속(CM2)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제2 컨택 금속(CM2)은 다층의 금속층을 포함할 수 있는데, 본 실시예에서는 알루미늄(Al)을 중심으로 상하부에 타이타늄(Ti)이 형성된 3층 구조(Ti/Al/Ti)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제2 컨택 금속(CM2)을 형성할 수 있다.
- [0075] 구동 전압선(26) 및 제2 컨택 금속(CM2) 상부에는 제3 층간 절연막(ILD3)이 기판(101) 전면에 적층된다. 제3 층간 절연막(ILD3)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0076] 제3 층간 절연막(ILD3) 상부에는 데이터선(16)이 형성된다. 데이터선(16)은 컨택홀(45)의 제1 컨택 금속(CM1) 및 제2 컨택 금속(CM2)에 의해 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2)과 연결된다. 스토리지 커패시터(Cst)의 일부는 데이터선(16)과 중첩하며, 중첩하는 데이터선(16)과 스토리지 커패시터(Cst) 사이에 구동 전압선(26)이 위치한다. 또한 제3 층간 절연막(ILD3) 상부에는 제3 컨택 금속(CM3)이 컨택홀(48)에 형성되어 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(D6)과 연결된다. 데이터선(16)과 제3 컨택 금속(CM3)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제3 컨택 금속(CM3)은 다층의 금속층을 포함할 수 있는데, 본 실시예에서는 알루미늄(Al)을 중심으로 상하부에 타이타늄(Ti)이 형성된 3층 구조(Ti/Al/Ti)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제3 컨택 금속(CM3)을 형성할 수 있다.
- [0077] 데이터선(16) 및 제3 컨택 금속(CM3) 상부에는 평탄화막(PL)이 형성된다. 평탄화막(PL)은 복수의 박막 트랜지스터가 구비된 기판(101)의 표면을 평탄화하기 위한 것으로, 단일 층 또는 복수 층의 절연막으로 형성될 수 있다. 평탄화막(PL)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선

택되는 하나 이상의 물질을 사용할 수 있다.

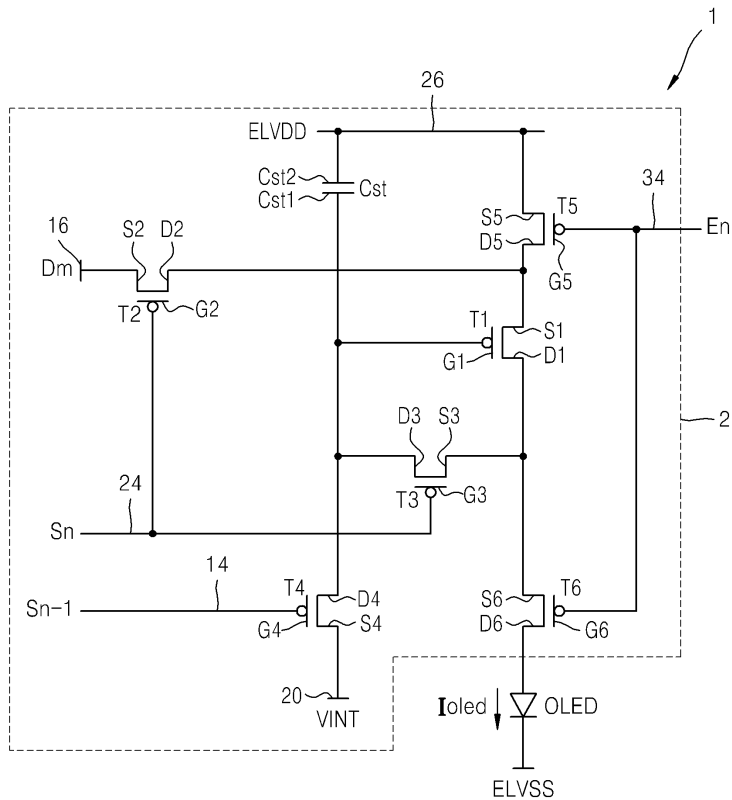
- [0078] 평탄화막(PL) 상부에는 애노드 전극(120)이 형성된다. 애노드 전극(120)은 비아홀(VIA)을 통해 콘택홀(48)에 형성된 제3 콘택 금속(CM3)과 연결되어, 제2 발광 제어 드레인 전극(D6)과 연결된다.
- [0079] 한편, 도 5에서는 박막 트랜지스터의 소스 전극 및 드레인 전극 중 타 배선과 연결되지 않는 소스 전극 및 드레인 전극은 반도체층 각각과 동일한 층으로 형성되고 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 본 발명의 다른 실시예에 따른 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 반도체층 각각과 다른 층으로 형성되고, 콘택홀에 의해 반도체층의 소스 영역 및 드레인 영역과 연결될 수 있다.
- [0080] 도 6은 도 5의 비교예를 개략적으로 도시한 단면도이다.
- [0081] 도 6의 비교예는, 도 5에 도시된 본 발명의 실시예와 비교하여 데이터선(16")과 구동 전압선(26")이 동일층에 형성되어 있고, 스토리지 커패시터(Cst)는 구동 전압선(26")과 중첩하나, 데이터선(16")과는 중첩하지 않는 점이 상이하다. 따라서, 도 5의 실시예와 중복하는 구성의 상세한 설명은 생략하겠다.
- [0082] 도 6의 비교예와 같이, 데이터선(16")과 스토리지 커패시터(Cst)가 중첩하게 되면 데이터선(16")과 스토리지 커패시터(Cst) 간에 커플링(coupling)이 발생하여 크로스 토크(cross talk) 불량이 발생한다. 따라서, 스토리지 커패시터(Cst)를 데이터선(16")과 중첩하지 않게 형성한다. 그러나, 스토리지 커패시터(Cst)를 데이터선(16")과 중첩하지 않게 형성하게 되면 스토리지 커패시터(Cst)의 용량 확보가 어렵다. 또한 데이터선(16")과 구동 전압선(26")이 동일층에 형성됨으로 인해 배선 간의 공간(space) 확보에 취약하며, 구동 전압선(26")을 수평 라인으로 형성할 수 없어 메쉬 구조 구현이 어려워, 제1 전원전압(ELVDD)의 전압 강하에 의한 크로스 토크(cross talk) 불량이 발생할 수 있다.
- [0083] 반면, 본 발명의 실시예는 도 5에 도시된 바와 같이, 데이터선(16)과 구동 전압선(26)을 다른 층에 분리하여 형성하면서, 구동 전압선(26)을 데이터선(16)과 스토리지 커패시터(Cst)의 사이에 위치시킨다. 이에 따라, 구동 전압선(26)은 행 방향(제1 방향)으로 이웃하는 화소 간에 연결될 수 있기 때문에 메쉬 구조로 구현할 수 있다. 이에 따라 메쉬 구조의 구동 전압선(26)에 의해 제1 전원전압(ELVDD)의 전압 강하를 방지할 수 있다. 또한, 구동 전압선(26)의 수평 라인(HL)은 스토리지 커패시터(Cst)를 완전히 커버하는 면적을 가짐으로써 스토리지 커패시터(Cst)를 데이터선(16)에 대해 차폐시킬 수 있어, 데이터선(16)과 스토리지 커패시터(Cst) 사이의 커플링을 억제하면서 스토리지 커패시터(Cst)의 용량을 확보할 수 있다.
- [0084] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

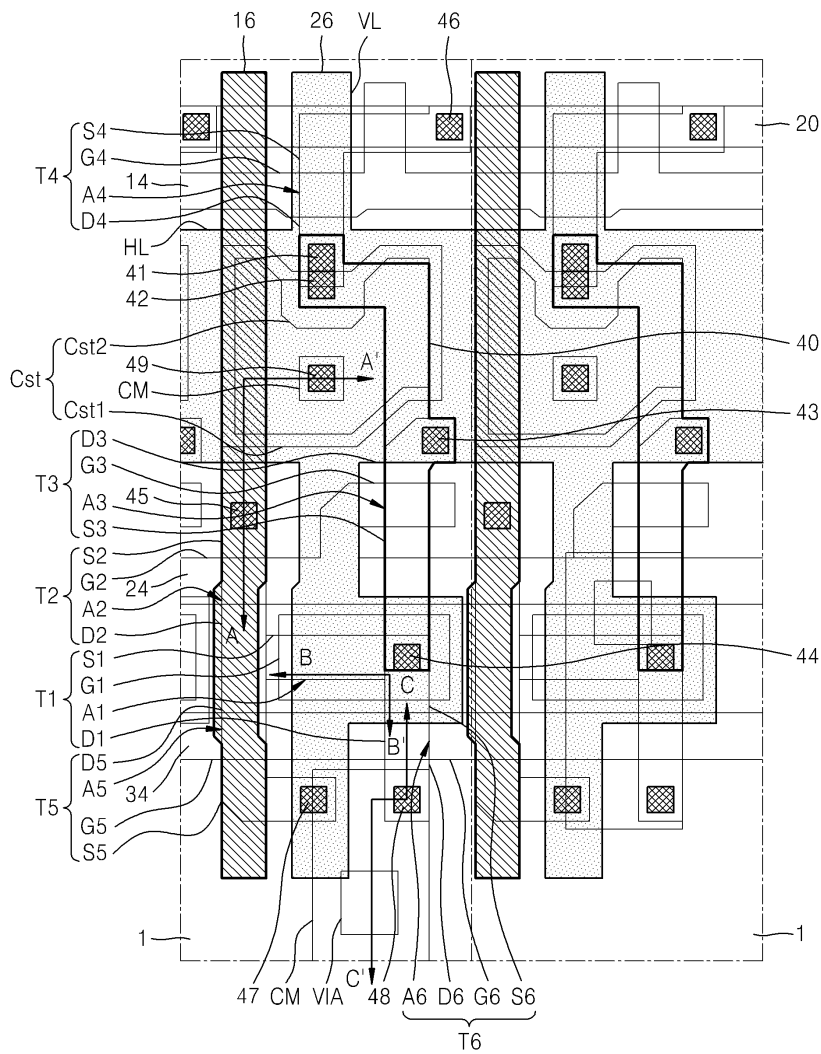
도면1



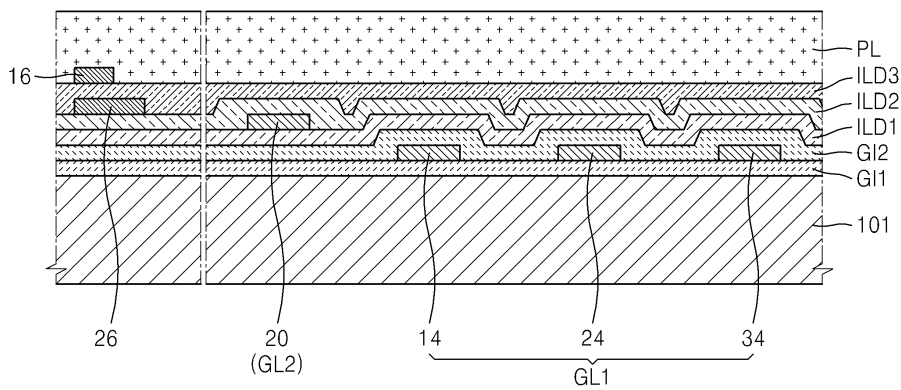
도면2



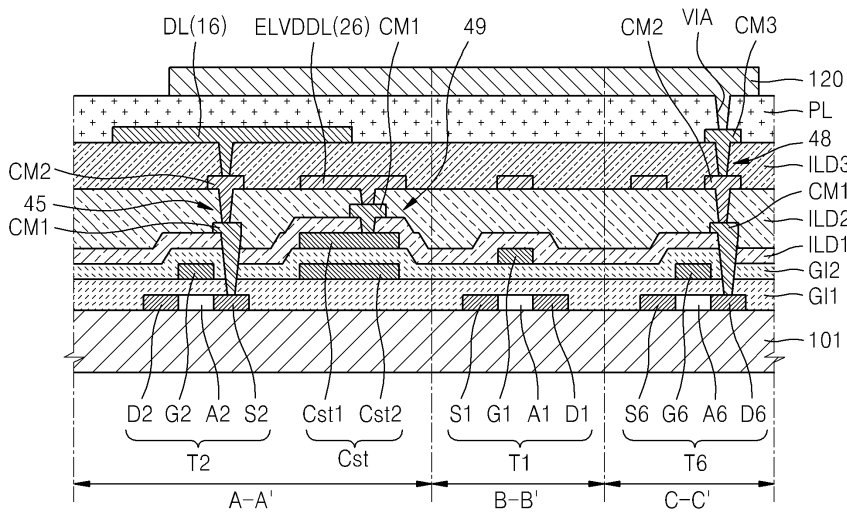
도면3



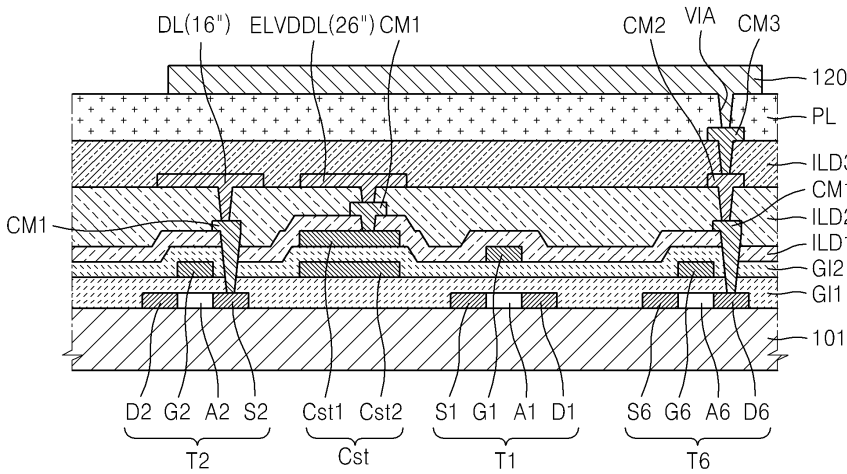
도면4



도면5



도면6



专利名称(译)	薄膜晶体管阵列基板和包括其的有机发光显示装置		
公开(公告)号	KR1020140108023A	公开(公告)日	2014-09-05
申请号	KR1020130022444	申请日	2013-02-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KO MOO SOON 고무순 LEE IL JUNG 이일정 IM CHOONG YOUL 임충열 KWON DO HYUN 권도현 YOON JU WON 윤주원 WOO MIN WOO 우민우		
发明人	고무순 이일정 임충열 권도현 윤주원 우민우		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L27/1255 H01L27/124 H01L27/3276 H01L27/3265		
其他公开文献	KR102018284B1		
外部链接	Espacenet		

摘要(译)

薄膜晶体管阵列基板和包括该薄膜晶体管阵列基板的有机发光显示装置技术领域本发明的薄膜晶体管阵列基板包括多个像素，每个像素包括：电容器，包括在第一电极上的第一电极和第二电极；数据线；与电容器的一部分重叠并沿第一方向延伸并向像素提供数据信号；并且第一线设置在电容器和数据线之间，第一线沿第一方向延伸，第二线沿垂直于第一方向的第二方向延伸，以向像素提供驱动电压。它可以包括驱动电压线。

