



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0084603
(43) 공개일자 2014년07월07일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0154243
(22) 출원일자 2012년12월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신동채
경기 과천시 문산읍 당동1로 11, 605동 602호 (자연엔꿈에그린6단지아파트)
(74) 대리인
특허법인네이트

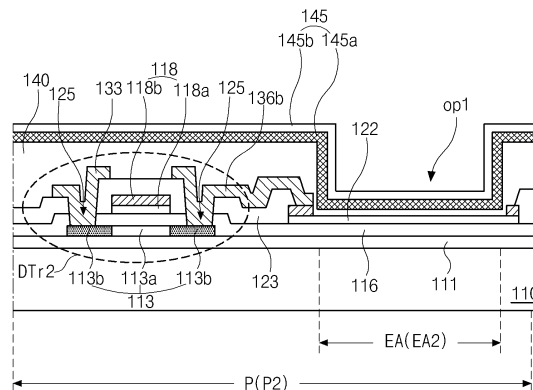
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 양 방향 표시형 유기전계 발광소자 및 이의 제조 방법

(57) 요약

본 발명은, 다수의 제 1 화소영역과 제 2 화소영역이 정의된 기판과; 상기 각 제 1 및 제 2 화소영역 내의 각 소자영역에 구비되는 구동 및 스위칭 박막트랜지스터와; 상기 구동 및 스위칭 박막트랜지스터 위로 형성된 보호층과; 상기 구동 박막트랜지스터의 드레인 전극과 연결되며 상기 제 1 및 제 2 화소영역 내의 각 발광영역에 각각 구비되는 유기전계 발광 다이오드를 포함하며, 상기 제 1 화소영역에는 상기 유기전계 발광다이오드가 상기 보호층 상에 배치되어 상부 발광하며, 상기 제 2 화소영역에는 상기 유기전계 발광다이오드가 상기 보호층에 구비된 제 1 개구를 통해 게이트 절연막 상에 형성되며 하부 발광하는 것이 특징인 양면 표시형 유기전계 발광소자 및 이의 제조 방법을 제공한다.

대표도 - 도6k



특허청구의 범위

청구항 1

다수의 제 1 화소영역과 제 2 화소영역이 정의된 기판과;

상기 각 제 1 및 제 2 화소영역 내의 각 소자영역에 구비되는 구동 및 스위칭 박막트랜지스터와;

상기 구동 및 스위칭 박막트랜지스터 위로 형성된 보호층과;

상기 구동 박막트랜지스터의 드레인 전극과 연결되며 상기 제 1 및 제 2 화소영역 내의 각 발광영역에 각각 구비되는 유기전계 발광 다이오드

를 포함하며, 상기 제 1 화소영역에는 상기 유기전계 발광다이오드가 상기 보호층 상에 배치되어 상부 발광하며, 상기 제 2 화소영역에는 상기 유기전계 발광다이오드가 상기 보호층에 구비된 제 1 개구를 통해 게이트 절연막 상에 형성되며 하부 발광하는 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 2

제 1 항에 있어서,

상기 유기전계 발광 다이오드는 제 1 전극과 유기 발광층과 제 2 전극으로 구성되며,

상기 제 1 화소영역에 구비되는 상기 제 1 전극은 금속물질로 이루어진 하부층과 투명 도전성 물질로 이루어진 상부층의 이중층 구조를 이루며,

상기 제 2 화소영역에 구비되는 상기 제 1 전극은 투명 도전성 물질의 단일층 구조로 이루어진 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 3

제 1 항에 있어서,

상기 보호층은 상기 제 1 화소영역에 있어서 상기 구동 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀이 구비되며, 상기 드레인 전극과 제 1 전극은 상기 드레인 콘택홀을 통해 서로 접촉하는 것이 특징이며,

상기 제 2 화소영역에 있어서 상기 구동 박막트랜지스터의 드레인 전극은 그 일끝단이 상기 발광영역까지 연장하여 상기 게이트 절연막 상에 형성된 제 1 전극과 접촉하는 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 화소영역의 각 소자영역에 구비 구동 및 스위칭 막막트랜지스터는 각각, 폴리실리콘의 반도체층과 상기 게이트 절연막과 게이트 전극과 층간절연막과 서로 이격하는 소스 및 드레인 전극의 적층 구조를 이루는 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 5

제 4 항에 있어서,

상기 폴리실리콘의 반도체층은 상기 게이트 전극에 대응하여 액티브영역과 이의 양측으로 불순물이 도핑된 옴릭 영역으로 구성되며,

상기 층간절연막은 상기 각 오믹영역을 노출시키는 반도체층 콘택홀과, 상기 제 2 화소영역의 발광영역에 대응하여 상기 제 1 개구와 더불어 상기 제 1 전극을 노출시키는 제 2 개구가 구비되며,

상기 각 소스 및 드레인 전극은 상기 반도체층 콘택홀을 통해 상기 각 반도체층의 오믹영역과 접촉하는 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 6

제 4 항에 있어서,

상기 각 게이트 전극은 투명 도전성 물질의 하부층과, 저저항 금속물질의 상부층의 이중층 구조를 이루는 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 7

제 6 항에 있어서,

상기 제 1 및 제 2 화소영역에는 각각 스토리지 영역이 더욱 정의되며, 상기 스토리지 영역에는 상기 반도체층이 형성된 동일한 층에 상기 오믹영역을 이루는 불순물이 도핑된 폴리실리콘으로 이루어진 제 1 스토리지 전극이 구비되며, 상기 층간절연막 위로 상기 게이트 전극의 하부층을 이루는 동일한 물질로 상기 제 1 스토리지 전극에 대응하여 단일층 구조의 제 2 스토리지 전극이 구비됨으로서 서로 중첩하는 상기 제 1 스토리지 전극 및 제 2 스토리지 전극과 이들 두 전극 사이에 개재된 상기 게이트 절연막은 스토리지 커패시터를 이루는 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 8

제 7 항에 있어서,

상기 게이트 절연막 위로 상기 스위칭 박막트랜지스터의 게이트 전극과 연결되며 일방향으로 연장하는 게이트 배선과;

상기 층간절연막 위로 상기 게이트 배선과 교차하며, 상기 스위칭 박막트랜지스터의 소스 전극과 연결된 데이터 배선과, 상기 구동 박막트랜지스터와 연결되며 상기 데이터 배선과 이격하는 전원배선

을 포함하는 양면 표시형 유기전계 발광소자.

청구항 9

제 8 항에 있어서,

상기 제 1 및 제 2 화소영역의 경계에 상기 각 제 1 전극의 가장자리와 중첩하며 뱅크가 형성된 것이 특징인 양면 표시형 유기전계 발광소자.

청구항 10

다수의 제 1 화소영역과 제 2 화소영역이 정의된 기판 상의 각 제 1 및 제 2 화소영역 내에 정의된 소자영역에 각각 폴리실리콘의 반도체층을 형성하는 단계와;

상기 폴리실리콘의 반도체층 위로 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 각 소자영역에 투명 도전성 물질로 이루어진 하부층과 금속물질로 이루어진 상부층의 이중층 구조를 갖는 게이트 전극과 상기 제 2 화소영역에 대응하여 상기 게이트 전극과 동일한 이중층 구조의 애노드 패턴을 형성하는 단계와;

상기 게이트 전극을 도핑 방지 마스크로 하여 불순물의 도핑을 진행함으로써 상기 반도체층에 오믹영역을 형성하는 단계와;

상기 게이트 전극 위로 상기 각 반도체층의 오믹영역을 노출시키는 반도체층 콘택홀과 상기 제 2 화소영역의 애노드 패턴에 대응하여 제 1 개구를 갖는 층간절연막을 형성하는 단계와;

상기 층간절연막 위로 상기 각 반도체층 콘택홀을 통해 상기 오믹영역과 각각 접촉하며 서로 이격하는 소스 전극 및 드레인 전극을 형성함으로써 각 소자영역에 스위칭 및 구동 박막트랜지스터를 형성하는 동시에 상기 제 2 화소영역에 형성되는 구동 박막트랜지스터의 드레인 전극은 그 일끝단을 연장하여 상기 애노드 패턴의 일끝단과 접촉하도록 하며, 상기 애노드 패턴의 상부층을 제거하여 제 1 애노드 전극을 형성하는 단계와;

상기 스위칭 및 구동 박막트랜지스터 위로 제 1 두께를 가지며 상기 제 1 화소영역에 구비되는 구동 박막트랜지스터의 드레인 전극을 노출하는 드레인 콘택홀을 가지며, 상기 애노드 패턴에 대응하여 상기 제 1 두께보다 얇은 제 2 두께를 갖는 것을 특징으로 하는 보호층을 형성하는 단계와;

상기 보호층 위로 제 1 화소영역에 금속물질의 하부층과 투명 도전성 물질의 상부층의 이중층 구조를 갖는 제 2 애노드 전극을 형성하는 단계와;

상기 제 2 두께를 갖는 보호층을 제거하여 상기 제 1 애노드 전극을 노출시키는 단계와;

상기 제 1 및 제 2 애노드 전극에 대응하여 유기 발광층을 형성하는 단계와;

상기 유기 발광층 위로 캐소드 전극을 형성하는 단계

를 포함하는 양면 표시형 유기전계 발광소자의 제조방법.

청구항 11

제 10 항에 있어서,

상기 반도체층을 형성하는 단계는 각 제 1 및 제 2 화소영역내의 스토리지 영역에 상기 반도체층과 동일한 물질로 이루어진 제 1 스토리지 전극을 형성하는 단계를 포함하고,

상기 각 반도체층 내에 오믹영역을 형성하는 단계는 상기 제 1 스토리지 전극에 불순물을 도핑하는 단계를 포함하며,

상기 게이트 전극을 형성하는 단계는 상기 게이트 절연막 위로 상기 제 1 스토리지 영역에 대응하여 상기 게이트 전극의 하부층을 이루는 동일한 물질로 이루어진 단일층의 제 2 스토리지 전극을 형성하는 단계를 포함하는 양면 표시형 유기전계 발광소자의 제조방법.

청구항 12

제 11 항에 있어서,

상기 이중층 구조의 게이트 전극 및 애노드 패턴과 상기 단일층 구조의 제 2 스토리지 전극을 형성하는 단계는, 상기 게이트 절연막 위로 투명 도전성 물질층과 금속층을 순차 적층 형성하는 단계와;

상기 저저항 금속층 위로 제 1 두께의 제 1 포토레지스트 패턴과 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트 패턴을 외측으로 노출된 상기 금속층 이의 하부에 위치한 상기 투명 도전성 물질층을 제거하여 이중층 구조의 상기 게이트 전극과 애노드 패턴 및 이중층 구조를 갖는 스토리지 패턴을 형성하는 단계와;

애싱을 진행하여 상기 제 2 포토레지스트 패턴을 제거함으로써 상기 스토리지 패턴을 노출시키는 단계와;

식각을 진행하여 상기 스토리지 패턴의 상부층을 제거함으로써 투명 도전성 물질의 단일층 구조를 상기 제 1 스토리지 전극을 형성하는 단계와;

스트립을 진행하여 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함하는 양면 표시형 유기전계 발광소자의 제조방법.

청구항 13

제 10 항에 있어서,

상기 게이트 전극을 형성하는 단계는 상기 스위칭 박막트랜지스터의 게이트 전극과 연결되며 일 방향으로 연장하는 게이트 배선을 형성하는 단계를 포함하며,

상기 소스 및 드레인 전극을 형성하는 단계는 상기 게이트 배선과 교차하며 상기 스위칭 박막트랜지스터의 소스 전극과 연결된 데이터 배선과, 상기 데이터 배선과 이격하여 전원배선을 형성하는 단계를 포함하는 양면 표시형 유기전계 발광소자의 제조방법.

청구항 14

제 10 항에 있어서,

상기 반도체층을 형성하기 이전에 상기 기판 상에 버퍼층을 형성하는 단계와;

상기 제 1 및 제 2 애노드 전극의 가장자리와 중첩하며 상기 제 1 및 제 2 화소영역의 경계에 बैं크를 형성하는 단계

를 포함하는 양면 표시형 유기전계 발광소자의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기전계 발광소자(Organic electro luminescent device)에 관한 것이며, 특히 동일한 수준의 표시 품질을 갖는 양면 발광 유기전계 발광소자에 관한 것이다.

배경기술

[0002] 평판 디스플레이(FPD ; Flat Panel Display)중 하나인 유기전계 발광소자는 높은 휘도와 낮은 동작 전압 특성을 갖는다. 또한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하다.

[0003] 또한 상기 유기전계 발광소자의 제조공정은 증착(Deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에 제조 공정이 매우 단순하다.

[0004] 이러한 특성을 갖는 유기전계 발광소자는 크게 패시브 매트릭스 타입과 액티브 매트릭스 타입으로 나뉘어지는데, 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.

[0005] 그러나, 액티브 매트릭스 방식에서는, 화소영역을 온(on)/오프(off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor: TFT)가 각 화소영역별로 위치하고, 이러한 스위칭 박막트랜지스터와 연결되며 구동 박막트랜지스터가 전원배선 및 유기전계 발광 다이오드와 연결되며 각 화소영역별로 형성되고 있다.

[0006] 이때, 상기 구동 박막트랜지스터와 연결된 제 1 전극은 화소영역 단위로 온(on)/오프(off)되고, 상기 제 1 전극과 대향하는 제 2 전극은 공통전극의 역할을 함으로서 이들 두 전극 사이에 개재된 유기 발광층과 더불어 상기 유기전계 발광 다이오드를 이룬다.

- [0007] 이러한 구성적 특징을 갖는 액티브 매트릭스 방식에서는 화소영역에 인가된 전압이 스토리지 커패시터(StgC)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다. 따라서, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가지므로 최근에는 액티브 매트릭스 타입의 유기전계 발광소자가 주로 이용되고 있다.
- [0008] 한편, 도 1은 종래의 일반적인 유기전계 발광소자의 표시영역 일부에 대한 개략적인 단면도이다.
- [0009] 도시한 바와 같이, 종래의 유기전계 발광소자(1)는 제 1, 2 기관(10, 70)이 서로 대향되게 배치되어 있다.
- [0010] 상기 제 1 기관(10)에 있어서는 표시영역(AA)과, 상기 표시영역(AA) 외측으로 비표시영역(미도시)이 정의되고 있으며, 상기 표시영역(AA)에는 게이트 배선(미도시)과 데이터 배선(미도시)에 의해 포획되는 영역이라 정의되는 다수의 화소영역(P)이 구비되고 있으며, 상기 데이터 배선(미도시)과 나란하게 전원배선(미도시)이 구비되고 있다. 이러한 다수의 각 화소영역(P)에는 스위칭 및 구동 박막트랜지스터(미도시, DTr)가 형성되어 있고, 상기 구동 박막트랜지스터(DTr)와 연결되며 제 1 전극(47)이 형성되어 있다.
- [0011] 또한, 상기 제 1 전극(47) 상부에는 적(Red), 녹(Green), 청(Blue)색을 발광하는 유기 발광 패턴(55a, 55b, 55c)을 포함하는 유기 발광층(55)이 형성되어 있고, 유기 발광층(55) 상부에는 표시영역 전면에서 제 2 전극(58)이 형성되어 있다.
- [0012] 그리고 전술한 구성요소가 구비된 상기 제 1 기관(10)에 대응하여 인캡슐레이션을 위해 제 2 기관(70)이 대향하여 구비되고 있으며, 상기 제 1 및 제 2 기관(10, 70)의 사이에는 페이스 셀(face Seal)(80)이 구비되거나 또는 테두리를 따라 셀패턴(미도시)이 구비됨으로써 상기 제 1 기관(10)과 제 2 기관(70)이 합착되어 패널을 이루는 상태를 유지하도록 하고 있다.
- [0013] 한편, 전술한 구성을 갖는 유기전계 발광소자는 상부발광 또는 하부발광 방식이 되고 있으며, 이러한 구성을 갖는 유기전계 발광소자는 최종적으로 제 1 기관면 또는 제 2 기관면 중 어느 하나의 면을 통해서만 화상을 시청할 수 있다.
- [0014] 한편, 최근에는 한 방향으로만 화상을 표시하는 표시장치에서 탈피하여 양방향으로 동일한 화상 또는 서로 다른 화상을 표시할 수 있는 양방향 표시장치를 개발하기 위한 노력 및 연구가 활발히 진행되고 있다.
- [0015] 따라서, 이러한 표시장치의 추세에 부응하고자 유기전계 발광소자에 있어서도 양방향 시청이 가능 구조를 이루도록 하는 것이 필요로 되고 있는 실정이다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 양방향으로 동일한 화상 또는 서로 다른 화상을 표시할 수 있는 유기전계 발광소자 및 이의 제조 방법을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0017] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 양면 표시형 방식 유기전계 발광소자는, 다수의 제 1 화소영역과 제 2 화소영역이 정의된 기관과; 상기 각 제 1 및 제 2 화소영역 내의 각 소자영역에 구비되는 구동 및 스위칭 박막트랜지스터와; 상기 구동 및 스위칭 박막트랜지스터 위로 형성된 보호층과; 상기 구동 박막트랜지스터의 드레인 전극과 연결되며 상기 제 1 및 제 2 화소영역 내의 각 발광영역에 각각 구비되는 유기전계 발광 다이오드를 포함하며, 상기 제 1 화소영역에는 상기 유기전계 발광다이오드가 상기 보호층 상에 배치되어 상부 발광하며, 상기 제 2 화소영역에는 상기 유기전계 발광다이오드가 상기 보호층에 구비된 제 1 개구를 통해 게이트 절연막 상에 형성되며 하부 발광하는 것이 특징이다.
- [0018] 이때, 상기 유기전계 발광 다이오드는 제 1 전극과 유기 발광층과 제 2 전극으로 구성되며, 상기 제 1 화소영역에 구비되는 상기 제 1 전극은 금속물질로 이루어진 하부층과 투명 도전성 물질로 이루어진 상부층의 이중층 구조를 이루며, 상기 제 2 화소영역에 구비되는 상기 제 1 전극은 투명 도전성 물질의 단일층 구조로 이루어진 것

이 특징이다.

- [0019] 또한, 상기 보호층은 상기 제 1 화소영역에 있어서 상기 구동 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀이 구비되며, 상기 드레인 전극과 제 1 전극은 상기 드레인 콘택홀을 통해 서로 접촉하는 것이 특징이며, 상기 제 2 화소영역에 있어서 상기 구동 박막트랜지스터의 드레인 전극은 그 일끝단이 상기 발광영역까지 연장하여 상기 게이트 절연막 상에 형성된 제 1 전극과 접촉하는 것이 특징이다.
- [0020] 그리고, 상기 제 1 및 제 2 화소영역의 각 소자영역에 구비 구동 및 스위칭 막막트랜지스터는 각각, 폴리실리콘의 반도체층과 상기 게이트 절연막과 게이트 전극과 층간절연막과 서로 이격하는 소스 및 드레인 전극의 적층 구조를 이루는 것이 특징이다.
- [0021] 이때, 상기 폴리실리콘의 반도체층은 상기 게이트 전극에 대응하여 액티브영역과 이의 양측으로 불순물이 도핑된 오믹영역으로 구성되며, 상기 층간절연막은 상기 각 오믹영역을 노출시키는 반도체층 콘택홀과, 상기 제 2 화소영역의 발광영역에 대응하여 상기 제 1 개구와 더불어 상기 제 1 전극을 노출시키는 제 2 개구가 구비되며, 상기 각 소스 및 드레인 전극은 상기 반도체층 콘택홀을 통해 상기 각 반도체층의 오믹영역과 접촉하는 것이 특징이다.
- [0022] 그리고, 상기 각 게이트 전극은 투명 도전성 물질의 하부층과, 저저항 금속물질의 상부층의 이중층 구조를 이루며, 이때, 상기 제 1 및 제 2 화소영역에는 각각 스토리지 영역이 더욱 정의되며, 상기 스토리지 영역에는 상기 반도체층이 형성된 동일한 층에 상기 오믹영역을 이루는 불순물이 도핑된 폴리실리콘으로 이루어진 제 1 스토리지 전극이 구비되며, 상기 층간절연막 위로 상기 게이트 전극의 하부층을 이루는 동일한 물질로 상기 제 1 스토리지 전극에 대응하여 단일층 구조의 제 2 스토리지 전극이 구비됨으로서 서로 중첩하는 상기 제 1 스토리지 전극 및 제 2 스토리지 전극과 이들 두 전극 사이에 개재된 상기 게이트 절연막은 스토리지 커패시터를 이루는 것이 특징이다.
- [0023] 또한, 상기 게이트 절연막 위로 상기 스위칭 박막트랜지스터의 게이트 전극과 연결되며 일방향으로 연장하는 게이트 배선과; 상기 층간절연막 위로 상기 게이트 배선과 교차하며, 상기 스위칭 박막트랜지스터의 소스 전극과 연결된 데이터 배선과, 상기 구동 박막트랜지스터와 연결되며 상기 데이터 배선과 이격하는 전원배선을 포함한다.
- [0024] 그리고, 상기 제 1 및 제 2 화소영역의 경계에 상기 각 제 1 전극의 가장자리와 중첩하며 뱅크가 형성된 것이 특징이다.
- [0025] 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 제조방법은, 다수의 제 1 화소영역과 제 2 화소영역이 정의된 기판 상의 각 제 1 및 제 2 화소영역 내에 정의된 소자영역에 각각 폴리실리콘의 반도체층을 형성하는 단계와; 상기 폴리실리콘의 반도체층 위로 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 각 소자영역에 투명 도전성 물질로 이루어진 하부층과 금속물질로 이루어진 상부층의 이중층 구조를 갖는 게이트 전극과 상기 제 2 화소영역에 대응하여 상기 게이트 전극과 동일한 이중층 구조의 애노드 패턴을 형성하는 단계와; 상기 게이트 전극을 도핑 방지 마스크로 하여 불순물의 도핑을 진행함으로써 상기 반도체층에 오믹영역을 형성하는 단계와; 상기 게이트 전극 위로 상기 각 반도체층의 오믹영역을 노출시키는 반도체층 콘택홀과 상기 제 2 화소영역의 애노드 패턴에 대응하여 제 1 개구를 갖는 층간절연막을 형성하는 단계와; 상기 층간절연막 위로 상기 각 반도체층 콘택홀을 통해 상기 오믹영역과 각각 접촉하며 서로 이격하는 소스 전극 및 드레인 전극을 형성함으로써 각 소자영역에 스위칭 및 구동 박막트랜지스터를 형성하는 동시에 상기 제 2 화소영역에 형성되는 구동 박막트랜지스터의 드레인 전극은 그 일끝단을 연장하여 상기 애노드 패턴의 일끝단과 접촉하도록 하며, 상기 애노드 패턴의 상부층을 제거하여 제 1 애노드 전극을 형성하는 단계와; 상기 스위칭 및 구동 박막트랜지스터 위로 제 1 두께를 가지며 상기 제 1 화소영역에 구비되는 구동 박막트랜지스터의 드레인 전극을 노출하는 드레인 콘택홀을 가지며, 상기 애노드 패턴에 대응하여 상기 제 1 두께보다 얇은 제 2 두께를 갖는 것을 특징으로 하는 보호층을 형성하는 단계와; 상기 보호층 위로 제 1 화소영역에 금속물질의 하부층과 투명 도전성 물질의 상부층의 이중층 구조를 갖는 제 2 애노드 전극을 형성하는 단계와; 상기 제 2 두께를 갖는 보호층을 제거하여 상기 제 1 애노드 전극을 노출시키는 단계와; 상기 제 1 및 제 2 애노드 전극에 대응하여 유기 발광층을 형성하는 단계와; 상기 유기 발광층 위로 캐소드 전극을 형성하는 단계를 포함한다.
- [0026] 이때, 상기 반도체층을 형성하는 단계는 각 제 1 및 제 2 화소영역내의 스토리지 영역에 상기 반도체층과 동일한 물질로 이루어진 제 1 스토리지 전극을 형성하는 단계를 포함하고, 상기 각 반도체층 내에 오믹영역을 형성하는 단계는 상기 제 1 스토리지 전극에 불순물을 도핑하는 단계를 포함하며, 상기 게이트 전극을 형성하는 단

계는 상기 게이트 절연막 위로 상기 제 1 스토리지 영역에 대응하여 상기 게이트 전극의 하부층을 이루는 동일한 물질로 이루어진 단일층의 제 2 스토리지 전극을 형성하는 단계를 포함한다.

[0027] 그리고, 상기 이중층 구조의 게이트 전극 및 애노드 패턴과 상기 단일층 구조의 제 2 스토리지 전극을 형성하는 단계는, 상기 게이트 절연막 위로 투명 도전성 물질층과 금속층을 순차 적층 형성하는 단계와; 상기 저저항 금속층 위로 제 1 두께의 제 1 포토레지스트 패턴과 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트 패턴을 외측으로 노출된 상기 금속층 이의 하부에 위치한 상기 투명 도전성 물질층을 제거하여 이중층 구조의 상기 게이트 전극과 애노드 패턴 및 이중층 구조를 갖는 스토리지 패턴을 형성하는 단계와; 애싱을 진행하여 상기 제 2 포토레지스트 패턴을 제거함으로써 상기 스토리지 패턴을 노출시키는 단계와; 식각을 진행하여 상기 스토리지 패턴의 상부층을 제거함으로써 투명 도전성 물질의 단일층 구조를 상기 제 1 스토리지 전극을 형성하는 단계와; 스트립을 진행하여 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0028] 또한, 상기 게이트 전극을 형성하는 단계는 상기 스위칭 박막트랜지스터의 게이트 전극과 연결되며 일 방향으로 연장하는 게이트 배선을 형성하는 단계를 포함하며, 상기 소스 및 드레인 전극을 형성하는 단계는 상기 게이트 배선과 교차하며 상기 스위칭 박막트랜지스터의 소스 전극과 연결된 데이터 배선과, 상기 데이터 배선과 이격하여 전원배선을 형성하는 단계를 포함한다.

[0029] 또한, 상기 반도체층을 형성하기 이전에 상기 기판 상에 버퍼층을 형성하는 단계와; 상기 제 1 및 제 2 애노드 전극의 가장자리와 중첩하며 상기 제 1 및 제 2 화소영역의 경계에 बैं크를 형성하는 단계를 포함한다.

발명의 효과

[0030] 본 발명에 따른 유기전계 발광소자는 제 1 화소영역은 상기 제 2 기판면으로 발광된 빛이 출사하고, 상기 제 2 화소영역은 상기 제 1 기판면으로 발광된 빛이 출사하는 구성을 이루게 된다.

[0031] 따라서, 사용자는 이러한 구성을 갖는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자를 통해 선택적으로 제 1 기판면을 통해 화상을 시청하거나 또는 제 2 기판면을 통해 화상을 시청할 수 있으므로 사용자의 화상 시청의 선택의 폭을 향상시키는 효과를 갖는다.

[0032] 나아가 표시장치의 양면 표시에 부응하는 유기전계 발광소자를 제공하는 효과를 갖는다.

도면의 간단한 설명

[0033] 도 1은 종래의 일반적인 유기전계 발광소자의 표시영역 일부에 대한 개략적인 단면도.

도 3은 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 표시영역 일부에 대한 단면도로서 상부 발광하는 제 1 화소영역에 대한 도면.

도 4는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 표시영역 일부에 대한 단면도로서 하부 발광하는 제 2 화소영역에 대한 도면.

도 5a 내지 도 5q 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 제조 단계별 공정 단면도로서 상부 발광하는 제 1 화소영역(P1)에 대한 제조 단계별 공정 단면도.

도 6a 내지 도 6q 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 제조 단계별 공정 단면도로서 하부 발광하는 제 2 화소영역(P1)에 대한 제조 단계별 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

[0035] 우선, 유기전계 발광소자의 구성 및 동작에 대해서 유기전계 발광소자의 하나의 화소에 대한 회로도인 도 2를 참조하여 간단히 설명한다.

[0036] 도시한 바와 같이 유기전계 발광소자의 하나의 화소는 스위칭(switching) 박막트랜지스터(STr)와 구동(driving)

박막트랜지스터(DTr), 스토리지 커패시터(StgC), 그리고 유기전계 발광 다이오드(E)로 이루어진다.

- [0037] 즉, 제 1 방향으로 게이트 배선(GL)이 형성되어 있고, 상기 제 1 방향과 교차되는 제 2 방향으로 형성되어 화소 영역(P)을 정의하며 데이터 배선(DL)이 형성되어 있으며, 상기 데이터 배선(DL)과 이격하며 전원전압을 인가하기 위한 전원배선(PL)이 형성되어 있다.
- [0038] 또한, 상기 데이터 배선(DL)과 게이트 배선(GL)이 교차하는 부분에는 스위칭 박막트랜지스터(STr)가 형성되어 있으며, 상기 스위칭 박막트랜지스터(STr)와 전기적으로 연결된 구동 박막트랜지스터(DTr)가 형성되어 있다.
- [0039] 상기 유기전계 발광 다이오드(E)의 일측 단자인 제 1 전극은 상기 구동 박막트랜지스터(DTr)의 드레인 전극과 연결되고, 타측 단자인 제 2 전극은 접지되고 있으며, 상기 구동 박막트랜지스터(DTr)의 소스 전극은 상기 전원 배선(PL)과 연결되고 있으며, 따라서 상기 전원배선(PL)은 전원전압을 상기 유기전계발광 다이오드(E)로 전달하게 된다.
- [0040] 그리고, 상기 구동 박막트랜지스터(DTr)의 게이트 전극과 소스 전극 사이에는 스토리지 커패시터(StgC)가 형성되고 있다.
- [0041] 따라서, 상기 게이트 배선(GL)을 통해 신호가 인가되면 스위칭 박막트랜지스터(STr)가 온(on) 되고, 상기 데이터 배선(DL)의 신호가 구동 박막트랜지스터(DTr)의 게이트 전극에 전달되어 상기 구동 박막트랜지스터(DTr)가 온(on) 되므로 유기전계발광 다이오드(E)를 통해 빛이 출력된다.
- [0042] 이때, 상기 구동 박막트랜지스터(DTr)가 온(on) 상태가 되면, 전원배선(PL)으로부터 유기전계발광 다이오드(E)에 흐르는 전류의 레벨이 정해지며 이로 인해 상기 유기전계발광 다이오드(E)는 그레이 스케일(gray scale)을 구현할 수 있게 되며, 상기 스토리지 커패시터(StgC)는 스위칭 박막트랜지스터(STr)가 오프(off) 되었을 때, 상기 구동 박막트랜지스터(DTr)의 게이트 전압을 일정하게 유지시키는 역할을 함으로써 상기 스위칭 박막트랜지스터(STr)가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 상기 유기전계발광 다이오드(E)에 흐르는 전류의 레벨을 일정하게 유지할 수 있게 된다.
- [0043] 도 3과 도 4는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 표시영역 일부에 대한 단면도로서 각각 상부 발광하는 화소영역과 하부 발광하는 화소영역에 대한 도면이다. 설명의 편의를 위해 각 화소영역(P)내에 스위칭 및 구동 박막트랜지스터(DTr)가 형성되는 영역을 소자영역(DA), 유기전계 발광층(163)이 형성되는 영역을 발광영역(EA)이라 정의한다.
- [0044] 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)는 그 특성상 표시영역을 구성하는 다수의 화소영역(P)은 상부 발광하는 화소영역과 하부 발광하는 화소영역으로 나뉘고 있는 것이 특징이다. 이때, 설명의 편의를 위해 이하 상부 발광 화소영역을 제 1 화소영역(P1), 하부 발광 화소영역을 제 2 화소영역(P2)이라 정의하며, 상기 제 1 화소영역(P1) 내에 구비되는 소자영역 및 발광영역을 제 1 소자영역(DA1) 및 제 1 발광영역(EA1), 상기 제 2 화소영역(P2) 내에 구비되는 소자영역 및 발광영역을 제 2 소자영역(DA2) 및 제 2 발광영역(EA2)이라 정의한다.
- [0045] 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자는 이러한 상부발광상기 제 1 화소영역(P1)과 제 2 화소영역(P2)이 규칙적으로 교대하도록 배치됨으로서 양 방향으로 동일한 화상 또는 서로 다른 화상을 시청할 수 있는 것이다.
- [0046] 통상적으로 적, 녹, 청색을 각각 발광하는 이웃한 3개의 화소영역이 하나의 풀 컬러를 구현하는 최소단위가 되므로, 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)는 각각 적, 녹, 청색을 발광하는 3개의 제 1 화소영역(P1)을 제 1 영역(미도시), 적, 녹, 청색을 발광하는 3개의 제 2 화소영역(P2)을 제 2 영역(미도시)이라 정의할 때, 상기 제 1 영역(미도시)과 제 2 영역(미도시)이 순차 반복적으로 교대하도록 배치됨으로서 사용자는 제 1 기판을 바라보거나 또는 이와 대향하는 제 2 기판을 바라보거나 동일한 표시품질을 갖는 화상을 시청할 수 있는 것이 특징이다.
- [0047] 이러한 제 1 화소영역(P1)과 제 2 화소영역(P2)의 배치는 전술한 바와 같은 배치 이외에 다양하게 변형될 수 있음은 자명하다 할 것이다.
- [0048] 일례로 상기 제 1 화소영역(P1)과 제 2 화소영역(P2)은 화소라인 단위로 교대하도록 배치될 수도 있다.
- [0049] 이후에는 조금 더 구체적으로 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)의 구성에 대해 설

명한다.

- [0050] 도시한 바와 같이, 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)는 구동 및 스위칭 박막트랜지스터((DTr1, DTr2), 미도시)와 유기전계 발광 다이오드(E)가 형성된 제 1 기판(110)과, 인캡슐레이션을 위한 제 2 기판(170)으로 구성되고 있다. 이때, 상기 제 2 기판(170)은 무기절연막 또는 유기절연막 등으로 대체됨으로써 생략될 수 있다.
- [0051] 우선, 구동 및 스위칭 박막트랜지스터((DTr1, DTr2), 미도시)와 유기전계 발광 다이오드(E)가 구비된 제 1 기판(110)의 구성에 대해 설명한다.
- [0052] 상기 제 1 기판(110)의 각 제 1 및 제 2 화소영역(P1, P2) 내부의 각 소자영역(DA1, DA2)에는 각각 순수 폴리실리콘으로 이루어지며 그 중앙부는 채널을 이루는 액티브영역(113a), 그리고 상기 액티브영역(113a) 양측면으로 고농도의 불순물이 도핑된 오믹영역(113b)으로 구성된 반도체층(113)이 형성되어 있다.
- [0053] 그리고, 각 화소영역((DTr1, DTr2), 미도시) 내의 스토리지 영역(StgA)에는 상기 오믹영역(113b)과 같이 고농도의 불순물이 도핑된 폴리실리콘으로 이루어진 제 1 스토리지 전극이 형성되고 있다. 도면에 있어서는 상기 제 1 화소영역(P1)내에만 스토리지 영역(StgA)이 구비된 것을 보이고 있지만 제 2 화소영역(P2)에도 상기 스토리지 영역(StgA)이 구비되고 있다.
- [0054] 상기 반도체층(113)과 상기 제 1 기판(110) 사이에는 전면에 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)으로 이루어진 버퍼층(111)이 더욱 형성될 수도 있다.
- [0055] 상기 버퍼층(111)은 상기 반도체층(113)의 결정화시 상기 제 1 기판(110) 내부로부터 나오는 알칼리 이온의 방출에 의한 상기 반도체층(113)의 특성 저하를 방지하기 위함이다.
- [0056] 또한, 상기 반도체층(113)을 덮으며 전면에 게이트 절연막(116)이 형성되어 있으며, 상기 게이트 절연막(116) 위로는 상기 반도체층(113)의 액티브영역(113a)에 대응하여 일함수 값이 높은 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO)로 이루어진 하부층(118a)과 저저항 금속물질로 이루어진 상부층(118b)의 이중을 구조를 갖는 게이트 전극(118)이 형성되어 있다.
- [0057] 또한, 상기 게이트 절연막(116) 위로는 스위칭 박막트랜지스터(미도시)의 게이트 전극(미도시)과 연결되며 일 방향으로 연장하며 상기 게이트 전극(118)과 동일한 이중층 구조를 갖는 게이트 배선(미도시)이 형성되어 있다.
- [0058] 그리고, 스토리지 영역(StgA)에 있어서 상기 게이트 절연막(116) 위로 상기 제 1 스토리지 전극(115)에 대응하여 상기 게이트 전극(118)의 하부층(118a)을 이루는 투명 도전성 물질의 단일층 구조를 제 2 스토리지 전극(119)이 형성되고 있다.
- [0059] 이때, 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)에 있어 가장 특징적인 구성 중 하나로서 상기 제 2 화소영역(P2)의 제 2 발광영역(EA2)에는 상기 게이트 절연막(116) 위로 상기 게이트 전극(118)의 하부층(118a)을 이루는 일함수 값이 높은 투명도전성 물질만의 단일층 구조를 이루는 애노드 전극(이하 제 2 화소영역(P2)에 구비되고 있으므로 제 2 애노드 전극(122)이라 칭함)이 형성되고 있다.
- [0060] 다음, 상기 게이트 전극(118)과 게이트 배선(미도시) 및 제 2 스토리지 전극(119) 위로 전면에 층간절연막(123)이 형성되어 있다. 이때 상기 층간절연막(123)은 상기 제 2 화소영역(P2)의 발광영역에서는 제거됨으로서 상기 제 2 애노드 전극(122)을 노출시키는 것이 특징이다.
- [0061] 이때, 상기 층간절연막(123)과 그 하부의 게이트 절연막(116)에는 상기 각 액티브영역(113a) 양측면에 위치한 상기 오믹영역(113b) 각각을 노출시키는 반도체층 콘택홀(125)이 형성되어 있다.
- [0062] 다음, 상기 반도체층 콘택홀(125)을 포함하는 상기 층간절연막(123) 상부에는 상기 게이트 배선(미도시)과 교차하여 각 화소영역(P)을 정의하는 데이터 배선(미도시)과, 이와 이격하여 전원배선(미도시)이 형성되고 있다.
- [0063] 또한, 상기 층간절연막(123) 위로 각 소자영역(DA1, DA2)에는 서로 이격하며 상기 반도체층 콘택홀(125)을 통해 노출된 오믹영역(113b)과 각각 접촉하며 소스 및 드레인 전극((133a, 133b), (136a, 136b))이 형성되어 있다.
- [0064] 이때, 상기 소스 및 드레인 전극((133a, 133b), (136a, 136b))과, 이들 전극((133a, 133b), (136a, 136b))과 각각 접촉하는 오믹영역(113b)을 포함하는 반도체층(113)과, 상기 반도체층(113) 상부에 형성된 게이트 절연막(116) 및 게이트 전극(118)은 각각 구동 박막트랜지스터(DTr1, DTr2) 및 스위칭 박막트랜지스터(미도시)를 이룬

다.

- [0065] 한편, 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)에 있어 가장 특징적인 구성 중 하나로서 상기 제 2 화소영역(P2) 내의 제 2 소자영역(DA2)에 구비되는 구동 박막트랜지스터(DTr2)의 드레인 전극(136b)은 상기 제 2 발광영역(EA2)까지 연장되어 상기 제 2 애노드 전극(122)의 일끝단과 접촉하도록 형성되고 있는 것이 특징이다.
- [0066] 한편, 상기 각 스위칭 박막트랜지스터(미도시)는 상기 구동 박막트랜지스터(DTr1, DTr2)와 게이트 배선(미도시) 및 데이터 배선(미도시)과 전기적으로 연결되며 형성되어 있으며, 상기 데이터 배선(미도시)은 상기 스위칭 박막트랜지스터(미도시)의 소스 전극(미도시)과 연결되고 있다.
- [0067] 또한, 상기 구동 및 스위칭 박막트랜지스터((DTr1, DTr2), 미도시) 위로는 전면에 평탄한 표면을 갖는 보호층(140)이 형성되어 있다.
- [0068] 이때, 상기 보호층(140)에는 상기 제 1 소자영역(DA1)에 구비되는 구동 박막트랜지스터(DTr)의 드레인 전극(136)을 노출시키는 드레인 콘택홀(143)이 형성되어 있으며, 상기 제 2 발광영역(EA2)에 있어서는 상기 제 2 애노드 전극(122)을 노출시키는 제 1 개구(op1)가 형성되고 있는 것이 특징이다.
- [0069] 또한, 상기 드레인 콘택홀(143)과 상기 제 2 애노드 전극(122)을 노출시키는 제 1 개구(op1)를 구비한 상기 보호층(140) 위로는 상기 제 1 소자영역(DA1)에 구비된 구동 박막트랜지스터(DTr1)의 드레인 전극(136a)과 상기 드레인 콘택홀(143)을 통해 접촉하며 상기 제 1 발광영역(EA1)에 제 1 애노드 전극(146)이 형성되고 있다.
- [0070] 이때, 상기 제 1 애노드 전극(146)은 이중층 구조를 이룸으로서 하부층(146a)은 반사판의 역할을 상부층(146b)은 실질적인 애노드 전극으로서의 역할을 하는 것이 특징이다.
- [0071] 즉, 상기 제 1 애노드 전극(146)의 상부층(146b)은 애노드 전극의 역할을 하도록 일함수 값이 큰 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO)로 이루어지며, 상기 제 1 애노드 전극(146)의 하부층(147a)은 반사효율이 우수한 금속물질 예를들면 알루미늄(Al) 또는 은(Ag)으로써 이루어짐으로써 상기 제 1 애노드 전극(146) 상부에 형성되는 유기 발광층(163)으로부터 발광된 빛을 상부로 반사시켜 발광효율을 향상시키는 역할을 하게 된다.
- [0072] 이러한 이중층 구조를 갖는 상기 제 1 애노드 전극(146)은 상기 제 1 발광영역(EA1)에 대해서만 형성되고 있는 것이 특징이다. 이는 제 2 발광영역(EA2)에는 투명 도전성 물질의 단일층 구조를 갖는 제 2 애노드 전극(122)이 상기 게이트 절연막(116) 상에 형성되고 있기 때문이다.
- [0073] 다음, 상기 이중층 구조를 갖는 상기 제 1 애노드 전극(146) 위로 각 화소영역(P)의 경계에는 각 발광영역(P)을 둘러싸는 형태로 상기 제 1 및 제 2 애노드 전극(146, 122)의 가장자리와 중첩하며 बैं크(155)가 형성되어 있다.
- [0074] 이때, 상기 बैं크(155)는 일반적인 투명한 유기절연물질 예를들면 폴리이미드(poly imide), 스티렌(styrene), 메틸마사크릴레이트(methyl methacrylate), 폴리테트라플로루틸렌(polytetrafluoroethylene) 중 어느 하나로 이루어지는 것이 특징이다.
- [0075] 또한, 상기 बैं크(155)으로 둘러싸인 각 발광영역(P)에 있어 상기 제 1 및 제 2 애노드 전극(146, 122) 위로는 각각 적, 녹, 청색 중 어느 하나의 색을 발광하는 것을 특징으로 하는 유기 발광층(163)이 형성되고 있다.
- [0076] 상기 유기 발광층(163) 상부에는 표시영역 전면에는 일함수 값이 낮은 금속물질 예를들면 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 은(Ag), 마그네슘(Mg), 금(Au), 알루미늄마그네슘 합금(AlMg) 중 어느 하나 또는 둘 이상이 혼합된 물질로 이루어진 캐소드 전극(167)이 형성되어 있다.
- [0077] 이때, 상기 각 애노드 전극(146, 122) 및 상기 캐소드 전극(167)과 그 사이에 형성된 유기 발광층(163)은 유기 전계 발광 다이오드(E)를 이루게 된다.
- [0078] 도면에 나타나지 않았지만, 상기 애노드 전극(146, 122)과 유기 발광층(163) 사이 및 상기 유기 발광층(163)과 캐소드 전극(167) 사이에는 각각 상기 유기 발광층(163)의 발광 효율 향상을 위해 다층 구조의 제 1 발광보상층(미도시)과 제 2 발광보상층(미도시)이 더욱 형성될 수도 있다.
- [0079] 이때, 다층의 상기 제 1 발광보상층(미도시)은 상기 애노드 전극(146, 122)으로부터 순차 적층되며 정공주입층(hole injection layer)과 정공수송층(hole transporting layer)으로 이루어질 수 있으며, 상기 제 2 발광보상층(미도시)은 상기 유기 발광층(163)으로부터 전자수송층(electron transporting layer)과 전자주입층(electron injection layer)으로 이루어질 수 있다.

- [0080] 상기 다층 구조의 제 1 발광보상층(미도시)과 상기 제 2 발광보상층(미도시)은 상기 표시영역 전면에 판 형태로 형성될 수도 있고, 또는 각 화소영역(P1, P2)별로 분리 형성될 수도 있다.
- [0081] 한편, 전술한 구성을 갖는 본 발명의 실시예에 따른 유기전계 발광소자(101)의 제 1 기관(110)에 대응하여 인캡슐레이션을 위한 제 2 기관(170)이 구비되고 있다.
- [0082] 상기 제 1 기관(110)과 제 2 기관(170)은 그 가장자리를 따라 실란트 또는 프릿으로 이루어진 접착제(미도시)가 구비되고 있으며, 이러한 접착제(미도시)에 의해 상기 제 1 기관(110)과 제 2 기관(170)이 합착되어 패널상태를 유지하고 있다.
- [0083] 이때, 서로 이격하는 상기 제 1 기관(110)과 제 2 기관(170) 사이에는 진공의 상태를 갖거나 또는 불활성 기체로 채워짐으로써 불활성 가스 분위기를 가질 수 있다.
- [0084] 상기 인캡슐레이션을 위한 상기 제 2 기관(170)은 유연한 특성을 갖는 플라스틱으로 이루어질 수도 있으며, 또는 유리기관으로 이루어질 수도 있다.
- [0085] 한편, 전술한 실시예에 따른 유기전계 발광소자(101)는 제 1 기관(110)과 마주하여 이격하는 형태로 인캡슐레이션을 위한 제 2 기관(170)이 구비된 것을 나타내고 있지만, 변형예로서 상기 제 2 기관(170)은 점착층을 포함하는 필름 형태로 상기 제 1 기관(110)의 최상층에 구비된 상기 제 2 전극(167)과 접촉하도록 구성될 수도 있다.
- [0086] 또한, 본 발명의 실시예에 따른 또 다른 변형예로서 상기 제 2 전극(167) 상부로 유기절연막(미도시) 또는 무기절연막(미도시)이 더욱 구비되어 수분 및 산소 침투를 방지하는 역할을 하도록 할 수 있으며, 상기 유기절연막(미도시) 또는 무기절연막(162)은 그 자체로 인캡슐레이션 막(미도시)으로 이용될 수도 있으며, 이 경우 상기 제 2 기관(170)은 생략할 수도 있다.
- [0087] 이러한 구성을 갖는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자는 제 1 화소영역은 상기 제 2 기관면으로 발광된 빛이 출사하고, 상기 제 2 화소영역은 상기 제 1 기관면으로 발광된 빛이 출사하는 구성을 이루게 된다.
- [0088] 따라서, 사용자는 이러한 구성을 갖는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자를 통해 선택적으로 제 1 기관면을 통해 화상을 시청하거나 또는 제 2 기관면을 통해 화상을 시청할 수 있으므로 사용자의 화상 시청의 폭을 향상시키는 효과를 갖는다.
- [0089] 나아가 표시장치의 양면 표시에 부응하는 유기전계 발광소자를 제공하는 효과를 갖는다.
- [0090] 이후에는 전술한 구성을 갖는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 제조 방법에 대해 설명한다.
- [0091] 도 5a 내지 도 5q와 도 6a 내지 6q는 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자의 제조 단계별 공정 단면도로서 각각 제 1 화소영역(P1)과 제 2 화소영역(P2)에 대한 제조 단계별 공정 단면도이다.
- [0092] 이때, 설명의 편의를 위해 각 제 1 및 제 2 화소영역(P1, P2) 내에 스위칭 및 구동 박막트랜지스터(미도시, (DTr1, DTr2))가 형성될 영역을 통괄하여 제 1 및 제 2 소자영역(DA1, DA2)이라 정의하고, 유기 발광층(163)이 형성되는 영역을 제 1 및 제 2 발광영역(EA1, EA2)이라 정의하며, 스위칭 및 구동 박막트랜지스터는 그 적층 구성이 동일하므로 이하 스위칭 및 구동 박막트랜지스터(미도시, (DTr1, DTr2))의 구별없이 박막트랜지스터(DTr)라 칭하며, 스토리지 커패시터(StgC)가 형성되는 영역을 스토리지 영역(StgA)이라 칭한다.
- [0093] 우선, 도 5a 및 도 6a에 도시한 바와 같이, 투명한 절연기관(110) 예를들면 유리기관 또는 플렉서블한 플라스틱 기관 상에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 증착하여 버퍼층(111)을 형성한다.
- [0094] 상기 버퍼층(111)은 비정질 실리콘을 폴리실리콘으로 재결정화 할 경우, 레이저 조사 또는 열처리 시에 의해 발생하는 열로 인해 상기 절연기관(110) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온(K⁺), 나트륨 이온(Na⁺) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 폴리실리콘으로 이루어진 반도체층의 막특성이 저하되는 것을 방지하기 위함이다.
- [0095] 이때, 상기 버퍼층(111)은 상기 기관(110)이 어떠한 재질로 이루어지느냐에 따라 생략할 수도 있다.
- [0096] 이후, 상기 버퍼층(111) 위로 비정질 실리콘을 증착하여 순수 비정질 실리콘층(미도시)을 상기 기관(110) 전면

에 형성한다.

- [0097] 다음, 상기 순수 비정질 실리콘층(미도시)의 이동도 특성 등을 향상시키기 위해 결정화 공정을 진행함으로써 상기 순수 비정질 실리콘층(미도시)이 결정화되어 순수 폴리실리콘층(180)을 이루도록 한다.
- [0098] 이때, 상기 결정화 공정은 고상 결정화(Solid Phase Crystallization : SPC) 또는 레이저를 이용한 결정화 공정인 것이 바람직하다.
- [0099] 상기 고상 결정화(SPC) 공정은 일례로 600℃ 내지 800℃의 분위기에서 열처리를 통한 썬말 결정화(Thermal Crystallization) 또는 교번자장 결정화 장치를 이용한 600℃ 내지 700℃의 온도 분위기에서의 교번자장 결정화(Alternating Magnetic Field Crystallization) 공정인 것이 바람직하며, 상기 레이저를 이용하는 결정화는 엑시머 레이저를 이용한 ELA(Excimer Laser Annealing)법, SLS(Sequential lateral Solidification) 결정화인 것이 바람직하다.
- [0100] 다음, 도 5b 및 도 6b에 도시한 바와 같이, 상기 폴리실리콘층(도 5a의 180)을 포토레지스트 도포, 노광 마스크를 이용한 노광, 노광된 포토레지스트의 현상, 식각 및 스트립의 단위 공정을 포함하는 마스크 공정을 진행하여 패터닝함으로써 상기 소자영역(DA)에 폴리실리콘의 반도체층(113)을 형성하고, 상기 스토리지 영역(StgA)에는 폴리실리콘의 반도체 패턴(114)을 형성한다. 이때, 스토리지 영역(StgA)은 제 1 화소영역(P1)에 대해서만 형성된 것으로 보이고 있지만 상기 스토리지 영역(StgA)은 제 2 화소영역(P2)에도 형성된다.
- [0101] 이때, 상기 반도체 패턴(114)은 추후 불순물이 도핑됨으로서 도전성 특성이 향상된 후에는 제 1 스토리지 전극(도 5r의 115)을 이루게 된다.
- [0102] 다음, 도 5c 및 6c에 도시한 바와 같이, 상기 반도체 패턴(114)과 폴리실리콘의 반도체층(113) 위로 전면에 무기절연물질 예를들면 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 증착하여 게이트 절연막(116)을 형성한다.
- [0103] 다음, 상기 게이트 절연막(116) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착하여 제 1 투명 도전성 물질층(185)을 형성하고, 연속하여 상기 제 1 투명 도전성 물질층(185) 위로 저저항 특성을 갖는 금속물질 예를들면 구리(Cu), 구리 합금(AINd), 알루미늄(Al), 알루미늄 합금(AINd), 몰리브덴(Mo) 및 몰리타타늄(MoTi) 중 선택된 하나 또는 둘 이상의 물질을 증착함으로써 단일층 또는 이중층 이상 다중층 구조를 갖는 제 1 금속층(186)을 형성한다.
- [0104] 이후, 상기 제 1 금속층(186) 위로 포토레지스트를 도포하여 제 1 포토레지스트층(181)을 형성하고, 상기 제 1 포토레지스트층(181)에 대해 빛의 투과영역(TA)과 차단영역(BA) 그리고 상기 투과영역(TA)보다는 작고 차단영역(BA)보다는 빛의 투과량이 큰 반투과영역(HTA)을 갖는 회절노광 마스크(191) 또는 하프톤 노광 마스크(미도시)를 이용하여 노광을 실시한다.
- [0105] 다음, 도 5d 및 도 6d에 도시한 바와같이, 상기 노광된 제 1 포토레지스트층(도 5c 및 도 6c의 181)을 현상함으로써 상기 제 1 금속층(186) 위로 제 1 두께를 갖는 제 1 포토레지스트 패턴(181a)과, 상기 제 1 두께보다 얇은 제 2 두께를 갖는 제 2 포토레지스트 패턴(181b)을 형성한다.
- [0106] 상기 제 1 포토레지스트 패턴(181a)은 게이트 배선(미도시)과, 각 소자영역(DA1, DA2)에 있어 추구 게이트 전극(도 5c의 118)이 형성되어야 할 부분 및 제 2 화소영역(P2) 내의 제 2 발광영역(EA2)에 대응하여 형성하고, 상기 제 2 포토레지스트 패턴(181b)은 스토리지 영역(StgA)에 대응하여 형성한다.
- [0107] 다음, 도 5e 및 도 6e에 도시한 바와같이, 상기 제 1 및 제 2 포토레지스트 패턴(181a, 181b) 외측으로 노출된 상기 제 1 금속층(도 5d 및 도 6d의 186) 및 그 하부에 위치하는 투명 도전성 물질층(도 5d 및 도 6d의 185)을 제거함으로써 상기 게이트 절연막(116) 위로 이중층 구조의 게이트 배선(미도시)과 각 소자영역(DA1, DA2)에 있어서 게이트 전극(118)을 형성하고, 동시에 상기 스토리지 영역(StgA)에 있어서는 현 상태에서는 상기 게이트 전극(118)과 동일한 이중층 구조를 갖는 스토리지 패턴(119)을 형성하며, 상기 제 2 발광영역(EA2)에 있어서는 이중층 구조의 애노드 패턴(121)을 형성한다.
- [0108] 이때, 상기 게이트 전극(118)은 상기 폴리실리콘의 반도체층(113)의 중앙부에 대응하여 형성되도록 함으로서 상기 게이트 전극(118)의 상부층(118a) 외측으로 상기 폴리실리콘의 반도체층(113)의 양측단의 노출된 구조를 이루도록 한다.
- [0109] 다음, 도 5f 및 도 6f에 도시한 바와같이, 애싱(ashing)을 진행하여 상기 제 2 두께를 갖는 제 2 포토레지스트 패턴(도 5e의 181b)을 제거함으로써 상기 스토리지 영역(StgA)에 있어 이중층 구조의 상기 스토리지 패턴(119)

을 노출시킨다.

- [0110] 이때, 상기 애싱(ashing) 진행에 의해 상기 제 1 포토레지스트 패턴(181a) 또한 그 두께가 줄어들게 되지만 상기 게이트 배선(미도시)과 게이트 전극(118) 및 애노드 패턴 각각의 상부층(미도시, 118a) 상에 여전히 남아있게 된다.
- [0111] 이후, 도 5g 및 도 6g에 도시한 바와같이, 상기 제 2 포토레지스트 패턴(도 5e의 181b)이 제거됨으로서 노출된 상기 스토리지 패턴(119)의 상부층(도 5f의 119b)을 식각을 진행하여 제거함으로서 상기 스토리지 영역(StgA)에 있어 투명 도전성 물질로 이루어진 단일층 구조의 제 2 스토리지 전극(119)을 형성한다.
- [0112] 다음, 투명 도전성 물질로 이루어진 단일층 구조의 상기 제 2 스토리지 전극(119)이 형성된 기판(110)에 대해 고농도의 p타입 또는 n타입 불순물의 도핑함으로서 상기 스토리지 영역(StgA)에 있어 상기 폴리실리콘으로 이루어진 반도체 패턴(도 5g의 114)에 상기 p타입 또는 n타입 불순물이 도핑되어 도전 특성이 향상된 제 1 스토리지 전극(115)을 이루도록 한다.
- [0113] 이때, 상기 스토리지 영역(StgA)에 구비된 상기 제 1 스토리지 전극(115)과 제 2 스토리지 전극(119)은 상기 게이트 절연막(116)을 유전체층으로 하여 스토리지 커패시터(StgC)를 이루게 된다.
- [0114] 상기 p타입 또는 n타입 불순물의 도핑은 금속물질에 대해서는 통과하지 못하지만 투명 도전성 물질과 무기절연 물질로 이루어진 게이트 절연막(116)은 통과함으로서 상기 폴리실리콘의 반도체 패턴(도 5f의 114)에 대해서 불순물이 주입되도록 할 수 있다.
- [0115] 나아가 상기 p타입 또는 n타입 불순물의 도핑 진행에 의해 스토리지 영역(StgA)에 위치하는 반도체 패턴(도 5f의 114) 이외에 각 소자영역(DA1, DA2)에 있어 상기 게이트 전극(118)의 외측으로 노출된 폴리실리콘의 반도체층(113)에 대해서도 고농도의 p타입 또는 n타입 불순물의 주입이 이루어지게 됨으로서 각 폴리실리콘의 반도체층(113)은 양측단의 소정폭에 대해 도전 특성이 향상된 오믹영역(113b)을 이루게 된다.
- [0116] 이때, 이중층 구조를 갖는 게이트 전극(118)에 의해 상기 폴리실리콘의 반도체층(113)의 중앙부는 불순물의 도핑이 이루어지지 않으므로 여전히 순수한 폴리실리콘으로 이루어진 상태를 유지함으로서 액티브영역(113a)을 이룬다.
- [0117] 다음, 도 5h 및 도 6h에 도시한 바와 같이, 스트립(strip)을 진행하여 상기 게이트 배선(미도시)과 게이트 전극(118) 및 애노드 패턴 상에 남아있는 제 1 포토레지스트 패턴(도 5g 및 도 6g의 181a)을 제거함으로서 이중층 구조의 상기 게이트 배선(미도시)과 게이트 전극(118) 및 애노드 패턴(121)을 노출시킨다.
- [0118] 이후, 이중층 구조를 이루는 게이트 배선(미도시)과 게이트 전극(118) 및 애노드 패턴(121)과 단일층 구조의 제 2 스토리지 전극(119) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하여 층간절연막(123)을 형성한다.
- [0119] 이후, 상기 층간절연막(123)에 대해 마스크 공정을 실시하여 상기 게이트 절연막(116)과 더불어 패터함으로서 상기 반도체층(113) 중 오믹영역(113b)을 각각 노출시키는 반도체층 콘택홀(125)을 형성한다.
- [0120] 다음, 도 5i 및 도 6i에 도시한 바와 같이, 상기 반도체층 콘택홀(125)이 형성된 층간절연막(123) 위로 전면예 저저항 금속물질 예를들면 구리(Cu), 구리 합금(AlNd), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo) 및 몰리타늄(MoTi) 중 어느 하나 또는 둘 이상을 증착함으로서 제 2 금속층(미도시)을 형성한다.
- [0121] 이후, 상기 제 2 금속층(미도시)을 마스크 공정을 진행하여 패터닝함으로써 화소영역(P)의 경계에 상기 게이트 배선(미도시)과 교차하여 화소영역(P1, P2)을 정의하는 데이터 배선(미도시)을 형성하고, 동시에 상기 데이터 배선(미도시)과 이격하여 나란하게 전원배선(미도시)을 형성한다.
- [0122] 그리고, 동시에 소자영역(DA1, DA2)에 있어서는 상기 반도체층 콘택홀(125)을 통해 상기 반도체층(113)의 오믹영역(113b)과 각각 접촉하며 서로 이격하는 소스 및 드레인 전극(133, (136a, 136b))을 형성한다.
- [0123] 이때, 상기 제 2 소자영역(DA2)에 있어 추후 구동 박막트랜지스터(DTr2)를 이루는 구성요소가 되는 드레인 전극(136b)은 그 일끝단이 제 2 발광영역(EA2)까지 연장되도록 하여 상기 제 2 발광영역(EA2)에 구비된 애노드 패턴(도 6h의 121)의 일측끝단과 접촉하도록 형성하는 것이 특징이다.
- [0124] 상기 각 소자영역(DA1, DA2)에 순차 적층된 상기 반도체층(113)과, 게이트 절연막(116)과, 게이트 전극(118)과, 층간절연막(123)과, 서로 이격하는 소스 및 드레인 전극(133, (136a, 136b))은 스위칭 박막트랜지스터(미도시)

또는 구동 박막트랜지스터(DTr)를 이룬다.

- [0125] 한편, 상기 제 2 발광영역(EA2)에 있어서는 상기 제 2 금속층(미도시)을 패터닝하는 과정에서 상기 제 2 소자영역(DA2)에 구비된 구동 박막트랜지스터(DTr2)의 드레인 전극(136b)의 일끝단과 접촉하는 부분을 제외하고는 상기 애노드 패턴(도 6h의 121)의 상부층(121b)이 함께 제거됨으로서 투명 도전성 물질의 단일층 구조를 갖는 제 2 애노드 전극(122)을 이루게 되는 것이 특징이다.
- [0126] 다음, 도 5j 및 도 6j에 도시한 바와 같이, 상기 소스 및 드레인 전극(133, (136a, 136b))과 데이터 배선(미도시)과 전원배선(미도시) 및 제 2 애노드 전극(122) 위로 전면에 유기절연물질 예를들면 포토아크릴을 도포하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 제 1 소자영역(DA1)에 있어 상기 구동 박막트랜지스터(DTr1)의 드레인 전극(136a)을 노출시키는 드레인 콘택홀(143)을 갖는 보호층(140)을 형성한다.
- [0127] 이때, 상기 제 2 소자영역(DA2)에 구비되는 구동 박막트랜지스터(DTr2)의 드레인 전극(136b)은 이미 상기 제 2 애노드 전극(122)과 일끝단이 접촉되는 구성을 이룸으로서 이에 대해서는 드레인 콘택홀을 형성할 필요가 없다.
- [0128] 한편, 상기 보호층(140)을 형성 시 투과영역과 차단영역 및 반투과영역을 갖는 노광 마스크(미도시)를 이용한 하프톤 또는 회절노광을 실시함으로써 상기 제 2 발광영역(EA2)의 중앙부에 대해서는 타 영역대비 얇은 두께를 갖도록 형성하는 것이 특징이다.
- [0129] 다음, 도 5k 및 도 6k에 도시한 바와 같이, 상기 보호층(140) 위로 반사성이 우수한 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 은(Ag) 중 어느 하나를 우선 증착하고, 이후 일함수 값이 높은 투명 도전성 물질인 인듐-틴-옥사이드(ITO)를 증착함으로써 이중층 구조의 제 3 금속층(145(145a, 145b))을 전면에 형성한다.
- [0130] 상기 제 3 금속층(145)을 패터닝하는 과정에서 상기 제 3 금속층(145(145a, 145b))은 제 2 발광영역(EA2)에도 형성되지만 상기 보호층(140)에 상부에 형성됨으로서 제 2 애노드 전극(122)과는 접촉하지 않는 것이 특징이다.
- [0131] 이후, 도 5l 및 도 6l에 도시한 바와 같이, 상기 제 3 금속층(도 5k 및 도 6k의 145)을 마스크 공정을 진행하여 패터닝함으로써 상기 제 1 화소영역(P1)의 제 1 발광영역(EA1)에 대응하여 상기 제 1 소자영역(DA1)에 구비되는 구동 박막트랜지스터(DTr1)의 드레인 전극(136a)과 상기 드레인 콘택홀(143)을 통해 접촉하며 반사성이 우수한 금속물질로 이루어진 하부층(146a)과 일함수 값이 높은 투명 도전성 물질로 이루어진 상부층(146b)의 이중층 구조를 갖는 제 1 애노드 전극(146)을 형성한다.
- [0132] 이때, 상기 제 2 발광영역(EA2)에 있어서는 상기 제 3 금속층(145(145a, 145b))이 제거됨으로서 타 영역대비 얇은 두께를 갖는 보호층(140)이 노출된다.
- [0133] 다음, 도 5m 및 도 6m에 도시한 바와 같이, 상기 제 1 발광영역(EA1)에 이중층 구조를 갖는 제 1 애노드 전극(146)이 형성된 상태에서 건식식각을 진행하여 상기 제 2 발광영역(EA2)에 구비된 얇은 두께의 보호층(140)을 제거함으로써 상기 제 2 애노드 전극(122)을 노출시킨다.
- [0134] 다음, 도 5n 및 도 6n에 도시한 바와 같이, 상기 제 1 및 제 2 발광영역(EA1, EA2)에 각각 구비된 상기 제 1 및 제 2 애노드 전극(146, 122) 위로 유기절연물질 예를들면 폴리이미드(poly imide), 스티렌(styrene), 메틸마사크릴레이트(methyl methacrylate), 폴리테트라플루오렌(polytetrafluoroethylene) 중 어느 하나를 도포하고 이를 마스크 공정을 진행하여 패터닝함으로써 각 화소영역(P1, P2)의 경계 더욱 정확히는 각 발광영역(EA1, EA2)을 테두리하는 बैं크(155)를 형성한다.
- [0135] 이때, 상기 बैं크(155)는 각 제 1 및 제 2 발광영역(EA1, EA2)에 구비된 제 1 및 제 2 애노드 전극(146, 122)의 가장자리와 중첩하도록 형성하는 것이 특징이다.
- [0136] 다음, 도 5o 및 도 6o에 도시한 바와 같이, 상기 बैं크(155)가 형성된 제 1 기판(110)에 대해 상기 बैं크(155)와 제 1 및 제 2 애노드 전극(146, 122) 위로 고상의 유기 발광 물질을 섀도우 마스크(미도시)를 이용하여 열증착을 실시하거나, 또는 잉크젯 장치(미도시) 또는 노즐 코팅장치(미도시)를 이용하여 액상의 유기 발광 물질을 상기 बैं크(155)로 둘러싸인 각 화소영역(P1, P2) 내의 발광영역(EA1, EA2)에 대응하여 분사 또는 드롭핑 함으로서 유기 발광층(163)을 형성한다.
- [0137] 한편, 도면에 있어서는 상기 제 1 및 제 2 애노드 전극(146, 122) 위로 단일층 구조를 갖는 유기 발광층(163)이 형성된 것을 일례로 보이고 있지만, 상기 유기 발광층(163)은 발광효율 향상을 위해 다수층 구조로 이루어질 수도 있다.

- [0138] 이 경우, 상기 단일층의 유기 발광층(163)을 형성한 동일한 방법을 진행하거나, 또는 표시영역 내에 전면 증착하는 방법을 진행하여 상기 유기 발광층(163)의 하부 정공주입층(hole injection layer)(미도시)과 정공수송층(hole transporting layer)(미도시)을 선택적으로 더 형성하고, 상기 유기 발광층(163)의 상부에 전자수송층(electron transporting layer)(미도시) 및 전자주입층(electron injection layer)(미도시)을 선택적으로 더 형성할 수도 있다.
- [0139] 다음, 도 5p 및 도 6p에 도시한 바와 같이, 상기 유기 발광층(163) 위로 일함수 값이 비교적 낮은 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 은(Ag), 마그네슘(Mg), 금(Au), 알루미늄마그네슘 합금(AlMg) 중 어느 하나 또는 둘 이상을 혼합하여 표시영역 전면에 증착하여 캐소드 전극(167)을 형성함으로써 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자용 제 1 기판(110)을 완성한다.
- [0140] 이때, 전술한 방법에 의해 각 화소영역(P1, P2) 내에 순차 적층된 상기 애노드 전극(146, 122)과 유기 발광층(163)과 캐소드 전극(167)은 유기전계 발광 다이오드(E)를 이룬다.
- [0141] 다음, 도 5q 및 도 6q에 도시한 바와 같이, 상기 제 1 기판(110)과 대응하여 상기 유기발광 다이오드(E)의 인캡슐레이션을 위해 제 2 기판(170)이 대향하여 위치시키고, 상기 제 1 기판(110)과 제 2 기판(170)의 사이에는 투명하며 접착 특성을 갖는 프리트(Frit), 유기절연물질, 고분자 물질 중 어느 하나로 이루어진 페이스 셀(미도시)을 상기 제 1 기판(110)의 전면에 코팅한 상태에서 상기 제 1 기판(110)과 제 2 기판(170)을 합착하거나, 또는 진공 혹은 불활성 가스 분위기에서 상기 제 1 기판(110)의 가장자리를 따라 셀패턴(미도시)을 형성한 후 상기 제 1 및 제 2 기판(110, 170)을 합착함으로써 본 발명의 실시예에 따른 양면 표시형 유기전계 발광소자(101)를 완성한다.
- [0142] 한편, 상기 제 1 기판(110)의 상기 제 2 전극(167) 위로 무기절연물질 또는 유기절연물질을 증착 또는 도포하거나, 또는 점착층(미도시)을 재개하여 필름(미도시)을 부착함으로써 인캡슐레이션 막(미도시)으로 이용할 경우, 상기 제 2 기판(170)은 생략될 수도 있다.
- [0143] 본 발명은 전술한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

- [0144] 110 : 제 1 기판
 111 : 버퍼층
 113 : 반도체층
 113a, 113b : 액티브영역 및 오믹영역
 116 : 게이트 절연막
 118 : 게이트 전극
 118a, 118b : (게이트 전극의)하부층 및 상부층
 122 : 제 2 애노드 전극
 123 : 층간절연막
 125 : 반도체층 콘택홀
 133 : 소스 전극
 136 : 드레인 전극
 140 : 보호층
 145 : 제 3 금속층

145a, 145b : (제 3 금속층의)하부층 및 상부층

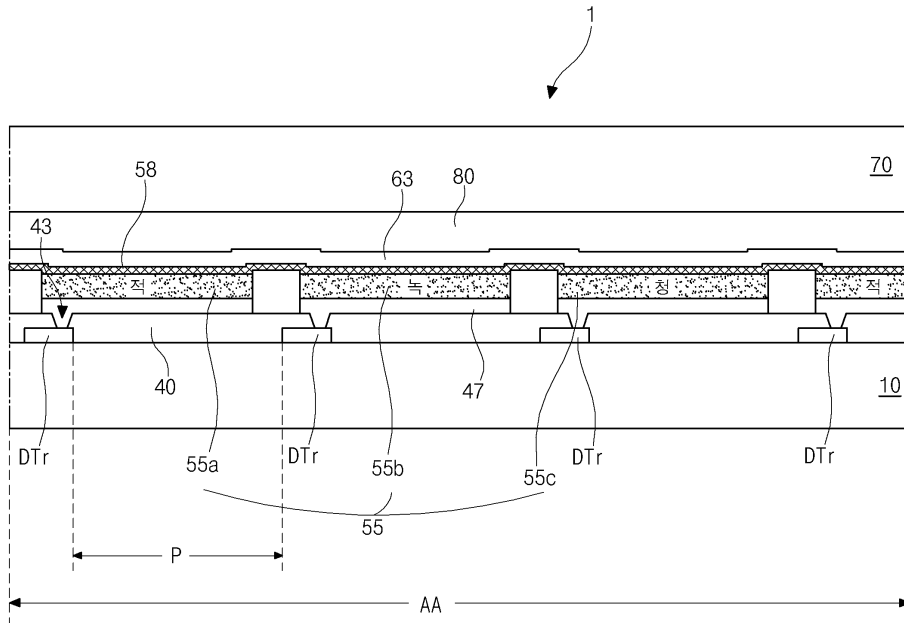
DA2 : 제 2 소자영역

DTr2 : 구동 박막트랜지스터

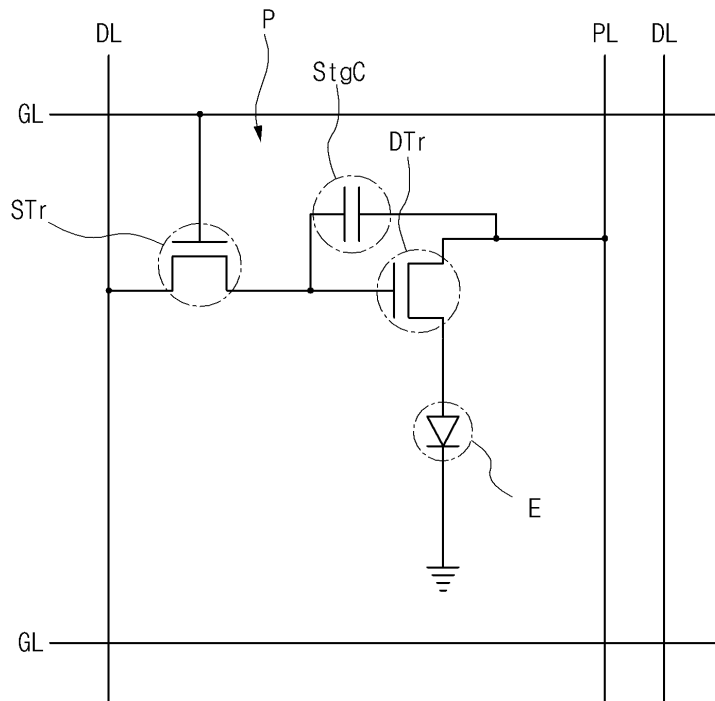
P2 : 제 2 화소영역

도면

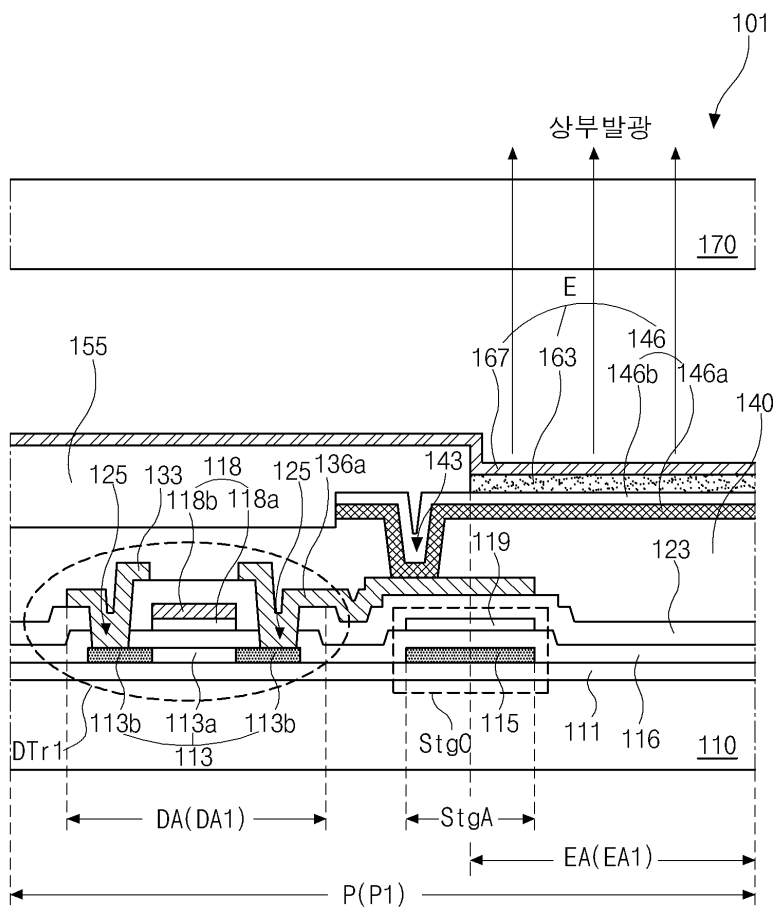
도면1



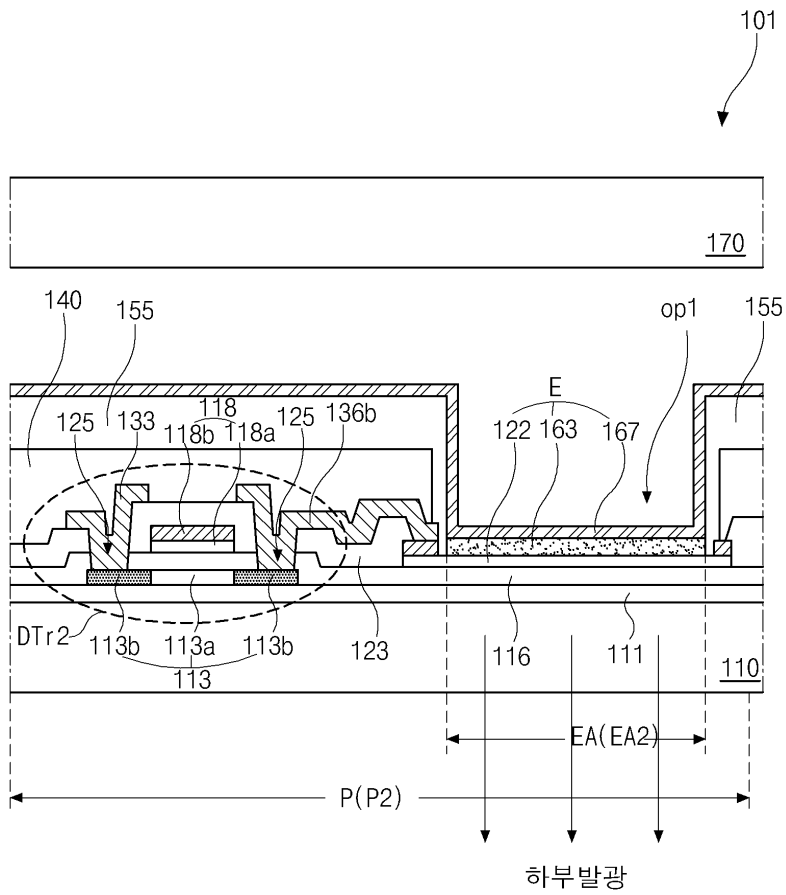
도면2



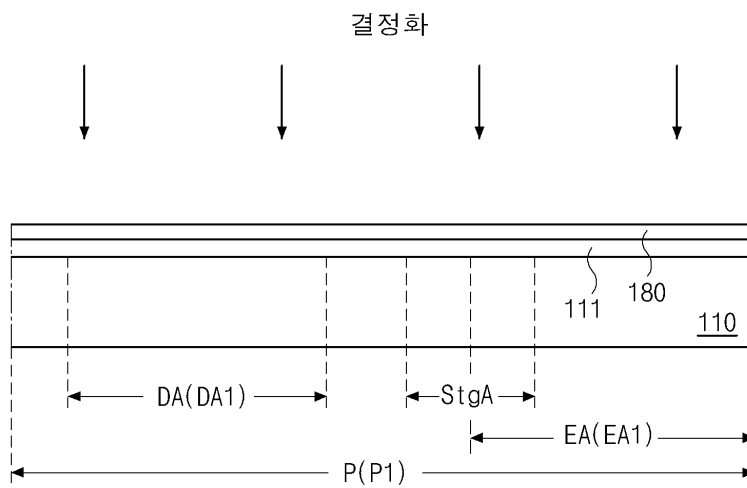
도면3



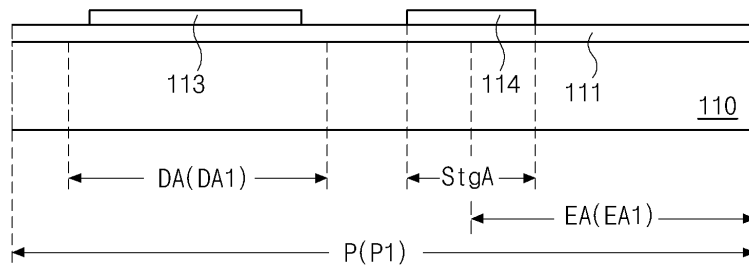
도면4



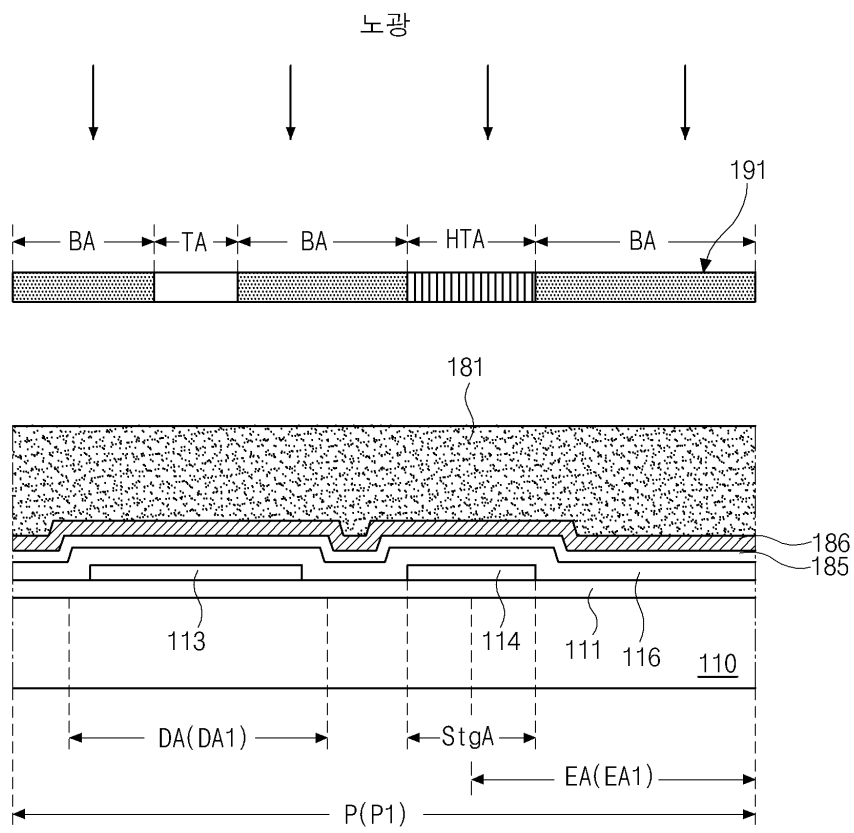
도면5a



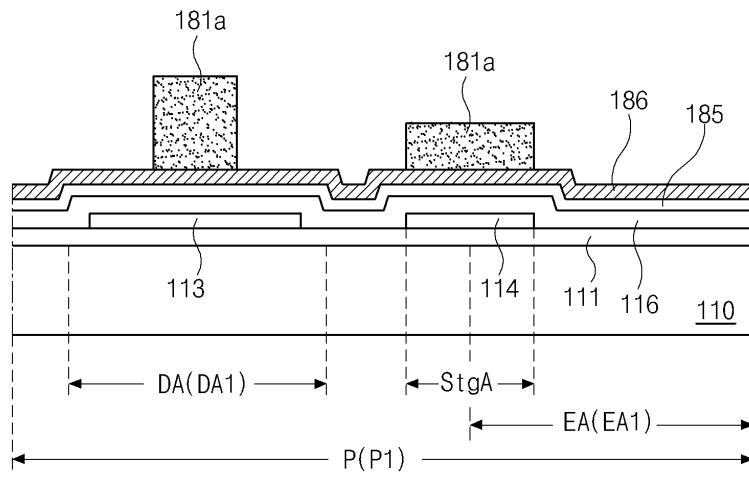
도면5b



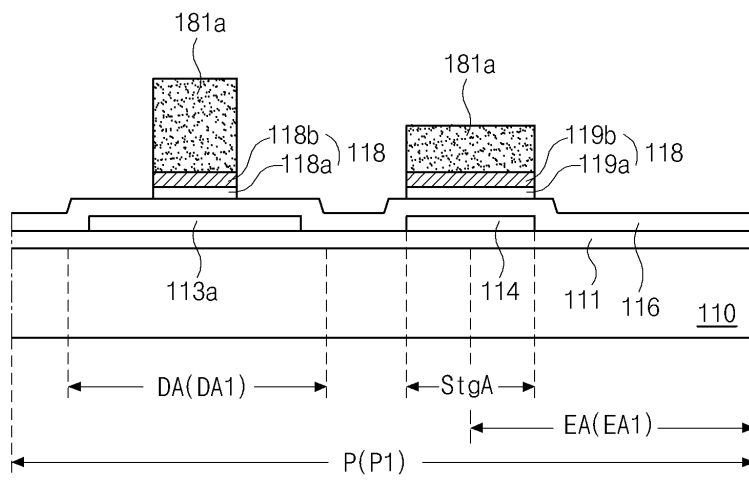
도면5c



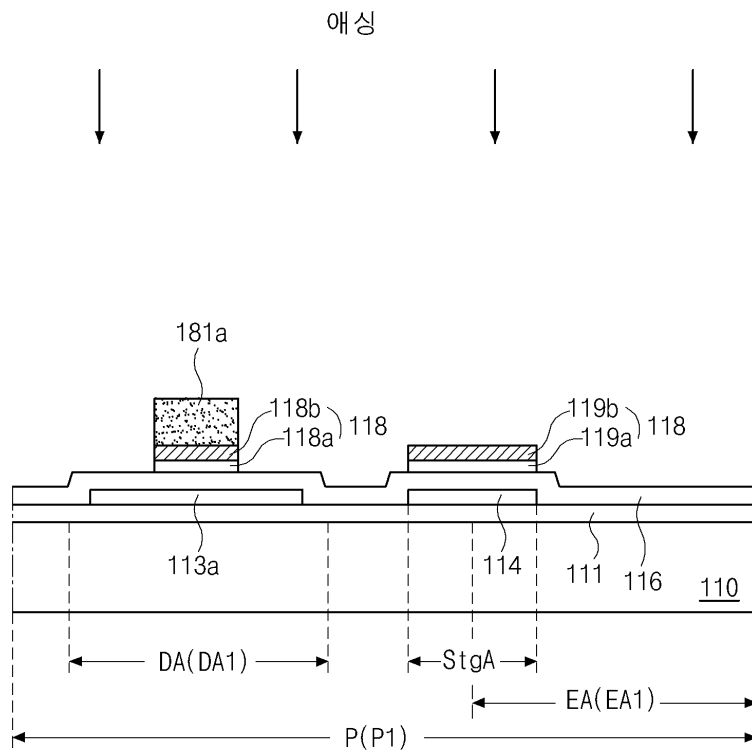
도면5d



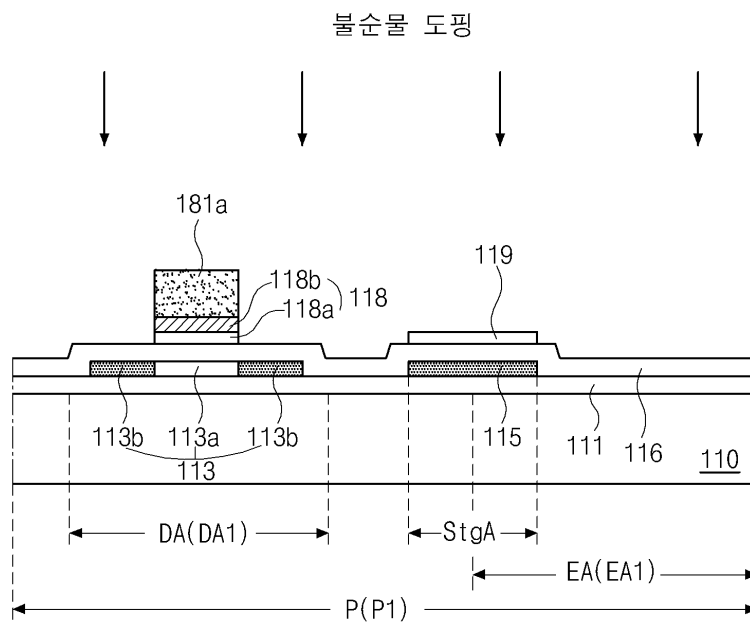
도면5e



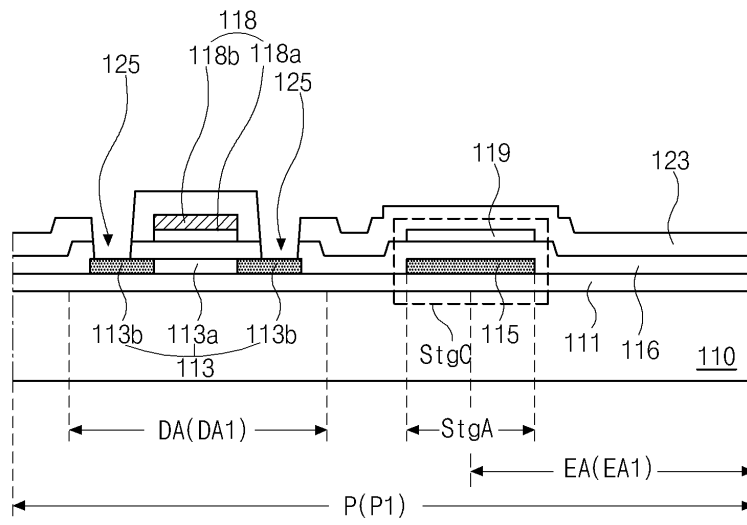
도면5f



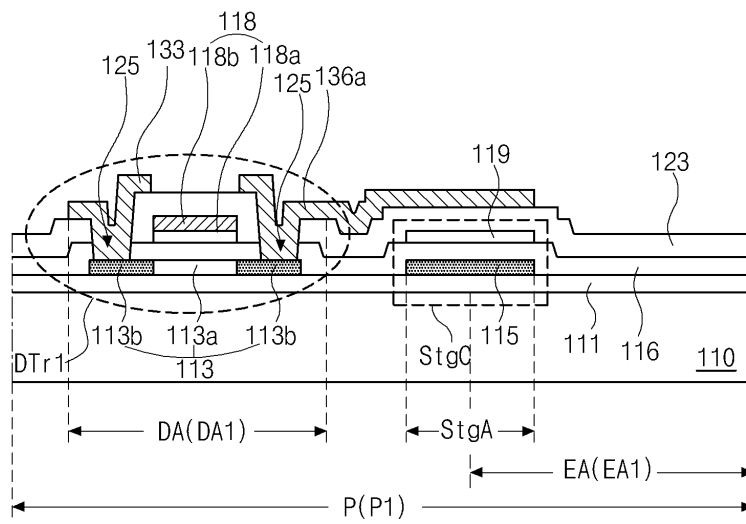
도면5g



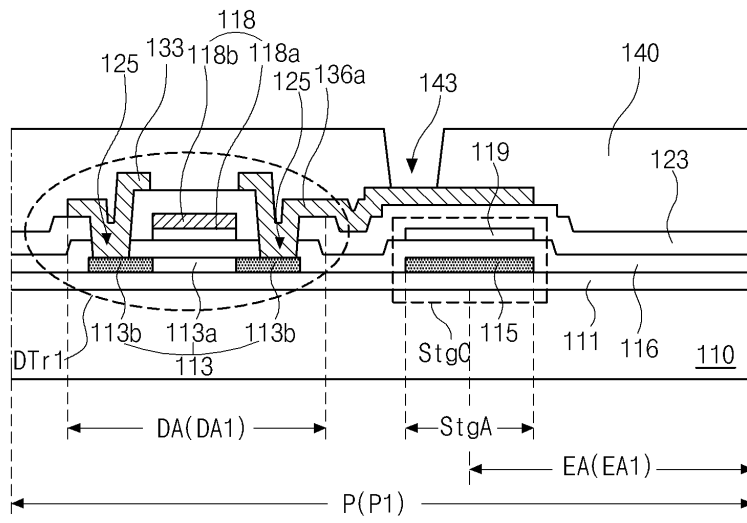
도면5h



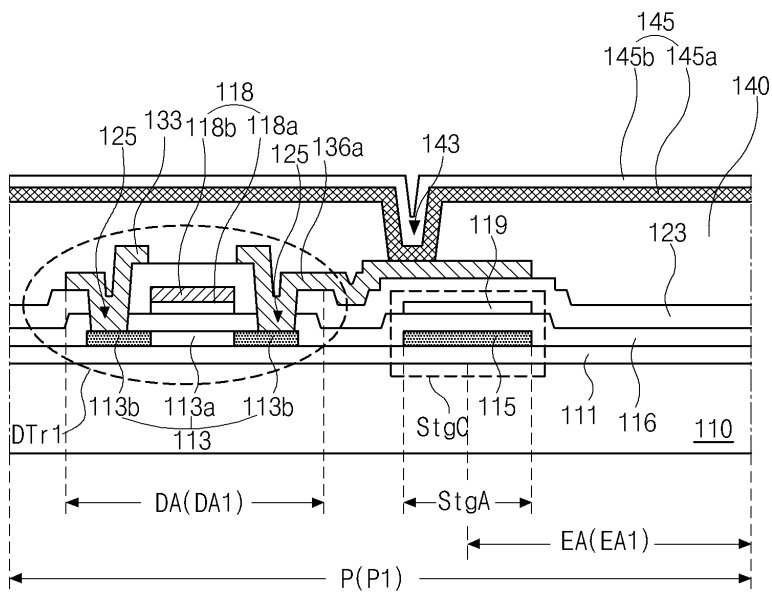
도면5i



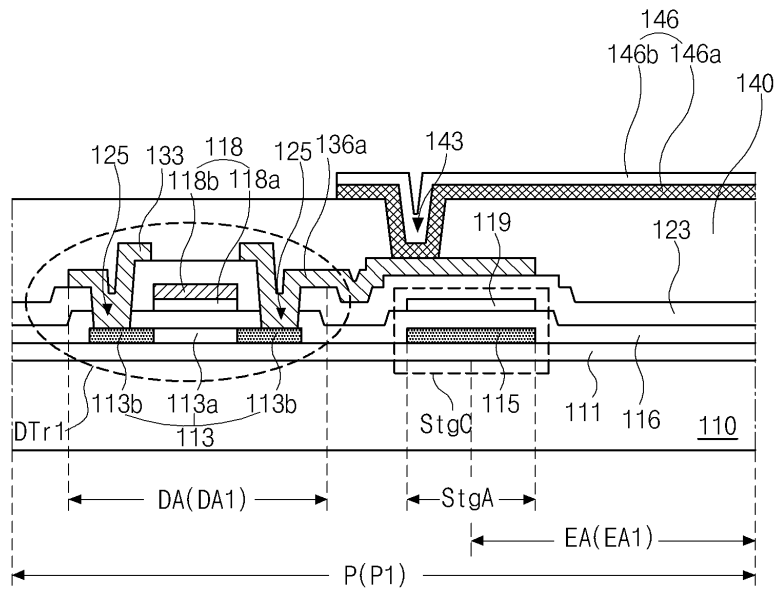
도면5j



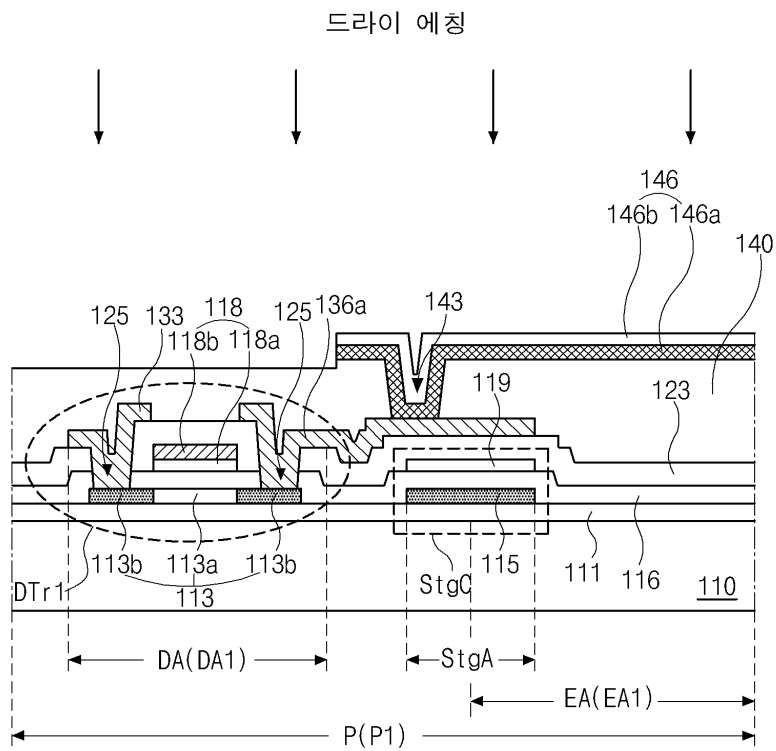
도면5k



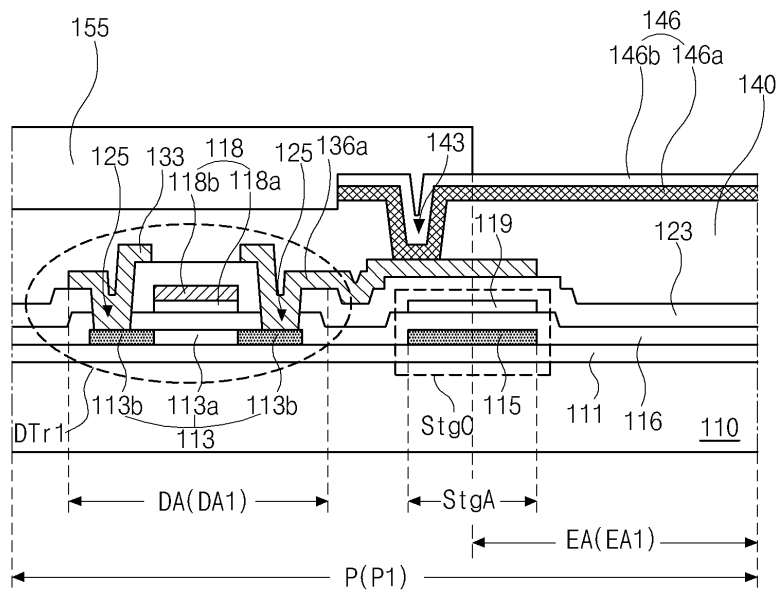
도면51



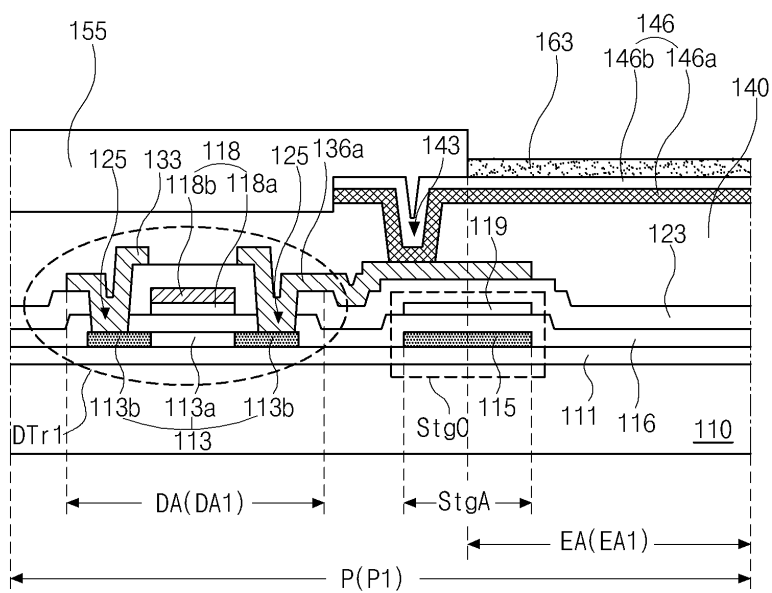
도면5m



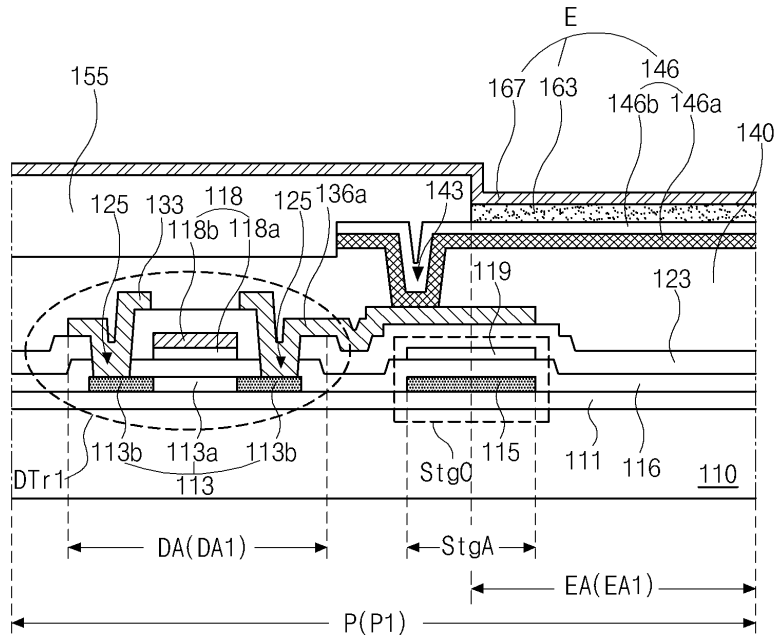
도면 5n



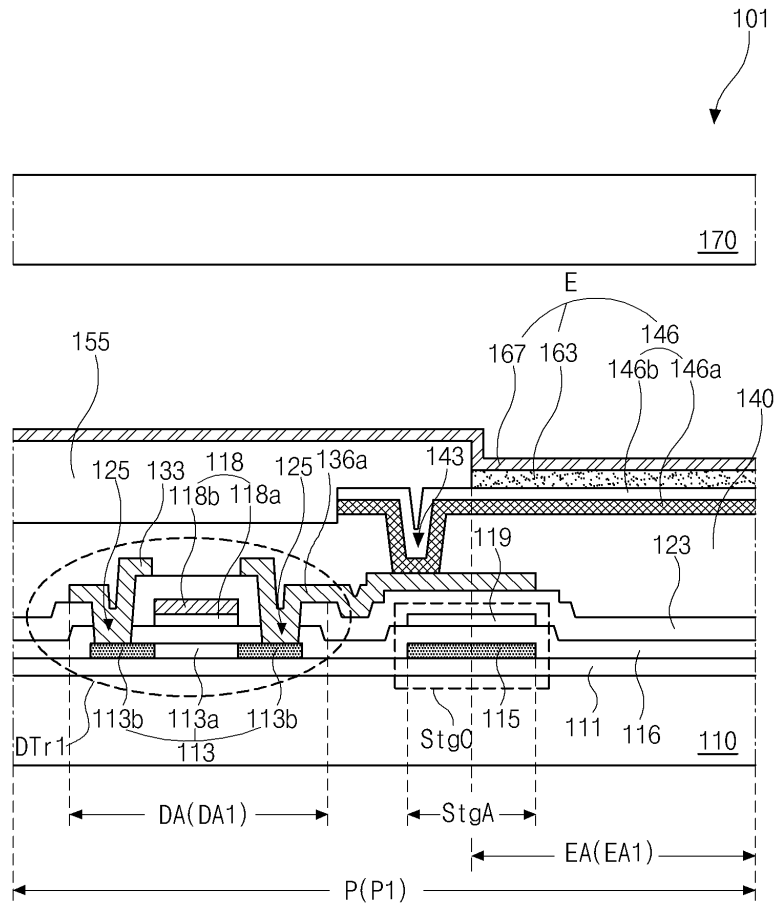
도면50



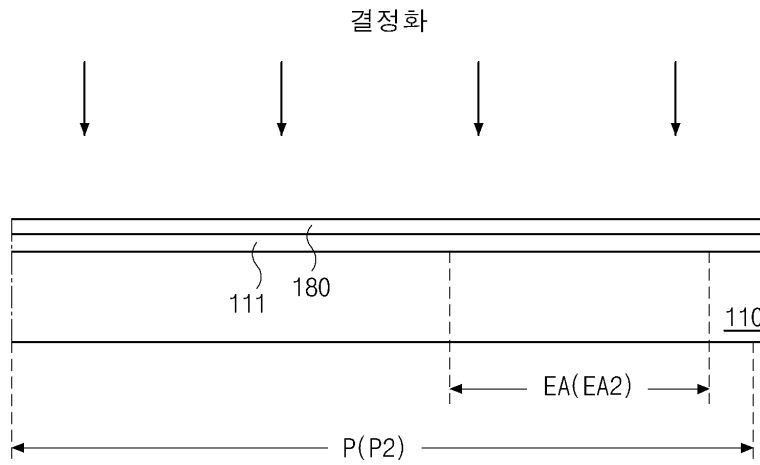
도면5p



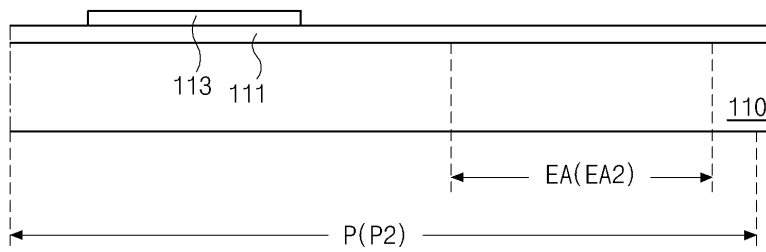
도면5q



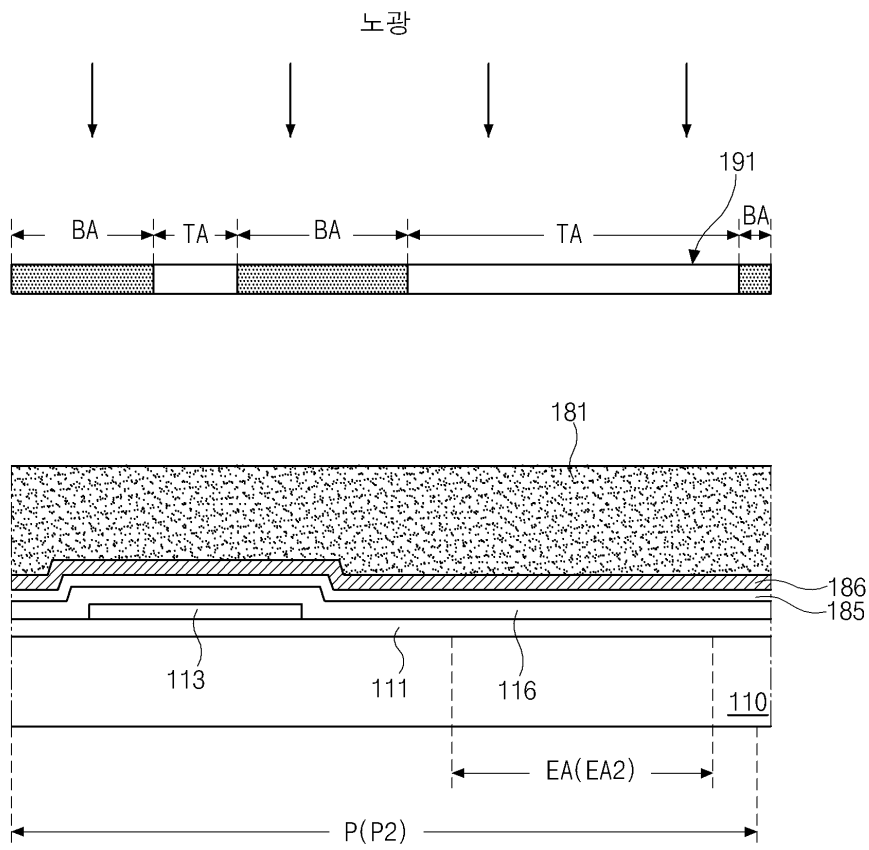
도면6a



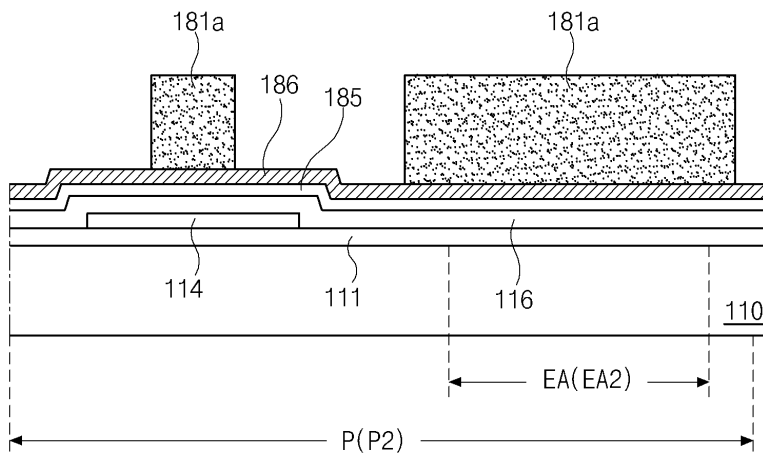
도면6b



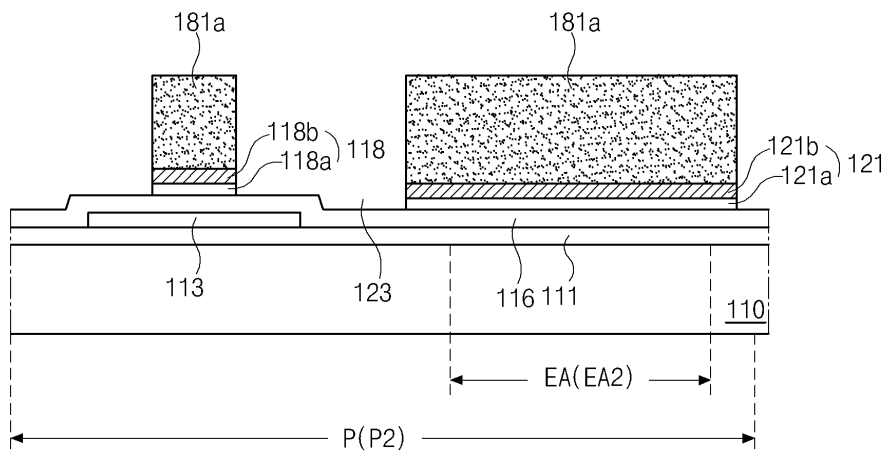
도면6c



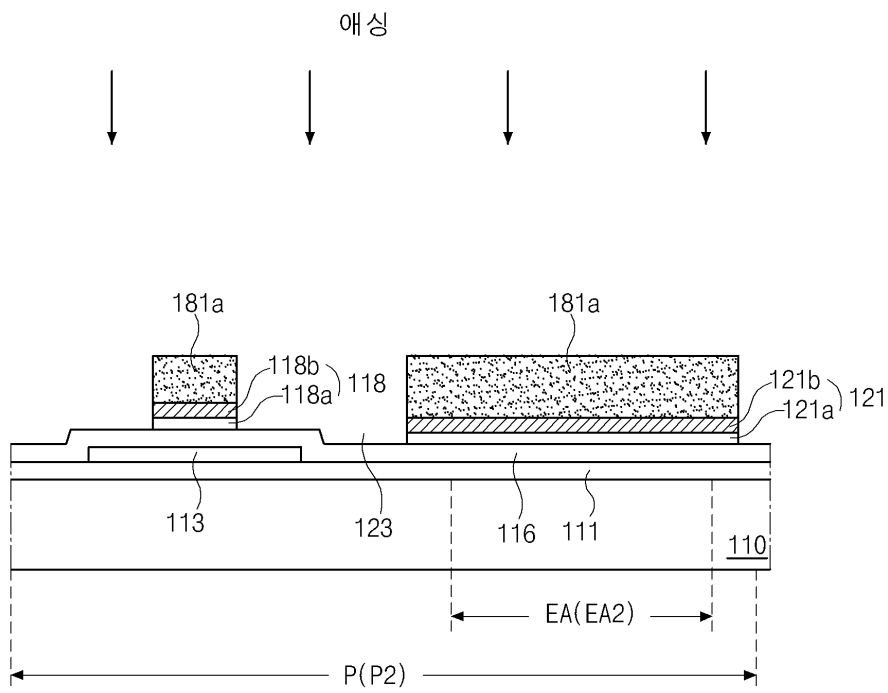
도면6d



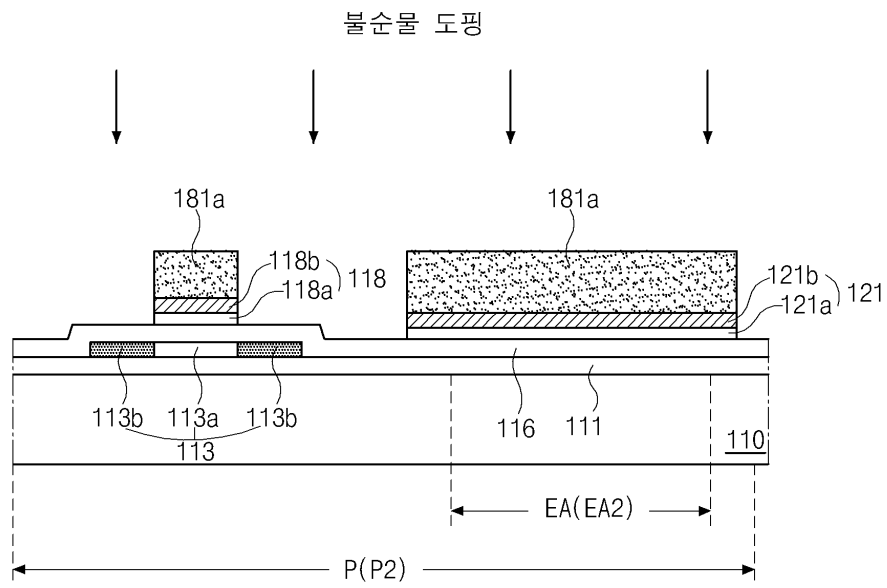
도면6e



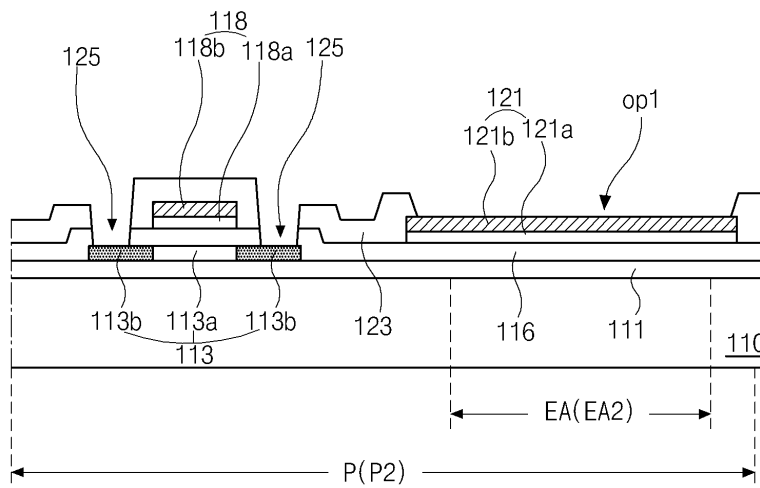
도면6f



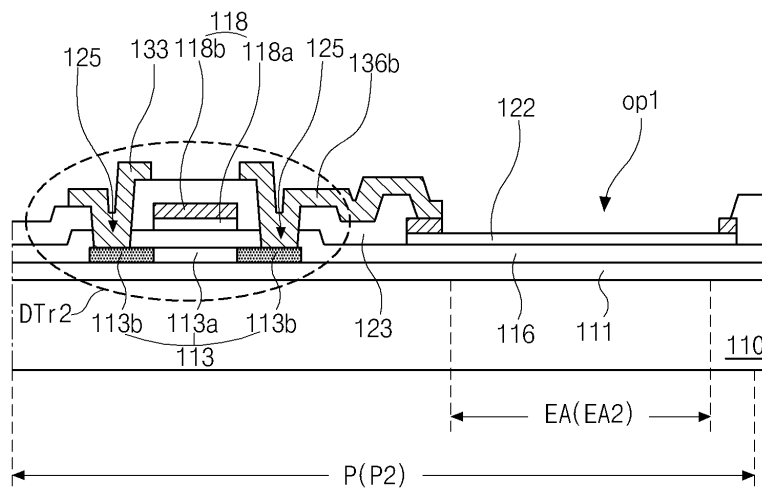
도면6g



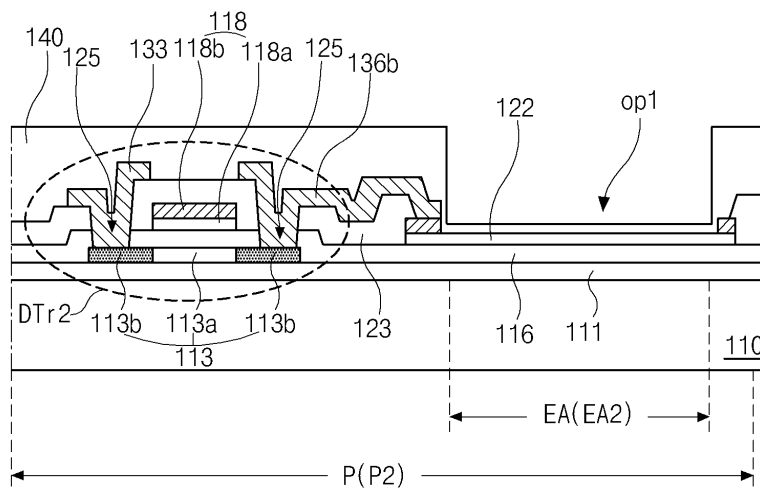
도면6h



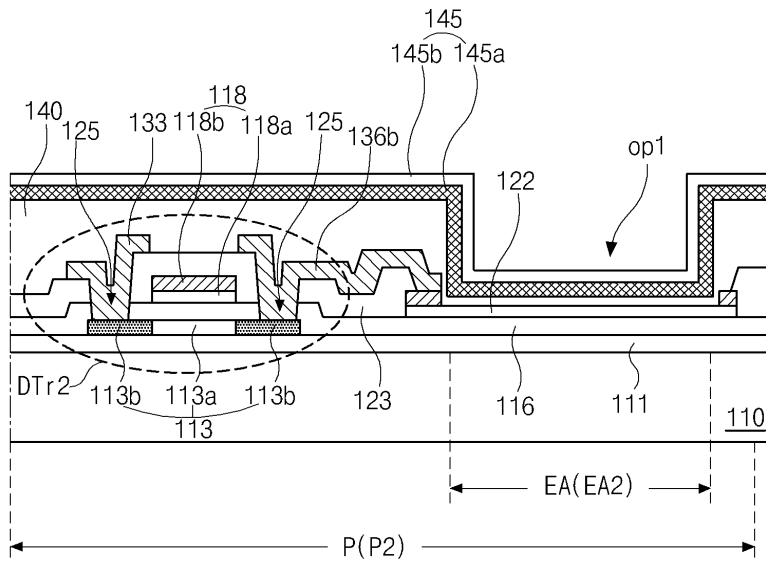
도면6i



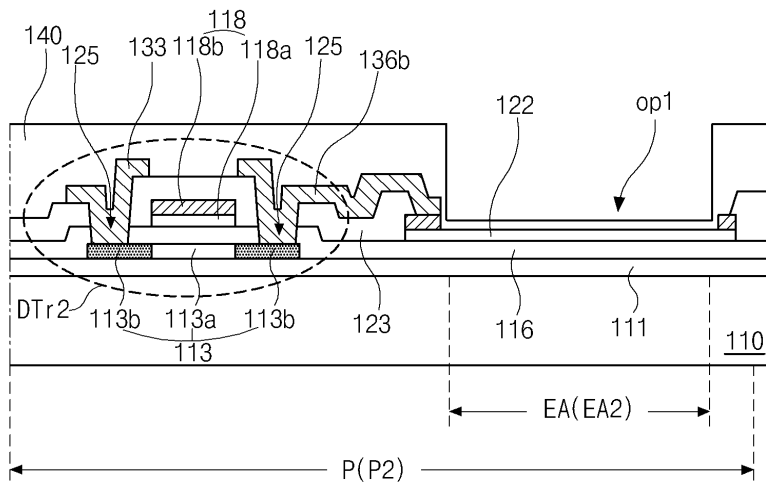
도면6j



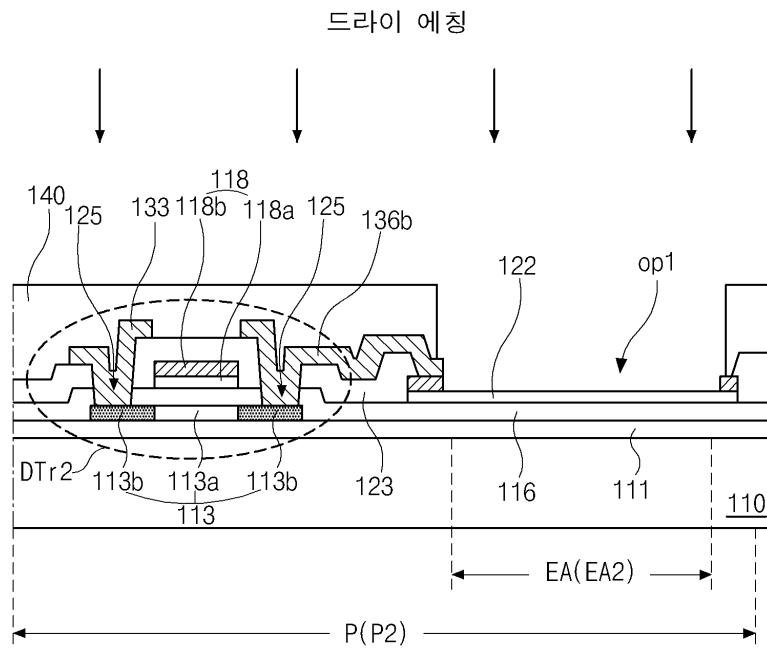
도면6k



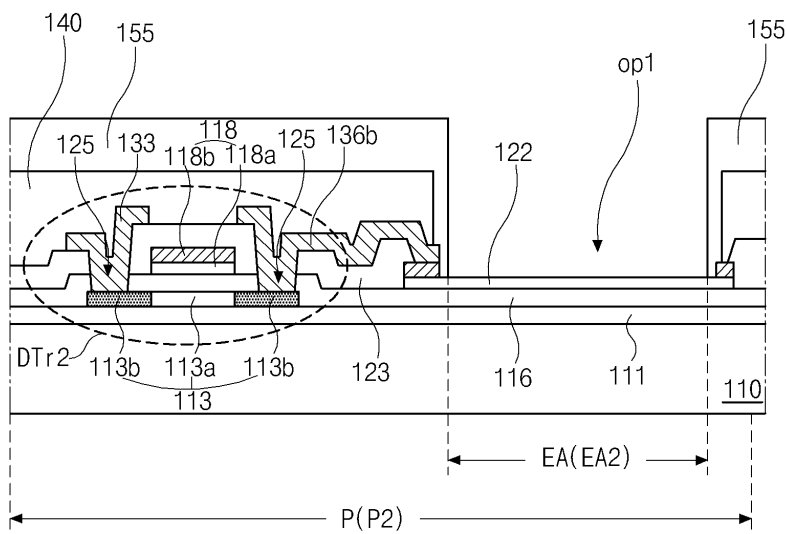
도면6l



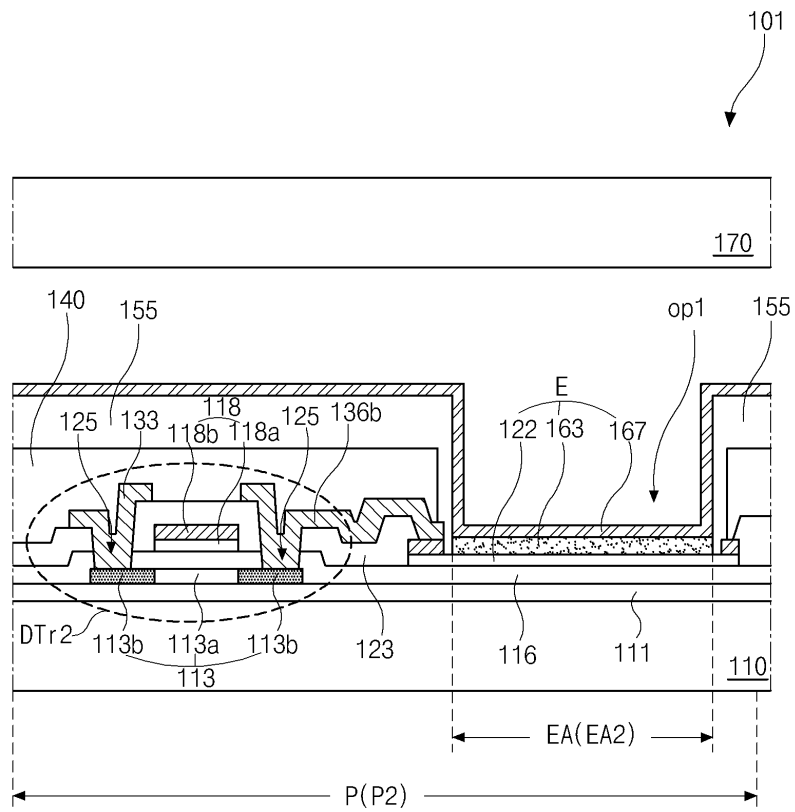
도면6m



도면6n



도면6q



专利名称(译)	标题：双向显示型有机电致发光器件及其制造方法		
公开(公告)号	KR1020140084603A	公开(公告)日	2014-07-07
申请号	KR1020120154243	申请日	2012-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN DONG CHAE 신동채		
发明人	신동채		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L51/56 H01L2227/323 H01L2251/5323		
其他公开文献	KR102078022B1		
外部链接	Espacenet		

摘要(译)

双面显示型有机电致发光器件及其制造方法本发明涉及双面显示型有机电致发光器件及其制造方法。双面显示型有机电致发光器件包括：基板，限定多个第一像素区域和第二像素区域；驱动和切换包括在第一和第二像素区域中的各个元件区域中的薄膜晶体管；形成在驱动或开关薄膜晶体管上方的保护层；有机电致发光二极管连接到驱动薄膜晶体管的漏电极，并包括在第一和第二像素区域中的各个发光区域中。电致发光二极管形成在第一像素区域中的保护层上以向上发光，并且电致发光二极管形成在第二像素区域中的栅极绝缘层上，以通过保护层中的第一开口向下发光。

