



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0045150
(43) 공개일자 2014년04월16일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
G09G 3/30 (2006.01)
(21) 출원번호 10-2012-0111339
(22) 출원일자 2012년10월08일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
전무경
울산 중구 우정2길 45, 106동 2103호 (우정동, 우정아이파크)
김태준
서울 서초구 서운로3길 29, 1003호 (서초동, 우정 에쉐르)
(74) 대리인
팬코리아특허법인

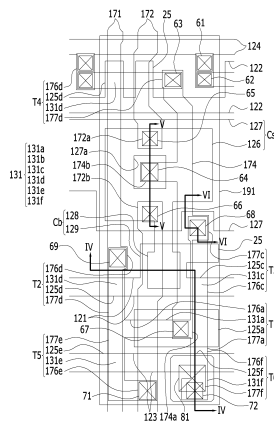
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드, 상기 구동 전압선과 상기 구동 박막 트랜지스터의 구동 게이트 전극 사이에 연결되어 있는 스토리지 캐패시터, 상기 스토리지 캐패시터에 연결되어 있는 부스팅 캐패시터를 포함하고, 상기 스토리지 캐패시터는 적어도 하나 이상의 캐패시터 개구부를 가질 수 있다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 스토리지 캐패시터는 적어도 하나 이상의 캐패시터 개구부를 가지므로 과식각 현상에도 스토리지 캐패시터와 부스팅 캐패시터의 캐패시턴스 비를 균일하게 유지할 수 있다. 따라서, 복수개의 화소에 구비되는 스토리지 캐패시터와 부스팅 캐패시터간의 캐패시턴스 비에 편차가 발생하지 않으므로 얼룩 발생을 방지할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

기관,

상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선,

상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선,

상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터,

상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터,

상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드,

상기 구동 전압선과 상기 구동 박막 트랜지스터의 구동 게이트 전극 사이에 연결되어 있는 스토리지 캐패시터,

상기 스토리지 캐패시터에 연결되어 있는 부스팅 캐패시터

를 포함하고,

상기 스토리지 캐패시터는 적어도 하나 이상의 캐패시터 개구부를 가지는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 구동 박막 트랜지스터는

상기 기관 위에 형성되어 있는 구동 반도체층,

상기 구동 반도체층을 차례로 덮고 있는 제1 게이트 절연막 및 제2 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체층과 중첩하고 있는 구동 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 스토리지 캐패시터는

상기 제1 게이트 절연막 위에 형성되어 있는 제1 스토리지 축전판,

상기 제1 스토리지 축전판을 덮고 있는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 형성되어 있으며 상기 제1 스토리지 축전판과 중첩하고 있는 제2 스토리지 축전판을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 캐패시터 개구부는 상기 제2 스토리지 축전판에 형성되어 있는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 제2 스토리지 축전판을 덮고 있는 층간 절연막을 더 포함하고,

상기 캐패시터 개구부 내부에 위치하고 있으며 상기 층간 절연막 및 상기 제2 게이트 절연막에 형성된 접촉 구멍을 통해 상기 구동 게이트 전극은 상기 제1 스토리지 축전판과 연결되어 있는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 구동 전압선은 상기 층간 절연막 위에 형성되어 있으며 상기 캐패시터 개구부에 대응하는 위치에서 분리되어 있는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 구동 전압선의 일측 분리단 및 타측 분리단은 상기 층간 절연막에 각각형성된 일측 접촉 구멍 및 타측 접촉 구멍을 통해 상기 제2 스토리지 축전판과 연결되어 있는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 구동 전압선과 평행하게 동일한 층에 형성되어 있으며 상기 구동 게이트 전극과 상기 제1 스토리지 축전판을 연결하는 연결 부재를 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 연결 부재의 일단은 상기 층간 절연막에 형성된 접촉 구멍을 통해 상기 구동 게이트 전극과 연결되어 있으며, 상기 연결 부재의 제1 중간 돌출부는 상기 층간 절연막 및 상기 제2 게이트 절연막에 형성된 접촉 구멍을 통해 상기 제1 스토리지 축전판과 연결되어 있는 유기 발광 표시 장치.

청구항 10

제8항에서,

이전 스캔선을 통해 전달받은 이전 스캔 신호에 따라 턴 온되어 초기화 전압을 상기 구동 박막 트랜지스터의 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터를 더 포함하고,

상기 연결 부재의 타단은 상기 층간 절연막, 상기 제2 게이트 절연막 및 제1 게이트 절연막에 형성된 접촉 구멍을 통해 상기 초기화 박막 트랜지스터의 초기화 반도체층과 연결되어 있는 유기 발광 표시 장치.

청구항 11

제8항에서,

상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터를 더 포함하고,

상기 연결 부재의 제2 중간 돌출부는 상기 층간 절연막, 상기 제2 게이트 절연막 및 제1 게이트 절연막에 형성된 접촉 구멍을 통해 상기 보상 박막 트랜지스터의 보상 반도체층과 연결되어 있는 유기 발광 표시 장치.

청구항 12

제8항에서,

상기 부스팅 캐패시터는 상기 제1 스토리지 캐패시터에서 연장된 제1 부스팅 축전판, 상기 제1 부스팅 축전판과 중첩하며 상기 스캔선에서 돌출된 제2 부스팅 축전판을 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 스캔선 및 상기 구동 게이트 전극은 상기 제2 스토리지 축전판과 동일한 층에 형성되어 있는 유기 발광 표시 장치.

청구항 14

제12항에서,

상기 이전 스캔선은 상기 제1 스토리지 축전판과 동일한 층에 형성되어 있는 유기 발광 표시 장치.

청구항 15

제12항에서,

상기 제1 스토리지 축전판은 상기 제1 부스팅 축전판과 동일한 층에 형성되어 있고, 상기 제2 스토리지 축전판은 상기 제2 부스팅 축전판과 동일한 층에 형성되어 있는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 하나 이상의 캐패시터(Capacitor)가 형성되어 있다. 복수개의 박막 트랜지스터는 기본적으로 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다.

[0004] 캐패시터는 데이터 신호를 저장하기 위한 스토리지 캐패시터(Storage Capacitor, Cst), 보다 정확한 계조 표현을 위해 신호선의 전압 변화에 따라 부스팅 동작을 수행하는 부스팅 캐패시터(Boosting Capacitor, Cb)를 포함하며, 스토리지 캐패시터와 부스팅 캐패시터를 포함하는 화소의 휘도는 두 캐패시터의 캐패시턴스 비에 따라 달라지게 된다. 따라서, 균일한 휘도 표현을 위해서는 복수개의 화소 사이에서 스토리지 캐패시터와 부스팅 캐패시터의 캐패시턴스 비가 균일하게 유지되어야 하며, 복수개의 화소에 구비되는 스토리지 캐패시터와 부스팅 캐패시터간의 캐패시턴스 비에 편차가 발생할 경우 휘도 편차 및 색편차에 의해 얼룩이 발생하게 된다.

[0005] 특히, 스토리지 캐패시터에 비해 부스팅 캐패시터의 면적이 작으므로 제조 공정 상 미세한 파식각 현상 즉, 스큐(skew)에도 부스팅 캐패시터의 면적에 큰 영향을 미쳐 화소에 얼룩이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 복수개의 화소에 구비되는 스토리지 캐패시터와 부스팅 캐패시터간의 캐패시턴스 편차에 기인한 얼룩을 방지할 수 있는 유기 발광 표시 장치에 관한 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드, 상기 구동 전압선과 상기 구동 박막 트랜지스터의 구동 게이트 전극 사이에 연결되어 있는 스토리지 캐패시터, 상기 스토리지 캐패시터에 연결되어 있는 부스팅 캐패시터를 포함하고, 상기 스토리지 캐패시터는 적어도 하나 이상의 캐패시터 개구부를 가질 수 있다.

[0008] 상기 구동 박막 트랜지스터는 상기 기판 위에 형성되어 있는 구동 반도체층, 상기 구동 반도체층을 차례로 덮고 있는 제1 게이트 절연막 및 제2 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체층과 중첩하고 있는 구동 게이트 전극을 포함할 수 있다.

- [0009] 상기 스토리지 캐패시터는 상기 제1 게이트 절연막 위에 형성되어 있는 제1 스토리지 축전판, 상기 제1 스토리지 축전판을 덮고 있는 제2 게이트 절연막, 상기 제2 게이트 절연막 위에 형성되어 있으며 상기 제1 스토리지 축전판과 중첩하고 있는 제2 스토리지 축전판을 포함할 수 있다.
- [0010] 상기 캐패시터 개구부는 상기 제2 스토리지 축전판에 형성되어 있을 수 있다.
- [0011] 상기 제2 스토리지 축전판을 덮고 있는 층간 절연막을 더 포함하고, 상기 캐패시터 개구부 내부에 위치하고 있으며 상기 층간 절연막 및 상기 제2 게이트 절연막에 형성된 접촉 구멍을 통해 상기 구동 게이트 전극은 상기 제1 스토리지 축전판과 연결되어 있을 수 있다.
- [0012] 상기 구동 전압선은 상기 층간 절연막 위에 형성되어 있으며 상기 캐패시터 개구부에 대응하는 위치에서 분리되어 있을 수 있다.
- [0013] 상기 구동 전압선의 일측 분리단 및 타측 분리단은 상기 층간 절연막에 각각 형성된 일측 접촉 구멍 및 타측 접촉 구멍을 통해 상기 제2 스토리지 축전판과 연결되어 있을 수 있다.
- [0014] 상기 구동 전압선과 평행하게 동일한 층에 형성되어 있으며 상기 구동 게이트 전극과 상기 제1 스토리지 축전판을 연결하는 연결 부재를 더 포함할 수 있다.
- [0015] 상기 연결 부재의 일단은 상기 층간 절연막에 형성된 접촉 구멍을 통해 상기 구동 게이트 전극과 연결되어 있으며, 상기 연결 부재의 제1 중간 돌출부는 상기 층간 절연막 및 상기 제2 게이트 절연막에 형성된 접촉 구멍을 통해 상기 제1 스토리지 축전판과 연결되어 있을 수 있다.
- [0016] 이전 스캔선을 통해 전달받은 이전 스캔 신호에 따라 턴 온되어 초기화 전압을 상기 구동 박막 트랜지스터의 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터를 더 포함하고, 상기 연결 부재의 타단은 상기 층간 절연막, 상기 제2 게이트 절연막 및 제1 게이트 절연막에 형성된 접촉 구멍을 통해 상기 초기화 박막 트랜지스터의 초기화 반도체층과 연결되어 있을 수 있다.
- [0017] 상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터를 더 포함하고, 상기 연결 부재의 제2 중간 돌출부는 상기 층간 절연막, 상기 제2 게이트 절연막 및 제1 게이트 절연막에 형성된 접촉 구멍을 통해 상기 보상 박막 트랜지스터의 보상 반도체층과 연결되어 있을 수 있다.
- [0018] 상기 부스팅 캐패시터는 상기 제1 스토리지 캐패시터에서 연장된 제1 부스팅 축전판, 상기 제1 부스팅 축전판과 중첩하며 상기 스캔선에서 돌출된 제2 부스팅 축전판을 포함할 수 있다.
- [0019] 상기 스캔선 및 상기 구동 게이트 전극은 상기 제2 스토리지 축전판과 동일한 층에 형성되어 있을 수 있다.
- [0020] 상기 이전 스캔선은 상기 제1 스토리지 축전판과 동일한 층에 형성되어 있을 수 있다.
- [0021] 상기 제1 스토리지 축전판은 상기 제1 부스팅 축전판과 동일한 층에 형성되어 있고, 상기 제2 스토리지 축전판은 상기 제2 부스팅 축전판과 동일한 층에 형성되어 있을 수 있다.

발명의 효과

- [0022] 본 발명의 일 실시예에 따르면, 스토리지 캐패시터는 적어도 하나 이상의 캐패시터 개구부를 가지므로 파식각 현상에도 스토리지 캐패시터와 부스팅 캐패시터의 캐패시턴스 비를 균일하게 유지할 수 있다. 따라서, 복수개의 화소에 구비되는 스토리지 캐패시터와 부스팅 캐패시터간의 캐패시턴스 비에 편차가 발생하지 않으므로 얼룩 발생을 방지할 수 있다.
- [0023] 또한, 구동 전압선을 캐패시터 개구부에 대응하는 위치에서 분리시키고, 구동 전압선의 일측 분리단 및 타측 분리단은 층간 절연막에 각각 형성된 일측 접촉 구멍 및 타측 접촉 구멍을 통해 제2 스토리지 축전판과 연결시키고, 캐패시터 개구부를 통해 노출된 제1 스토리지 축전판과 구동 게이트 전극을 연결 부재를 이용하여 연결함으로써, 스토리지 캐패시터 내부에 캐패시터 개구부를 형성할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에서 복수개의 박막 트랜지스터 및 캐패

시터의 위치를 개략적으로 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.

도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다.

도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.

도 6은 도 3의 유기 발광 표시 장치를 VI-VI선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0026] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0027] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0028] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0029] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0030] 또한, 첨부 도면에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 2개의 캐패시터(capacitor)를 구비하는 6Tr 2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0031] 그러면 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대하여 도 1 내지 도 5를 참고로 상세하게 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0033] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(121, 122, 123, 124, 171, 172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 캐패시터(Cst, Cb) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0034] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함하며, 캐패시터(Cst, Cb)는 스토리지 캐패시터(storage capacitor)(Cst) 및 부스팅 캐패시터(boosting capacitor)(Cb)를 포함한다.
- [0035] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(123), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124)을 포함한다.
- [0036] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동

박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.

[0037] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121), 부스팅 캐패시터의 타단(Cb2) 및 보상 박막 트랜지스터(T3)의 게이트 전극(G3)에 함께 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0038] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121), 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2) 및 부스팅 캐패시터(Cb)의 타단(Cb2)에 함께 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 캐패시터(Cst)의 일단(Cst1), 부스팅 캐패시터(Cb)의 일단(Cb1), 구동 박막 트랜지스터(T1)의 게이트 전극(G1) 및 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

[0039] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 부스팅 캐패시터의 일단(Cb1), 스토리지 캐패시터의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0040] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(S2)에 연결되어 있다.

[0041] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류(Id)가 흐르게 된다.

[0042] 스토리지 캐패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

[0043] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

[0044] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.

[0045] 이 후, 데이터 프로그래밍 기간동안 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우

레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.

- [0046] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0047] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가된다.
- [0048] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.
- [0049] 이 후, 스캔 신호(Sn)의 공급이 중단되면서 스캔 신호(Sn)의 전압 레벨이 하이 레벨(high level)로 변경되면, 부스팅 커패시터(Cb)의 커플링 작용에 의해 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압이 스캔 신호(Sn)의 전압 변동폭에 대응하여 변경된다. 이때, 스토리지 커패시터(Cst)와 부스팅 커패시터(Cb) 간의 차지 셰어링(charge sharing)에 의해 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압이 변경되므로, 구동 게이트 전극(G1)에 인가되는 전압 변화량은 스캔 신호(Sn)의 전압 변동폭과 더불어, 스토리지 커패시터(Cst) 및 부스팅 커패시터(Cb) 간의 차지 셰어링(charge sharing) 값에 비례하여 변동된다.
- [0050] 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.
- [0051] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 커패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Dm+Vth)-ELVDD'으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 게이트-소스 전압(Vgs)에서 문턱 전압(Vth)을 차감한 값의 제곱 '(Dm-ELVDD)²'에 비례한다. 따라서 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.
- [0052] 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 2 내지 도 6을 도 1과 함께 참고하여 상세하게 설명한다.
- [0053] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에서 복수개의 박막 트랜지스터 및 커패시터의 위치를 개략적으로 도시한 도면이고, 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이고, 도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이고, 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이고, 도 6은 도 3의 유기 발광 표시 장치를 VI-VI선을 따라 자른 단면도이다.
- [0054] 도 2 내지 도 6에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.
- [0055] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst), 부스팅 커패시터(Cb), 그리고 유기 발광 다이오드(OLED)(70)가 형성되어 있다.
- [0056] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 반도체층(131)을 따라 형성되어 있으며, 반도체층(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(131)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 박막 트랜지스터(T5)

및 발광 제어 박막 트랜지스터(T6)에 각각 형성되는 동작 제어 반도체층(131e) 및 발광 제어 반도체층(131f)을 포함한다.

- [0057] 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 소스 전극(176a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a)에 해당하고, 구동 드레인 전극(177a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 드레인 영역(177a)에 해당한다. 구동 게이트 전극(125a)은 구동 반도체층(131a)과 중첩하고 있으며, 직사각 형상이다.
- [0058] 구동 게이트 전극(125a)은 스캔선(121), 초기화 전압선(124), 스위칭 게이트 전극(125b), 보상 게이트 전극(125c), 제2 스토리지 축전판(127) 및 제2 부스팅 축전판(129)과 동일한 물질로 동일한 층에 형성되어 있다.
- [0059] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b) 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.
- [0060] 보상 박막 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c) 및 보상 드레인 전극(177c)을 포함하고, 보상 소스 전극(176c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역에 해당한다. 보상 게이트 전극(125c)는 별도의 듀얼 게이트 전극(25)을 형성하여 누설 전류(leakage current)를 방지한다.
- [0061] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d) 및 초기화 드레인 전극(177d)을 포함한다. 초기화 소스 전극(176d)의 일단은 층간 절연막(160)에 형성된 접촉 구멍(61)을 통해 초기화 전압선(124)과 연결되어 있고, 초기화 소스 전극(176d)의 타단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속으로 형성된 접촉 구멍(62)을 통해 초기화 반도체층(131d)과 연결되어 있으며, 초기화 드레인 전극(177d)은 연결 부재(174)의 타단으로서, 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속으로 형성된 접촉 구멍(63)을 통해 초기화 반도체층(131d)과 연결되어 있다.
- [0062] 동작 제어 박막 트랜지스터(T5)는 동작 제어 반도체층(131e), 동작 제어 게이트 전극(125e), 동작 제어 소스 전극(176e) 및 동작 제어 드레인 전극(177e)을 포함한다. 동작 제어 소스 전극(176e)은 구동 전압선(172)의 일부 분이며 접촉 구멍(71)을 통해 동작 제어 소스 영역과 연결되고, 동작 제어 드레인 전극(177e)은 동작 제어 반도체층(131e)에서 불순물이 도핑된 동작 제어 드레인 영역(177e)에 해당한다.
- [0063] 발광 제어 박막 트랜지스터(T6)는 발광 제어 반도체층(131f), 발광 제어 게이트 전극(125f), 발광 제어 소스 전극(176f) 및 발광 제어 드레인 전극(177f)을 포함한다. 발광 제어 소스 전극(176f)은 발광 제어 반도체층(131f)에서 불순물이 도핑된 발광 제어 소스 영역(176f)에 해당한다.
- [0064] 구동 박막 트랜지스터(T1)의 구동 반도체층(131a)의 일단은 스위칭 반도체층(131b) 및 동작 제어 반도체층(131e)과 연결되어 있으며, 구동 반도체층(131a)의 타단은 보상 반도체층(131c) 및 발광 제어 반도체층(131f)과 연결되어 있다. 따라서, 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 동작 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 발광 제어 소스 전극(176f)과 연결된다.
- [0065] 도 5에 도시한 바와 같이, 스토리지 캐패시터(Cst)는 제2 게이트 절연막(142)을 사이에 두고 배치되는 제1 스토리지 축전판(126)과 제2 스토리지 축전판(127)을 포함한다. 여기서, 제2 게이트 절연막(142)은 유전체가 되며, 스토리지 캐패시터(Cst)에서 축전된 전하와 양 축전판(126, 127) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.
- [0066] 제1 스토리지 축전판(126)은 이전 스캔선(122), 발광 제어선(123), 동작 제어 게이트 전극(125e), 발광 제어 게이트 전극(125f) 및 제1 부스팅 축전판(128)과 동일한 물질로 동일한 층에 형성되어 있고, 제2 스토리지 축전판(127)은 은 스캔선(121), 초기화 전압선(124), 구동 게이트 전극(125a), 스위칭 게이트 전극(125b), 보상 게이트 전극(125c) 및 제2 부스팅 축전판(129)과 동일한 물질로 동일한 층에 형성되어 있다. 이러한 제1 스토리지 축전판(126)과 제2 스토리지 축전판(127)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), Al-Ni-La 합금 및 Al-Nd 합금 중 하나 이상의 금속을 포함하는 게이트 배선으로 형성할 수 있다. 따라서, 스토리지 캐패시터(Cst)의 어느 하나의 축전판을 반도체층으로 형성하는 구조에 비해 스토리지 캐패시턴스를 향상시킬 수 있다.
- [0067] 스토리지 캐패시터(Cst)는 적어도 하나 이상의 캐패시터 개구부(126a)를 가지며, 구체적으로 제2 스토리지 축전

관(127)에 캐패시터 개구부(126a)가 형성되어 있다. 따라서, 스토리지 캐패시터(Cst)의 내부도 제조 공정 중 발생하는 과식각 현상에 의해 스토리지 캐패시터(Cst)의 외부와 함께 과식각되므로 스토리지 캐패시터(Cst)의 스큐 면적은 부스팅 캐패시터의 스큐 면적보다 넓어지게 되어 과식각 현상에도 스토리지 캐패시터(Cst)와 부스팅 캐패시터(Cb)의 캐패시턴스 비를 균일하게 유지할 수 있다. 따라서, 복수개의 화소에 구비되는 스토리지 캐패시터(Cst)와 부스팅 캐패시터(Cb)간의 캐패시턴스 비에 편차가 발생하지 않으므로 구동 박막 트랜지스터(T1)의 구동 게이트 전극(125a)의 전압 편차를 최소화하여 얼룩 발생을 방지할 수 있다.

[0068] 스토리지 캐패시터(Cst)와 중첩하며 지나가는 구동 전압선(172)은 캐패시터 개구부(126a)가 형성된 위치에서 분리되어 있으며, 구동 전압선(172)은 캐패시터 개구부(126a)를 기준으로 일측에 위치하는 일측 분리단(172a)과 캐패시터 개구부(126a)를 기준으로 타측에 위치하는 타측 분리단(172b)을 포함한다. 구동 전압선(172)의 일측 분리단(172a) 및 타측 분리단(172b)은 층간 절연막(160)에 각각 형성된 일측 접촉 구멍(65) 및 타측 접촉 구멍(66)을 통해 제2 스토리지 축전판(127)과 연결되어 있다.

[0069] 구동 전압선(172)과 평행하게 동일한 층에 연결 부재(174)가 형성되어 있다. 연결 부재(174)는 구동 게이트 전극(125a)과 제1 스토리지 축전판(126)을 연결하고 있다. 연결 부재(174)의 일단(174a)은 층간 절연막(160)에 형성된 접촉 구멍(67)을 통해 구동 게이트 전극(125a)과 연결되어 있으며, 연결 부재(174)의 제1 중간 돌출부(174b)는 캐패시터 개구부(126a) 내부에 위치하고 있는 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(64)을 통해 제1 스토리지 축전판(126)과 연결되어 있다.

[0070] 연결 부재(174)의 타단(177d)은 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(177d)에 해당하며, 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(63)을 통해 초기화 박막 트랜지스터(T4)의 초기화 반도체층(131d)과 연결되어 있다. 또한, 연결 부재(174)의 제2 중간 돌출부(177c)는 보상 박막 트랜지스터(T3)의 보상 드레인 전극(177c)에 해당하며, 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(68)을 통해 보상 박막 트랜지스터(T3)의 보상 반도체층(131c)과 연결되어 있다.

[0071] 따라서, 스토리지 캐패시터(Cst)의 제1 스토리지 축전판(126)은 연결 부재(174)의 제2 중간 돌출부(177c) 및 타단(177d)을 통해 각각 보상 반도체층(125c) 및 초기화 반도체층(125d)과 연결되어 있으며, 연결 부재(174)의 일단(174a)을 통해 구동 게이트 전극(125a)과 연결되어 있다. 그리고, 스토리지 캐패시터(Cst)의 제2 스토리지 축전판(127)은 층간 절연막(160)에 형성된 일측 접촉 구멍(65) 및 타측 접촉 구멍(66)을 통해 구동 전압선(172)과 연결되어 있다.

[0072] 따라서, 스토리지 캐패시터(Cst)는 구동 전압선(172)을 통해 전달된 구동 전압(ELVDD)과 구동 게이트 전극(125a)의 게이트 전압간의 차에 대응하는 스토리지 캐패시턴스가 저장된다.

[0073] 이와 같이, 구동 전압선(172)을 캐패시터 개구부(126a)에 대응하는 위치에서 분리시키고, 구동 전압선(172)의 일측 분리단(172a) 및 타측 분리단(172b)은 층간 절연막(160)에 각각 형성된 일측 접촉 구멍(65) 및 타측 접촉 구멍(66)을 통해 제2 스토리지 축전판(127)과 연결시키고, 캐패시터 개구부(126a)를 통해 노출된 제1 스토리지 축전판(126)과 구동 게이트 전극(125a)을 연결 부재(174)를 이용하여 연결함으로써, 스토리지 캐패시터(Cst) 내부에 캐패시터 개구부(126a)를 형성할 수 있다. 이 때, 스토리지 캐패시터(Cst)에 형성된 캐패시터 개구부(126a)의 면적 및 개수는 부스팅 캐패시터(Cb)과의 캐패시턴스 비로 결정한다.

[0074] 그리고, 부스팅 캐패시터(Cb)의 제1 부스팅 축전판(128)은 제1 스토리지 축전판(126)에서 연장된 연장부이고, 제2 부스팅 축전판(129)은 스캔선(121)에서 돌출된 돌출부이다. 제1 부스팅 축전판(128)은 해머 형상을 가지며, 제1 부스팅 축전판(133)은 구동 전압선(172)과 평행한 손잡이부, 손잡이부의 단부에 형성된 헤드부를 포함한다. 제1 부스팅 축전판(128)의 헤드부는 제2 부스팅 축전판(129) 내부에 중첩하여 위치하고 있다.

[0075] 한편, 스위칭 박막 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있고, 스위칭 소스 전극(176b)은 데이터선(171)에 연결되어 있으며, 스위칭 드레인 전극(177b)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다. 그리고, 발광 제어 박막 트랜지스터(T6)의 발광 제어 드레인 전극(177f)은 보호막(180)에 형성된 접촉구(181)를 통해 유기 발광 다이오드(70)의 화소 전극(191)과 직접 연결되어 있다.

[0076] 이하, 도 4 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다.

[0077] 이 때, 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2) 및 발광 제어 박막 트랜지스터(T6)를 중심으로

박막 트랜지스터의 구조에 대해 설명하고, 스토리지 캐패시터(Cst) 및 연결 부재(174)에 대해 설명한다. 그리고 나머지 박막 트랜지스터(T3, T4, T5)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2) 및 발광 제어 박막 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.

- [0078] 기판(110) 위에는 버퍼층(111)이 형성되어 있고, 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.
- [0079] 버퍼층(111) 위에는 스위칭 반도체층(131b), 구동 반도체층(131a), 발광 제어 반도체층(131f)이 형성되어 있다. 스위칭 반도체층(131b)은 스위칭 채널 영역 및 스위칭 채널 영역을 사이에 두고 서로 마주보는 스위칭 소스 영역 및 스위칭 드레인 영역을 포함하며, 구동 반도체층(131a)은 구동 채널 영역 및 구동 채널 영역을 사이에 두고 서로 마주보는 구동 소스 영역 및 구동 드레인 영역을 포함하고, 발광 제어 박막 트랜지스터(T6)는 발광 제어 채널 영역(131f1), 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함한다.
- [0080] 스위칭 반도체층(131a), 구동 반도체층(131b) 및 발광 제어 반도체층(131f) 위에는 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성된 제1 게이트 절연막(141)이 형성되어 있다.
- [0081] 제1 게이트 절연막(141) 위에는 초기화 게이트 전극(125d)을 포함하는 이전 스캔선(122), 동작 제어 게이트 전극(125e) 및 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123), 제1 스토리지 축전판(126) 및 제1 부스팅 축전판(128)을 포함하는 제1 게이트 배선(122, 123, 125d, 125e, 125f, 126, 128)이 형성되어 있다.
- [0082] 제1 게이트 배선(122, 123, 125d, 125e, 125f, 126, 128) 및 제1 게이트 절연막(141) 위에는 제2 게이트 절연막(142)이 형성되어 있다. 제2 게이트 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성되어 있다.
- [0083] 제2 게이트 절연막(142) 위에는 구동 게이트 전극(125a), 스위칭 게이트 전극(125b) 및 보상 게이트 전극(125c)을 포함하는 스캔선(121), 초기화 전압선(124), 제2 스토리지 축전판(127) 및 제2 부스팅 축전판(129)을 포함하는 제2 게이트 배선(125a, 125b, 125c, 121, 124, 127, 129)이 형성되어 있다. 제2 스토리지 축전판(127)의 내부에는 연결 부재(174)의 제1 중간 돌출부(174b)와 제1 스토리지 축전판(126)을 연결하기 위한 스토리지 개구부(127a)가 형성되어 있다.
- [0084] 제2 게이트 배선(125a, 125b, 125c, 121, 124, 127, 129) 및 제2 게이트 절연막(142) 위에는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160)은 제1 게이트 절연막(141), 제2 게이트 절연막(142)과 마찬가지로, 질화 규소(SiNx) 또는 산화 규소(SiO₂) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어진다.
- [0085] 층간 절연막(160) 위에는 스위칭 소스 전극(176b)를 포함하는 데이터선(171), 초기화 드레인 전극(177d) 및 보상 드레인 전극(177c)를 포함하는 연결 부재(174), 발광 제어 드레인 전극(177f), 구동 제어 소스 전극(176e)을 포함하는 구동 전압선(172)을 포함하는 데이터 배선이 형성되어 있다.
- [0086] 그리고 발광 제어 드레인 전극(177f)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(72)을 통해 발광 제어 반도체층(131f)의 발광 제어 드레인 영역(133f)과 연결되어 있다. 그리고, 연결 부재(174)의 제1 중간 돌출부(174b)는 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(64)을 통해 제1 스토리지 축전판(126)과 연결되어 있고, 구동 전압선(172)의 일측 분리단(172a) 및 타측 분리단(172b)은 층간 절연막(160)에 각각 형성된 일측 접촉 구멍(65) 및 타측 접촉 구멍(66)을 통해 제2 스토리지 축전판(127)과 연결되어 있다. 그리고, 연결 부재(174)의 제2 중간 돌출부(177c)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(68)을 통해 보상 박막 트랜지스터(T3)의 보상 반도체층(125c)과 연결되어 있다.
- [0087] 층간 절연막(160) 상에는 데이터 배선(171, 172, 174, 177f)을 덮는 보호막(180)이 형성되어 있고, 보호막(180) 위에는 화소 전극(191)이 형성되어 있다. 보호막(180)에 형성된 접촉구(181)을 통해 화소 전극(191)은 발광 제어 드레인 전극(177f)과 연결된다.
- [0088] 화소 전극(191)의 가장자리 및 보호막(180) 위에는 격벽(350)이 형성되어 있고, 격벽(350)은 화소 전극(191)을 드러내는 격벽 개구부(351)를 가진다. 격벽(350)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들 수 있다.
- [0089] 격벽 개구부(351)로 노출된 화소 전극(191) 위에는 유기 발광층(370)이 형성되고, 유기 발광층(370) 상에는 공통 전극(270)이 형성된다. 이와 같이, 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)을 포함하는 유기

발광 다이오드(70)가 형성된다.

[0090] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

[0091] 유기 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(710) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극(270)은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.

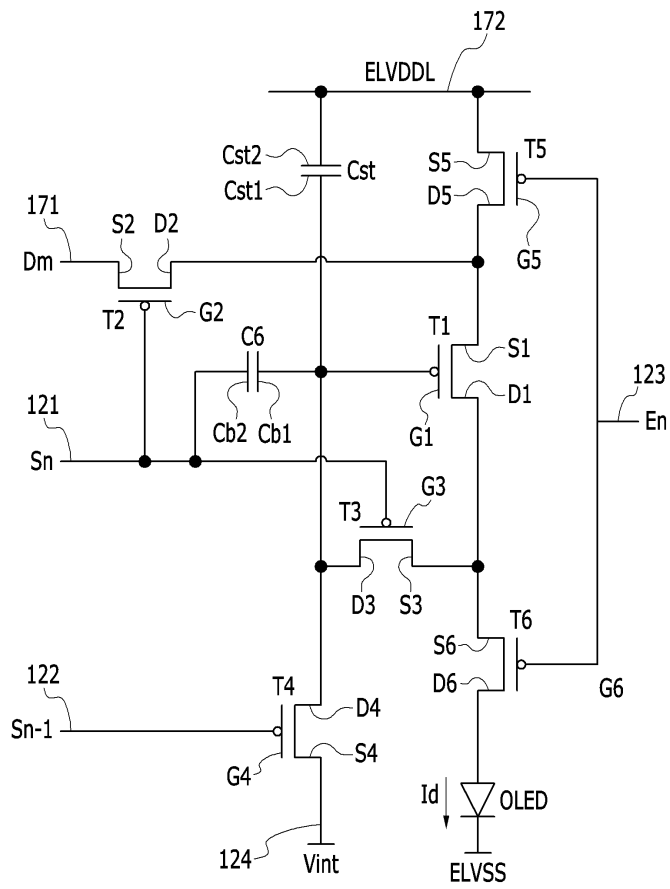
[0092] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

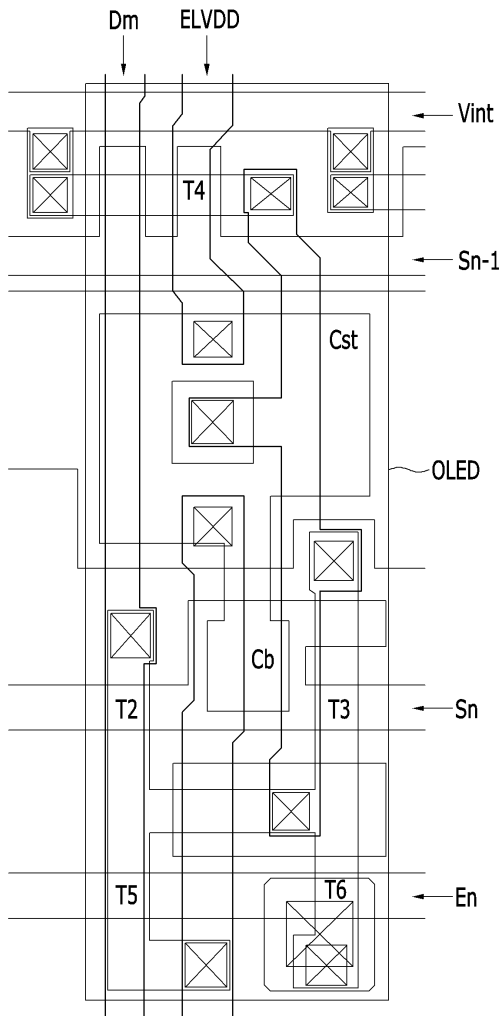
- [0093]
- | | |
|------------------|------------------|
| 110: 기관 | 121: 스캔선 |
| 122: 이전 스캔선 | 123: 발광 제어선 |
| 124: 초기화 전압선 | 125a: 구동 게이트 전극 |
| 125b: 스위칭 게이트 전극 | 126: 제1 스토리지 축전판 |
| 127: 제2 스토리지 축전판 | 128: 제1 부스팅 축전판 |
| 129: 제2 부스팅 축전판 | 131: 반도체층 |
| 141: 제1 게이트 절연막 | 142: 제2 게이트 절연막 |
| 160: 층간 절연막 | 171: 데이터선 |
| 172: 구동 전압선 | 174: 연결 부재 |

도면

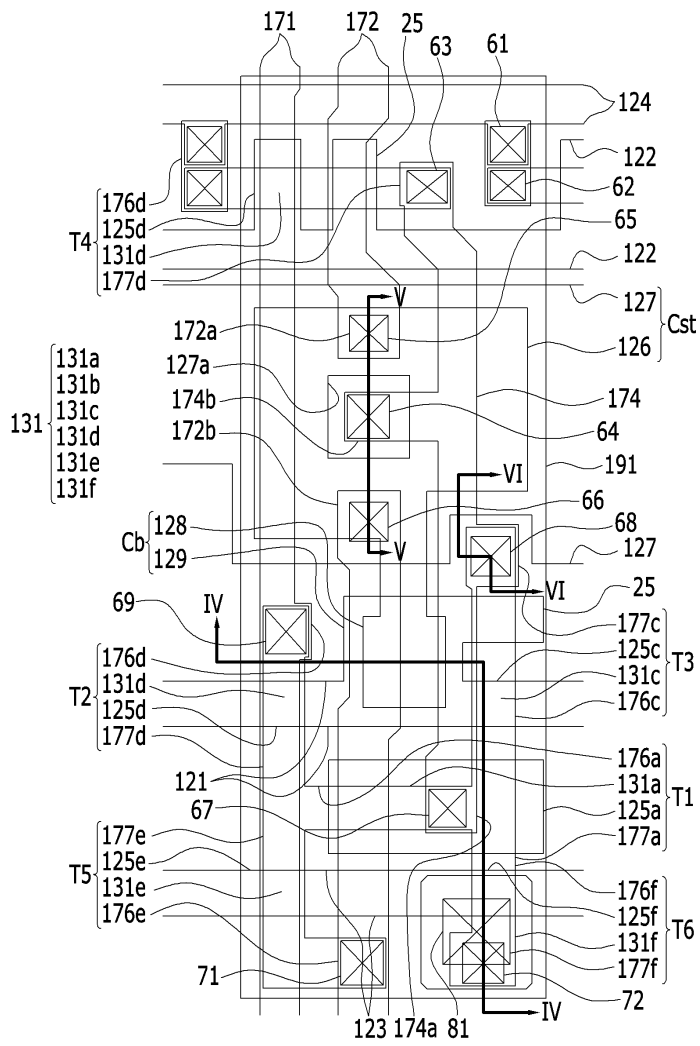
도면1



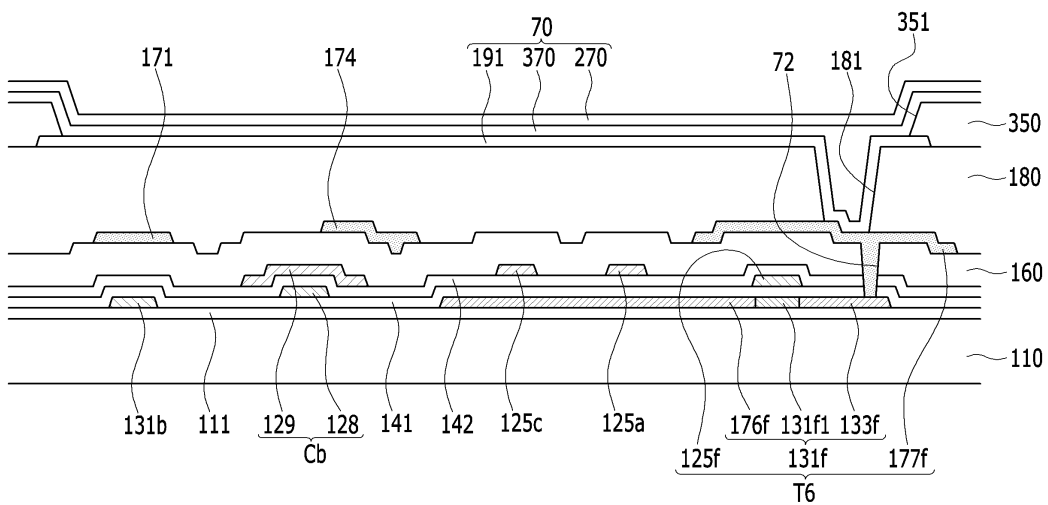
도면2



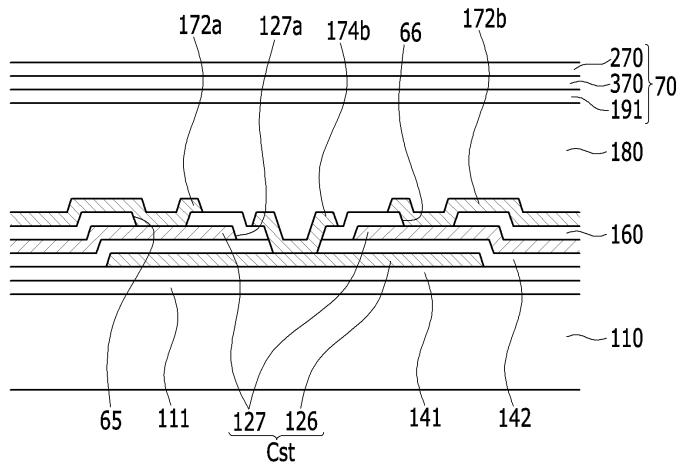
도면3



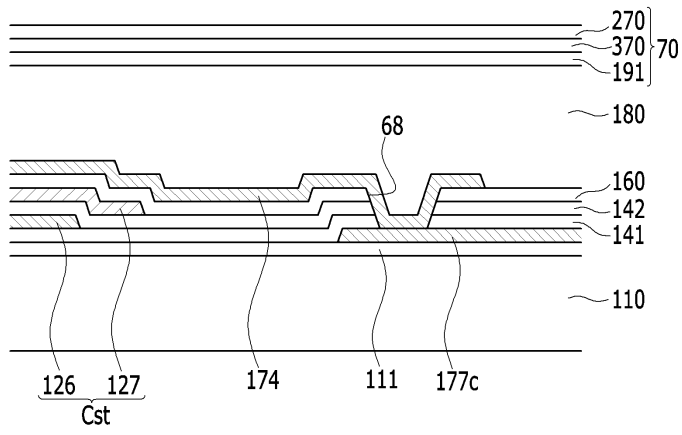
도면4



도면5



도면6



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020140045150A	公开(公告)日	2014-04-16
申请号	KR1020120111339	申请日	2012-10-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON MU KYUNG 전무경 KIM TAE JOON 김태준		
发明人	전무경 김태준		
IPC分类号	H01L51/52 H01L29/786 G09G3/30		
CPC分类号	H01L27/3265 G09G3/3208		
其他公开文献	KR101982074B1		
外部链接	Espacenet		

摘要(译)

根据示例性实施例的有机发光二极管显示器包括基板，形成在基板上的扫描线，传输扫描信号的扫描线，数据线和与扫描线交叉并且传输数据信号和驱动电压的驱动电压线，连接到扫描线和数据线的开关薄膜晶体管，连接到开关薄膜晶体管和驱动电压线的驱动薄膜晶体管，连接到驱动薄膜晶体管的有机发光二极管，以及驱动电压线和驱动薄膜晶体管。存储电容器连接在驱动栅电极和连接到存储电容器的升压电容器之间，其中存储电容器可以具有至少一个电容器开口。因此，由于根据本发明示例性实施例的有机发光二极管显示器的存储电容器具有至少一个或多个电容器开口，所以即使在过蚀刻现象中也可以均匀地保持存储电容器和升压电容器的电容比。因此，在多个像素中设置的存储电容器和升压电容器之间的电容比不会发生变化，从而防止出现斑点。

